



摘要

随着现代总线接口频率越来越高，必须谨慎设计印刷电路板 (PCB) 的布局，以保持设计的可靠性。本文档重点介绍与 USB、USB 集线器、HDMI、DisplayPort®、PCIe 和 SATA 相关的高速布局指南。

内容

1 简介.....	3
2 特定于协议的布局指南.....	3
2.1 USB 2.0.....	3
2.2 USB 4.0 3.2 Gen1/Gen2.....	4
2.3 HDMI.....	4
2.4 DisplayPort.....	4
3 通用高速信号布线.....	5
3.1 布线阻抗.....	5
3.2 高速信号布线长度.....	5
3.3 高速信号布线长度匹配.....	5
3.4 返回路径.....	5
3.5 高速信号参考平面.....	6
4 高速差分信号布线.....	12
4.1 差分信号间距.....	12
4.2 额外的高速差分信号规则.....	12
4.3 差分对的对称性参考.....	13
4.4 连接器和插座.....	14
4.5 过孔不连续性缓解.....	15
4.6 背钻残桩.....	17
4.7 布线残桩.....	18
4.8 增大过孔反焊盘的直径.....	18
4.9 使过孔计数相等.....	18
4.10 表面贴装器件焊盘不连续性缓解.....	19
4.11 信号线弯曲.....	20
4.12 建议的 PCB 堆叠.....	21
4.13 ESD/EMI 注意事项.....	21
4.14 ESD/EMI 布局规则.....	22
5 参考资料.....	22

插图清单

图 3-1. 差分对间延迟差与差分对内延迟差.....	5
图 3-2. 返回路径.....	6
图 3-3. 高频返回路径.....	6
图 3-4. 穿过分割平面重新运行.....	7
图 3-5. 穿过分割平面的交流电容器.....	7
图 3-6. 穿过差分参考平面的布线.....	8
图 3-7. 穿过带交流电容器的差分参考平面的布线.....	8
图 3-8. 没有接地过孔的差分对过孔返回路径.....	9
图 3-9. 带有接地过孔的差分对过孔返回路径.....	10
图 3-10. VCC 参考平面.....	11
图 4-1. 差分对与相邻的其他信号的间距.....	12

图 4-2. 差分对与相邻的时钟或周期信号的间距.....	12
图 4-3. 差分对对称.....	13
图 4-4. 插座残桩减少.....	14
图 4-5. 具有长残桩的过孔.....	15
图 4-6. 具有短残桩的过孔.....	16
图 4-7. 带有背钻残桩的长过孔.....	17
图 4-8. 长度减小的残桩.....	18
图 4-9. 过孔反焊盘.....	18
图 4-10. 交流耦合电容器放置.....	19
图 4-11. 空洞低于表面贴装器件.....	20
图 4-12. 信号线弯曲规则.....	20

表格清单

表 1-1. 关键信号.....	3
表 4-1. 六层 PCB 上可能出现的电路板堆叠.....	21
表 4-2. 四层 PCB 上可能出现的电路板堆叠.....	21
表 4-3. PCB 堆叠示例.....	21

商标

DisplayPort® is a registered trademark of Video Electronics Standards Association.

所有商标均为其各自所有者的财产。

1 简介

范围

本应用报告可帮助系统设计人员在使用不同高速信号时实施最佳实践并了解 PCB 布局选项。本文档面向熟悉 PCB 制造、布局 and 设计的读者。

关键信号

容纳和隔离高速信号是设计系统时需要考虑的一个主要问题。由于高速信号最有可能和其他信号相互影响，因此必须在 PCB 设计过程中尽早（最好是首先）布置，务必确保可以遵循规定的布线规则。

表 1-1. 关键信号

信号名称	说明
DP/DM	USB 2.0 差分数据对
SSTXP/N、SSRXP/N	超高速差分数据对
SATA_RXP/N、SATA_TXP/N	串行 ATA (SATA) 差分数据对
PCIe_RXP/N、PCIe_TXP/N	PCI-Express (PCIe) 差分数据对
HDMI_CLK+/-	高清多媒体接口 (HDMI) 差分时钟对，正或负
HDMI_Data+/-	高清多媒体接口 (HDMI) 差分数据对，正或负
DP_Lane# +/-	DisplayPort 差分数据对，通道 0 至 3，正或负

2 特定于协议的布局指南

在设计系统布局时，需要考虑各种高速标准之间存在的众多差异。这些差异包括数据速率/频率、交流耦合电容器、对间延迟差、对内延迟差和布线阻抗等参数。以下是不同高标准的标准值。以下值是指导性的，并不始终是准确的值。

2.1 USB 2.0

参数	值
频率	低速：750KHz (1.5Mbps)
	全速：6MHz (12Mbps)
	高速：240MHz (480Mbps)
交流耦合电容器	不允许使用交流电容器
极性反转	不允许
布线阻抗	90 Ω $\pm$ 15% 差分，45 Ω $\pm$ 15% 单端
最大电缆长度	5m

2.2 USB 4.0 3.2 Gen1/Gen2

参数	值
频率	SuperSpeed : 2.5Ghz (5Gbps)
	SuperSpeed : 5Ghz (10Gbps)
	USB 4.0 Gen3 : 10Ghz (20Gbps NRZ)
	USB 4.0 Gen4 : 20Ghz (40Gbps PAM3)
交流耦合电容器	需要在 TX 数据通道上使用交流电容器。(在 RX 数据通道上为可选)
极性反转	在 SSTX 和 SSRX 上允许
最大差分对内延迟差	15ps/m (TI 建议 5mil
最大差分对间延迟差	不适用
布线阻抗	90 Ω $\pm$ 15% 差分 ; 45 Ω $\pm$ 15% 单端
最大电缆长度	3m

2.3 HDMI

参数	值
频率	HDMI 1.4b : HDMI_CLK : 高达 340MHz
	HDMI 1.4b : HDMI_Data : 高达 1.7GHz
	HDMI 2.0b : HDMI_CLK : 高达 150MHz
	HDMI 2.0b : HDMI_Data : 高达 3GHz
	HDMI 2.1b : HDMI_Data : 高达 6GHz
交流耦合电容器	不允许使用交流电容器
极性反转	不允许
源的最大差分对内延迟差	0.15 $\times$ Tbit
源的最大差分对间延迟差	0.20 $\times$ T 个字符
布线阻抗	100 Ω $\pm$ 15% 差分 ; 50 Ω $\pm$ 15% 单端

2.4 DisplayPort

参数	值
频率	DisplayPort 1.2 : 2.7GHz (5.4Gbps)
	DisplayPort 1.4 : 4.05GHz (8.1Gbps)
	DisplayPort 2.1 UHBR10 : 5GHz (10Gbps)
	DisplayPort 2.1 UHBR13.5 : 5.76GHz (13.5Gbps)
	DisplayPort 2.1 UHBR20 : 10GHz (20Gbps)
交流耦合电容器	需要交流电容器
极性反转	无内置支持
源的最大差分对内延迟差	20ps (TI 建议约 5mil)
布线阻抗	100 Ω $\pm$ 10% 差分 ; 50 Ω $\pm$ 15% 单端

3 通用高速信号布线

3.1 布线阻抗

对于高速信号，布线阻抗需设计为可最大限度地减小布线中的信号反射。设计高速信号时，需要考虑两种类型的布线阻抗。单端阻抗是以地为基准的布线阻抗。差分阻抗是两个差分对信号布线之间的阻抗。

高速协议旨在确定布线的单端阻抗和差分布线阻抗以及阻抗容差（例如， $50\Omega \pm 15\%$ ）。为了使设计免受 PCB 制造误差和缺陷的影响，布线阻抗应设计为尽可能接近建议值。布线的几何形状、PCB 材料的介电常数和布线周围的层都会影响信号布线的阻抗。

有许多工具可用于计算高速布线上的布线阻抗。大部分电路板制造商都有首选工具，PCB 设计人员可以使用这些工具来计算阻抗，另外，网上也有许多工具可用。

3.2 高速信号布线长度

与所有高速信号一样，信号对的总布线长度应保持最短。一些标准对各种规格下的最大布线/电缆长度进行了规定。

3.3 高速信号布线长度匹配

匹配相关差分对布线的蚀刻长度。差分对内延迟差这一术语用于定义差分对的 + 和 - 通道间的蚀刻长度差。差分对间延迟差用于描述差分对的蚀刻长度与同组另一差分对蚀刻长度之间的差异。差分对组的蚀刻长度不需要匹配。例如，USB 3.0 TX 和 RX 的蚀刻长度不需要匹配。还有一些标准并无差分对间延迟差的要求，其原因在于不同的通道不必具有相同的长度。匹配高速信号的差分对内延迟差时，添加蛇形布线以使长度尽可能接近失配端，请参阅图 3-1。

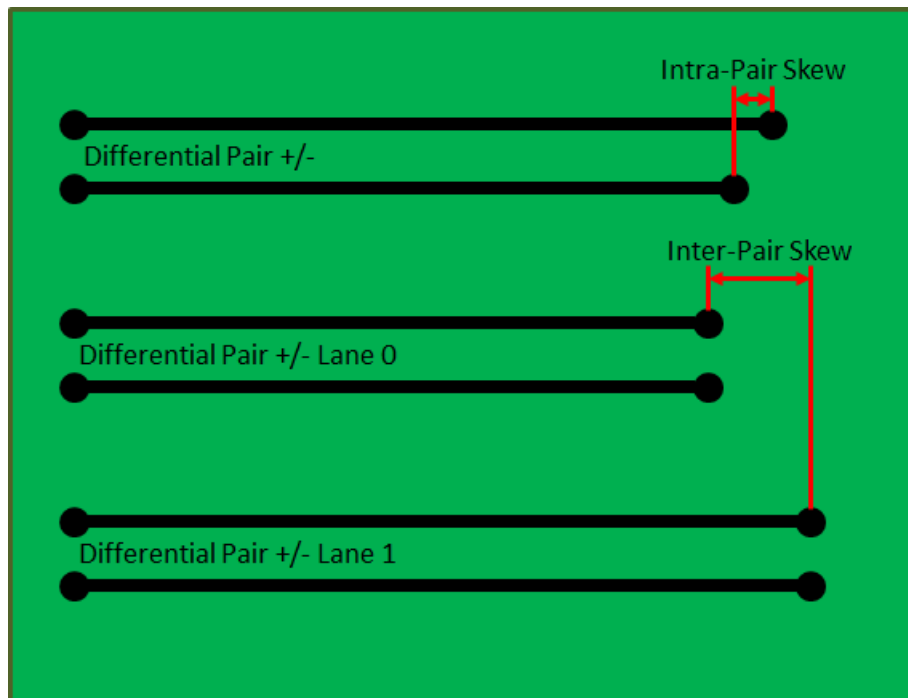


图 3-1. 差分对间延迟差与差分对内延迟差

遵照上述建议使用蛇形布线几何形状。例如，布线的宽度 (W) 为 6mil，差分对之间的距离 (A) 为 8mil。这意味着蛇形的宽度 (B) 至少为 16mil，C 的长度至少为 18mil。

3.4 返回路径

一个电路必须始终是一个闭环系统。使用直流电时，直流信号返回电流采用电阻最低的路径。



图 3-2. 返回路径

在较高频率下，返回电流沿阻抗最低的路径流动，该阻抗最低的路径通常是与信号相邻的参考平面，请参阅图 3-3。为此，请始终在信号层的上面或下面一层布置接地层或电源平面。这个返回路径有助于减小阻抗变化和减少 EMI 问题。红色箭头是信号路径，而蓝色箭头是返回路径。

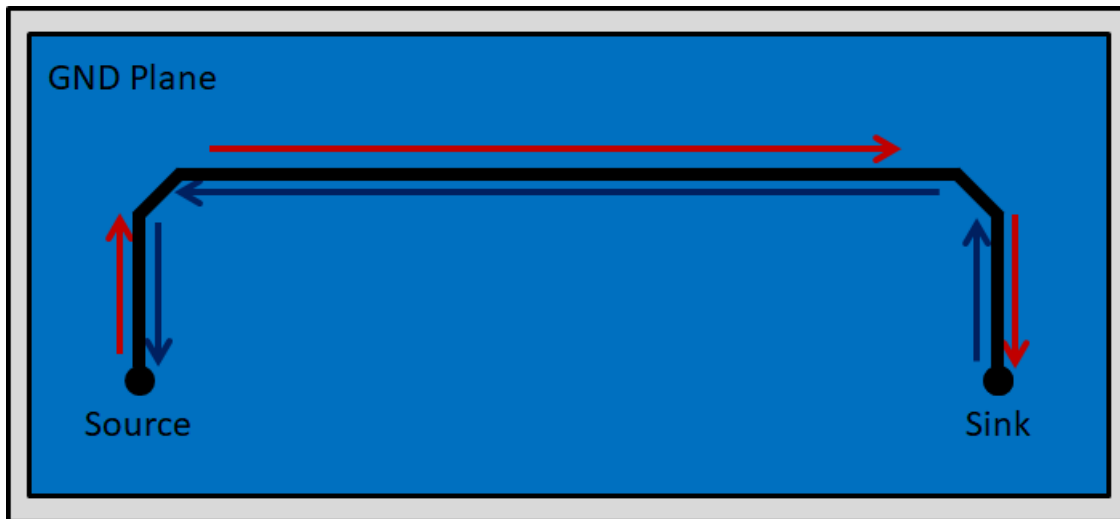


图 3-3. 高频返回路径

3.5 高速信号参考平面

高速信号应当布置在实心接地参考平面上，除非绝对必要，否则不要穿过平面分割点或参考平面中的空洞。除非完全不可避免，否则 TI 不建议将电源平面作为高速信号的参考平面。

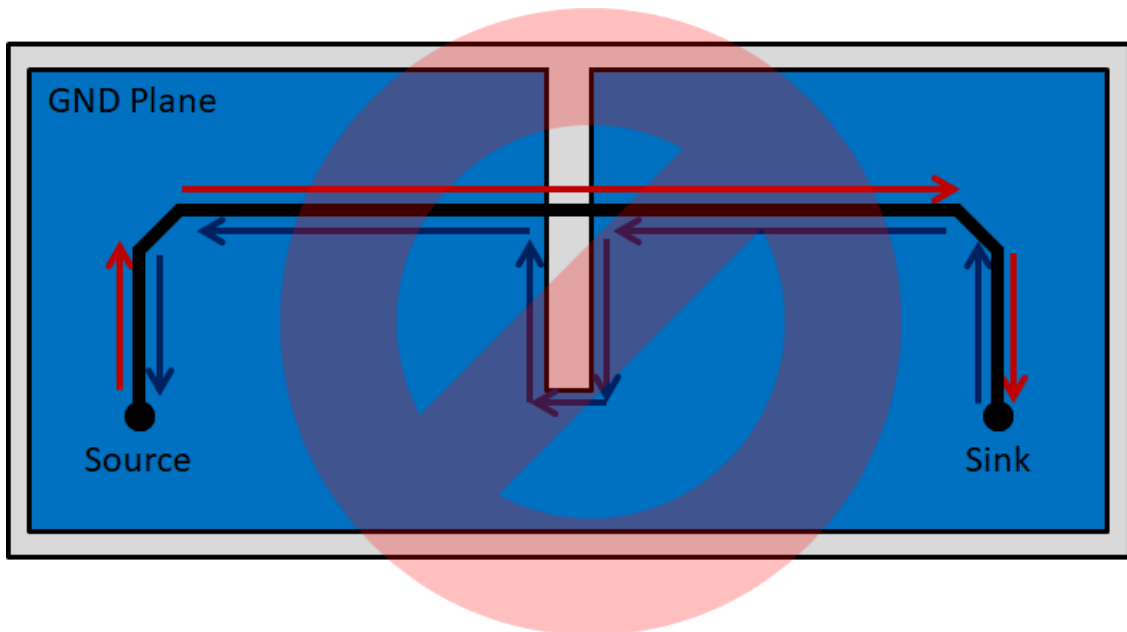


图 3-4. 穿过分割平面重新运行

穿过平面分割点的布线或参考平面中的空洞强制返回的高频电流围绕分割点或空洞流动。图 3-4 显示了返回路径必须比信号路径走更长的路由，这可能会导致以下情况：

- 不平衡的电流流动产生过多的辐射发射
- 由于串联电感增加，信号传播出现延迟
- - 干扰相邻信号
- - 信号完整性降低（即更多抖动和信号幅度降低）

如果完全无法避免在平面分割点布线，则要穿过分割点放置拼接电容器，从而为高频电流提供一个返回路径。这些拼接电容器可最大限度地减少电流环路面积以及由于穿过分割点而产生的任何阻抗不连续性。这些电容器应当为 $1\mu\text{F}$ 或更低，并且要尽可能靠近平面交叉点放置。

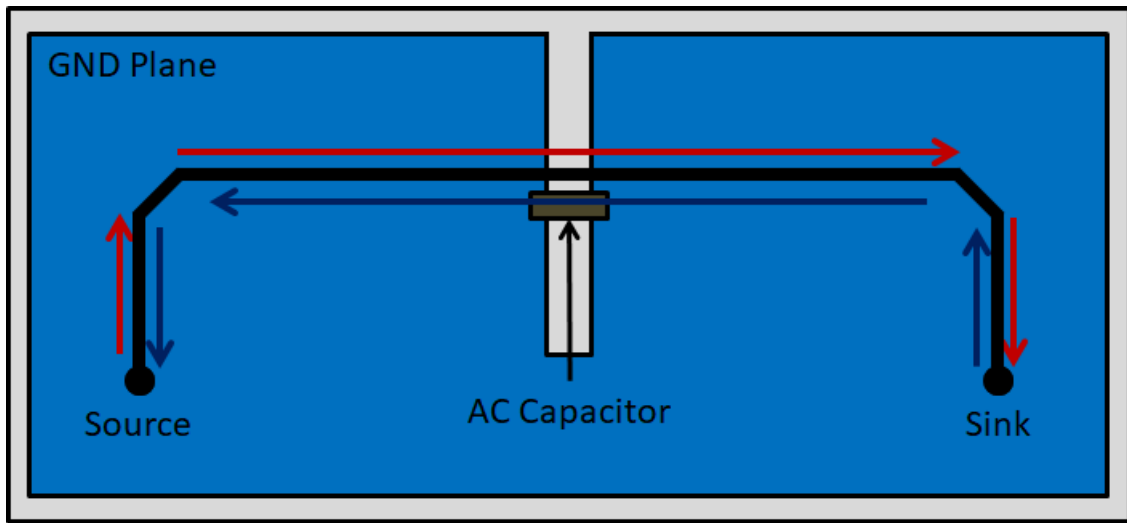


图 3-5. 穿过分割平面的交流电容器

在规划 PCB 层叠时，务必确保不相互参考的平面不会重叠，因为这会在重叠区域之间产生不必要的电容。

避免布线穿过不同的参考平面，因为这样会引起阻抗问题以及 EMI 问题。

除非完全不可避免，否则请勿更改高速信号布线的参考平面。红色箭头是信号路径，而蓝色箭头是返回路径。

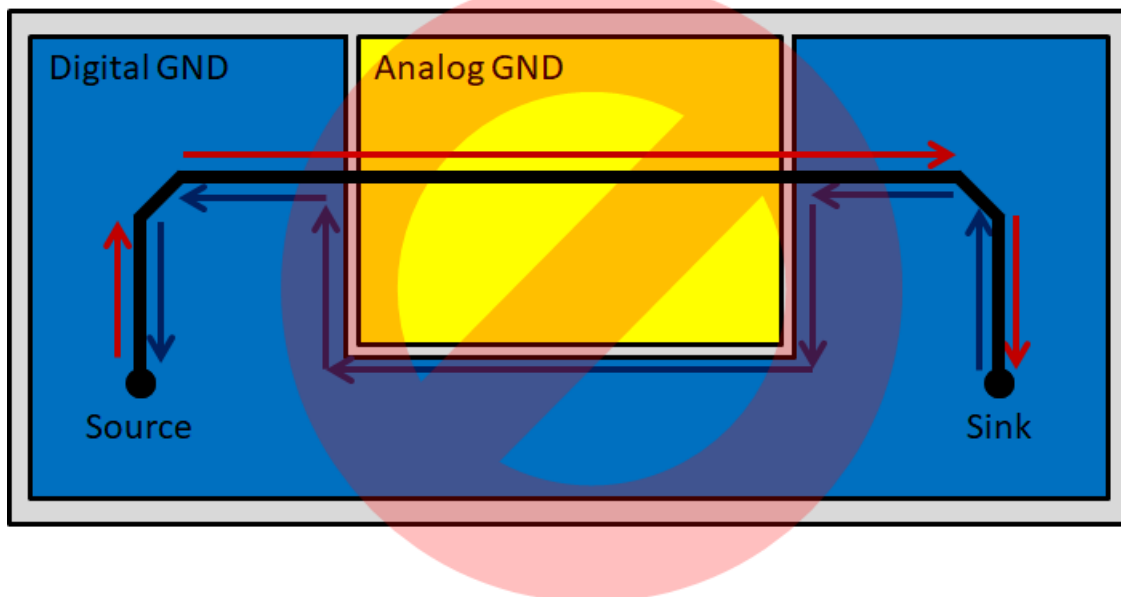


图 3-6. 穿过差分参考平面的布线

如果路由无法避免会穿过不同的参考平面，请使用交流电容器以使返回电流有一条通路。

红色箭头是信号路径，而蓝色箭头是返回路径。

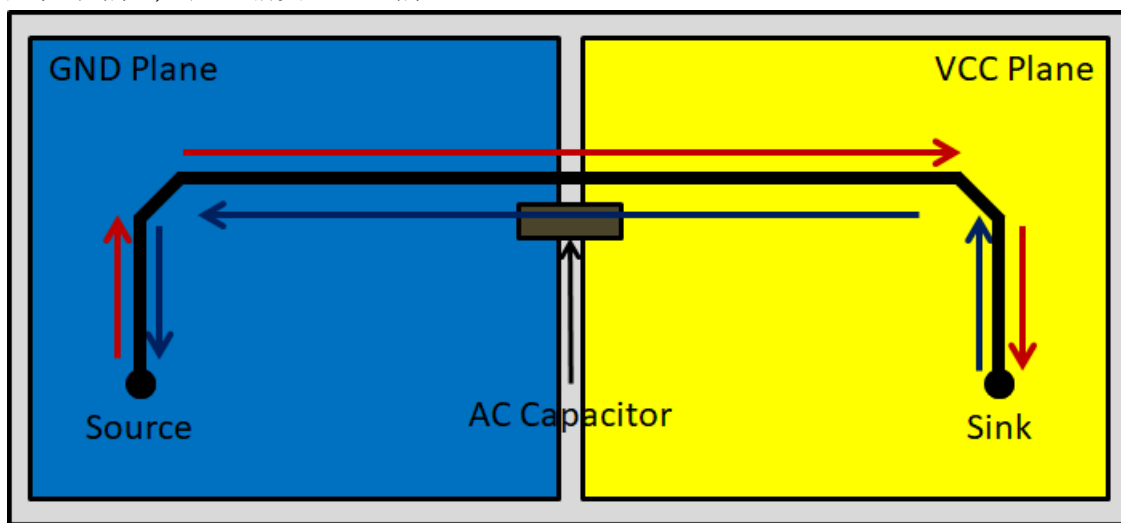


图 3-7. 穿过带交流电容器的差分参考平面的布线

整个高速信号布线从发起到终止必须一直使用相同的接地参考平面。如果无法做到这一点，则应通过过孔将两个接地平面拼接在一起，以保持连续接地和一致的阻抗。在信号转换过孔周围的 200mil (中心距，越靠近越好) 内对称地放置这些拼接过孔。

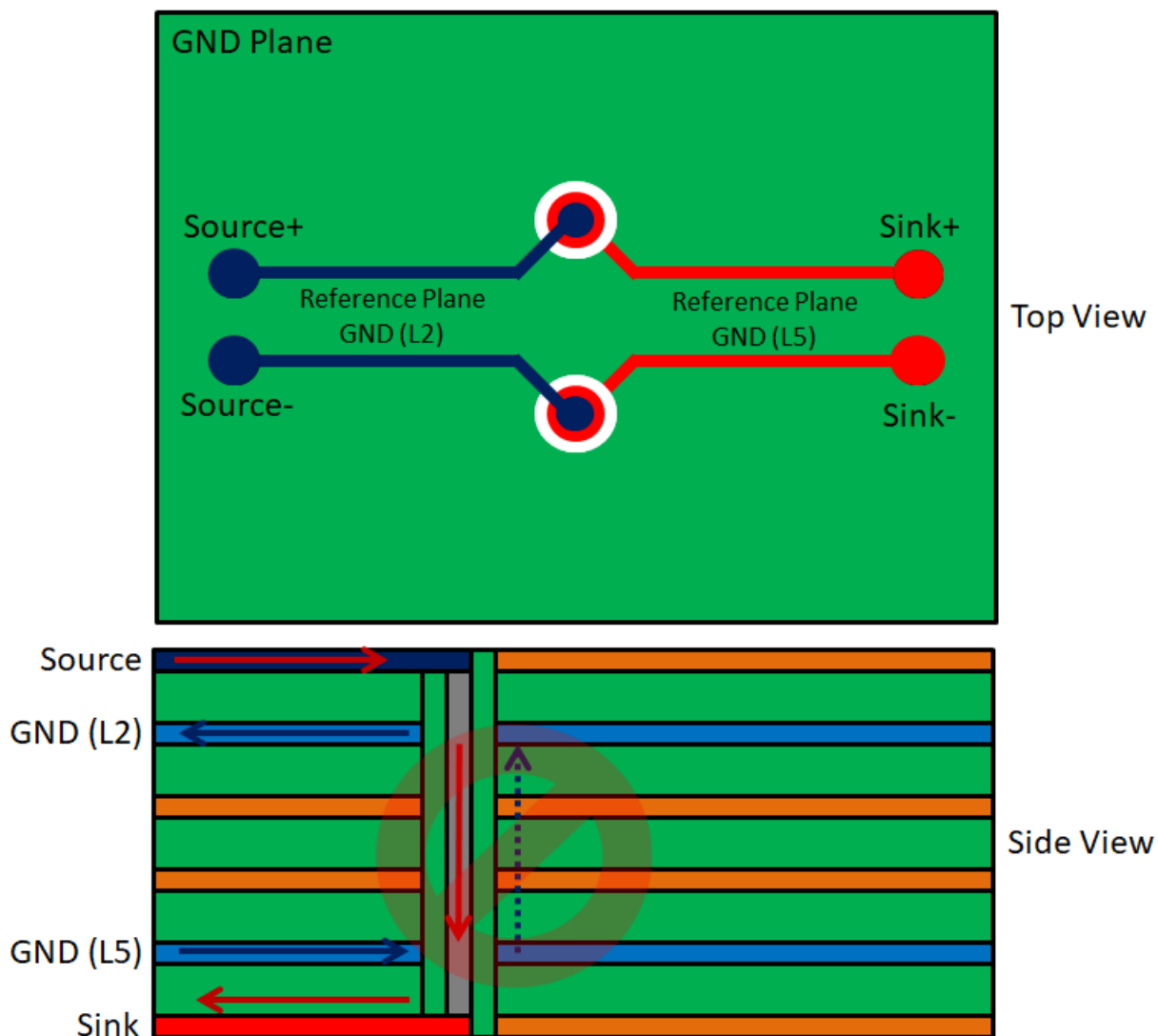


图 3-8. 没有接地过孔的差分对过孔返回路径

红色箭头是信号路径，而蓝色箭头是返回路径

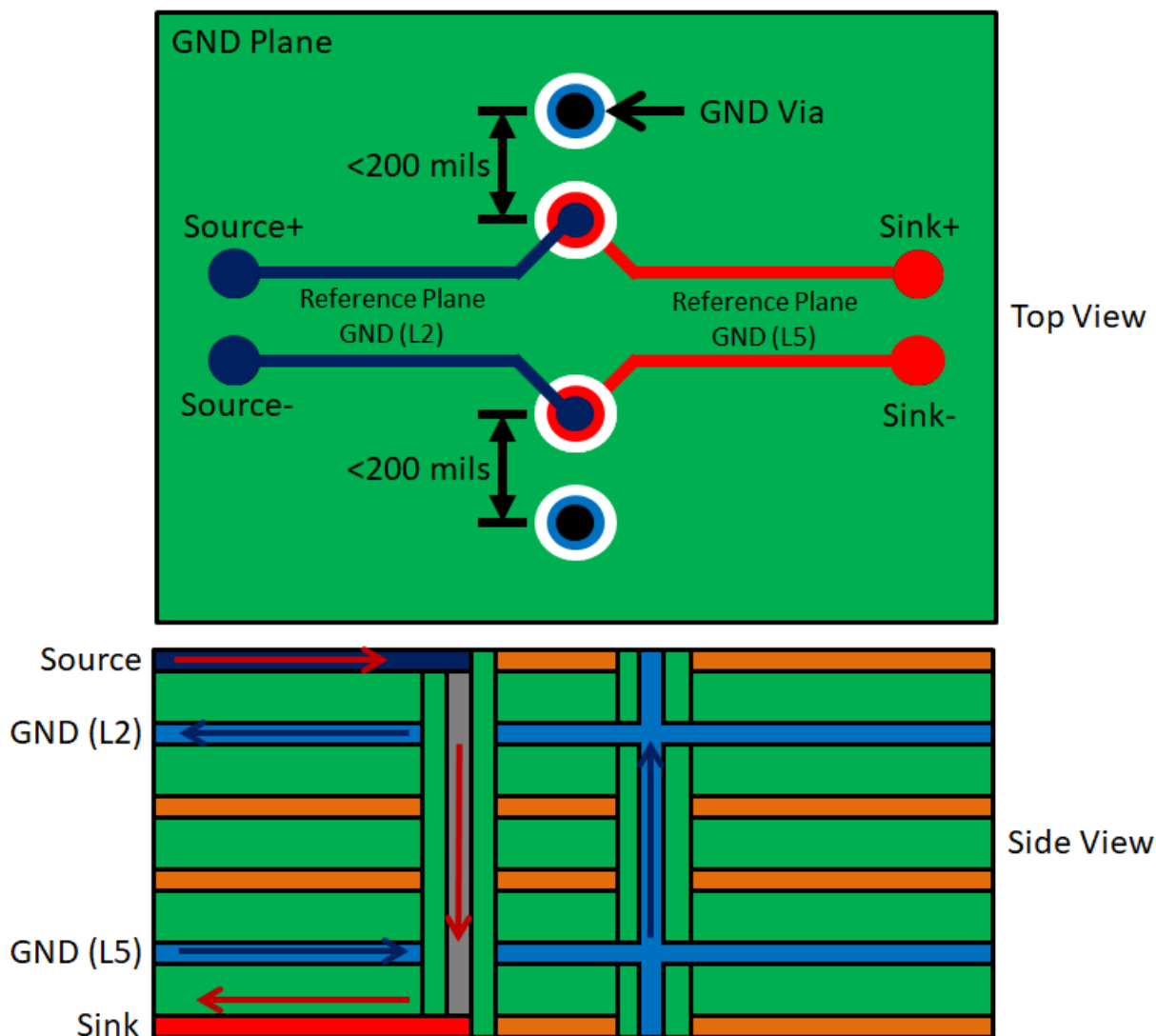


图 3-9. 带有接地过孔的差分对过孔返回路径

除非完全不可避免，否则 TI 不建议将电源平面作为高速信号的参考平面。如果无法避免，则使用交流耦合电容器和接地过孔以使返回信号有一条从漏极到源极的路径。图 3-10 显示了在返回路径中使用交流耦合电容器和接地过孔。红色箭头是信号路径，而蓝色箭头是返回路径。

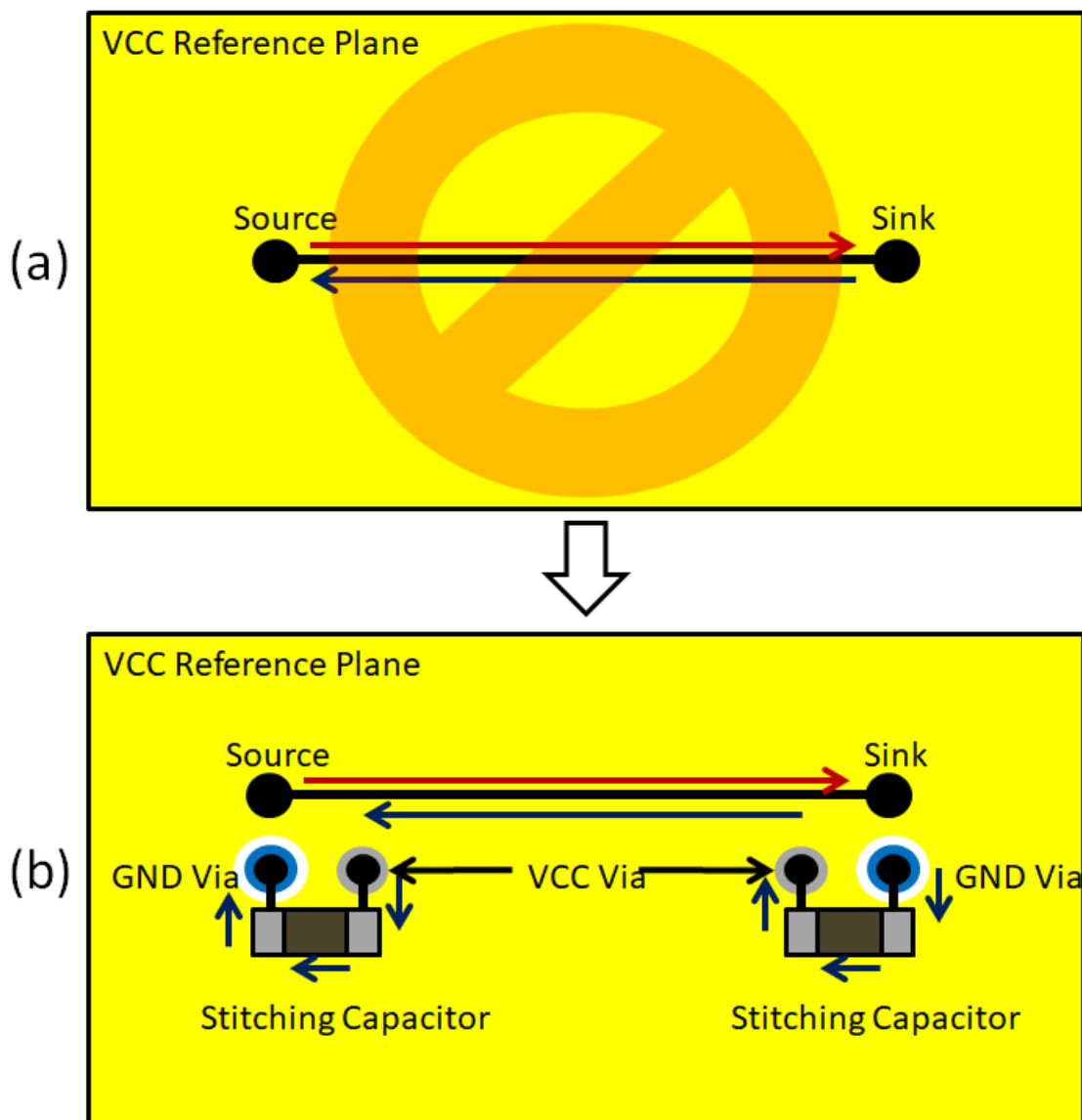


图 3-10. VCC 参考平面

4 高速差分信号布线

4.1 差分信号间距

为了尽量减少高速接口实现中的串扰，信号对之间的间距必须至少是布线宽度的 5 倍。此间距称为 5W 规则。对于计算出的布线宽度为 6mil 的 PCB 设计，高速差分对之间至少需要 30mil 的间距。此外，在整个布线长度上要与任何其他信号保持最低 30mil 的禁止距离。如果高速差分对与时钟或周期信号相邻，要将此禁止距离增大到最低 50mil，保持适当隔离。有关高速差分对信号间距的示例，请参阅图 4-1 和图 4-2。

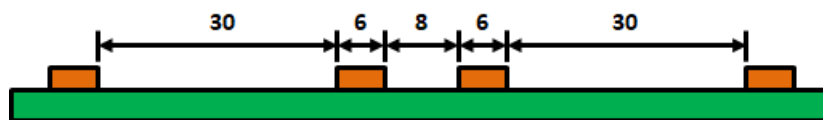


图 4-1. 差分对与相邻的其他信号的间距

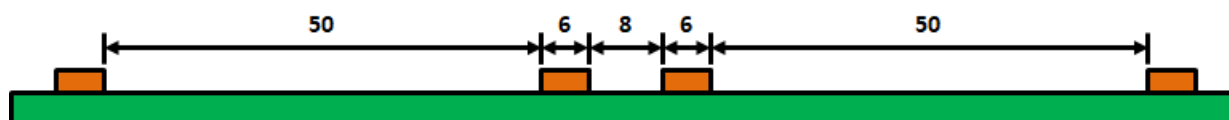


图 4-2. 差分对与相邻的时钟或周期信号的间距

在包含多个高速接口的器件中，避免这些接口之间的串扰很重要。为了避免串扰，请保持在封装迂回布线之后和连接器端接之前，每个差分对未布置在另一个差分对的 30mil 范围内。

4.2 额外的高速差分信号规则

- 请勿在任何高速差分信号上放置探头或测试点。
- 请勿在晶体、振荡器、时钟信号发生器、开关电源稳压器、安装孔、磁性器件或使用/复制时钟信号的 IC 下方或附近布置高速布线。
- BGA 破孔后，使高速差分信号远离 SoC，其原因为内部状态变换时产生的高电流瞬变难以滤除。
- 如有可能，在 PCB 的顶层或底层（与接地层相邻）布置高速差分对信号。TI 不建议对高速差分信号进行带状线布线。
- 务必确保将高速差分信号布置在距离参考平面边缘 $\geq 90\text{mil}$ 的位置。
- 务必确保将高速差分信号布置在距离参考平面中的空洞至少 $1.5W$ （计算出的布线宽度 $\times 1.5$ ）的位置。当高速差分信号上的 SMD 焊盘有空洞时，此规则不适用。
- 在 SoC BGA 迂回布线之后维持一致的布线宽度，以避免传输线路中存在阻抗失配现象。
- 最大限度地减小差分对之间的间距。

4.3 差分对的对称性参考

将所有高速差分对对称布置并使其互相平行。在封装迂回布线和布线至连接器引脚时，会自然而然地偏离这一要求。这些偏差必须尽可能短，并且封装破孔必须在封装的 0.25 英寸范围内进行。

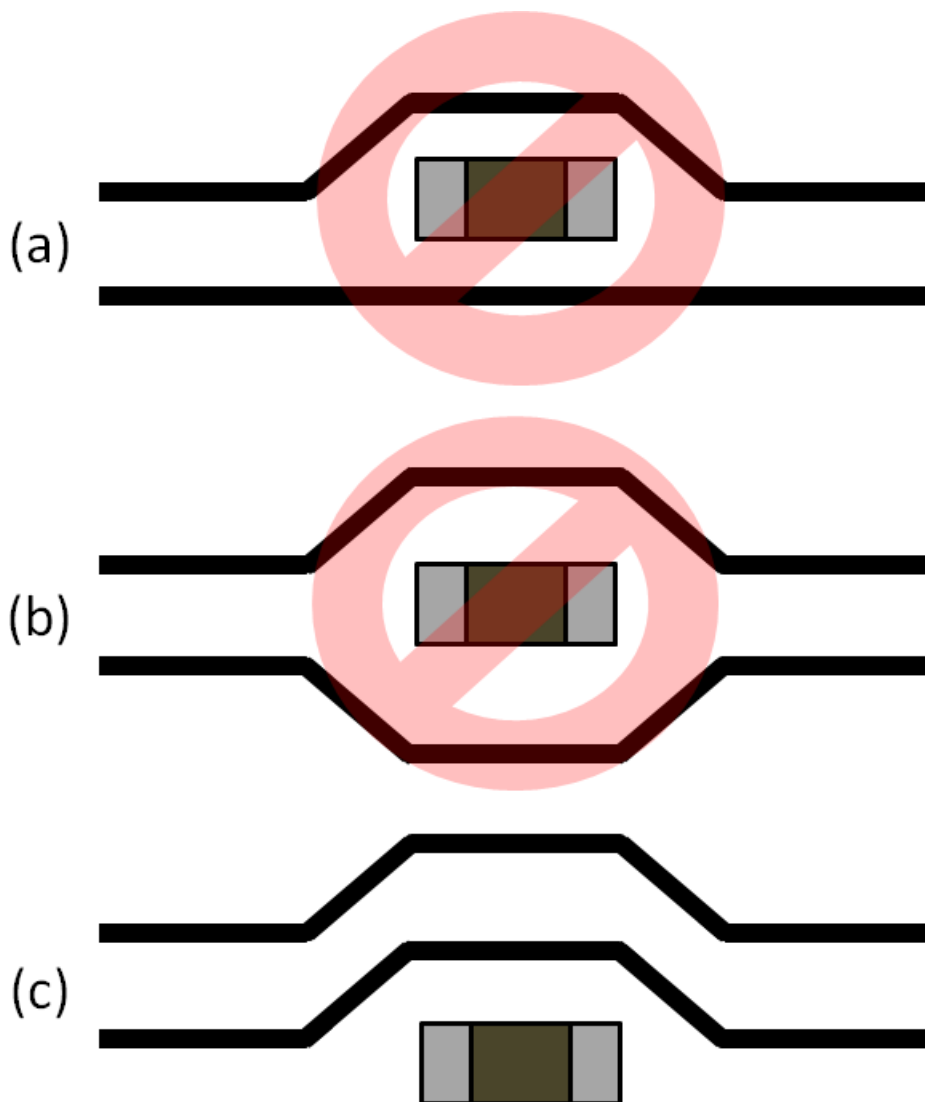


图 4-3. 差分对对称

4.4 连接器和插座

实现穿孔插座（例如 USB Standard-A）时，TI 建议在 PCB 的底层将高速差分信号连接到插座。在 PCB 底层进行这类连接可防止穿孔引脚在传输路径中起到残桩的作用。对于 USB Micro-B 和 Micro-AB 等表面贴装插座，在顶层进行高速差分信号连接。在顶层进行这些连接便不需要在传输路径中使用过孔。有关 USB 穿孔插座连接的示例。

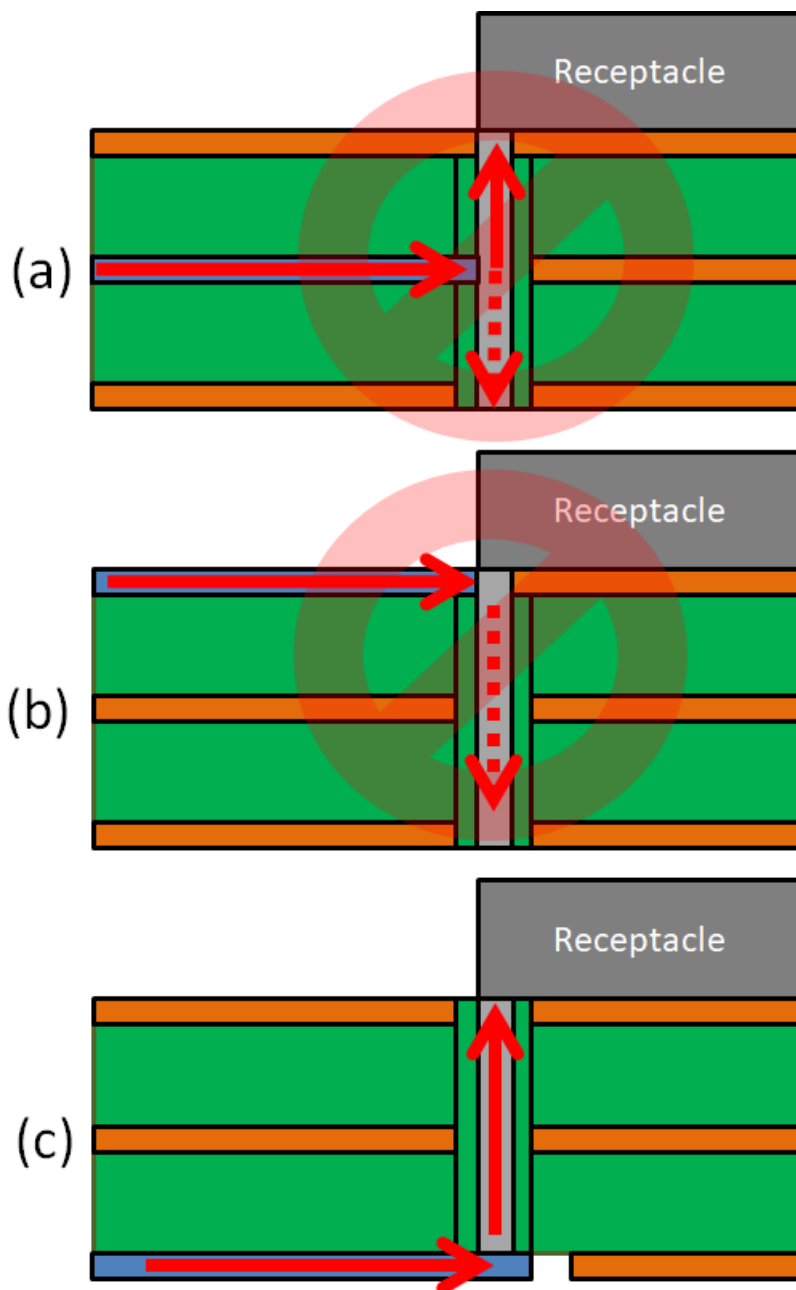


图 4-4. 插座残桩减少

- A：信号来自 PCB 的中间部分
- B：信号来自 PCB 的顶部
- C：信号来自 PCB 的底部

4.5 过孔不连续性缓解

过孔将一小段几何形状变化呈现在布线中，并可表现为电容和/或电感的不连续性。由于信号会穿过过孔，这些不连续性会引起信号反射和一定的衰减。应缩短总体过孔残桩长度，更大限度地减少过孔（及相关的过孔残桩）产生的负面影响。

由于较长的过孔残桩会在较低频率下共振，并会增加插入损耗，所以应使这些残桩尽可能短。大部分情况下，与过孔对信号的影响相比，过孔残桩使信号衰减得更厉害。TI 建议过孔残桩短于 15mil。残桩较长时，必须进行背钻。有关短过孔和长过孔长度的示例，请参阅图 4-5 和图 4-6。

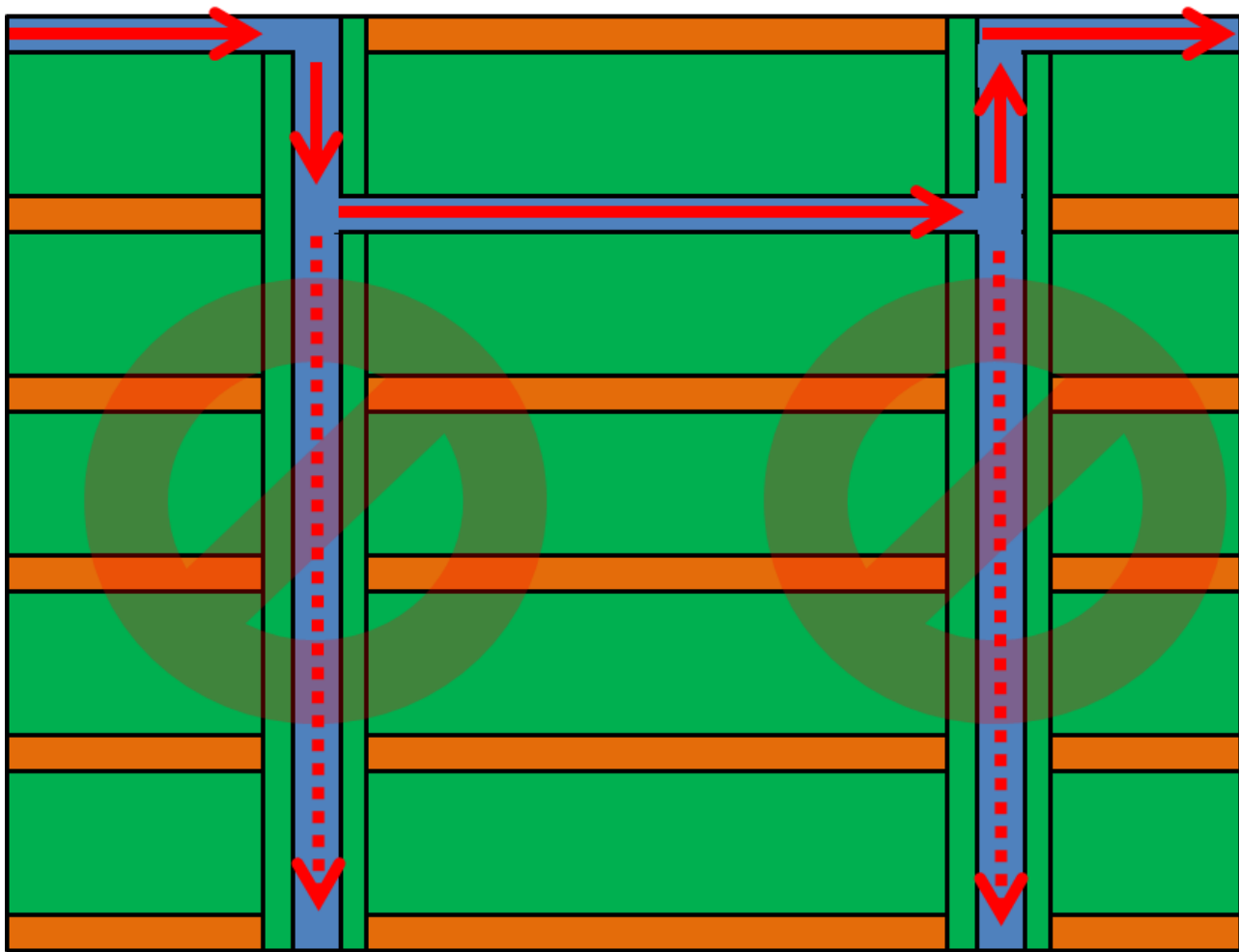


图 4-5. 具有长残桩的过孔

4.6 背钻残桩

背钻是一种 PCB 制造工艺，即去除过孔残桩中不需要的导电镀层。若要进行背钻，请使用直径比钻出原始过孔的钻头稍大一些的钻头。当过孔变换导致分支长于 15mil 时，对产生的分支进行背钻可减少插入损耗并确保它们之间不会共振。

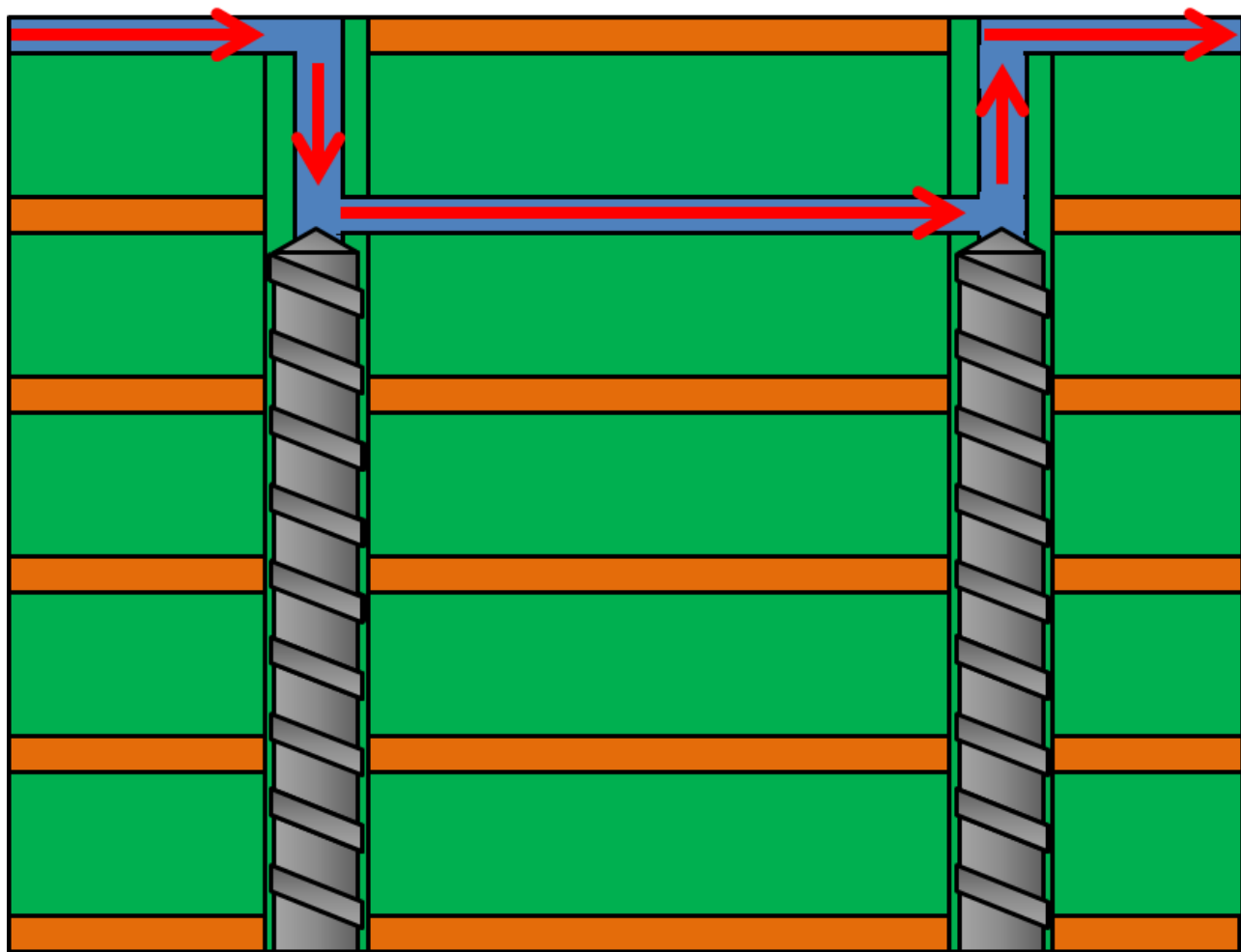


图 4-7. 带有背钻残桩的长过孔

4.7 布线残桩

对于高速信号，最大限度地减小高速布线上的分支，从而减少增加的插入损耗。图 4-8 显示了分支上有元件的高速布线。此残桩可缩减至：

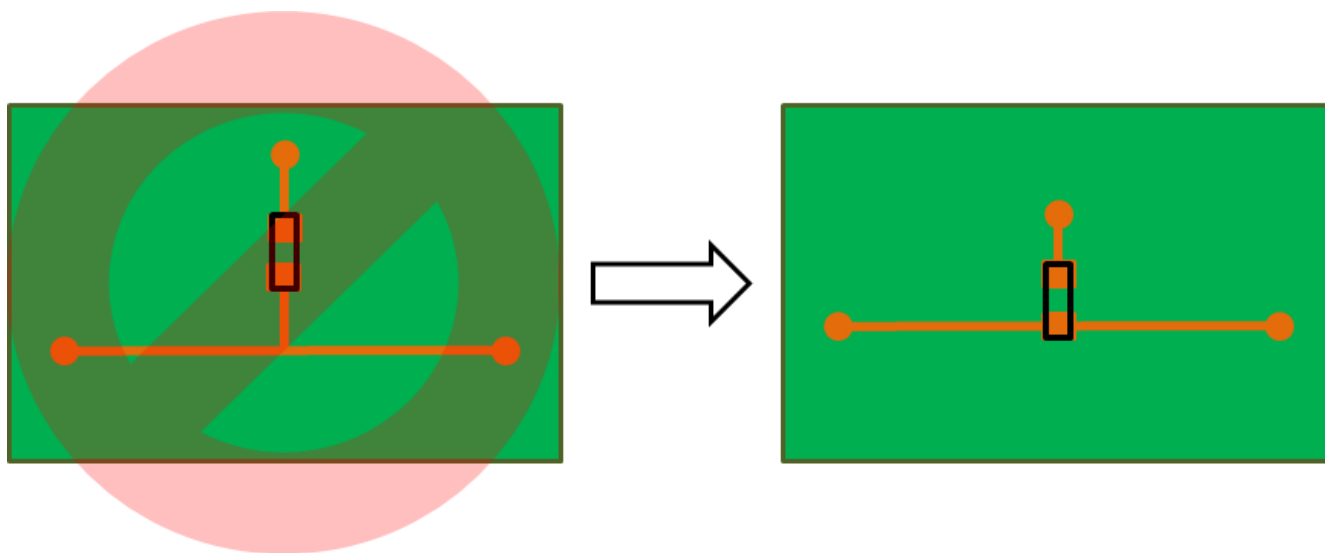


图 4-8. 长度减小的残桩

4.8 增大过孔反焊盘的直径

增大过孔反焊盘的直径可减少过孔的电容效应和整体插入损耗。务必确保用于高速信号传输的过孔反焊盘的直径尽可能大（30mil 的直径具有显著优势，且实施起来并不困难）。在存在过孔的所有层（包括布线层和平面层）上，必须留有铜间隙，即用反焊盘表示。连接到过孔套管的布线包含此区域唯一允许使用的铜；不允许使用非功能性或未连接的过孔焊盘。有关过孔反焊盘直径的示例，请参阅图 4-9。

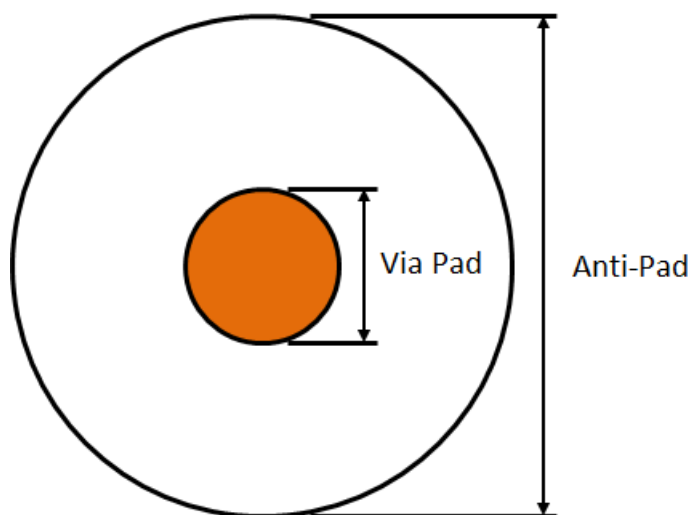


图 4-9. 过孔反焊盘

4.9 使过孔计数相等

如果在高速差分信号布线中需要使用过孔，务必确保差分对中每个成员的过孔计数相等，并且过孔的间距应尽可能相等。确保需要进行长度匹配的不同通道在其线路上拥有相同数量的过孔。此外，设计人员在验证差分对间延迟差等参数时必须考虑过孔的长度。

4.10 表面贴装器件焊盘不连续性缓解

避免在高速信号布线中采用表面贴装器件 (SMD)，其原因在于这些器件会导致中断，从而对信号质量产生负面影响。当信号布线上需要 SMD (例如，USB 超高速传输交流耦合电容器) 时，允许的元件尺寸上限为 0603。TI 强烈建议使用 0402 或更小的尺寸。在布局过程中对称地放置这些元件，以获得最优信号质量并最大限度地减少信号反射。有关交流耦合电容器正确和错误放置的示例。

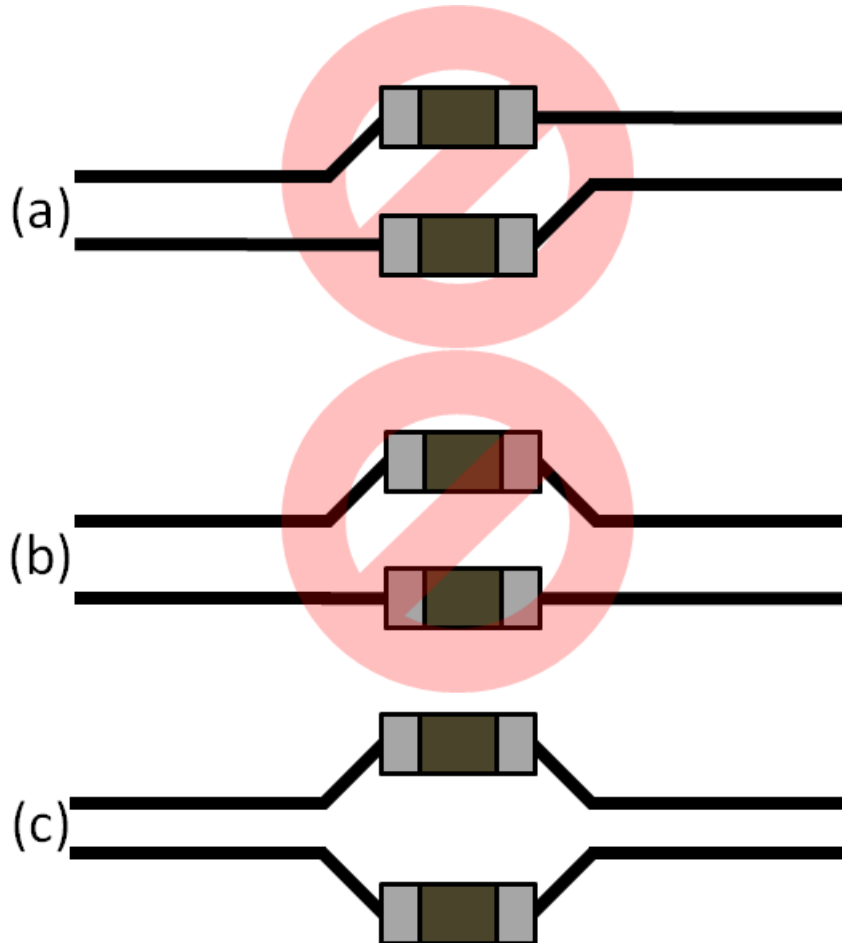


图 4-10. 交流耦合电容器放置

为了最大限度地减少将这些元件放置在差分信号布线上所产生的不连续性，TI 建议将参考平面中 SMD 安装焊盘的空洞增加 100%。此空洞应当至少为两个 PCB 层那么深。有关表面贴装器件参考平面空洞的示例，请参阅图 4-11。

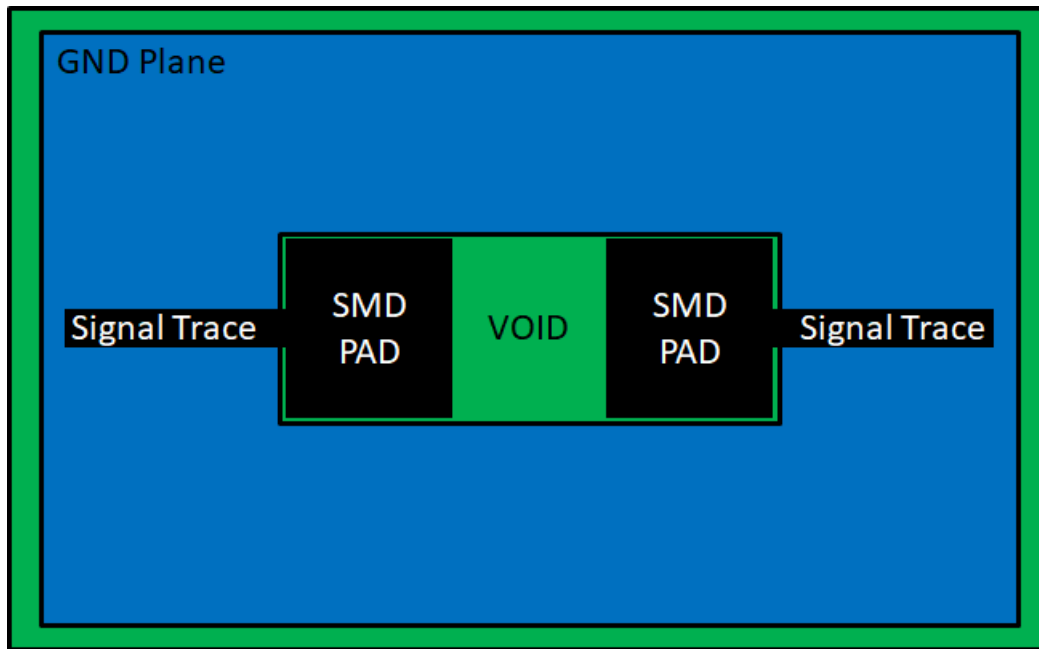


图 4-11. 空洞低于表面贴装器件

此外，为了最大限度地减少交流耦合电容器的电感，请使用 0201 电容器。

4.11 信号线弯曲

避免高速差分信号线弯曲。当需要弯曲时，维持大于 135° 的弯曲角度，以保持弯曲尽可能缓和。有关高速信号线弯曲规则的示例，请参阅图 4-12。

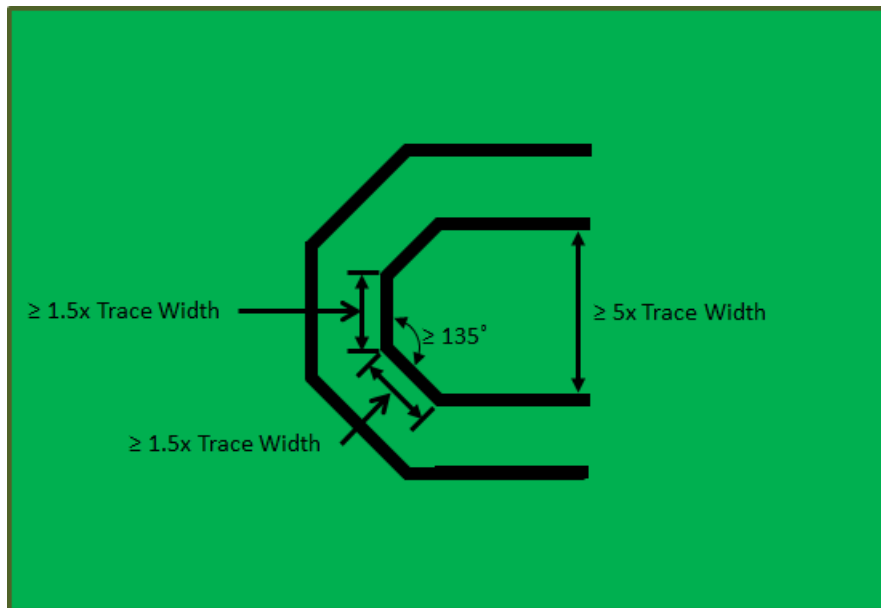


图 4-12. 信号线弯曲规则

4.12 建议的 PCB 堆叠

对于具有高速信号的 PCB，TI 建议至少使用六层 PCB。表 4-1 提供了 PCB 堆叠的示例。

表 4-1. 六层 PCB 上可能出现的电路板堆叠

	模型 1	模型 2	模型 3	模型 4	模型 5	模型 6	模型 7
第 1 层	信号	信号	信号	接地	信号	信号	信号
第 2 层	接地	信号	接地	信号	接地	接地	接地
Layer3	信号	POWER	POWER	信号	POWER	POWER	POWER
第 4 层	信号	接地	信号	信号	信号	接地	接地
第 5 层	POWER	信号	接地	POWER	接地	未使用	信号
第 6 层	信号	信号	信号	接地	信号	信号	信号
去耦	良好	良好	良好	良好	良好	良好	良好
EMC	满意	差	良好	满意	满意	良好	良好
信号完整性		差	良好	差	良好	良好	差

如果需要四层 PCB，表 4-2 提供了 PCB 堆叠的示例。

表 4-2. 四层 PCB 上可能出现的电路板堆叠

	模型 1	模型 2	模型 3	模型 4
第 1 层	信号	信号	信号	接地
第 2 层	信号	接地	接地	信号
第 3 层	POWER	POWER	信号	POWER
第 4 层	接地	信号	POWER	信号
去耦	良好	良好	差	差
EMC	差	差	差	差
信号完整性	差	差	良好	差

对于 6 层以上的 PCB 堆叠，请使用以下示例。

表 4-3. PCB 堆叠示例

8-LAYER	10-LAYER
信号	信号
接地	接地
信号	信号
信号	信号
电源/接地	POWER
信号	信号
接地	信号
信号	信号
	接地
	信号

4.13 ESD/EMI 注意事项

在选择 ESD/EMI 元件时，TI 建议选择允许 USB 差分信号对直通布线的器件，因为其能够提供最干净的布线。例如，TI TPD4EUSB30 可以与 TI TPD2EUSB30 结合使用，为 USB2 和 USB3 差分信号提供直通 ESD 保护，而无需在信号对中弯曲。

4.14 ESD/EMI 布局规则

- 将 ESD 和 EMI 保护器件放在尽可能靠近连接器的位置。
- 让任何未受保护的布线远离受保护的布线，以尽量减少 EMI 耦合。
- 在 ESD/EMI 元件信号焊盘下方留出 60% 的空洞以减少损耗。
- 将 0402 0 Ω 电阻器用于共模滤波器 (CMF) 无填充选项，因为一般来说，元件越大，就会引入比 CMF 更多的损耗。
- 将所有必要的信号对交流耦合电容器放置在 CMF 的受保护侧，尽可能靠近 CMF。
- 如果需要过孔过渡到 CMF 层，请务必确保过孔尽可能靠近 CMF。
- 确保交流耦合电容 + CMF + ESD 保护部分的整体布线尽可能短，并尽可能靠近连接器。

5 参考资料

- Hall, Stephen H., and Garrett W. Hall. *High Speed Digital System Design: A Handbook of Interconnect Theory and Design Practices*. New York: Wiley, 2000.
- Johnson, Howard W., and Martin Graham. *High-speed Signal Propagation: Advanced Black Magic*. Upper Saddle River, NJ: Prentice Hall/PTR, 2003
- Hall, Stephen H., and Howard L. Heck. *Advanced Signal Integrity for High-speed Digital Designs*. Hoboken, N.J.: Wiley, 2009.
- 德州仪器 (TI), [高速接口布局指南](#) 应用手册
- 德州仪器 (TI), [高速接口布局指南](#) 应用报告

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 [TI 销售条款](#)、[TI 通用质量指南](#) 或 [ti.com](#) 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2026，德州仪器 (TI) 公司

最后更新日期：2025 年 10 月