

Errata

MSPM0G351x、MSPM0G151x、MSPM0G351x-Q1、
MSPM0G3529-Q1 微控制器



摘要

本文档介绍了功能规格的已知例外情况（公告）。

内容

勘误说明.....2

1 功能公告.....2

2 预编程的软件公告.....3

3 仅调试公告.....4

4 已通过编译器公告修复.....4

5 器件命名规则.....4

 5.1 器件编号法和修订版本标识.....5

6 公告说明.....6

7 商标.....32

8 修订历史记录.....32

勘误说明

在阅读勘误列表和具体条目之前，应考虑以下说明：

- UART_ERR_02 不影响该器件

1 功能公告

影响器件运行、功能或参数的公告。

✓ 复选标记表示指定版本中存在该问题。

勘误编号	修订版 A (原型 X 标 记产品)	修订版 C	修订版 D
ADC_ERR_06	✓	✓	✓
ADC_ERR_10	✓	✓	
AES_ERR_01	✓	✓	✓
AES_ERR_02	✓	✓	✓
CPU_ERR_02	✓	✓	✓
CPU_ERR_03	✓	✓	✓
CPU_ERR_04	✓	✓	✓
DAC_ERR_01	✓	✓	✓
DMA_ERR_02	✓	✓	✓
FCC_ERR_01	✓	✓	✓
FLASH_ERR_01	✓	✓	✓
FLASH_ERR_03	✓	✓	✓
FLASH_ERR_04	✓	✓	✓
FLASH_ERR_05	✓	✓	✓
FLASH_ERR_08	✓	✓	✓
FLASH_ERR_09	✓	✓	✓
GPIO_ERR_04	✓	✓	✓
GPIO_ERR_06	✓	✓	✓
GPIO_ERR_08	✓	✓	✓
I2C_ERR_04	✓	✓	✓
I2C_ERR_05	✓	✓	✓
I2C_ERR_06	✓	✓	✓
I2C_ERR_07	✓	✓	✓
I2C_ERR_08	✓	✓	✓
I2C_ERR_09	✓	✓	✓
I2C_ERR_10	✓	✓	✓
I2C_ERR_13	✓	✓	✓
I2C_ERR_15	✓	✓	✓
KEYSTORE_ERR_01	✓	✓	✓
MATHACL_ERR_01	✓	✓	✓
MATHACL_ERR_02	✓	✓	✓
PMCU_ERR_09	✓	✓	✓
PMCU_ERR_10	✓		
PMCU_ERR_11	✓	✓	✓

勘误编号	修订版 A (原型 X 标 记产品)	修订版 C	修订版 D
PMCU_ERR_12	✓	✓	✓
RST_ERR_01	✓	✓	✓
RST_ERR_02	✓	✓	✓
RTC_ERR_01		✓	✓
SPI_ERR_02	✓	✓	✓
SPI_ERR_04	✓	✓	✓
SPI_ERR_05	✓	✓	✓
SPI_ERR_06	✓	✓	✓
SPI_ERR_07	✓	✓	✓
SPI_ERR_10	✓	✓	✓
SRAM_ERR_03	✓		
SYSCTL_ERR_01	✓	✓	✓
SYSCTL_ERR_02	✓	✓	✓
SYSCTL_ERR_03	✓	✓	✓
SYSCTL_ERR_04	✓	✓	✓
SYSCTL_ERR_05	✓	✓	✓
SYSCTL_ERR_06	✓	✓	✓
SYSOSC_ERR_01	✓	✓	✓
SYSOSC_ERR_02	✓	✓	✓
SYSOSC_ERR_04	✓	✓	✓
SYSOSC_ERR_05	✓	✓	✓
SYSOSC_ERR_06	✓	✓	✓
SYSOSC_ERR_07	✓	✓	✓
SYSPLL_ERR_01	✓	✓	
TIMER_ERR_04	✓	✓	✓
TIMER_ERR_06	✓	✓	✓
TIMER_ERR_07	✓	✓	✓
UART_ERR_01	✓	✓	✓
UART_ERR_02			
UART_ERR_04	✓	✓	✓
UART_ERR_05	✓	✓	✓
UART_ERR_06	✓	✓	✓
UART_ERR_07	✓	✓	✓
UART_ERR_08	✓	✓	✓
UART_ERR_10	✓	✓	✓
UART_ERR_11	✓	✓	✓
VREF_ERR_04	✓	✓	✓

2 预编程的软件公告

影响出厂编程软件的公告。

✓ 复选标记表示问题存在于指定的版本中。

3 仅调试公告

仅影响调试操作的公告。

✓ 复选标记表示指定版本中存在该问题。

勘误编号	修订版 A、C、D
GPIO_ERR_03	✓

4 已通过编译器公告修复

使用编译器解决方法解决的公告。请参阅每个公告，了解 IDE 和编译器版本及解决方法。

✓ 复选标记表示问题存在于指定的版本中。

5 器件命名规则

为了标示产品开发周期所处的阶段，TI 为所有 MSP MCU 器件的器件型号分配了前缀。每个 MSP MCU 商用系列产品都具有以下两个前缀之一：MSP 或 XMS。这些前缀代表了产品开发的发展阶段，即从工程原型 (XMS) 直到完全合格的生产器件 (MSP)。

XMS - 实验器件，不一定代表最终器件的电气规格

MSP - 完全合格的生产器件

支持工具命名前缀：

X：还未经德州仪器 (TI) 完整内部质量测试的开发支持产品。

null：完全合格的开发支持产品。

XMS 器件和 X 开发支持工具在供货时附带如下免责条款：

“开发中的产品用于内部评估用途。”

MSP 器件的特性已经全部明确，并且器件的质量和可靠性已经完全论证。TI 的标准保修证书对该器件适用。

预测显示原型器件 (XMS) 的故障率大于标准生产器件。由于这些器件的预计最终使用故障率尚不确定，德州仪器 (TI) 建议不要将它们用于任何生产系统。请仅使用合格的生产器件。

TI 的器件命名规则还包含具有器件产品系列名称的后缀。此后缀表示温度范围、封装类型和配送形式。

5.1 器件编号法和修订版本标识

下面的封装图展示了封装编号法方案，表 5-1 定义了器件修订版到版本 ID 的映射。

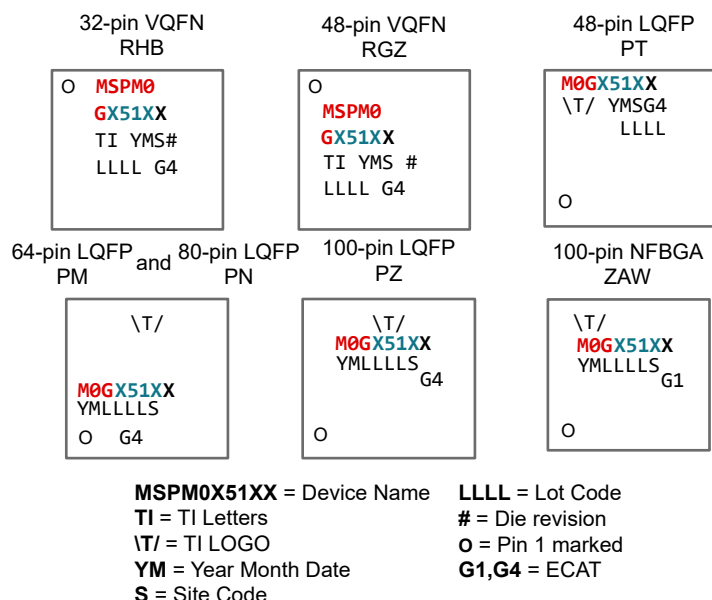


图 5-1. 封装符号

表 5-1. 表 5-1. 芯片修订版本

修订版字母	版本 (在器件的出厂常量存储器中)
A	0
C	0
D	1

修订版字母表示产品硬件修订版本。根据修订字母，本文档中的公告标记为“适用于”或“不适用于”给定器件。该字母映射到器件存储器中存储的整数，可用于使用应用软件或已连接的调试探针来查找修订版本。

6 公告说明

ADC_ERR_06

ADC 模块

类别

功能

功能

ADC 输出代码跳变，从而使 DNL/INL 规格降低

说明

当发生转换错误时，ADC 数字输出代码会出现固定的 $\pm 64\text{LSB}$ 跳变，而 ADC 输入电压并未发生相应变化。

在 -40°C 的最恶劣工况下，12 位模式下每转换 2400 万个样本就会出现 1 次此类错误。
(使用的 VDD 电压和基准对错误率没有影响)

权变措施

根据具体应用需求，适用的权变措施可能会有所不同，但建议在软件中采用以下权变措施。适用的权变措施的选择应由系统设计人员根据实际情况自行判断。

权变措施 1：当 ADC 结果超出应用阈值（通过 ADC 窗口比较器或软件阈值）时，触发或等待另一个 ADC 结果，然后再做出关键的系统决策

权变措施 2：在后处理过程中，剔除与中值或预期值相差太大的 ADC 值。预期值应基于系统中实际采样的平均值，剔除阈值应基于测量的系统噪声大小。

权变措施 3：使用 ADC 样本平均法，以尽可能降低任何单次错误转换结果的影响。

ADC_ERR_10

ADC 模块

类别

功能

功能

当 PA15/PA18/PA22/PA21 切换时，会出现 ADCMEMRES 交换

说明

设置条件：

1.ADC 处于重复序列模式 2.ADC 可以使用任何通道序列来读取数据 3.PA15/PA18/PA22/PA21 由外部器件或 MCU 本身（如 PWM）切换。

观察结果：

当软件开始 ADC 转换时，MEMRES 数据有时会发生交换。本应位于 MEMRES0 中的数据将进入 MEMRES1，MEMRES1 数据将进入 MEMRES2，以此类推。在重复模式下，当出现此错误时，最后一个 MEMRES 的数据将出现在 MEMRES0 中。

PA15/PA18/PA22/PA21 上的切换信号可能会影响 ADC 的转换时钟。这会使 ADC 在正确的通道数据传入之前存储先前的结果。

权变措施

避免 PA15/PA18/PA22/PA21 上出现快速开关信号（12kHz 或更快）。

AES_ERR_01	AES 模块
类别	功能
功能	AES 保存的上下文就绪中断未按预期生成
说明	未生成已保存的上下文就绪中断。如果对任何 AES 寄存器进行了访问（读取或写入），则会生成中断。
权变措施	使用基于轮询的机制，检查 CTRL 寄存器中已保存的上下文就绪的状态位，而不是中断。
AES_ERR_02	AES 模块
类别	功能
功能	使用 SYSPLL 时，AES 无法与 DMA 一起使用
说明	当 MCLK 的时钟源为 SYSPLL 且 MCLK != ULPCLK 时，使用 AES 的 DMA 操作无法完成
权变措施	在此配置下，无法通过权变措施在 AES 中使用 DMA 触发支持。但是，使用软件触发启动至 AES 的 DMA 传输是可行的；在 MCLK 的时钟源为 SYSPLL 时，也可以通过 CPU 和中断来使用 AES。
CPU_ERR_02	CPU 模块
类别	功能
功能	禁用 CPUSS 预取/缓存具有限制
说明	如果存在待处理的闪存访问，CPU 预取/缓存禁用将不会生效
权变措施	禁用高速缓存和预取器（顺序无强制要求），然后对 SYSTCL 中的关断存储器 (SHUTDNSTORE) 发出存储器访问（更多参考信息，请查看器件 TRM 中的 SHUTDNSTORE 寄存器）。 存储器访问完成后，预取器/高速缓存将被禁用。 示例： <pre> CPUSS->CTL = (CPUSS_CTL_PREFETCH_DISABLE CPUSS_CTL_ICACHE_DISABLE); //禁用指令缓存和预取 DL_SYSCTL_setShutdownStorageByte(DL_SYSCTL_SHUTDOWN_STORAGE_BYTE_X , data) // 将一个字节保存到 SHUTDOWN 存储器 </pre>

CPU_ERR_03	CPU 模块
类别	功能
功能	在转换到低功耗模式时，预取器可能会获取错误的指令
说明	转换到低功耗模式且存在待处理的预取时，预取器可能会错误地获取不正确的数据（全 0）。当器件唤醒时，如果预取器和高速缓存未被 ISR 代码覆盖，则从闪存执行的主代码可能会损坏。例如，如果 ISR 位于 SRAM 中，则从闪存预取的不正确的数据不会被覆盖。当 ISR 返回损坏的数据时，CPU 可能会提取预取器中的数据，从而导致指令不正确。硬件事件唤醒是将唤醒器件但不刷新预取器的进程的另一个示例。
权变措施	进入低功耗模式之前禁用预取器。 示例： <pre>CPUSS->CTL &= 0x6; // 禁用预取器，保持其他设置 SYSCTL.SOCLOCK.SHUTDNSTORE0 // 从 SHUTDOWN 存储器读取 __WFI(); // or __WFE(); 该函数调用转换到低功耗模式 CPUSS->CTL = 0x1; // 启用预取器</pre>
CPU_ERR_04	CPU 模块
类别	功能
功能	高速缓存无法从导致硬故障的 FLASH 地址返回正确的数据
说明	如果器件因某个 FLASH 地址进入硬故障状态，在器件从该硬故障恢复并尝试从其高速缓存（存储来自该 FLASH 地址的数据）中检索信息后，返回值变为零。 此外，如果访问相同的 FLASH 地址，则不会触发新的硬故障。
权变措施	通过更改 CPUSS.CTL.ICACHE 位禁用然后重新启用高速缓存。 示例： <pre>CPUSS->CTL &= ~(CPUSS_CTL_ICACHE_ENABLE); ///禁用指令缓存 CPUSS->CTL = CPUSS_CTL_ICACHE_ENABLE; ///启用指令缓存</pre>
DAC_ERR_01	DAC 模块
类别	功能
功能	当 DMA 和 DAC 在不同频率下运行时，不会生成 DMADONE 中断
说明	当 DMA 与 DAC 以不同频率运行时，DAC 无法正确获取 DMADONE 中断状态，导致 DAC.RIS、DAC.MIS 及 DAC.IIDX 寄存器无法更新。

DAC_ERR_01

(续)

DAC 模块

DMA 使用 MCLK 作为时钟源，DAC 使用 ULPCLK 作为时钟源。当 ULPCLK 不等于 MCLK 时，您将遇到此勘误问题。

权变措施

权变措施 1：

如果 MCLK 不等于 ULPCLK，请勿同时使用 DMA 与 DAC。

权变措施 2：

轮询 DMASZ.SIZE 寄存器以检查是否已完成所有 DMA 传输。如果 DMASZ.SIZE 为 0，则表示 DMA 已完成。

DMA_ERR_02

DMA 模块

类别

功能

功能

64 位到 128 位以及 128 位到 64 位的 DMA 混合字节传输无法正常工作

说明

当执行源宽度为 128 位且目标宽度为 64 位，或者源宽度为 64 位且目标宽度为 128 位的 DMA 传输时，传输将无法正确完成。

权变措施

目前没有权变措施。仅使用宽度匹配的传输（64 位到 64 位或 128 位到 128 位）。

FCC_ERR_01

FCC_ERR_01 模块

类别

功能

功能

当 BUSCLK 的时钟源为 LFCLK 时，FCC 行为异常

说明

当 BUSCLK 的时钟源为 LFCLK 时，FCC 无法按预期工作。FCC 完成信号未置为有效，或者报告的 FCC 值不正确。

权变措施

无权变措施

FLASH_ERR_01

FLASH 模块

类别

功能

功能

访问 FACTORY 区域将导致在闪存等待状态等于 2 时出现硬故障。

说明

当闪存等待状态设置为 2 时，访问 FACTORY 区域将触发硬故障。当 MCLK 设置为超出 32MHz 时，闪存等待状态需要为 2。

FLASH_ERR_01

(续)

FLASH 模块**权变措施**

以较低的频率设置 MCLK (闪存等待状态为 0 或 1) 以访问 FACTORY 区域。在闪存等待状态小于 2 时访问 FACTORY 区域 (要求 MCLK 为 32MHz 或更低)。如果应用程序需要在运行时访问这些值,则缓存 SRAM、MAIN 闪存或 DATA 闪存中的数据。温度传感器的校准值是一个典型值。

FLASH_ERR_03**FLASH 模块****类别**

功能

功能

在 2 个等待状态下访问闪存,然后访问无效引导代码,将导致下一次闪存访问也出现违规

说明

在 2 个等待状态下访问闪存,然后访问 BOOTCODE,将导致下一次闪存访问也出现违规。

权变措施

请勿尝试在启动阶段后访问引导代码区域。否则,在引导代码违规和下一次正确闪存访问之间需要间隔 4 个时钟周期。

FLASH_ERR_04**FLASH 模块****类别**

功能

功能

如果错误未发生在主闪存区域,则 SYSCTL_DEDERRADDR 中会报告错误地址。

说明**权变措施**

如果 SYSCTL_DEDERRADDR 的返回地址返回 0x00Cxxxxx,请使用 0x41000000 进行“OR”操作,以获取 NONMAIN 或 Factory 区域返回地址的正确地址。例如,如果 SYSCTL_DEDERRADDR = 0x00C4013C,则实际地址为 0x41C4013C。

如果 SYSCTL_DEDERRADDR 的返回地址返回 0x00Dxxxxx,请使用 0x41000000 进行“OR”操作,以获取数据银行返回地址的正确地址。例如,如果 SYSCTL_DEDERRADDR = 0x00D0012A,则实际地址为 0x00D0012A。

FLASH_ERR_05**FLASH 模块****类别**

功能

功能

DEDERRADDR 可能具有不正确的复位值

说明

SYSCTL->DEDERRADDR 的复位值可能返回 0x00C4013C,而不是正确的 0x00000000。错误发生在出厂微调区域,并不表示出现故障,可适当忽略。在器件上对 NONMAIN 进行编程后,复位值通常会发生变化。

FLASH_ERR_05

(续)

FLASH 模块

权变措施

接受 0x00C4013C 作为另一个复位值，因此引导后的默认值可能为 0x00000000 或 0x00C4013C。返回值超出了器件 MAIN 闪存的范围，因此该返回值不可能来自实际的 FLASH DED 状态。

FLASH_ERR_08

FLASH 模块

类别

功能

功能

不会为典型的无效存储器区域生成硬故障

说明

在尝试访问如下所示的非法存储器地址空间时，不会生成硬故障：1.0x010053FF - 0x20000000 2.0x40BFFFFF - 0x41C00000 3.0x41C007FF - 0x41C40000

权变措施

否

FLASH_ERR_09

FLASH 模块

类别

功能

功能

在特定的闪存交换策略下，BANK1 的静态写保护在 bank1 擦除时无法正常工作

说明

如果器件闪存并非最大型号（例如，MSPM0L111x 系列有 MSPM0L1117 和 MSPM0L1116 两种不同型号的器件，只有 MSPM0L1116 存在此问题），将出现在以下情况时意外擦除 bank1 的问题：失败情况 1：BANK1 的静态写保护已启用，闪存交换策略已禁用，SECCFG_Reg.FLBANKSWP 寄存器的 USEUPPER 位为 0 或 1，通过存储体擦除命令意外擦除了 BANK1。失败情况 2：BANK1 的静态写保护已启用，闪存交换策略已启用，SECCFG_Reg.FLBANKSWP 寄存器的 USEUPPER 位为 0，通过存储体擦除命令意外擦除了 BANK1。

权变措施

1.对于 Bank1，使用扇区擦除代替存储体擦除。或 2.使用同一器件系列中闪存最大的器件。

GPIO_ERR_03

GPIO 模块

类别

功能

功能

调试器读取 GPIO EVENT0 IIDX 时，中断被清除。

说明

在调试器读取 GPIO EVENT0 的 IIDX 时，被视为 CPU 读取，中断被清除。

权变措施

在调试期间，可通过软件读取 RIS 来读取 event0 的 IIDX。

GPIO_ERR_04	GPIO 模块
类别	功能
功能	配置全局快速唤醒不允许焊盘数据传输到 DIN 寄存器
说明	当配置 CTL 寄存器中的“仅快速唤醒”位并在运行模式下强制将数据传输到焊盘时，焊盘中的数据不会反映在 DIN 寄存器中。这是因为 CTL 寄存器配置会阻断任何数据从焊盘流向 DIN 寄存器。
权变措施	当需要焊盘上的数据传输到 DIN 寄存器时，避免使用 GPIO 快速唤醒功能。
GPIO_ERR_06	GPIO 模块
类别	功能
功能	当系统中发生并发 DMA 访问时，CPU 对 GPIO DOUT、DOUTSET 和 DOUTCLR 的写入访问可能会被忽略
说明	GPIO DMAMASK 控制 DMA 可以修改 DOUT MMR 中的哪些寄存器位。由于实现错误，当系统中发生并发 DMA 访问时，DMAMASK 还将应用于 CPU 访问 GPIO DOUT、DOUTSET 和 DOUTCLR。因此，通过设置 DMAMASK = 1 分配给 DMA 的任何寄存器位，可能无法由 CPU 进行置位。
权变措施	1.将需要由 CPU 和 DMA 访问的 GPIO 分开。使用 DMAMASK 定义将哪些 GPIO 分配给 DMA，以及哪些定义为 CPU 访问。不要让 CPU 访问分配给 DMA 的位。 2.如果需要 CPU 和 DMA 对同一个 GPIO 进行并发访问，则必须在 CPU 访问 GPIO 之前清除 DMAMASK。伪代码示例： I. DL_GPIO_disableDMAAccess(GPIO_REG, SELECTED_PINS); // 禁用特定 GPIO 寄存器中一组引脚的 DMA 访问 II./* 实现 GPIO DOUT、DOUTSET 和/或 DOUTCLR 寄存器修改 */ III.DL_GPIO_enableDMAAccess(GPIO_REG, SELECTED_PINS); //启用特定 GPIO 寄存器中一组引脚的 DMA 访问
GPIO_ERR_08	GPIO 模块
类别	功能
功能	当器件处于低功耗模式时，GPIO 可触发快速唤醒（无论是否设置）
说明	当器件进入低功耗模式时，无论 GPIO FASTWAKE 寄存器配置或引脚配置如何，GPIO 仍可实现快速唤醒响应。此错误适用的两种情况如下： 情况 1：当通过 GPIO FASTWAKE 寄存器启用特定于引脚的快速唤醒时（例如 PA2），无论配置的功能状态如何，任何切换都将触发快速唤醒。

GPIO_ERR_08

(续)

GPIO 模块

情况 2：如果在任何引脚上使用任何通信外设，则由外设滤波的线路上的干扰可能会触发快速唤醒。

权变措施

对于情况 1：请勿在该特定引脚（例如 PA2）中启用 GPIO FASTWAKE 位。例如：
DL_GPIO_disableFastWakePins(GPIOA, DL_GPIO_PIN_2); //禁用 PA2 的特定 GPIO FASTWAKE

对于情况 2：不为任何引脚启用全局快速唤醒。例如：
DL_GPIO_disableGlobalFastWake(GPIO_X); //禁用全局快速唤醒
如需一般性权变措施，请通过设置 SYSCTL 中 SYSOSCCFG 寄存器的 BLOCKASYNCALL 来关闭异步快速时钟请求。例如：
SYSCTL->SOCLOCK.SYSOSCCFG |=
SYSCTL_SYSOSCCFG_BLOCKASYNCALL_MASK;

I2C_ERR_04

I2C 模块

类别

功能

功能

当 SCL 为低电平且 SDA 为高电平时，目标 i2c 无法释放延展。

说明

1：SCL 线路接地并释放，器件不限期将 SCL 拉至低电平。

2：时钟后延展、超时和释放；如果线路上存在另一个时钟低电平，器件会不限期地将 SCL 拉至低电平。

权变措施

如果 I2C 目标应用在低功耗模式下不需要使用异步快速时钟请求进行数据接收，则建议默认禁用 SWUEN，包括在复位或功率周期期间也是一样。在这种情况下，不会出现错误描述 1 和 2。

如果 I2C 目标应用需要使用异步快速时钟请求在低功耗模式下接收数据，请在进入低功耗模式之前启用 SWUEN，并在退出低功耗模式后清除 SWUEN。即使在这种情况下，当 I2C 目标处于低功耗模式时，也可能会出现错误描述 1 和 2，如果总线上的另一个器件引发连续时钟延展或超时，它也会不限期延长 SCL 线路。为了从这种情况中恢复，请在 I2C 目标器件上启用低电平超时中断，在低电平超时 ISR 内复位并重新初始化 I2C 模块。

I2C_ERR_05

I2C 模块

类别

功能

功能

如果我们在正在进行的事务期间切换 ACTIVE 位，I2C SDA 可能会卡在零的位置

说明

如果在正在进行的传输期间切换 ACTIVE 位，则状态机将复位。但是，由控制器驱动的 SDA 和 SCL 输出将不会复位。存在 SDA 为 0 且控制器已进入 IDLE 状态的情况，在这种情况下，控制器将无法从 IDLE 状态向前移动或更新 SDA 值。设置目标的 BUSBUSY (切

I2C_ERR_05 (续) I2C 模块

换 ACTIVE 位会导致在线路上开始检测到开始)，并且 BUSBUSY 不会被清除，因为控制器将无法驱动 STOP 来将其清除。

权变措施

在事务正在进行期间不要切换 ACTIVE 位。

I2C_ERR_06 I2C 模块

类别

功能

功能

当 I2C 时钟低于 24kHz 及更低时，SMBus 高电平超时功能会失败

说明

当 I2C 时钟速率低于 24kHz 及更低 (20kHz、10kHz) 时，SMBus 高电平超时功能会失败。根据 SMBUS 规格，活动事务期间 SCL 高电平时间的上限为 50us。从将 START MMR 位写入 SCL 低电平所需的总时间为 60us，即 >50us。它将触发超时事件，并使 I2C 控制器进入 IDLE 状态，而不会在传输本身开始时完成事务。以下是详细说明。对于 SCL 配置为 20kHz 的情况，SCL 低电平周期和高电平周期分别为 30us 和 20us。首先，在高电平超时计数器开始递减的同时开始 MMR 位写入。然后，从开始 MMR 位写入到 SDA 变为低电平 (启动条件) 需要一个 SCL 低电平 (30us)。接下来，从 SDA 变为低电平 (启动条件) 到 SCL 变为低电平 (数据传输开始) 需要另一个 SCL 低电平周期 (30us)，此时应该停止高电平超时计数器。从计数器开始到结束总共需要 60us 的时间。但是，由于高电平超时计数器的上限 (50us)，尽管 I2C 事务会正常工作，而且不出现问题，但仍将触发超时事件。

权变措施

当 I2C 时钟低于 24kHz 及更低时，请勿使用 SMBus 高电平超时功能。

I2C_ERR_07 I2C 模块

类别

功能

功能

背对背控制器控制寄存器的写入将导致 I2C 无法启动。

说明

背对背 CTR 寄存器写入将导致后续的 CTR.START 不会正确地引起启动条件。

权变措施

以单次写入方式写入所有 CTR 位 (包括 CTR.START)，或者在 CTR 写入和 CTR.START 写入之间等待一个时钟周期。

I2C_ERR_08 I2C 模块

类别

功能

功能

RXDONE 中断后直接读取 FIFO 会导致读取错误数据

I2C_ERR_08 (续) I2C 模块

说明

发生 RXDONE 中断时，FIFO 并不总是会更新为最新数据。

权变措施

等待 2 个 I2C CLK 周期，让 FIFO 确保获得最新数据。I2C CLK 基于 I2C 寄存器中的 CLKSEL 寄存器。

I2C_ERR_09

I2C 模块

类别

功能

功能

如果以低速运行 I2C，则 ISR 读取时可能不会及时更新起始地址匹配状态。

说明

如果以低于 100kHz 的 I2C 速度运行，可能无法及时将 ADDRMATCH 位 (TSR 寄存器中的地址匹配) 置位来通过中断读取。

权变措施

如果在 I2C 上以低于 100kHz 的速度运行，请等待至少 1 个 I2C CLK 周期，然后再读取 ADDRMATCH 位。

I2C_ERR_10

I2C 模块

类别

功能

功能

启用 I2C 忙碌状态，防止进入低功耗模式

说明

在 I2C 目标模式下，如果没有 STOP 位，I2C 忙碌状态会在事务后保持高电平。

权变措施

对 I2C 控制器进行编程，以发送 STOP 位并且不为最后一个字节发送 NACK。通过 STOP 条件终止任何 I2C 传输，以保持正确的 BUSY 状态和异步时钟请求行为 (用于重新进入低功耗模式)。

I2C_ERR_13

I2C 模块

类别

功能

功能

轮询 I2C BUSY 位可能无法保证控制器传输完成

说明

在设置 CCTR.BURSTRUN 位来启动 I2C 控制器传输后，大约需要 3 个 I2C 功能时钟周期才能将 BUSY 状态置为有效。如果在设置 CCTR.BURSTRUN 后立即轮询 BUSY 位以等待传输完成，可能会在 BUSY 状态尚未置位时就完成状态检查。在 CLKDIV 值较高 (导致 I2C 功能时钟较慢) 或编译器优化级别较高的情况下，更有可能发生该问题。

I2C_ERR_13 (续) I2C 模块

权变措施

在轮询 BUSY 状态之前添加软件延迟。软件延迟 = $3 \times \text{CPU CLK/I2C 功能时钟} = 3 \times \text{CPU CLK}/(\text{CLKSEL}/\text{CLKDIV})$ 例如，时钟分频器 (CLKDIV) 为 8、时钟源为 4MHz(MFCLK)，CPU CLK 为 32MHz 时：软件延迟 = $3 \times 32\text{MHz}/(4\text{MHz}/8) = 192$ 个 CPU 周期

I2C_ERR_15

I2C 模块

类别

功能

功能

I2C SDA 上的干扰会导致 I2C 外设低功耗模式下处于活动状态

说明

I2C SDA 上 4us 内的干扰会导致 I2C 外设开关在低功耗模式 (STOP/STANDBY) 下进入活动状态，并且无法返回低功耗模式。

权变措施

1.增加 I2C 总线上的电容，但确保其总电容不超过 I2C 标准允许的值。2.增加 I2C 总线的电压。3.将 I2C 线移至远离噪声源。4.定期唤醒器件以检查 I2C 外设状态，如果其未处于 IDLE 状态，则复位 I2C 并将其重新初始化。

KEYSTORE_ERR_01

密钥库模块

类别

功能

功能

STATUS.STAT 值可以是 0 或 1，无需密钥访问

说明

STATUS.STAT 的复位值为 1 并在以下条件下变为 0：1.复位后，调试器通过寄存器窗口访问将返回 0x00。2.复位后，第一次 CPU 读取将返回 0x01，后续 CPU 读取将返回 0x00。3) 复位后，首先读取任何其他密钥库寄存器，然后读取 STATUS.STAT 将返回 0x00。

权变措施

STATUS.STAT = 0x0 表示“无错误”。要检查插槽是否有效（是否有密钥），请检查 STATUS.VALID。

MATHACL_ERR_01

MATHACL 模块

类别

功能

功能

MATHACL 状态错误位不会被清除

说明

如果 mathacl 生成状态错误（例如，除以 0），则状态寄存器永远不会被清除。

权变措施

复位外设以清除状态位。

MATHACL_ERR_0

2

MATHACL 模块

类别

功能

功能

MATHACL COS (-180) 返回 1，而不是 -1，SIN (-90) 返回 1，而不是 -1

说明

在执行 COS (-180) 或 SIN (-90) 时，MATHACL 将返回 1，而不是 -1

权变措施

没有解决方法，在软件中使结果为负。

PMCU_ERR_09

PMCU 模块

类别

功能

功能

当 LFOSCGOOD 置为有效后 NRST 置为无效时，POR 事件后的 RSTCAUSE 值不正确

说明

在 POR 事件中，一旦内部内核电压 (V_{CORE}) 达到稳定电平，就会启用内部低频振荡器 (LFOSC)。LFOSCGOOD 信号在 V_{CORE} 达到稳定后的 250us (最小值) 至 1.5ms (最大值) 内置为高电平。如果 NRST 引脚在 LFOSCGOOD 上升沿之后置为无效 (低电平到高电平转换)，则 RSTCAUSE 寄存器会错误地更新为 0xC，而不是预期值。

可能会触发该问题的情况：

- 1.上电事件：当 NRST 在 LFOSCGOOD 信号置为有效之后置为无效时，RSTCAUSE 会错误地更新为 0xC，而不是 0x1
- 2.IWDT POR 事件：如果在 LFOSCGOOD 信号置为有效后施加并释放 NRST 低电平脉冲，则 RSTCAUSE 会错误地更新为 0xC，而不是 0x2
- 3.NRST 保持低电平持续 > 1s：RSTCAUSE 错误地更新为 0xC，而不是 0x2
- 4.软件触发 POR 事件：如果在 LFOSCGOOD 信号置为有效后施加并释放 NRST 低电平脉冲，则 RSTCAUSE 会错误地更新为 0xC，而不是 0x3

权变措施

- 1.对于上电事件，请在 RC 滤波器中使用足够小的上拉电阻器，以确保 NRST 信号在 LFOSCGOOD 最小置为有效时间 (250us) 之前至少 50us 上升到 V_{DD} 的 90%，从而确保 NRST 置为无效沿与 LFOSCGOOD 置为有效窗口之间有足够的间隔。已知符合标准的配置是 NRST 电路上的 1kΩ 电阻器以及 10nF 电容器。
- 2.当需要识别复位原因时，请在读取 RSTCAUSE 后立即使用其中一个可用的 SHUTDOWN 存储器寄存器 (SHUTDNSTOREx) 来存储非零值。当 RSTCAUSE 返回 0xC 时，如果 SHUTDNSTOREx 数据被清除，则会发生 POR；如果 SHUTDNSTOREx 数据被保留，则会发生 BOR。

PMCU_ERR_10

PMCU 模块

类别

功能

功能

在某些工作条件下，VBOOST 可能会存在更高的延迟

PMCU_ERR_10

(续)

PMCU 模块**说明**

模拟多路复用的 VBOOST 在 $VDD < 1.8V$ 时具有较大的延迟，这会延迟 HFXT、COMP、SYSOSC (FCL 外部 R)、OPA 和 GPAMP 等其他模块的稳定时间。

权变措施

使用 GENCLKCFG[23:22]=0x2，保持 $VDD \geq 1.8V$ 并在 ONALWAYS 模式下使用 VBOOST。

PMCU_ERR_11**PMCU 模块****类别**

功能

功能

在关断模式下，NRST<1sec 脉冲提供错误的 rstcause

说明

在以下情况下，rstcause 值错误。但预期的 rstcause 为 0x05。

(i) 器件配置为 SHUTDOWN 模式

(ii) WFI() 被调用

(iii) 提供 NRST<1sec 的脉冲以使器件退出关断模式

权变措施

无权变措施。

PMCU_ERR_12**PMCU 模块****类别**

功能

功能

BOR 冷启动规格违例

说明

可能会违反 BOR 冷启动规格，最大规格为 1.65V。

权变措施

无权变措施。在冷启动时，器件会在 1.65V 以上运行。

RST_ERR_01**RST 模块****类别**

功能

功能

在 LFXT 或 LFCLK_IN 丢失后，NRST 释放沿与 LFOSCGOOD 上升沿重合时，器件会保持复位状态

说明

在特定的极端情况下，如果 NRST 信号的释放沿（低电平到高电平转换）与 LFOSCGOOD 的上升沿重合，则器件无法检测到 NRST 置为无效，并会无限期地保持复位状态。可能会触发该问题的情况：当 LFCLK 源从 LFCLK_IN 或 LFXT 切换到 LFOSC 时，LFOSC 将重新启用，并且 LFOSCGOOD 状态在重新启用事件的 250us（最小值）至

RST_ERR_01

(续)

RST 模块

1.5ms (最大值) 内置为高电平。如果施加的 NRST 低电平脉冲使其释放沿 (低电平到高电平转换) 在 50ns 窗口内与 LFOSCGOOD 上升沿对齐, 则不会检测到 NRST 置为无效, 且器件保持复位状态。

权变措施

保持 NRST 低电平脉冲宽度高于 2ms 即可避免此问题

RST_ERR_02

RST 模块

类别

功能

功能

当 NRST 置为无效与初始 LFOSCGOOD 置为有效重合时, 器件可能无法上电

说明

在上电事件中, 一旦内部内核电压 (VCORE) 达到稳定电平, 就会启用内部低频振荡器 (LFOSC)。LFOSCGOOD 信号在 VCORE 达到稳定后的 250us (最小值) 至 1.5ms (最大值) 内置为高电平。VDD 的 VBOR+ 阈值可用作 VCORE 变为稳定时的基准点。如果 NRST 置为无效 (低电平到高电平转换) 与 LFOSCGOOD 上升沿在 200ns 窗口内重合, 则不会检测到 NRST 置为无效, 且器件保持复位状态, 无法退出启动序列的引导阶段。由于 NRST 置为无效时序由 NRST 电路上的 VDD 斜坡速率以及外部电阻器和电容器 (RC) 网络控制, 因此实际上可能会触发这种情况 — 已知易受影响的配置包括 NRST 电路上的 47k Ω 电阻器和 10nF 电容器。

权变措施

权变措施 1: 在 RC 滤波器中使用足够小的上拉电阻器, 以确保 NRST 信号在 LFOSCGOOD 最小置为有效时间 (250us) 之前至少 50us 上升到 VDD 的 90%, 从而确保 NRST 置为无效沿与 LFOSCGOOD 置为有效窗口之间有足够的间隔。已知符合标准的配置是 NRST 电路上的 1k Ω 电阻器以及 10nF 电容器。Workaround2: 采用一个外部复位控制器, 使 NRST 在 VDD 斜坡开始后保持在逻辑低电平至少 2.0ms, 从而确保 NRST 置为无效发生在 LFOSCGOOD 最大置为有效时间 (1.5ms) 之后。

RTC_ERR_01

RTC 模块

类别

功能

功能

某些 RTC 中断在 STANDBY1 中不可用

说明

在 STANDBY1 下, RTCRDY 和 RTC_PRESCALER1 中断无法唤醒器件。

权变措施

使用 RTC 从 STANDBY1 唤醒器件时, 请使用其他可用中断, 例如 RTC_ALARM 和 RTC_PRESCALER0。

SPI_ERR_02	SPI 模块
类别	功能
功能	从低功耗模式 (LPM) 唤醒后 SPI 时钟和数据字节缺失
说明	器件从低功耗状态唤醒后，SPI 模块无法正确传播发送出的第一个字节的前几个时钟周期和数据位。
权变措施	为了在唤醒后保持 SPI 数据完整性，请在进入和退出 LPM 时使用以下序列： 1. 禁用 SPI 模块 2. 等待中断 (WFI) - 进入 LPM 3. 从 LPM 唤醒 (任何源)。 4. 启用 SPI 模块。
SPI_ERR_04	SPI 模块
类别	功能
功能	当 SPI 外设处于仅接收模式时，在每个帧接收后进行 IDLE/BUSY 状态切换。
说明	如果 SPI 外设处于仅接收模式，则在 SPI 连续接收数据 (SPI_PHASE=1) 时，每个帧接收后都会切换 IDLE 中断和 BUSY 状态。此处没有数据加载到外设 TXFIFO，TXFIFO 为空。
权变措施	不要使用 SPI 外设的仅接收模式。将 SPI 外设设置为传输和接收模式。您无需在 TX FIFO 中为 SPI 设置任何数据。
SPI_ERR_05	SPI 模块
类别	功能
功能	无论 RXFIFO 数据如何，都将设置 SPI 外设接收超时中断
说明	当使用 SPI 超时中断时，即使在接收到最终 SPI CLK 后，RXTIMEOUT 也可以继续递减，这可能会导致错误的 RXTIMEOUT。
权变措施	接收到最后一个数据包后禁用 RXTIMEOUT (可以在 ISR 中完成) 并在 SPI 通信再次开始时重新启用。
SPI_ERR_06	SPI 模块
类别	功能

SPI_ERR_06 (续) SPI 模块

功能	调试暂停置为有效时，IDLE/BUSY 状态不反映 SPI IP 的正确状态
说明	IDLE/BUSY 与暂停无关，它仅控制 RXFIFO/TXFIFO 写入/读取选通。因此，如果控制器正在发送数据，尽管未在 FIFO 中为其设置门锁，但正在设置 BUSY。在暂停期间，POCI 线路会在线路上传输先前传输的数据
权变措施	当 SPI IP 暂停时，请勿使用 IDLE/BUSY 状态。

SPI_ERR_07 SPI 模块

类别	功能
功能	如果同时在 SPI 外设对 TXFIFO 进行读取/写入，则可能不会生成 SPI 下溢事件
说明	当 SPI.CTL0.SPH = 0 且器件配置为 SPI 外设时。 如果在从 SPI 控制器发出读取请求时对 TXFIFO 进行了写入，则由于同时发生读取/写入请求，可能不会生成下溢事件。
权变措施	当 SPI 控制器对器件寻址时，确保 TXFIFO 不为空，这可以通过预加载数据来实现，以避免对同一 TXFIFO 地址进行写入和读取。或者，可以使用数据检查策略（如 CRC）来验证数据包是否已正确发送，在 CRC 不匹配时，可以重新发送数据。

SPI_ERR_10 SPI 模块

类别	功能
功能	DMA 未对最新 SPI 触发计数进行采样
说明	如果 SPI 配置为在发生接收超时 (RTOUT) 事件时触发 DMA 传输，且 DMA 通道在触发请求时正忙于为另一个传输提供服务，则在 DMA 应答请求之前 SPI 接收到的任何额外字节都不会包含在传输中。DMA 仅传输发出触发请求时接收到的字节数，使随后接收到的字节仍保留在 RX FIFO 中未被读取。
权变措施	将 DMA_TRIG_RX 配置为 RX 触发条件与 RTOUT 结合使用。当 RX FIFO 达到配置的阈值水平时，就会触发 RX 触发，从而确保在 DMA 服务开始之前，FIFO 中已存在全部预期字节数。这可保证无论 DMA 通道是否延迟应答请求，DMA 传输计数均准确无误。

SRAM_ERR_03 SRAM 模块

类别	功能
----	----

SRAM_ERR_03

(续)

SRAM 模块**功能**

修订版 A 器件不支持 SRAM 奇偶校验和 ECC 功能

说明

修订版 A 器件不支持 SRAM 奇偶校验和 ECC 功能。请勿在修订版 A 器件上使用 SRAM 奇偶校验和 ECC 功能。

权变措施

无。

SYSCTL_ERR_01 SYSCTL 模块**类别**

功能

功能

SW-POR 功能与 HW-POR 结合使用

说明

当用户使用正确的密钥写入 LFSSRST 寄存器以生成软件触发的 POR 时，RSTCAUSE 寄存器将显示 0x2 (指示 NRST 触发的 POR)，而不是预期的 0x3 (软件触发的 POR)。这是因为 SW-POR 功能是与 HW-POR 路径结合使用的。

权变措施

否

SYSCTL_ERR_02 SYSCTL 模块**类别**

功能

功能

SYSSTATUS.FLASHSEC 在 BOOTRST 之后为非零

说明

在 BOOTRST/ 引导代码运行完成之后，SYSSTATUS.FLASHSEC 为非零。客户将在引导代码运行完成后看到此情况。

权变措施

否

SYSCTL_ERR_03 SYSCTL 模块**类别**

功能

功能

在执行 SYSRESET 或对 SYSSTATUSCLR 进行写入后，DEDERRADDR 仍然存在

详细信息

在执行 SYSRESET 或对 SYSSTATUSCLR 进行写入后，DEDERRADDR 寄存器仍然存在。仅当发生新的 FLASHDED 错误时，才会覆盖其值。这种行为不符合技术参考手册 (TRM)，手册中规定其初始复位值为零。

SYSCTL_ERR_03

(续)

SYSCTL 模块

权变措施

无权变措施

SYSCTL_ERR_04

SYSCTL 模块

类别

功能

功能

SYSRESET 之后不会清除 SYSSTATUS.FLASHSEC

说明

SYSRESET 之后不会清除 SYSSTATUS.FLASHSEC，只能通过写入 SYSSTATUSCLR 寄存器来清除。

权变措施

从 SYSRESET 返回后，使用 SYSSTATUSCLR = 0xCE000001 手动清除 FLASHSEC 状态。

SYSCTL_ERR_05

LFCLK 模块

类别

功能

功能

LFCLK 在退出关断模式时无法正常工作

说明

如果 LFCLK_IN 引脚配置为具有上拉的通用输入 (或) LFCLK_IN 功能，则在该配置中，退出关断模式将导致 LFCLK 卡住。

权变措施

选择以下任一选项：1. 在该 LFCLK_IN I/O 上启用下拉而不是上拉 2. 避免将其配置为输入

SYSCTL_ERR_06

CLK_OUT 模块

类别

功能

功能

当用户禁用 CLK_OUT 而异步时钟被选为 CLK_OUT 源时，外部时钟输出 (CLK_OUT) 上可能会出现干扰

说明

如果 CLK_OUT 的时钟源与当前总线时钟异步 (例如，总线时钟为 SYSOSC、而 CLK_OUT 的时钟源被选为 LFCLK)，则在这种情况下，当 CLK_OUT 引脚在启用一段时间后被禁用时，CLK_OUT 引脚上可能会出现干扰

权变措施

为避免外部引脚的干扰输出，请按照以下顺序操作：CLK_OUT 启用情况：IOMUX 启用配置应在 CLK_OUT 启用配置之后。CLK_OUT 禁用情况：IOMUX 禁用配置应在 CLK_OUT 禁用配置之前。

SYSOSC_ERR_01 SYSOSC 模块

类别	功能
功能	将 SYSOSC FCL 与 STOP1 模式一起使用时的 MFCLK 漂移
说明	如果启用了 MFCLK 并且 SYSOSC 使用频率改正环路 (FCL) 模式并使用 STOP1 低功耗工作模式，则当 SYSOSC 从 4MHz 转换回 32MHz 时（在退出 STOP1 进入 RUN 模式时或发生强制 SYSOSC 进入 32MHz 的异步快速时钟请求时），MFCLK 可能会漂移两个周期。
权变措施	使用 STOP0 模式而不是 STOP1 模式，使用 STOP0 模式时没有 MFCLK 漂移。 或 在使用 STOP1 时，在 FCL 模式下不使用 SYSOSC（使 FCL 保持禁用状态）。

SYSOSC_ERR_02 SYSOSC 模块

类别	功能
功能	在 LPM 下接收到异步时钟请求（在 FCL 模式下禁用了 SYSOSC）时，MFCLK 不工作
说明	在以下情况下，MFCLK 不会开始切换： 1. 启用 FCL 模式，然后启用 MFCLK 2. 进入禁用 SYSOSC 的低功耗模式(SLEEP2/STOP2/STANDBY0/STANDBY1)。 3. 从一些使用 MFCLK 作为功能时钟的外设接收到异步请求。 接收到异步请求时，SYSOSC 将被启用，ulpclock 将变为 32MHz。但 MFCLK 会断开，并且它根本不会切换，因为器件的设置仍然为 LPM。
权变措施	如果 SYSOSC 正在使用 FCL 模式 - 当您进入 LPM 模式（通常会关闭 SYSOSC）时，请勿启用外设的 MFCLK。

SYSOSC_ERR_04 SYSOSC 模块

类别	功能
功能	在 FCL ON 模式下，SYSOSC 精度会降低
说明	当使用内部振荡器 (SYSOSC) 的 FCL ON 模式时，精度可能会降低多达 +/-3%。精度下降是由于 4MHz FCL 采样时钟与系统噪声之间的同步所致。

SYSOSC_ERR_04

(续)

SYSOSC 模块

权变措施

如果使用 SYSPLL FCL ON 模式，请为 SYSPLL 频率选择一个非 4MHz 整数倍的值，例如：78MHz 或 79MHz

请勿将 SYSPLL 频率设为 16、32、48、40、64、80MHz 等

对于 78MHz：

将 SYSPLLCFG1.PDIV 设置为 0x3 且 SYSPLLCFG1.QDIV 设置为 38

并非 4MHz 倍数的 SYSPLL 工作频率仍会至少每微秒与 FCL 采样时钟对齐一次；当这两个时钟具有公因数时，对齐频率会更高。

SYSOSC_ERR_05 SYSOSC 模块

类别

功能

功能

启用 FCL 时，SYSOSC 在从 LPM 进行异步快速唤醒期间的运行频率可能低于基频

说明

FCL=enabled 时，在低功耗模式下且存在活动的异步快速时钟请求期间，SYSOSC 的运行频率可能比其基频最多低 10%。当器件处于低功耗模式时会发生这种情况，原因是即使 FCL = enabled，也始终会应用 FCL = Disabled 微调，而不是使用 FCL= enabled 微调。器件唤醒、退出 LPM 并处理请求后，SYSOSC 将应用正确的微调，并以其预期的目标频率恢复正常的 FCL = Enabled 运行。

大多数用例不会产生实质性影响，用户仍可根据需要继续同时使用 FCL 和异步快速时钟请求。此勘误表会产生实质性影响的主要应用是 UART 为异步快速时钟请求源的应用，因为这种临时移位可能会影响有效波特率，直至器件被完全唤醒。

权变措施

1. 保持 FCL = disabled
2. 如果需要 FCL =Enabled，则禁用异步快速时钟请求。

SYSOSC_ERR_06 SYSOSC 模块

类别

功能

功能

在 LPM 下接收到异步时钟请求 (在 FCL 模式下禁用了 SYSOSC) 时，MFCLK 会以 32MHz 而非 4MHz 工作

说明

在以下情况时，MFCLK 会错误地配置为 32MHz：

1. 启用 FCL 模式，然后启用 MFCLK
2. 进入禁用 SYSOSC 的低功耗模式 (SLEEP2/STOP2/STANDBY0/STANDBY1)
3. 从某些使用 MFCLK 作为功能时钟的外设接收到异步请求

SYSOSC_ERR_06

(续)

SYSOSC 模块

收到异步请求后，将启用 SYSOSC，且 ULPClk 变为 32MHz。随后，MFCLK 错误地配置为 32MHz。

权变措施

如果 SYSOSC 正在使用 FCL 模式：当您进入 LPM 模式（通常会关闭 SYSOSC）时，请勿启用外设的 MFCLK。

SYSOSC_ERR_07 SYSOSC 模块**类别**

功能

功能

在 SYSOSC=4M 模式下，使用内部 ROSC 且处于 FCL_ON 模式时，SYSOSC 频率偏差超出规格

说明

当使用内部 ROSC 且在 FCL_ON 模式下运行时，由于加载的微调值不正确，SYSOSC 4MHz 模式显示的频率偏差超出数据表规格。

权变措施

使用内部 ROSC 且在 FCL_ON 模式下运行时，请避免使用 4MHz 的 SYSOSC。相反，将 SYSOSC 配置为 32MHz 并使用数字时钟分频 (MDIV = 8) 来实现 4MHz 总线时钟。

SYSPLL_ERR_01 SYSPLL 模块**类别**

功能

功能

启用后，SYSPLL 频率可能无法锁定到正确的频率。

说明

当在 SYSCTL HSCLKEN 寄存器中将 SYSPLLEN 位设置为 1 时，SYSPLL 将运行锁相环搜索。如果频率不会设置为正确的值，搜索可能会失败，相反，生成的频率将与配置的频率大不相同。

权变措施**频率验证流程**

只要 SYSPLLEN 位设置为 1，就会使用频率时钟计数器 (FCC) 监控 SYSPLL 的频率输出。设置正确的频率后，它将保持稳定，直到 SYSPLL 被禁用并重新启用 (SYSPLLEN 位从 0 切换到 1)。如果检测到频率不正确，请禁用并重新启用 SYSPLL 以再次执行验证。

权变措施 1：FCC 计数检查

使用 LFCLK 作为 FCC 触发源，以计算 SYSPLL 输出时钟频率。执行 FCC，并使用 LFCLK 作为参考，将测量值与配置的 SYSPLL 频率进行比对。

计算示例：

- SYSPLLCLK0 = 80MHz; LFCLK = 32.768kHz
- 测量的 FCC 计数 = $80,000,000/32,768 = 2,441$

FCC 计数容许：

实际 FCC 计数会因组合的时钟精度 (SYSPLLCLK0 和 LFCLK) 而有所变化。建议为允许

SYSPLL_ERR_01

(续)

SYSPLL 模块

的 FCC 检查范围增加 +/- 5~10%。

- FCC 计数上限 = $2,441 \times 1.05 = 2,563$

- FCC 计数下限 = $2,441 \times 0.95 = 2,318$

时序注意事项：

- 时钟同步时间：5-6 个 LFCLK 周期

- FCC 触发时间：1-32 个 LFCLK 周期 (用户可配置)

寄存器配置：

- FCC 设置：SYSCTL.GENCLKCFG.FCCTRIGSRC = 1;

- SYSCTL.GENCLKCFG.FCCLVLTRIG = 0;

- SYSCTL.GENCLKCFG.FCCTRIGCNT = 0;

- SYSCTL.GENCLKCFG.FCCSELCLK = 4;

- 起始 FCC：SYSCTL.FCCCMD = 0x0E000001U

- 检查 FCC 完成状态：SYSCTL.CLKSTATUS.FCCDONE

- 读取 FCC 计数：SYSCTL.FCC

超时保护：

在监控 FCC 完成状态期间，实现软件超时机制，以避免当未锁定的 SYSPLL 频率低于 FCC 触发时钟 (LFCLK) 时等待时间延长。

```
fccTimeOutCounter = 0;
```

```
while (DL_SYSCTL_isFCCDone() == 0) {
```

```
    delay_cycles(977); /* 1 个 LFCLK 周期 = 32MHz/32.768kHz */
```

```
    fccTimeOutCounter++;
```

```
    if(fccTimeOutCounter > 65) break;
```

```
    /* 超时设置为大约 2ms ( 用户可配置 ) */
```

```
}
```

FCC 检查重新启动：

如果 FCC 测量值超出预期范围，请禁用并重新启用 SYSPLL (将 SYSPLLEN 设为 0，再设为 1)，然后重复 FCC 验证。

权变措施 2：FCC 比率检查

使用 LFCLK 作为 FCC 触发源，以计算 SYSPLL 输出和输入时钟频率。执行 FCC，并对比预期比率，验证测量的输出时钟与输入时钟的 FCC 检查值比率。

计算示例：

- SYSPLL = 80MHz；HFCLK = 40MHz；LFCLK = 32.768kHz

- 预期时钟比率 = $80\text{MHz}/40\text{MHz} = 2.0000$

- 测量的 FCC 计数 (SYSPLL) = $80,000,000/32,768 = 2,441$

- 测量的 FCC 计数 (HFCLK) = $40,000,000/32,768 = 1,220$

- 测量的时钟比率 = $2,441/1,220 = 2.0008$

FCC 比率容许：

FCC 比率方法可消除组合时钟精度造成的误差，仅取决于 FCC 不确定性 (2 个计数时钟周期) 及计算取整误差。与 FCC 计数检查方法相比，这可实现更严格的容许范围，例如 +/- 0.3%。

时序注意事项：

- 时钟同步时间：5-6 个 LFCLK 周期

- FCC 触发时间：1-32 个 LFCLK 周期 (用户可配置)

- 每次完整 FCC 比率检查的总时间：2 * (同步时间 + 触发时间)

FCC 比率检查流程：

1. 设置 FCC 以检测 SYSPLL 输出时钟 (SYSPLL0 或 SYSPLL2X)

2. 启动 FCC 并等待 FCC 完成 (添加超时保护，请参阅 FCC 计数检查)

SYSPLL_ERR_01

(续)

SYSPLL 模块

3. 读取 FCC 检查计数
4. 设置 FCC 以检测 SYSPLL 输入时钟 (SYSOSC 或 HFCLK)
5. 启动 FCC 并等待 FCC 完成 (添加超时保护, 请参阅 FCC 计数检查)
6. 读取 FCC 检查计数
7. 计算 FCC 检查比率, 并与预期比率范围进行比较
8. 如果 FCC 比率超出预期范围, 请禁用并重新启用 SYSPLL (将 SYSPLLEN 设为 0, 再设为 1), 然后重复 FCC 比率验证。

TIMER_ERR_04**TIMER 模块**

类别

功能

功能

如果接近零事件, 则可能会错过计时器的重新启用

说明

在单次模式下使用计时器时, 如果接近零事件, 则可能会错过计时器的重新启用。对计时器使能位进行硬件更新将需要一个功能时钟周期。例如, 如果计时器的时钟源为 32.768kHz, 时钟分频器为 3, 则需要 ~100us 才能将使能位正确设置为 0。

权变措施

在重新启用计时器之前等待 1 个功能时钟周期, 或者可以先禁用计时器, 然后再重新启用。

通过 CTRCTL.EN = 0 禁用计数器, 然后通过 CTRCTL.EN = 1 重新启用

TIMER_ERR_06**TIMA 和 TIMG 模块**

类别

功能

功能

向 CLKEN 位写入 0 不会禁用计数器

说明

向计数器时钟控制寄存器 (CCLKCTL) 时钟使能位 (CLKEN) 写入 0 不会停止计时器。

权变措施

通过向计数器控制 (CTRCTL) 使能 (EN) 位写入 0 来停止计时器。

TIMER_ERR_07**初始重复计数器的周期比下一个重复模块少 1 个**

类别

功能

功能

计时器

说明

使用计时器重复计数器模式时, 第一次重复的计数将比后续重复的计数少 1, 因为以下重复计数器将包括 0 和加载值之间的转换。例如, 如果 TIMx.RCLD = 0x3, 则第一个重复计数

TIMER_ERR_07

(续)

初始重复计数器的周期比下一个重复模块少 1 个

器上将出现 3 个可观察到的零事件，并在以下重复计数器序列上显示 4 个可观察到的零事件。

权变措施

将初始 RCLD 值设置为比预期的 RCLD 大 1，然后在重复计数器归零事件 (REPC) 的 ISR 中将 RCLD 设置为预期的 RCLD 值。例如，如果打算重复 4 次，请将初始 RCLD 值设置为 RCLD = 0x5，然后在 REPC 中断的计时器 ISR 中设置 RCLD = 0x4。现在，所有计时器重复将具有相同数量的零/加载事件。

UART_ERR_01

UART 模块

类别

功能

功能

在切换到 STANDBY1 模式时，未检测到 UART 启动条件

说明

器件处于 STANDBY1 模式时，由 UART 传输启动的异步快速时钟请求提供服务后，器件将返回 STANDBY1 模式。如果在转换回 STANDBY1 模式期间开始另一次 UART 传输，则器件无法正确检测到并接收数据。

权变措施

当预计存在重复的 UART 启动条件时，使用 STANDBY0 模式或更高的低功耗模式。

UART_ERR_02

UART 模块

类别

功能

功能

仅启用 TXE 时，不设置 UART 传输结束中断

说明

当器件设置为仅传输 (CTL0.TXE = 1, CTL0.RXE = 0) 时，不会触发 UART 传输结束 (EOT) 中断。当器件设置为传输和接收 (CTL0.TXE = 1, CTL0.RXE = 1) 时，EOT 会成功触发

权变措施

当使用 UART 传输结束中断时，设置 CTL0.TXE 和 CTL0.RXE 位。请注意，您不需要将引脚分配为 UART 接收。

UART_ERR_04

UART 模块

类别

功能

功能

当时钟从 SYSOSC 转换到 LFOSC 时，通过快速时钟请求接收到的错误 UART 数据会被禁用

UART_ERR_04

(续)

UART 模块**说明**

场景：

1.已选择 LFCLK 作为 UART 的功能时钟。

2.波特率为 9600，配置了 3 倍过采样

3.UART 快速时钟请求已被禁用

。如果在 UART RX 传输过程中 ULPCLK 从 SYSOSC 更改为 LFOSC，则会观察到一个位读取不正确

权变措施

在 LPM 模式下使用 UART 时启用 UART 快速时钟请求。

UART_ERR_05**UART 模块****类别**

功能

功能

UART 模块中调试暂停功能的限制

说明

所有 Tx FIFO 元素都在通信进入暂停状态之前发出，预计完成现有帧并暂停。

权变措施

调试暂停置为有效后，请确保数据不会写入 TX FIFO。

UART_ERR_06**UART 模块****类别**

功能

功能

UART 9 位模式下的 RTOUT/忙碌/异步异常行为

说明

在多节点场景中，UART 接收超时 (RTOUT) 无法正常工作，其中一个 UART 将用作控制器，其他 UART 节点作为外设，在 9 位 UART 模式下为每个外设配置不同的地址。第一个 UART 控制器与 UART 外设 1 通信，通过发送外设 1 的地址作为第一个字节，然后发送数据，外设 1 已看到地址匹配并接收到数据。控制器处理好外设 1 后，外设 1 在配置的超时期间后不设置 RTOUT、如果控制器立即开始与另一个 UART 外设 (外设 2) 的通信，该外设 1 在总线上配置了不同的地址。外设 1 RTOUT 计数器在与外设 2 和外设 1 通信过程中复位，仅在 UART 控制器完成与外设 2 的通信后才设置其 RTOUT。

在 BUSY 和异步请求中观察到类似行为。即使与总线上的其他外设的通信时地址不匹配，控制器也正在设置忙碌和 Async 请求。

权变措施

请勿在单个控制器连接到多个外设的多节点 UART 通信中使用 RTOUT/ BUSY / 异步时钟请求行为。

UART_ERR_07**UART 模块****类别**

功能

UART_ERR_07

(续)

UART 模块

功能

在 IDLE LINE MODE 下，RTOUT 计数器不会按预期计数

说明

在 UART 中的 IDLE LINE MODE 下，RTOUT 计数器会卡住，即使线路处于 IDLE 状态且 FIFO 有一些元素也是如此。这意味着 RTOUT 中断在 IDLE LINE MODE 下将不起作用。如果地址不匹配，当在 Rx 线上看到切换时，将重新加载 RTOUT 计数器。在多响应器场景中，当命令发出位置和其他某个响应器之间正在通信时，这可能会导致产生 RTOUT 事件的无限延迟。

权变措施

在 IDLELINE 模式/多节点 UART 应用中使用 UART 模块时，请勿启用 RTOUT 功能。

UART_ERR_08

UART 模块

类别

功能

功能

STAT BUSY 并不代表 UART 模块的正确状态

说明

即使 UART 模块被禁用并且 TXFIFO 中有可用数据，STAT BUSY 也会保持高电平。

权变措施

轮询 TXFIFO 状态和 CTL0.ENABLE 寄存器位以识别 BUSY 状态。

UART_ERR_10

UART 模块

类别

功能

功能

对于 UART IrDA 模式，BUSY 位设置会延迟

说明

在 IrDA 模式下，UART.STAT.BUSY 位会在 IrDA 启动脉冲的第二个边沿设置；这意味着整个位传输将在正确设置 BUSY 状态之前完成。在此期间，如果软件轮询 BUSY 位，即使 IrDA 启动脉冲正在进行，也会出现 UART 不繁忙的错误指示。BUSY 状态将受到 UART 波特率的影响，UART 传输速度越慢，正确设置 BUSY 之前的时间就越长。

权变措施

检查 BUSY 状态之前位传输长度的延迟。或者，依次检查 UART.STAT.BUSY == 0x0 和 UART.STAT.BUSY == 0x1 是另一种使动态延迟独立于波特率或其他 ISR 的权变措施。

UART_ERR_11

UART 模块

类别

功能

功能

在 STOP 位事务期间，UART 接收超时比预期更早开始计数

UART_ERR_11

(续)

UART 模块

说明

在 STOP 位事务期间，接收超时将在 STOP 位事务的中间开始计数，如果 RXTOSSEL 设置太小，这可能会导致意外的 RTOUT 中断。例如，如果波特率为 1Mbps 且 RXTOSSEL 设置为 1，则预期的 RTOUT 应该在 STOP 位事务后 1us 发生，而不是 RTOUT 中断设置为 0.5us。

权变措施

UART.IFLS.RXTOSSEL 寄存器选择在接收超时 (RTOUT) 中断触发之前的位时间。RXTOSSEL 值需要大于 1 才能防止提前中断。接收超时时间的计算公式如下：接收超时 = (RXTOSSEL - 0.5)/波特率

VREF_ERR_04

VREF 模块

类别

功能

功能

当比较器在采样保持模式下使用 VREF 时，ADC 不能使用 VREF

说明

配置：ADC 和 COMP 均配置为使用内部 VREF 作为其基准，COMP 在采样模式下运行。问题：由于 COMP 的采样保持请求，VREF 模块会进入采样保持模式，从而阻止 ADC 访问 VREF。

权变措施

在启用 ADC 采样之前，请确保 COMP 不在采样保持模式下使用 VREF。
示例：
VREF.CTL0.SHMODE = 0;

7 商标

所有商标均为其各自所有者的财产。

8 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

Changes from DECEMBER 31, 2025 to JULY 28, 2026 (from Revision D (December 2025) to Revision E (July 2026))

	Page
• 已更新 AES_ERR_02 说明.....	7
• 已更新 AES_ERR_02 权变措施.....	7
• 已更新 CPU_ERR_02 功能.....	7
• 已更新 CPU_ERR_02 说明.....	7
• 已更新 CPU_ERR_02 权变措施.....	7
• 已更新 DMA_ERR_02 模块.....	9
• 已更新 DMA_ERR_02 功能.....	9
• 已更新 DMA_ERR_02 权变措施.....	9
• 已更新 DMA_ERR_02 说明.....	9
• 已更新 FCC_ERR_01 类别.....	9
• 已更新 FCC_ERR_01 模块.....	9
• 已更新 FCC_ERR_01 权变措施.....	9

• 已更新 FCC_ERR_01 功能.....	9
• 已更新 FCC_ERR_01 说明.....	9
• 已更新 FLASH_ERR_09 模块.....	11
• 已更新 FLASH_ERR_09 说明.....	11
• 已更新 GPIO_ERR_06 模块.....	12
• 已更新 GPIO_ERR_06 功能.....	12
• 已更新 GPIO_ERR_06 说明.....	12
• 已更新 GPIO_ERR_06 权变措施.....	12
• 已更新 I2C_ERR_15 功能.....	16
• 已更新 I2C_ERR_15 权变措施.....	16
• 已更新 I2C_ERR_15 说明.....	16
• 已更新 PMCU_ERR_09 功能.....	17
• 已更新 PMCU_ERR_09 权变措施.....	17
• 已更新 PMCU_ERR_09 说明.....	17
• 已更新 RST_ERR_01 功能.....	18
• 已更新 RST_ERR_01 说明.....	18
• 已更新 RST_ERR_01 权变措施.....	18
• 已更新 RST_ERR_02 类别.....	19
• 已更新 RST_ERR_02 模块.....	19
• 已更新 RST_ERR_02 功能.....	19
• 已更新 RST_ERR_02 权变措施.....	19
• 已更新 RST_ERR_02 说明.....	19
• 已更新 SPI_ERR_10 模块.....	21
• 已更新 SPI_ERR_10 功能.....	21
• 已更新 SPI_ERR_10 说明.....	21
• 已更新 SPI_ERR_10 权变措施.....	21
• 已更新 SYSCTL_ERR_04 权变措施.....	23
• 已更新 SYSCTL_ERR_05 模块.....	23
• 已更新 SYSCTL_ERR_05 功能.....	23
• 已更新 SYSCTL_ERR_05 说明.....	23
• 已更新 SYSCTL_ERR_05 权变措施.....	23
• 已更新 SYSCTL_ERR_06 模块.....	23
• 已更新 SYSCTL_ERR_06 功能.....	23
• 已更新 SYSCTL_ERR_06 说明.....	23
• 已更新 SYSCTL_ERR_06 权变措施.....	23
• 已更新 SYSOSC_ERR_04 功能.....	24
• 已更新 SYSOSC_ERR_04 权变措施.....	24
• 已更新 SYSOSC_ERR_04 说明.....	24
• 已更新 SYSOSC_ERR_05 类别.....	25
• 已更新 SYSOSC_ERR_05 模块.....	25
• 已更新 SYSOSC_ERR_05 功能.....	25
• 已更新 SYSOSC_ERR_05 权变措施.....	25
• 已更新 SYSOSC_ERR_05 说明.....	25
• 已更新 SYSOSC_ERR_06 类别.....	25
• 已更新 SYSOSC_ERR_06 模块.....	25
• 已更新 SYSOSC_ERR_06 功能.....	25
• 已更新 SYSOSC_ERR_06 说明.....	25
• 已更新 SYSOSC_ERR_06 权变措施.....	25
• 已更新 SYSOSC_ERR_07 类别.....	26
• 已更新 SYSOSC_ERR_07 模块.....	26
• 已更新 SYSOSC_ERR_07 功能.....	26

• 已更新 SYSOSC_ERR_07 权变措施.....	26
• 已更新 SYSOSC_ERR_07 说明.....	26
• 已更新 SYSPLL_ERR_01 权变措施.....	26

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 [TI 销售条款](#)、[TI 通用质量指南](#) 或 [ti.com](#) 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2026，德州仪器 (TI) 公司

最后更新日期：2025 年 10 月