

Errata

AM62Lx Sitara™ 处理器器件勘误表，器件版本 1.0、1.1



摘要

本文档介绍了功能规格的已知例外情况（公告）。本文档也包含了使用说明。在使用说明中介绍了器件行为可能与假定或记录的行为不匹配的情况。这可能包括影响器件性能或功能正确性的行为。

内容

1 使用说明和公告模型.....	2
2 器件使用说明和公告.....	4
3 修订历史记录.....	14

## 1 使用说明和公告模型

表 1-1 列出了所有使用说明和适用的器件修订版本。表 1-2 列出了所有公告、受影响的模块以及适用的器件修订版本。

表 1-1. 使用说明汇总表

模块	说明	受影响的器件修订版本	
		AM62Lx 1.0	AM62Lx 1.1
DDR	i2330 DDRSS 寄存器配置工具更新	是	是
OSPI	i2351 OSPI : 直接访问控制器 (DAC) 不支持带 NAND 闪存의连续读取模式	是	是

表 1-2. 公告汇总表

模块	说明	受影响的器件修订版本	
		AM62Lx 1.0	AM62Lx 1.1
BCDMA	i2431 BCDMA : RX 通道在某些情况下可能锁定	是	是
引导	i2435 引导 : eMMC 引导的 ROM 超时过长	是	否
引导	i2462 引导 : ROM xSPI-SFDP 引导模式失败	是	是
引导	i2463 引导 : SD 卡可能出现的引导故障	是	否
引导	i2464 引导 : ROM 无法从格式化错误的 SD 卡引导	是	是
引导	i2465 引导 : EMMC 引导模式比预期慢	是	否
引导	i2466 引导 : ROM 引导因文件过大失败	是	是
引导	i2467 引导 : ROM UART 引导在镜像过大时失败	是	否
引导	i2469 引导 : ROM NOBOOT 引导模式功能失效	是	是
引导	i2470 引导 : USB-DFU 主引导模式无法切换至备份引导模式	是	否
引导	i2471 引导 : 某些主/备份引导模式组合失败	是	否
引导	i2473 引导 : eMMC 引导可能失败	是	否
引导	i2474 引导 : 某些第二阶段二进制文件在基于块的引导模式下会失败	是	否
引导	i2481 引导 : eMMC 替代引导模式若未每次重新编程分区则失败	是	否
引导	i2482 引导 : ROM 在 SD 卡初始化期间未提供足够的时钟	是	否
引导	i2484 引导 : ROM 无法解析使用通用时间格式的 X509 证书	是	否
CPSW	i2208 CPSW : ALE IET 高速数据包丢失	是	是
CPSW	i2401 CPSW : 主机时间戳导致 CPSW 端口锁定	是	是
DDR	i2160 DDR : 必须在 LPDDR4 命令总线训练期间定义有效 VRef 范围	是	是
调试	i2461 调试 : 复位等待 (WIR) 模式功能失效	是	否
LPM	i2487 LPM : 低功耗模式可能会意外损坏 DDR 内容	是	否
MCAN	i2278 MCAN : 当从配置有相同报文 ID 的专用 Tx 缓冲区发送时, 无法确保报文发送顺序	是	是
MCAN	i2279 MCAN : 配置有相同报文 ID 的专用 Tx 缓冲区和 Tx 队列的规范更新	是	是
MMCHS	i2312 MMCSD : HS200 和 SDR104 命令超时窗口太小	是	是
MMCHS	i2493 MMCSD : HS200 写入失败	是	是
OSPI	i2189 OSPI : 控制器 PHY 调优算法	是	是
OSPI	i2249 OSPI : 具有 DDR 时序的内部 PHY 环回和内部焊盘环回时钟模式无法运行	是	是
OSPI	i2383 OSPI : PHY DDR 模式不支持 2 字节地址	是	是
PRG	i2253 PRG : CTRL_MMR_STAT 寄存器是 POK 阈值失效的不可靠指示器	是	是
USART	i2310 USART : 错误地清除/触发超时中断	是	是
USART	i2311 USART 虚假 DMA 中断	是	是
USB	i2409 USB : USB2 PHY 由于短暂挂起而锁定	是	是

### 1.1 支持的器件

本文档支持以下器件：

- AM62Lx

有关所支持器件的参考文档如下：

- AM62Lx 处理器技术参考手册 (SPRUJB4)
- AM62Lx 处理器数据表 (SPRSPA1)

## 2 器件使用说明和公告

本节列出了此器件修订版本的使用说明和公告。

### 2.1 器件使用说明

#### **i2330**

#### **DDRSS 寄存器配置工具更新**

---

##### 详细信息：

DDR 寄存器配置工具根据系统级详细信息提供自定义寄存器设置，例如 DDR 器件的架构（密度、数据宽度、列数）、工作频率以及通过电路板仿真确定的 IO 设置。经过一段时间，可能会对该工具进行更新，以支持新的器件和/或特生，修复该工具中发现的问题，最重要的是，详细解释勘误表中的权变措施或寄存器计算的最新更新，从而提升性能、信号完整性或信号之间的时序关系。

##### 权变措施：

为了确保根据经验教训正确设置参数并降低出现功能故障的风险，应始终使用最新的 DDR 寄存器配置工具生成寄存器值。由于 DDR 寄存器配置工具可以定期更新，因此应查看和评估该工具的修订历史记录，以确定工具更改是否适用于现有系统。如果适用，应适当更新现有系统的配置。可以在 <http://dev.ti.com/sysconfig> 上找到该工具的最新版本，并且对于正在使用的适用器件，选择“Software Product”下拉列表中的“DDR Configuration”。

#### **i2351**

#### **OSPI：直接访问控制器 (DAC) 不支持带 NAND 闪存连续读取模式**

---

##### 详细信息：

OSPI 直接访问控制器 (DAC) 不支持带 NAND 闪存连续读取模式，因为 OSPI 控制器可以在发送到 OSPI 控制器的内部 DMA 总线请求之间，将向闪存存储器发送的 CSn 信号置为无效（根据设计意图）。

发生此问题的原因是，一些 OSPI/QSPI NAND 闪存存储器提供的“连续读取”模式要求片选输入在整个突发事务中持续置为有效状态。

SoC 内部 DMA 控制器和其他启动器限制用于 1023 B 或更小的事务，并且仲裁/排队可以在各种 DMA 控制器内部进行，也可以在任何 DMA 控制器与 OSPI 外设之间的互连中进行。这会导致到 OSPI 控制器的总线请求延迟，进而导致外部 CSn 信号被置为无效。

NOR 闪存存储器不受 CSn 置为无效的影响，连续读取模式正常运行。

##### 权变措施：

软件可以使用页面/缓冲读取模式来访问 NAND 闪存。

## 2.2 器件公告

### i2189

#### OSPI : 控制器 PHY 调优算法

##### 详细信息：

启用 PHY 模块后，OSPI 控制器使用 DQS 信号对数据进行采样。但是，该模块中存在一个问题，要求这种采样必须在内部时钟定义的窗口内进行。读取操作会受到外部延迟的影响，该外部延迟会随温度变化而变化。要确保在任何温度下都能有效读取，必须实施一种特殊调优算法来选择最稳健的 TX、RX 和读取延迟值。

##### 权变措施：

此错误的权变措施在 [SPRACT2](#) 中进行了详细介绍。要在某些 PVT 条件下对数据进行采样，必须调高读取延迟字段，以改变内部时钟采样窗口。这样就可以在数据眼图内的任何位置对数据进行采样。但是，这会带来以下副作用：

1. 必须为所有读取操作启用 PHY 流水线模式。由于必须要对写入操作禁用 PHY 流水线模式，因此读取和写入操作必须分开进行。
2. 当权变措施实施后，BUSY 位的硬件轮询中断，因此必须改用软件轮询。写入必须在页边界内通过 DMA 访问进行，以防主机或闪存器件发起的中断。软件必须在页写入操作间隙轮询 BUSY 位。或者，在启用硬件轮询时，写入可以在非 PHY 模式下执行。
3. STIG 读取必须填充额外的字节，并且接收到的数据必须右移。

### i2208

#### CPSW : ALE IET 高速数据包丢失

##### 详细信息：

此问题影响以下模块：

ALE 出现问题的原因是简短高速流量和抢占数据包的 CPSW 频率和 IET 操作，在不支持 10G 的端口上这些数据包在 60-69 个字节之间被抢占。

如果 IET 抢占数据包在 60-69 个字节处中断，则在下一个块到达时进行查找。CPSW 仅提供可抢占 MAC 中的 ALE 64 个字节。

因此，简短高速流量查找将在 64 字节高速流量结束时开始，但当抢占队列继续时，抢占队列将完成 64 个字节的流量并尝试查找抢占数据包。然而，从高速查找开始，该查找操作少于 64 个时钟，因此高速查找将中止（高速流量丢失）并开始新的查找以获取抢占流量。

引发此问题的规则：

1. 您在不支持 5/10G 操作的端口上处于 IET（穿插快速流量）模式
2. 远程高速数据包可以是小至 60 个字节的抢占数据包
3. 抢占 128 字节或更多字节的数据包流量。
4. 中断 60-69 个字节的抢占流量的高速流量。
5. 一个简短高速流量，然后继续是抢占流量。
  - a. 高速帧与抢占帧之间的间隔是最小的。
6. CPSW 频率在所需速度下处于最低等级性能。

##### 权变措施：

在 IET 协商过程中，指示远程器件在 128 字节处分段。

**i2249**
**OSPI : 具有 DDR 时序的内部 PHY 环回和内部焊盘环回时钟模式无法运行**
**详细信息**

OSPI 内部 PHY 环回模式和内部焊盘环回模式采用“启动沿作为捕获沿”（相同的边沿捕获或 0 周期时序）。

可编程接收延迟线 (Rx PDL) 用于补偿往返延迟 (Tx 时钟至闪存器件、闪存时钟至输出以及闪存数据至控制器)。

在内部环回模式和 IO 环回模式的情况下，Rx PDL 的总延迟不足以补偿往返延迟，因此不能使用这些模式。

下表介绍了 OSPI 控制器中推荐的时钟拓扑。在 DDR 模式下，此处未描述的所有其他模式都受本公告的影响，不推荐作为时钟拓扑。

**表 2-1. OSPI 时钟拓扑**

时钟模式术语	CONFIG_REG.PHY_MODE_ENABLE	READ_DATA_CAPTURE.BYPASS	READ_DATA_CAPTURE.DQS_EN	电路板实现
无环回、无 PHY	0 (PHY 禁用)	1 (禁用调整后的环回时钟)	X	无。依靠内部时钟。最大频率 50MHz。
具有 PHY 的外部电路板环回	1 (PHY 启用)	0 (启用调整后的环回时钟)	0 (DQS 禁用)	外部电路板环回 (OSPI_LOOPBACK_CLK_SEL = 0)
具有 PHY 的 DQS	1 (PHY 启用)	x (DQS 启用具有优先级)	1 (DQS 启用)	连接到 SOC DQS 引脚的存储器选通

**权变措施**

无。请根据介绍的表格，使用未受影响的时钟模式之一。

**i2253**
**PRG : CTRL\_MMR\_STAT 寄存器是 POK 阈值失效的不可靠指示器**
**详细信息**

CTRL\_MMR PRG\_STAT 寄存器中的 POK 过压和欠压标志是用于指示 POK 是否失效的不可靠指示器。因此，在器件技术参考手册 (TRM) 中将它们标记为“保留”。

**权变措施**

滤波后的 POK 输出会更新 ESM 标志。

在 POK 初始化 (即启用) 时，应该清除 ESM 标志 (根据带隙和/或 POK 趋稳时间内进行的比较)。在该初始清除之后，ESM 标志可用作 POK 失效 (或未失效) 的可靠指示器。

**i2278**
**MCAN : 当从配置有相同报文 ID 的专用 Tx 缓冲区发送时，无法确保报文发送顺序**
**详细信息**

此勘误表仅限于多个 Tx 缓冲区配置有相同报文 ID (TXBC.NDTB > 1) 的情况。

在以下情况下，消息可能会不按顺序发送：

- 多个 Tx 缓冲区配置有相同的报文 ID
- 这些 Tx 缓冲区的 Tx 请求按顺序提交，且每个请求之间存在延迟

**权变措施**

权变措施 1：

将具有相同报文 ID 的 Tx 报文写入消息 RAM 后，通过对 TXBAR 进行一次写访问，同时请求发送所有这些报文。在同时发出请求之前，确保所有这些报文中都没有挂起的 Tx 请求。

权变措施 2：

**i2278 (续)**

**MCAN : 当从配置有相同报文 ID 的专用 Tx 缓冲区发送时, 无法确保报文发送顺序**

---

使用 Tx FIFO 而不是专用 Tx 缓冲区 ( 设置位 MCAN\_TXBC[30] TFQM = 0 以使用 Tx FIFO ) 按特定顺序发送多条具有相同报文 ID 的报文。

**i2279**

**MCAN : 配置有相同报文 ID 的专用 Tx 缓冲区和 Tx 队列的规范更新**

---

**详细信息**

此勘误表更新了 M\_CAN 用户手册中第 3.5.2 节专用 Tx 缓冲区和第 3.5.4 节 Tx 队列中的说明, 该说明与配置有相同报文 ID 的多个专用 Tx 缓冲区的报文发送有关。

**权变措施**

权变措施 1 :

将具有相同报文 ID 的 Tx 报文写入消息 RAM 后, 通过对 TXBAR 进行一次写访问, 同时请求发送所有这些报文。在同时发出请求之前, 确保所有这些报文中都没有挂起的 Tx 请求。

权变措施 2 :

使用 Tx FIFO 而不是专用 Tx 缓冲区 ( 设置位 MCAN\_TXBC[30] TFQM = 0 以使用 Tx FIFO ) 按特定顺序发送多条具有相同报文 ID 的报文。

**i2310**

**USART: 错误地清除/触发超时中断**

---

**详细信息 :**

在 RHR/MSR/LSR 寄存器读取期间, USART 可能会错误地清除或触发超时中断。

**权变措施 :**

**CPU 用例**

- 如果超时中断被错误地清除 :
  - 清除是有效的, 因为 FIFO 中的挂起数据会重触发超时中断
- 如果错误地设置了超时中断, 并且 FIFO 为空, 请使用以下软件权变措施来清除中断 :
  - 在 TIMEOUTH 和 TIMEOUTL 寄存器中设置超时计数器的高值
  - 将 EFR2 第 6 位设置为 1 以将超时模式更改为周期性模式
  - 读取 IIR 寄存器以清除此中断
  - 将 EFR2 第 6 位设置回 0 以将超时模式改回原始模式

**DMA 用例**

- 如果超时中断被错误地清除 :
  - 清除是有效的, 因为下一个周期性事件会重触发超时中断
  - 用户必须通过将 EFR2 第 6 位设置为 1 来确保 RX 超时行为处于周期性模式
- 如果超时中断被错误地设置 :
  - 这会导致 DMA 被软件驱动程序关闭
  - 有效, 因为下一个传入数据将导致软件再次设置 DMA

**i2311**

**USART 虚假 DMA 中断**

---

**详细信息 :**

当在 TLR 寄存器中出现非 2 的乘幂触发级别的情况下, 使用 DMA 访问 TX/RX FIFO 时, 可能会发生虚假 DMA 中断。

**i2311 (续)****USART 虚假 DMA 中断****权变措施：**

为 TX/RX FIFO 触发级别使用 2 的乘幂值 (1、2、4、8、16 和 32)。

**i2312****MMCSDB : HS200 和 SDR104 命令超时窗口太小****详细信息：**

在高速 HS200 和 SDR104 模式下，MMC 模块的功能时钟将达到 192 MHz。在此频率下，通过 MMC 主机控制器使用 MMCSDB\_SYSCCTL[19:16] DTO = 0xE 可获得的最大超时为  $(1/192\text{MHz}) \times 2^{27} = 700\text{ms}$ 。超过 700ms 的命令可能会受到这一较小窗口时间范围帧的影响。

**权变措施：**

如果命令需要超过 700ms 的超时，则可以禁用 MMC 主机控制器命令超时 (MMCSDB\_CON[6] MIT=0x1) 并可以使用软件实现代替它。详细步骤如下所示 (在 Linux 中)：

1. 在 MMC 主机控制器探测函数 (omap\_hsmmc.c:omap\_hsmmc\_probe()) 执行期间，通知处理器主机控制器无法支持所有必需的超时。
2. 修改 MMC 核心软件层功能，以便在底层 MMC 主机控制器无法支持所需超时的情况下，内核自行超时。

**i2493****MMCSDB : HS200 写入失败****详细信息：**

当 MMC0 接口在 HS200 模式下执行多块写入操作且 IO 电源噪声过大时，可能会出现写入失败的情况。

为最大限度降低 IO 电源噪声，请遵循以下最佳实践并参阅链接的应用手册：

- 在接地层附近使用宽电源平面/覆铜，并在两者之间采用较薄的电介质。
- 使电源平面/覆铜和相邻的接地平面尽可能靠近供电元件表面。
- 使用各种容值的去耦电容器，并将低 ESL 电容器放置在尽可能靠近去耦器件的位置。
- 每个电源引脚配置一个去耦电容器。
- 使用短而宽的布线去耦电容器和电源/接地过孔。
- [Sitara™ 处理器配电网络：实施与分析](#)

**权变措施：**

实现软件恢复机制，对失败的多块写入操作进行重发，块与块之间至少保持 5 μs 的延迟以降低噪声。实现此延迟的一种方法是，将失败的多块写入操作改为单块写入操作。



## i2383

### **OSPI : PHY DDR 模式不支持 2 字节地址**

#### 详细信息：

当 OSPI 控制器配置为在 PHY DDR 模式中进行 2 字节寻址时，内部状态机将发送的地址字节数失配为值 1 (而不是 2)。这会导致状态机在地址阶段锁定，使 PHY DDR 模式不可运行。

使用任何 Tap 模式或 PHY SDR 模式时，不会发生此问题。在 PHY DDR 模式下使用 4 字节寻址时，也不会出现此问题。

#### 权变措施：

对于具有可编程地址字节设置的兼容 OSPI 存储器，请将闪存上所需的地址字节数从 2 设置为 4。这可能涉及发送一条特定命令以更改地址字节和/或在闪存上写入配置寄存器。完成后，将在控制器设置中发送的地址字节数从 2 更新为 4。

对于仅支持 2 字节寻址且无法重新编程的兼容 OSPI 存储器，PHY DDR 模式将与该存储器不兼容。替代模式包括：

- PHY SDR 模式
- TAP (无 PHY) DDR 模式
- TAP (无 PHY) SDR 模式

## i2401

### **CPSW : 主机时间戳导致 CPSW 端口锁定**

#### 详细信息：

CPSW 提供两种机制，将数据包进站时间戳信息传递给主机。

第一种机制是通过 CPTS 事件 FIFO 实现的，该机制在由特定事件触发时记录时间戳。这类事件包括接收到包含指定 EtherType 字段的以太网数据包。这种机制最常用于捕获 PTP 数据包的进站时间戳。通过这种机制，主机必须将时间戳 (来自 CPTS FIFO) 和 DMA 提供的数据包有效载荷分开读取。这种模式受支持并且不受此勘误表影响。

第二种机制是为所有数据包启用接收时间戳，而不仅仅是 PTP 数据包。采用这种机制时，时间戳会通过 DMA 与数据包有效载荷一起传送。第二种机制是本勘误表的主题。

当启用 CPTS 主机时间戳时，每个传送到内部 CPSW 端口 FIFO 的数据包都需要来自 CPTS 的时间戳。当数据包前导码由于 EMI 或任何其他损坏机制而损坏时，可能不会向 CPTS 发送时间戳请求。在这种情况下，CPTS 将不会生成时间戳，这会导致 CPSW 端口 FIFO 中出现锁定状况。当通过清除 CPTS\_CONTROL 寄存器中的 `tstamp_en` 位来禁用 CPTS 主机时间戳时，将阻止发生锁定状况。

#### 权变措施：

必须禁用以太网到主机的时间戳。

可以使用 CPTS 事件 FIFO 时间戳来代替 CPTS 主机时间戳。

## i2409

### **USB : USB2 PHY 由于短暂挂起而锁定**

#### 详细信息：

当 USB 2.0 PHY 可能挂起，以响应在 USB 控制器进入挂起状态的 3 微秒内发生的 USB 唤醒事件时。这种 PHY 挂起只能通过电源重启恢复，因为热复位无效。

#### 权变措施：

注意：此权变措施仅在 USB 不是主引导模式时适用。如果 USB 是主引导模式，则没有可用的权变措施。

为防止该问题发生，在 USB 控制器初始化过程中必须遵循特定的操作顺序：

**i2431****BCDMA : RX 通道在某些情况下可能锁定****详细信息：**

如果没有任何 TR 在配置特定的标志字段中设置 EOP 标志，BCDMA RX chan Teardown 可以锁定通道并且无法在随后的传送中使用。随后，当通道重新启用时，传送将不会完成并将终止，并且 TR 响应中会出现各种错误。

**权变措施：**

a) 从 PSIL/PDMA 外设接收数据时，需要在每个 TR 的配置的特定标志字段中设置 EOP 标志，并应将 PDMA 的 1 X-Y FIFO 模式静态 TR “Z” 参数设置为非零值，以便通道清理正常进行并清理内部状态存储器。否则，会导致在随后后续运行时通道锁定。PDMA Z 计数也应与 TR 大小匹配，以便 PDMA 将每次传送描述为单个数据包。这在一些情况下尤其会造成问题，例如，TRPD 设置了无限重新加载计数，以便在流模式下使用单组 TR 执行循环传送，在这种情况下，每个 TR 都可能是最后一个。

b) 如果用例不允许提前设置 PDMA Z 计数或者无法设置数据包 EOP，则替代方法是在单缓冲模式下使用 PKTDMA 而不是 BCDMA。

**i2435****引导：eMMC 引导的 ROM 超时过长****详细信息：**

由于 ROM 中存在错误，如果尝试从空的或已擦除（即，恢复出厂设置）的 eMMC 器件以 eMMC 引导模式（即从 eMMC 引导分区进行引导，有时称为 eMMC 替代模式）进行引导，切换至备份引导模式的正常引导超时时间可长达 10 秒。

**权变措施：**

如果系统认为此超时时间过长，则需要从另一种引导模式引导。

**i2461****调试：复位等待 (WIR) 模式功能失效****详细信息：**

单独 1.8V 以及支持双电压 (1.8V/3.3V) 的两种 16nm IO 单元，在从复位状态转换时会出现干扰。当输入为逻辑 1 时，会产生干扰。

该干扰会阻止器件在上电后进入 WIR 模式。

**权变措施：**

无

**i2462****引导：ROM xSPI-SFDP 引导模式失败****详细信息：**

xSPI-SFDP 引导无法引导第二阶段镜像。ROM 假定第二阶段镜像访问闪存设备时处于 1S-1S-1S 模式，但第一阶段镜像引导后，闪存器件会保留在 8D-8D-8D 模式。

**权变措施：**

第一阶段镜像应将闪存重置为 1S-1S-1S 模式。

**i2463****引导：SD 卡可能出现的引导故障****详细信息：**

某些 SD 卡上的 SD 卡引导可能会失败。ROM 在初始化期间错误地将 SD 卡接口频率设置得过高，这可能会导致读取卡上的数据错误，从而导致引导故障。如果从不同的制造商或

**i2463 (续)**

**引导：SD 卡可能出现的引导故障**

---

不同的电路板设计中选择卡、则行为可能会发生变化。SD 卡备份引导可能成功，或者复位后的后续引导可能成功。

**权变措施：**

选择另一个 SD 卡制造商或同一制造商提供的不同卡类型，以获得更一致的结果。选择 SD 卡备用引导功能也可能对受影响的 SD 卡有效。

**i2464**

**引导：ROM 无法从格式化错误的 SD 卡引导**

---

**详细信息：**

如果在创建文件系统期间对文件系统进行了错误的格式化，MMCSd 引导模式可能无法从该 SD 卡引导。

**权变措施：**

从 Ubuntu 22.04 系统创建 SD 时，在 mkfs.vfat 命令中添加“-a”参数以生成正确的引导分区。

**i2465**

**引导：EMMC 引导模式比预期慢**

---

**详细信息：**

在 eMMC 引导模式期间，MMC0\_CLK 时钟信号频率为 5MHz，而不是预期的 25MHz

**权变措施：**

无。MMC 引导将比预期慢，但仍然能够运行

**i2466**

**引导：ROM 引导因文件过大失败**

---

**详细信息：**

对于任何基于文件系统的引导模式（例如 MMCSd、USB MSC），文件大小大于 2MB 时引导会失败。

**权变措施：**

使用小于上述尺寸的文件

**i2467**

**引导：ROM UART 引导在镜像过大时失败**

---

**详细信息：**

ROM UART 超时值不够大。因此，若引导镜像大于 800KB，UART 引导将在双阶段引导期间超时

**权变措施：**

使用小于 800KB 的引导镜像

**i2469**

**引导：ROM NOBOOT 引导模式功能失效**

---

**详细信息：**

使用 NoBoot 引导模式引导时，SMS 挂起并且无法恢复

**权变措施：**

无。不要使用 NoBoot 引导模式。在某些情况下，可以使用 DevBoot 引导模式。

**i2470****引导：USB-DFU 主引导模式无法切换至备份引导模式****详细信息：**

当选择 USB-DFU 作为主引导模式并搭配任意备份引导模式时，如果主引导模式超时，ROM 将无法转换到备份引导模式。这种情况通常是在 USB-DFU 引导镜像不存在时发生。请注意，如果 USB-DFU 主引导在超时之前失败（例如，如果 ROM 已读取镜像但镜像不可引导），则此引导序列仍有效。

**权变措施：**

无。

**i2471****引导：某些主/备份引导模式组合失败****详细信息：**

某些主/备份引导顺序组合会导致备份引导模式下的双阶段引导失败

如果主引导有一个基于偏移量的起始点（例如 O/Q/SPI、串行 NAND、GPMC NAND、eMMC 引导）

且备份引导模式基于文件系统（如 SD 卡、具有 UDA 的 eMMC、USB MSC），则当主引导未能成功时，引导将在备份引导模式（在第二阶段处理期间）中失败

或

如果主引导基于文件系统（例如 SD 卡、具有 UDA 的 eMMC、USB MSC）

且备份引导模式有一个基于偏移量的起始点（例如 O/Q/SPI、串行 NAND、GPMC NAND、eMMC 引导），则当主引导未能成功时，引导将在备份引导模式（在第二阶段处理期间）中失败

**权变措施：**

无。请勿选择受影响的引导组合。

**i2473****引导：eMMC 引导可能失败****详细信息：**

使用引导分区的 eMMC 引导并不可靠。该问题仍在调查中。请注意，此公告不适用于使用 UDA 的 eMMC 引导。

**权变措施：**

无。建议采用使用 UDA 的 eMMC 引导，或者采用其他引导。

**i2474****引导：某些第二阶段二进制文件在基于块的引导模式下会失败****详细信息：**

如果证书大小按 128 字节对齐，ROM 无法在 SD、eMMC、USB-DFU、串行 NAND、GPMC NAND 和 UART 上引导。

**权变措施：**

证书大小不得按 128 字节对齐，但各元件必须按 128 字节对齐。

**i2160****DDR：必须在 LPDDR4 命令总线训练期间定义有效 VRef 范围****详细信息：**

DDR PHY 会在 LPDDR4 命令总线训练 (CBT) 期间更新命令/地址总线的 VREF (ca)。如果 VREF (ca) 搜索范围设置为无效值，因而在 CBT 期间无法找到工作设置，则培训过程可能失败或挂起。

**i2160 (续)**

**DDR : 必须在 LPDDR4 命令总线训练期间定义有效 VRef 范围**

**权变措施 :**

在启用 CBT 之前, 将以下字段设置为已知的有效工作值。

对于频率集 0 : PI\_CALVL\_VREF\_INITIAL\_START\_POINT\_F0 和  
PI\_CALVL\_VREF\_INITIAL\_STOP\_POINT\_F0

对于频率集 1 : PI\_CALVL\_VREF\_INITIAL\_START\_POINT\_F1 和  
PI\_CALVL\_VREF\_INITIAL\_STOP\_POINT\_F1

对于频率集 2 : PI\_CALVL\_VREF\_INITIAL\_START\_POINT\_F2 和  
PI\_CALVL\_VREF\_INITIAL\_STOP\_POINT\_F2

建议使用标称 Vref 值 ( 基于处理器上驱动强度的器件编程和存储器终端 ) +/- 4%。请使用  
<http://dev.ti.com/sysconfig> 上的在线 DDR 寄存器配置工具对这些寄存器进行编程并检查修  
订历史记录, 以确保所使用的工具版本已采用此权变措施。

**i2481**

**引导 : eMMC 替代引导模式若未每次重新编程分区则失败**

**详细信息 :**

对于 eMMC 引导 ( 即从 eMMC 引导分区引导 ), 如果未将分区重新编程到 EXT\_CSD 寄  
存器中, 引导将失败。这会使 eMMC 引导在任何后续复位后无法运行。请注意, 此公共不  
适用于使用 UDA 模式的 eMMC 引导。

**权变措施 :**

无

**i2482**

**引导 : ROM 在 SD 卡初始化期间未提供足够的时钟**

**详细信息 :**

ROM 代码未按《SD 卡物理层规范 2.00.这可能导致 SD 卡引导失败, 然而在受影响的器件  
上尚未因该勘误观察到引导失败。

**权变措施 :**

无

**i2484**

**引导 : ROM 无法解析使用通用时间格式的 X509 证书**

**详细信息 :**

如果初始引导加载程序 tiboot3.bin 包含通用格式的结束日期, 则 ROM 将无法解析 X509  
证书并且无法引导。

**权变措施 :**

将结束日期设置为 UTC 格式。

**i2487**

**LPM : 低功耗模式可能会意外损坏 DDR 内容**

**详细信息 :**

在进入深度休眠或 RTC+IO+DDR 低功耗模式期间, 该器件可能无法将连接的 DDR 正确转  
换到保留模式, 这会导致 DDR 数据损坏。

受影响的器件不应使用这些低功耗模式。

**权变措施 :**

无

商标

所有商标均为其各自所有者的财产。

3 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

Changes from MAY 30, 2025 to OCTOBER 2, 2025 (from Revision A (May 2025) to Revision B (October 2025))	Page
• 删除了表 1-2 公告矩阵下的 SR1.1 表注，因相关公告的修复方案已通过验证。将 i2462、SR 1.1 更改为 YES	2
• 增加了公告 i2493；MMCS D：HS200 写入失败.....	8

## 重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 [TI 销售条款](#)、[TI 通用质量指南](#) 或 [ti.com](#) 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2025，德州仪器 (TI) 公司

最后更新日期：2025 年 10 月