EVM User's Guide: TPS389387EVM **TPS389387EVM** 联合评估模块

TEXAS INSTRUMENTS

说明

TPS389387EVM 演示了 TPS38700S-Q1 序列发生器 和 TPS389006 电压监测器件的功能。如果需要,我们可以提供连接器和引脚,以便用户进行示波器或万用表测量。

该 EVM 预装了两个器件:TPS389006 I2C 可编程 6 通道监控器和 TPS38700S-Q1 I2C 可编程 6 通道序列 发生器。该 EVM 旨在与 MSP430 LaunchPad 开发板 生成的多达 12 轨可编程虚拟电源树一起工作。该 EVM 必须与 MSP430 MCU 型号 MSP430FR2355 配 合使用。

开始使用

- 1. 订购 TPS3839387EVM。
- 2. 订购额外的元件
 - a. MSP430 MCU 型号 MSP430FR2355 (MSP-EXP430FR2355)。
 - b. USB-TO-GPIO2 连接器 (USB-TO-GPIO2)。
- 3. 下载 Code Composer Studio[™] 集成开发环境 (IDE)。



TPS389387EVM 电路板顶层

- 4. 下载最初为 TPS38700Q1EVM 设计的 Fusion Digital Power Designer 平台 GUI。
- 5. 下载包含 TPS389387EVM 评估说明中引用的 .C 代码的 zip 文件。
- 6. 下载全面的参考设计文件。
- 7. 请参阅 MSP430[™] 的最新设计与开发页面。

特性

- TPS3839387EVM 是一款 USB 供电的 EVM,但还可以提供额外的外部电源。
- 有一个连接器可用于连接不同类型的电源树。

应用

- 有线网络
- 数据中心和企业计算
- 电机驱动
- 工厂自动化与控制
- 电网基础设施
- 高级驾驶辅助系统 (ADAS)



包含 MSP430 的 TPS389387EVM 电路板底部



1 评估模块概述

1.1 引言

本用户指南介绍如何使用 TPS389387EVM 联合评估模块 (EVM) 对组合监控器和序列发生器器件 TPS389006 多 通道电压监控器和 TPS38700S-Q1 序列发生器进行工程演示和评估。本用户指南包含 EVM 原理图、物料清单 (BOM)、装配图、顶部和底部电路板布局布线以及设置说明。

可以通过 TPS38700-Q1 GUI 来测试 TPS38700S-Q1 序列发生器的其他功能。要使用该 EVM,需要采用 MSP-EXP430FR2355 MSP430 LaunchPad 和 USB-TO-GPIO2 连接器。

1.2 套件内容

包装中包含:

- 预先装配了 TPS38700S-Q1 和 TPS389006 器件的 USS 评估模块 (EVM)。
- 用于控制序列发生器 IC TPS38700S-Q1 的可配置参数的图形用户界面 (GUI)。
- 一个包含用于控制 TPS389387EVM 的可编辑代码的 zip 文件。这些代码通过 Code Composer Studio IDE (CCS) 运行,可在此处下载该 IDE。

不包括:

- MSP430,用于快速原型设计的微控制器开发套件。可以在 ti.com 上通过产品页面 (MSP-EXP430FR2355) 订 购型号 MSP430FR2355。
- 用于 GUI 和器件之间 I2C 通信的 USB-TO-GPIO2 连接器。可以在 ti.com 上通过产品页面 (USB-TO-GPIO2) 订购 USB-TO-GPIO2。

1.3 规格

该序列发生器和电压监测器件适用于任何具有多个电压轨、需要特定配置或一系列触发器的应用。TPS38700S-Q1最多具有六个使能端,可通过使用 I2C 以任何顺序独立配置或触发。

在该 EVM 中, TPS38700S-Q1 与 TPS389006 串联使用。TPS389006-Q1 使用其序列记录功能来监视和分配电 源轨开启和关闭的时间戳/日志。通过 SYNC 引脚, TPS38700S-Q1 能够检测 TPS389006 的电压监测通道的状态,并可以使用该信息来验证时序是否正确。这意味着序列发生器将了解所有监测通道的状态,并且可以"等待"通道状态发生变化,然后再发送另一个信号,从而进一步确保时序准确性。

该 EVM 将单个 TPS38700S-Q1 连接到 TPS389006。但是,在其他应用中、TPS389006 SYNC 功能允许跨多个 器件进行通信。如果需要监测的电源轨超过 6 个,则可以连接多个 TPS389006 IC 并对其进行时序控制(即,如 果需要对 18 个电源轨进行时序控制,则可以使用 3 个 TPS389006 IC)。

1.4 器件信息

该 EVM 上的 TPS389006 IC 型号配置为六个集成的多通道窗口输入,以监测六个不同的输入电压轨。该器件还具 有内部毛刺抑制功能和噪声滤波器,可消除错误信号所导致的错误复位。TPS389006 器件不需要使用任何外部电 阻器来设置过压和欠压复位阈值,因此可优化并提高安全系统的可靠性。

TPS389006 具有完整的 I2C 功能,使用户能够灵活地选择阈值、复位延迟、干扰滤波器以及引脚功能。该器件可 在导通或关断期间提供 CRC 错误校验、序列记录功能,并具有内置 ADC 来提供电压读数,进而提供冗余错误校 验功能。除这些功能之外,TPS389006 还提供电源轨标记同步功能。TPS389006 器件的多个实例均可使用电源 轨标记功能。如果用户需要不同的 TPS389006 型号,则必须从板上移除当前连接的器件。该 EVM 板可支持 TPS389006 的所有型号。

该 EVM 上的 TPS38700S-Q1 IC 型号是可编程 6 通道序列发生器。该器件提供备用电池供电选项,还能够通过 I2C 传达故障。NIRQ 引脚作为中断标志,可警示系统可能的故障,而 NRST 引脚在复位条件下会置为逻辑高电 平。

1.5 同步功能



图 1-1. 典型的同步配置

TPS389006 配备了一个 **SYNC** 引脚,如图 1-1 所示。该器件还具有序列记录功能,用于监视和分配电源轨开启 和关闭的时间戳/日志。它可以在单个器件上或电路板的多个器件上执行序列记录,当 ACT 或 SLEEP 引脚从低电 平转换为高电平或从高电平转换为低电平时,序列记录功能将一直有效,直到序列超时 (SEQ_TOUT) 结束为止。 在序列超时期间,可以屏蔽 UV 故障 (自动屏蔽 - AMSK),从而使电源轨能够在不触发故障的情况下上升。当受 监测的电压超出安全窗口时,TPS389006 可将低电平有效输出信号 (NIRQ) 置为有效。

在该 EVM 中,当 ACT 被驱动为高电平时,TPS38700S-Q1 将开启上电序列中的第一个 EN 信号。然后,MON1 电压上升并触发 TPS389006 发送第一个 SYNC 信号,从而使 TPS38700S-Q1 开启第二个 EN 电压。该过程会一 直重复,直到所有使能电压均开启。请注意,TPS389006 默认为在上电时序控制时使用 UV 阈值来发送 SYNC 脉 冲。当 ACT 被驱动为低电平时,断电序列中的第一个 EN 信号立即被驱动为低电平。当相应的 MON 电压降至阈 值以下时,TPS389006 会发送一个 SYNC 脉冲。该 SYNC 脉冲会导致 TPS38700S-Q1 关断第二个 EN 信号。该 过程也会一直重复,直到关断所有电压。默认情况下,TPS389006 的 SYNC 电压阈值基于关断电压。对于上电 和断电时序控制,电压阈值都可以更改为 UV 电压阈值。请注意,TPS389006 默认使用关断电压阈值 (MONx<140mV),在断电时序控制期间发送 SYNC 脉冲。



2 硬件

2.1 设置

本节对 EVM 上的所有器件进行了说明,并介绍了如何连接、设置和正确使用 EVM。每个器件都有一个独立的电源接头,但所有接地端都在板上互连。

2.2 连接器、接头和 LED

表 2-1 定义了 EVM 上所有连接器、接头、跳线和 LED 的位置和功能。使用图 6-1 或标记过的图来进一步参考引 脚编号。

表 2-1. TPS389387EVM 的连接器、接头、LED

地点	引脚/丝印标签	功能/说明	
J1/J2/J3/J4		连接 MSP430 的连接器。	
J16		引脚 1-4:将 I2C 连接到 MSP430。 引脚 5-8:将 MSP430 连接到序列发生器和监控器使能端。	
J17		引脚 1-2:将中断连接到 MSP430。 引脚 3-4:将复位连接到 MSP430。 引脚 5-8:向 I2C 添加上拉电阻器。如果使用了 USB 转 I2C 连接器 (J19),则不需要。	

地点	引脚/丝印标签	功能/说明
	引脚 1	允许用户监控 TPS389006 电源轨 12。
	引脚 2	允许用户监控 TPS38700S-Q1 使能 12。
	引脚 3	允许用户监控 TPS389006 电源轨 11。
	引脚 4	允许用户监控 TPS38700S-Q1 使能 11。
	引脚 5	允许用户监控 TPS389006 电源轨 10。
	引脚 6	允许用户监控 TPS38700S-Q1 使能 10。
	引脚 7	允许用户监控 TPS389006 电源轨 9。
	引脚 8	允许用户监控 TPS38700S-Q1 使能 9。
	引脚 9	允许用户监控 TPS389006 电源轨 8。
	管脚 10	允许用户监控 TPS38700S-Q1 使能 8。
	引脚 11	允许用户监控 TPS389006 电源轨 7。
	引脚 12	允许用户监控 TPS38700S-Q1 使能 7。
	引脚 13	允许用户监控 TPS389006 电源轨 6。
	引脚 14	允许用户监控 TPS38700S-Q1 使能 6。
	引脚 15	允许用户监控 TPS389006 电源轨 5。
	引脚 16	允许用户监控 TPS38700S-Q1 使能 5。
110	引脚 17	允许用户监控 TPS389006 电源轨 4。
JIO	引脚 18	允许用户监控 TPS38700S-Q1 使能 4。
	引脚 19	允许用户监控 TPS389006 电源轨 3。
	引脚 20	允许用户监控 TPS38700S-Q1 使能 3。
	引脚 21	允许用户监控 TPS389006 电源轨 2。
	引脚 22	允许用户监控 TPS38700S-Q1 使能 2。
	引脚 23	允许用户监控 TPS389006 电源轨 1。
	引脚 24	允许用户监控 TPS38700S-Q1 使能 1。
	引脚 25	I2C SCL.
	引脚 26	TPS38700S-Q1 序列发生器使能。
	引脚 27	I2C SDA。
	引脚 28	nIRQ 或中断。
	引脚 29	TPS38900 监控器使能。
	引脚 30	TPS38700S-Q1 复位。
	引脚 31	接地。
	引脚 32	接地。
	引脚 33	接地。
	引脚 34	接地。
J19		USB-TO-GPIO2 连接器的接头;用于 TPS38700-Q1 GUI 和 I2C 通信。
J20		在外部电源连接器和 MSP430 电源之间进行选择。
J21		外部电源连接器。



表 2-1. TPS389387EVM				
地点	引脚/丝印标签	功能/说明		
	PWR1	TPS389006 电源轨 1 的开关。		
	PWR2	TPS389006 电源轨 2 的开关。		
	PWR3	TPS389006 电源轨 3 的开关。		
	PWR4	TPS389006 电源轨 4 的开关。		
	PWR5	TPS389006 电源轨 5 的开关。		
SW/1	PWR6	TPS389006 电源轨 6 的开关。		
3001	PWR7	TPS389006 电源轨 7 的开关。		
	PWR8	TPS389006 电源轨 8 的开关。		
	PWR9	TPS389006 电源轨 9 的开关。		
	PWR10	TPS389006 电源轨 10 的开关。		
	PWR11	TPS389006 电源轨 11 的开关。		
	PWR12	TPS389006 电源轨 12 的开关。		
	EN1	TPS38700S-Q1 使能 1 的开关。		
	EN2	TPS38700S-Q1 使能 2 的开关。		
	EN3	TPS38700S-Q1 使能 3 的开关。		
	EN4	TPS38700S-Q1 使能 4 的开关。		
	EN5	TPS38700S-Q1 使能 5 的开关。		
SW2	EN6	TPS38700S-Q1 使能 6 的开关。		
5₩2	EN7	TPS38700S-Q1 使能 7 的开关。		
	EN8	TPS38700S-Q1 使能 8 的开关。		
	EN9	TPS38700S-Q1 使能 9 的开关。		
	EN10	TPS38700S-Q1 使能 10 的开关。		
	EN11	TPS38700S-Q1 使能 11 的开关。		
	EN12	TPS38700S-Q1 使能 12 的开关。		
D1		LED 1; nIRQ/中断有效时亮起。		
D2		LED 2;使能 1 有效时亮起。		
D3		LED 3;使能 2 有效时亮起。		
D4		LED 4;使能 3 有效时亮起。		

≠ 0.4 TDC200207F\/M 的达住限 +卒 시

2.3 EVM 跳线

表 2-2 列出了 TPS389387EVM 上的跳线。该 EVM 安装了五根跳线。

表 2-2. 跳线配置					
跳线	引脚/丝印标签	跳线配置			
J16	SCL	开路			
J16	DA	开路			
J16	MON_EN	分流			
J16	SEQ_EN	分流			
J17	nIRQ	分流			
J17	RST	分流			
J17	I2C 上拉	开路			
J20	1-2	如果分流,则外部电源为 5V。			
J20	2-3	如果分流,则外部电源为 6V。			



图 2-1. 标记过的 TPS389387EVM 引脚和连接器位置



3 软件

3.1 软件说明

本节介绍软件功能和该 EVM 的运行情况。有关相应器件电气特性的详细信息,请参阅 TPS389006 和 TPS38700S-Q1 数据表。

该 EVM 预先装配了一个 TPS389006 I2C 可编程 6 通道监控器、一个 TPS38700S-Q1 I2C 可编程 6 通道序列发 生器以及一个从 MSP430 LaunchPad 开发板生成的 12 轨可编程虚拟电源树。该 EVM 支持不同的配置,可全面 评估 TPS389006 和 TPS38700S-Q1 器件型号的功能及其之间的交互。利用当前器件,该 EVM 可以对多达 6 个 通道进行监测和时序控制。

表 2-2 中引用了 EVM 跳线的默认配置。请参阅 TPS389006-Q1 数据表中的器件阈值表,验证监控的电压值是否 正确。

要测试 TPS389387EVM 的功能,请转至 TPS389387EVM 评估说明。

要与 TPS38700S-Q1 和 TPS389387EVM 进行通信(包括对寄存器进行读取和写入以及清除中断),请按照 TPS38700-Q1 GUI 说明进行操作。

软件使用指南

该表列出了 EVM 用户可能希望执行的操作以及相应的软件接口。

操作	用户界面
更改电压输出 1-6 的电压电平	Code Composer Studio 中的 MSP430 .C 代码
更改 TPS389006 器件的阈值电压	Fusion Digital Power Designer I2C GUI
更改 TPS38700S-Q1 器件的上电和断电序列	Fusion Digital Power Designer I2C GUI
更改 MSP430 生成的输出电源轨以响应使能输入	Code Composer Studio 中的 MSP430 .C 代码
清除 TPS389006 或 TPS38700S-Q1 故障中断	Fusion Digital Power Designer I2C GUI

表 3-1. 软件使用指南



4 TPS389387EVM 评估说明

所需设备

TPS389387EVM 评估所需的硬件设备:

- TPS389387EVM
- MSP430 LaunchPad™ , MSP-EXP430FR2355
- MSP430 连接器/电源线(USB 转 micro-USB)
- 多通道示波器,用于检查评估波形
- 跳线电缆,用于附加评估

TPS389387EVM 评估所需的软件:

- 一个包含用于控制 TPS389387EVM 的可编辑代码的 zip 文件。可以在此处下载该文件。
- Code Composer Studio IDE (CCS), CCS v8.0 或更高版本。Code Composer Studio Desktop 是一种专业的集成开发环境,支持 TI 的微控制器和嵌入式处理器产品组合。Code Composer Studio 包含一整套用于开发和调试嵌入式应用的工具。Code Composer Studio 包含用于优化的 C/C++ 编译器、源代码编辑器、工程构建环境、调试器、性能分析器以及很多其他功能。请访问 Code Composer Studio 了解有关 CCS 的更多信息并下载该工具。

硬件设置

请按照以下步骤进行硬件设置:

- 1. 将 MSP430 连接到 TPS389387EVM 底部的引脚。包含 MSP430 的 TPS389387EVM 电路板底部中详细说明 了方向。确保 GND 引脚与相应的板连接器相匹配。
- 2. 将电源线连接到 MSP430 和计算机的 USB 端口。
- 3. 确保根据表 2-2 中的指南连接了所有跳线。

软件设置

- 1. 下载 Code Composer Studio IDE (CCS) 以编辑该 EVM 的代码。
 - a. 有一个云编辑器可供使用,但这不是必需的。
 - b. CCS 可能会询问是否需要其他元件。请选择 MSP430 选项, 然后再继续下载。
- 2. 下载评估 EVM 所需的代码。
- 3. 启动 CCS 并将代码导入工作区。请参阅 ti.com 上的 CCS 入门说明以获得更多帮助。
 - a. 启动 CCS 后,选择一个工作区目录。这将确定您的工程在操作系统上的位置。



b. 使用 "Project" > "Import Existing CCS Eclipse Project"。转到包含 main.c 的所需演示工程目录。图 4-1 对此进行了说明。

Name	Date modified
🣜 power_tree_sim	8/5/2022 4:04 PM

<		
power_tree_sim		
	Select Folder	Cancel

图 4-1. 在 CCS 中选择工程目录

- c. 点击 OK。
- d. CCS 识别该工程并允许用户导入。通过查找工程名称左侧的复选标记来进行检查,以确保 CCS 已找到该工程。如图 4-2 中所示。

窷 Import CCS Projects				\times
Import CCS Projects Import existing CCS Projec	ts or example CCS Projects.			
• Select search-directory:	C:\Users\a0500873\Desktop\Greenl	and_Everest_PCB\cod	Brows	e
\bigcirc Select archive file:			Brows	e
Discovered projects:				
✓ 🖆 power_tree_sim			Select	All
			Deselec	t All
			Refre	sh
Automatically import ref	erenced projects found in same sear space	ch-directory		
Open <u>Resource Explorer</u> to	browse a wide selection of example p	projects		
?		Finish	Cance	I

图 4-2. 在 CCS 中识别该工程

e. 如果 CCS 未显示复选标记,那么这意味着您的工作区已有一个同名的工程。可以通过重命名或删除该工程来解决此问题。



f.

	- 0 ×
8 • 13. 9 1 6 • 10 10 1 4 • 1 4 12	Q. (#) 🖬
E % I = □ → Variables × ♥ Expressions → Registers	2018 B B B B B B B B B B B B B B B B B B B
	-
	^
/s 1600,1600,3000,2500,2500,2500,2500);	
enable signal to start up	
THEM BEFORE USING I2C	~
	8 • 2 > > • • • • • • • • • • • • • • • •

图 4-3. 已上传代码的 CCS 工作区

4. 编辑代码以确认操作正确。

a. 要更改虚拟电源树的输出电压,请编辑第8行。该行内容如下:

const float outputVoltages[] = {1600,1600,1600,1600,1600,1600,3000,2500,2500,2500,2500,2500;

括号中的每个值都对应于 TPS389006 功率监测器轨的输出电压。这些值均以毫伏为单位。

b. 要更改每个虚拟电源轨是否需要来自序列发生器的使能信号才能启动,请编辑第 13 行。该行内容如下:

const int requiresEN = 0;

如果"="后面的值是 0,则不需要来自序列发生器的使能信号。如果该值设置为 1,则需要来自序列发生器的使能信号才能启动。



TPS389387EVM 评估说明 5. 通过在 CCS 工作区中选择 Run > Start Debugging 来运行代码。有关更多信息,请参阅图 4-4。 ٥ × CCS - power tree sim/main.c - Code Composer Studio File Edit View Project Run Tools Scripts Window Help S ▼ [2] | □ | I → [□] | ⊡ B ★ || □ □ ••• Variables × € Expressions Ⅲ Registers 0 181 D 0 - 1 0 10 10 10 10 10 Debug × % Restore Debug State 🙆 Load Resume Terminate Disconnec · Reset Restart Step Into Getting Started 🔒 n 1#include <msp4 2#include <stdi 3#include <math ^ Step Over Assembly Step Into Assembly Step Over Step Return 6//Defines outp Run to Line entrie 7//Array entrie 8 const float ou Free Run 3000,2500,2500,2500,2500,2500;2500}; 9 10//Determines i 11//0 = EN not r 22//1 = EN requi 13 const int requi Clock ignal to start up Advanced F11 Debug History 14 Debug Hist 15//I2C Global V & Debug As
 19 / Address 1:
 bebug As

 17 / Address 1:
 Debug Configurations...

 18 / Address 2:
 Breakpoint Types

 19 / Address 3:
 Breakpoint Types

 19 / Address 4:
 S

 19 / NOTE:
 New Breakpoint (Code Composer Studio)

 20 / NOTE:
 New Breakpoint (Code Composer Studio)
 ORE USING I2C Toggle Breakpoint
 Skip All Breakpoints Ctrl+Shift+B Ctrl+Alt+B ----Console × Vo consoles to display at this time.

图 4-4. 在 CCS 中运行代码

Smart Insert

267:1:10572

6. 代码运行后,确认操作正确。

- a. 通过测量接头 (J18) 和示波器之间的连接产生的波形来检查输出电压。为了更清楚地了解引脚位置,请查 看原理图或图 2-1。
- b. 通过检查 EVM 上的 LED 来确定使能和中断的正确操作。请参阅表 2-1 中的 LED 功能。
- c. 通过按住 MSP430 LaunchPad 上的按钮 S1,序列发生器将按顺序使电压轨断电。松开按钮会使电源轨按 顺序上电。可通过将示波器连接到接头 J18 的使能输出来检查上电和断电序列。
- d. 图 4-5 展示了上电序列中前三个使能信号的正确操作以及来自 TPS389006 的相应同步脉冲。

Writable



图 4-5. 具有同步的上电序列

e. 图 4-6 展示了断电序列中前三个使能信号的正确操作以及来自 TPS389006 的相应同步脉冲。





图 4-6. 具有同步的断电序列

f. 图 4-7 展示了在 EVM 上放置示波器探头以查看同步信号的位置。将探头放置在最靠近器件 U2 的 R30 端 子上。



图 4-7. 同步信号探头

- 7. DIP 开关也可用于手动测试器件中断和使能的功能。
 - a. 如果发生中断,则 LED1 (D1) 会亮起。可以使用控制 TPS389006 电源轨的 DIP 开关 (SW1) 对此进行测试。当这些 DIP 开关切换到关闭位置时,相应的电源轨被手动关闭,从而产生中断并点亮 LED1。
 - b. 激活使能 1 后, LED2 (D2) 亮起。可以使用控制 TPS38700S-Q1 使能的 DIP 开关 (SW2) 对此进行测试。当这些 DIP 开关切换到关闭位置时,相应的 EN 被手动关闭,从而使 LED2 熄灭。
 - c. 当使能 2 和使能 3 被激活时, LED3 (D3) 和 LED4 (D4) 分别亮起。可以通过与 LED2 相同的方式对此进行验证。



5 TPS38700-Q1 GUI 说明

所需设备:

- TPS389387EVM
- USB-TO-GPIO2 连接器
- MSP430 LaunchPad™ , MSP-EXP430FR2355
- MSP430 连接器/电源线 (USB 转 micro-USB)
- 多通道示波器,用于检查评估波形
- 跳线电缆,用于附加评估

5.1 GUI 安装

按照以下步骤操作,进行 GUI 安装:

- 1. 安装 GUI。
 - a. 下载适用于 TPS38700Q1EVM. 的 Fusion Digital Power Designer 平台 GUI。
 - b. 打开已下载的文件。
 - c. 在欢迎向导窗口中,点击 Next。



图 5-1. 欢迎安装窗口

d. 接受许可协议,然后点击 Next。

🔂 Setup - Fusion Digital Power Designer 🦳 🗌	×			
License Agreement Please read the following important information before continuing.				
Please read the following License Agreement. You must accept the terms of this agreement before continuing with the installation.				
Important - Please read the following license agreement carefully. This is a legally binding agreement. After you read this license agreement, you will be asked whether you accept and agree to the terms of this license agreement. Do not click "I have read and agree" unless: (1) you are authorized to accept and agree to the terms of this license agreement on behalf of yourself and your company; and (2) you intend to enter into and to be bound by the terms of this legally binding agreement on behalf of yourself and your company.				
 I accept the agreement I do not accept the agreement 				
< Back Next > Car	ncel			

图 5-2. 安装许可协议窗口

e. 最好使用默认目标文件夹。点击 Next。

🔀 Setup - Fusion Digital Power Designer	_		×
Select Destination Location Where should Fusion Digital Power Designer be installed?			
Setup will install Fusion Digital Power Designer into the follow	ving fol	der.	
To continue, click Next. If you would like to select a different folder,	click Br	owse.	
rogram Files (x86)\Texas Instruments\Fusion Digital Power Designer	В	rowse	
At least 72.6 MB of free disk space is required.			
< Back Next	:>	Ca	ncel

图 5-3. 安装位置窗口



f. 对于 Select Start Menu Folder 选项,点击 Next。

ß	Setup - Fusion Digital Power Designer		_		×
	Select Start Menu Folder Where should Setup place the program's shore	tcuts?			
	Setup will create the program's short	cuts in the following S	tart Menu	folder.	
	To continue, click Next. If you would like to se	lect a different folder,	click Brov	vse.	
	Texas Instruments\Fusion Digital Power Desig	iner	Bro	wse	
	Don't create a Start Menu folder				
	[< Back Nex	t >	Cance	el

图 5-4. 安装窗口 - 开始菜单选择

g. 对于此 EVM 无需安装附加选项。点击 Next。

🗊 Setup - Fusion Digital Power Designer	—		\times
Select Additional Tasks Which additional tasks should be performed?		Q	
Select the additional tasks you would like Setup to perform while in Power Designer, then dick Next.	nstalling Fu	usion Digita	al
Additional icons:			
Create a desktop icon			
Create a Quick Launch icon			
Other desktop shortcuts			
SMBus I2C SAA Debug Tool			
UCD9xxx Device GUI			
Additional Tasks:			
Add application directory to your system PATH			
< Back N	ext >	Can	icel
图 5-5. 安装窗口 - 其他任务			



h. 点击 Install 安装 Fusion 软件。

ß	Setup - Fusion Digital Power Designer —		×
	Ready to Install Setup is now ready to begin installing Fusion Digital Power Designer on your computer.		
	Click Install to continue with the installation, or click Back if you want to review change any settings.	or	
	Destination location: C:\Program Files (x86)\Texas Instruments\Fusion Digital Power Designer		
	<	>	
	< Back Install	Ca	ncel

图 5-6. 安装设置窗口

i. 点击 Finish 完成安装并启动软件。



图 5-7. 安装完成窗口

5.2 TPS38700-Q1 GUI 快速入门

精确地按照以下步骤操作,以快速地在 TPS389387EVM 上评估 TPS38700S-Q1。在该快速入门中,我们将详细介绍触发 ACT 引脚后的使能 1 和使能 2 信号。

- 1. 根据节 5.1 安装 GUI。如果已安装 TPS38700Q1EVM GUI,请跳过该部分。
- 2. 将 MSP430 连接到 TPS389387EVM 底部的引脚。包含 MSP430 的 TPS389387EVM 电路板底部中详细说明 了方向。确保 GND 引脚与相应的板连接器相匹配。
- 3. 将 MSP430 电源线连接到 MSP430 和计算机的 USB 端口。
- 4. 确保根据表 2-2 中的指南连接了所有跳线。
- 5. 将 TI 的 USB-TO-GPIO2 连接器连接到 EVM 的 J19 和计算机的 USB 端口。
- 6. 将 TI 的 USB-TO-GPIO2 连接器连接到 EVM 和计算机后,启动评估软件 Fusion Digital Power Designer。
- 7. 点击右下角的 *I*2C GUI。

TE	exas I	NSTRU	MENT	S	
Fusion Di Version 7.4.2	gital Pov 2.2 [2020-1	ver Desig 2-21]	nər		
No Devices Fo No compatible PMBus power is supplied to y	und! devices were four your device.	nd. Please check tha	at the serial cable	end of your USB adapte	r is attached to your device and
Scanning Mode:	DeviceIDAn	dCodeAndICDe	viceID		
USB Adapter Firr	mware Version:	1.0.11			
Bus Speed:	Packet Error	Checking:		ALERT Pullup:	2.2 kΩ 🗸
🔿 100 kHz	Enabled		 Serial 	CLOCK Pullup:	2.2 kΩ 🗸
• 400 kHz	○ Disabled			DATA Pullup:	2.2 kΩ 🗸
SMBALERT#:	ACK: High	Refres	h		
Control Lines:	#1 #2	#3	#4	#5	
(click to set)	High Low	High OHigh Low OLow	 High Low 	 O High ● Low 	Refresh All
Ct	nange Device Scan	ning Options	Retry	Offline Mode Exit Pr	ogram I2C GUI

图 5-8. Fusion 欢迎窗口

Texas

STRUMENTS

www.ti.com.cn



8. 点击"Change Scan Mode"选择 TPS38700x, 然后点击 OK。

🚸 Texas Instruments - Fusion Digital Power Designer	
File Tools	
Q Skip scanning for all Change Scan Mode Start Polling Polling Interval 1000 ms	
# Address △ Device	
Timestamn Messane	
Copy Log Clear Log	Indude poling activities
Fusion Digital Power Designer v7.6.6.Beta No Adapter	Not Saved

图 5-9. Fusion 扫描窗口

🕼 Texas Instruments - Fusion Digital Fourier Designer 🔤	
File Tools	
Q Skip scanning for all [Change Scan Mode] ▶ Start Polling Interval 1000 ms	
+ Adde Userice Scan Enter	
Set All Addresses To: Skip TPS533x0/05331 TPS5950x TPS533700x TPS542A50 TPS54xC2x Allow address zero	
1d 0x01 TF538700x 🗸 18d 0x12 TF538700x V 34d 0x22 TF538700x V 50d 0x32 TF538700x V 66d 0x42 TF538700x	
2d 0x02 TPS38700x V 19d 0x13 TPS38700x V 35d 0x23 TPS38700x V 51d 0x33 TPS38700x V 57d 0x43 TPS38700x	
3d 0x03 TP538700x 20d 0x14 TP538700x 36d 0x24 TP538700x 52d 0x34 TP538700x 68d 0x44 TP538700x	
4d 0x04 TPS38700x v 21d 0x15 TPS38700x v 37d 0x25 TPS38700x v 53d 0x35 TPS38700x v 69d 0x45 TPS38700x	
8d 0x08 TPS38700x ♥ 25d 0x19 TPS38700x ♥ 41d 0x29 TPS38700x ♥ 57d 0x39 TPS38700x ♥ 73d 0x49 TPS38700x	
Log 9d 0x09 TP538700x V 26d 0x1A TP538700x V 42d 0x2A TP538700x V 58d 0x3A TP538700x V 74d 0x4A TP538700x	
10d 0x0A TP538700x V 27d 0x18 TP538700x V 43d 0x28 TP538700x V 59d 0x38 TP538700x V 75d 0x46 TP538700x	
Tmestamp 11d 0x08 TFS38700x ✓ 28d 0x1C TFS38700x ✓ 60d 0x3C TFS38700x ✓ 76d 0x4C TFS38700x ✓	
13d 0x00 TPS38700x 🗸 29d 0x10 TPS38700x V 45d 0x20 TPS38700x V 61d 0x30 TPS38700x V 77d 0x40 TPS38700x	
14d 0x0E TF538700x V 30d 0x1E TF538700x V 46d 0x2E TF538700x V 62d 0x3E TF538700x V 78d 0x4E TF538700x	
15d 0x.0F TP533700x 31d 0x.1F TP533700x 47d 0x.2F TP533700x 63d 0x.3F TP533700x 73d 0x.4F TP533700x	
16d 0x10 TPS38700x ∨ 32d 0x20 TPS38700x ∨ 48d 0x30 TPS38700x ∨ 6-4d 0x40 TPS38700x ∨ 80d 0x50 TPS38700x	
17d bx11 (PS38/00x ♥ 33d bx21 (PS38/00x ♥ 49d bx31 (PS38/00x ♥ 65d 6x41 (PS38/00x ♥ 81d 6x51 (PS38/00x ♥ (
ОК	
Copy Log ClearLog	
Fusion Digital Power Designer v7.6.6.8eta No Adapter Not Saved	ower

图 5-10. Fusion 扫描选择窗口

9. 点击窗口左上角的 Scan for TPS38700x, 扫描 TPS38700-Q1。

🌵 Texas Instruments - Fusi	ion Digital Power Designer	_ 0
File Tools		
Q Scan for TPS38700x Chan	nge Scan Mode Start Polling Polling Interval 1000 ms	
# Address		
Log		
1		
Timestamp	Message	
13:09:13.249	SetPullUps (Alert: 2.2 kΩ; Clock: 2.2 kΩ; Data: 2.2 kΩ): ACK	
13:09:13.344	SetPedMode (PEC): ACK	
13:09:13.365	SetBusSpeed (Speed400KHz): ACK	

图 5-11. Fusion 扫描窗口 - 扫描 TPS38700Q1EVM

10. 发现该 EVM 后,选择 Click to Configure (蓝色文本)。

🖗 Texas Instruments -	Fusion Digital Power Des	igner .						. 8
File Tools								
Scan for TPS38700x	Change Scan Mode 🕨 Sta	rt Polling Po	olling Interval	1000	ms			
# Address	△ Device							
1 3Ch (60d)	TPS38700C						Click to Configure	
Log								
Timestamp	Message							4
13:20:10.132	Scanning USB Adap	ter #1 at addr	ess 121d (TPS38	700x) for dev	ices			
13:20:10.196	I2CRead (Address	121d, Cmd 0x0	1): NACK <empt< td=""><td>ty></td><td></td><td></td><td></td><td></td></empt<>	ty>				
13:20:10.252	Scanning USB Adap	ter #1 at addr	ess 122d (TPS38	700x) for dev	ices			
13:20:10.303	I2CRead (Address	122d, Cmd 0x0	1): NACK <empt< td=""><td>ty></td><td></td><td></td><td></td><td></td></empt<>	ty>				
13:20:10.356	Scanning USB Adap	ter #1 at addn	ess 123d (TPS38	700x) for dev	rices			
13:20:10.411	I2CRead (Address	123d, Cmd 0x0	1): NACK <empt< td=""><td>ty></td><td></td><td></td><td></td><td></td></empt<>	ty>				
13:20:10.471	Scanning USB Adap	ter #1 at addr	ess 124d (TPS38	700x) for dev	ices			
13:20:10.524	I2CRead (Address	124d, Cmd 0x0	1): NACK <empt< td=""><td>ty></td><td></td><td></td><td></td><td></td></empt<>	ty>				
13:20:10.580	Scanning USB Adap	ter #1 at addn	ess 125d (TPS38	700x) for dev	rices			
13:20:10.633	I2CRead (Address	125d, Cmd 0x0	1): NACK <empt< td=""><td>ty></td><td></td><td></td><td></td><td></td></empt<>	ty>				
13:20:10.694	Scanning USB Adap	ter #1 at addr	ess 126d (TPS38	700x) for dev	ices			
13:20:10.753	I2CRead (Address	126d, Cmd 0x0	1): NACK <empt< td=""><td>ty></td><td></td><td></td><td></td><td></td></empt<>	ty>				
13:20:10.801	Found 1 device.							
Copy Log Clear L	og							Include polling activities
								-
ision Digital Power Desig	nerv7422Alpha LISB A	lanter v1 0 11	[DEC: 400 kHz]			Not Saved	Ja Tevas Inc	mun marrie I fueion diaital nous

图 5-12. Fusion 扫描窗口 - 扫描 TPS38700Q1EVM 完成

-8 X

11. 选择"Refresh All"将 GUI 更新为预编程的器件配置。 ⊉ Texas Instruments - Fusion Digital Power Device GUI - 1P538700C 9 604 (3Ch), 12C Address: 1204 (78h)

	channel Channel C	Batash All	Class to MD/M	Destars from M/M	Class Faults	Channe 12C A							
		, Reliesit All	Store to NVM	Restore from NVN	Citear Paulis	Change 120 A	Couress						
700C Device Specific	Registers												
Config System Config	Sequence Config	Watchdog Co	onfig Alarms (RTC)	Config			^	St	atus Registers	Interrunt			
ime Config —									T SPC (10b)			IT SPC2 (11b)	
250 🗸								7	F INTERR	015	1 G	F VENDOR	- III
Time slot between sequ	uencing points = T	IME[7:0] * SS	TEP + T_min, where	e T_min = 125 µs				6	EM PD	01.5	6	F SDA	
	TIME[7:0]	Min (-6%	b) Typical	Max (+6%)				5	WDT	610	5	RT CRC 0	
Power-up / Sleep-exit	2	587.5	625.0	662.5	us			4	PEC	616		BIST	
Power-down / Sleep-e	entry 2	587.5	625.0	662.5	us			3	RTC	01.0		LDO	
		2						2	F EN	01.6	2	TSD	
ins mapping —					2.4			1	E OSC	610		FCC DED	
If Din not manned (Mon	and nin maintain nrv	minute etate a	infect entering BAC	KI ID or FATI SAFE et	ate in these tu	in states nin is	pulled Low		ose	64.4		ECC_DED	
If Pin is mapped to one	of the time slot[1:	15], pin will be	up (Power-up/Slee	p-exit sequence), o	r down (Power-	down/Sleep-en	itry	0	F_NRSTIRQ	OLS	0	PBSP	3
If Pin is mapped to one sequence) within the ti	e of the time slot[1: ime slot where 1st is	15], pin will be s first up (or d	up (Power-up/Slee own), and 15th is la	p-exit sequence), o ist up (or down).	r down (Power-	down/Sleep-en	itry	0 Sta	F_NRSTIRQ	Control		PBSP	
If Pin is mapped to one sequence) within the ti	e of the time slot[1: ime slot where 1st is Power U	15], pin will be s first up (or d Jp	Power Down	p-exit sequence), o ist up (or down).	r down (Power-	down/Sleep-en	Entry	Sta	F_NRSTIRQ atus Register - TL_STAT (13h)	Control		PBSP 0	
If Pin is mapped to one sequence) within the ti Pins 13 (CLK320E)	tof the time slot[1: time slot where 1st is Power U 4th	In the second state, the secon	Power Down 4th	p-exit sequence), o ist up (or down).	r down (Power-	down/Sleep-en Sleep None	Entry	0 Sta 7	F_NRSTIRQ atus Register - TL_STAT (13h) ST_WD_EN	Control		PBSP 6 AST_RST (1Ah) NRST	
If Pin is mapped to one sequence) within the ti Pins 13 (CLK320E) 19 (EN1)	Power L 4th	Jp	up (Power-up/Slee own), and 15th is la Power Down 4th	Prexit sequence), o st up (or down). Ske None None	r down (Power-	down/Sleep-en Sleep None None	Entry V	0 Sta 7 6	F_NRSTIRQ atus Register - FL_STAT (13h) ST_WD_EN ST_VBBAT	Control	0 	PBSP 6	
Prins mapped to one sequence) within the till Prins 13 (CLK320E) 19 (EN1) 20 (EN2)	e of the time slot[1: ime slot where 1st is Power U 4th 1st	In the second se	Power-up/Slee own), and 15th is la Power Down 4th Sth	Previt sequence), o stup (or down). Sle None None Ist	eep Exit	down/Sleep-en Sleep None 3rd	Entry	0 5ta 7 6 5	F_NRSTIRQ atus Register - IL_STAT (13h) ST_WD_EN ST_VBBAT ST_NIRQ CT_NIRQ	Control	0 1 7 6 5	PBSP BAST_RST (1Ah) NRST WDT_RST WDT_RST NWWR_BTN NEM PD	
If Pin is mapped (toon one sequence) within the time sequence) within the time is a sequence of the sequence o	e of the time slot[1: ime slot where 1st is Power U 4th 1st 1st	Jp	Power Down 4th Sth	Previt sequence), o stup (or down). Sle None Ist Ist	eep Exit	down/Sleep-en Sleep None Sleep Sleep Sleep	Entry	0 Sti 7 6 5 4 3	F_NRSTIRQ atus Register - IL_STAT (13h) ST_WD_EN ST_VBBAT ST_NIRQ ST_NRST	Control	L 7 6 5 4 3	PBSP E AST_RST (1Ah) INRST WDT_RST INPWR_BTN NEM_PD ACTSHON	
If Pin is mapped to one sequence) within the transmission Pins 13 (CLK320E) 19 (EN1) 20 (EN2) 21 (EN3)	e of the time slot[1: ime slot where 1st is Power U 4th 1st 2nd	Jp	up (Power-up/Slee own), and 15th is la Power Down 4th 5th 1st 4th	Pexit sequence), o st up (or down). Sle None Ist Ist Srd	eep Exit	Sleep None 3rd 2nd	Entry V V	0 St i 7 6 5 4 3 2	F_NRSTIRQ atus Register - TL_STAT (13h) ST_WD_EN ST_VBBAT ST_NIRQ ST_NIRQ ST_NRST ST_ACTSLP AT ACTSHO	Control	0 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1	PBSP R AST_RST (1Ah) IRST MRST WDT_RST MPWR_BTN IREM_PO ACTSHDN WOT_SHDN	
Prins mapped (Wah sequence) within the tr Prins 13 (CLK320E) 19 (EN1) 20 (EN2) 21 (EN3) 22 (EN4)	eor the time slot [1: me slot where 1st is Power 1 4th 1st 1st 2nd 2nd	IS), pin will be IS), pin will be IS)	up (Power-up/Sile own), and 15th is la Power Down 4th 5th 1st 4th 4th	Site of names of the names	eep Exit	Sleep none Sleep and Sleep None 3rd 2nd 2nd None None 3rd 2nd None None 100	Entry V V V	0 Sti 7 6 5 4 3 2 1:0	F_NRSTIRQ atus Register - L_STAT (13h) ST_WD_EN ST_NRST ST_NRST ST_ACTSLP AT_ACTSHD 00b: SHDN, Po	Control wer Up/Down	0 7 6 5 4 3 2 1:	PBSP R AST_RST (1Ah) NRST W0T_RST NHWR_BTN NEM_PD ACTSHON W0T_SHDN W0T_SHDN W0D1_SHDN 000: Normal ACT/SHDN pin	
Pins Repet to one sequence) within the bissequence) within the bissequence) 13 (CLK320E) 19 (EN1) 20 (EN2) 21 (EN3) 22 (EN4) 23 (EN5)	P) for maintain the point of the point of the time slot [1: ime slot where 1st is 4th 1st 1st 2nd 2nd 4th	Jp	Power Down 4th Sthie k 15t Sthie k 4th Sthie k 4th Sthie Sth	None None None None	eep Exit	Sleep none Sleep and None 3rd 2nd None None None None	Entry V V V V	0 St i 7 6 5 4 3 2 1:0	F_NRSTIRQ atus Register - IL_STAT (13h) ST_WD_EN ST_VBBAT ST_NIRQ ST_NRST ST_ACTSLP AT_ACTSLD DOb: SHDN, Po	Control wer Up/Down	0 7 6 5 4 3 2 1:	PBSP R AST_RST (1Ah) NRST W0T_RST NPWR_BTN NFWR_BTN ACTSHON W0T_SHDN 0001: Normal ACT/SHDN pn Oontrol Oontrol	
Pins mapped to one sequence) within the tis 13 (CLK320E) 1 19 (EH1) 20 (EH2) 21 (EH3) 22 (EH4) 22 (EH4) 23 (EH5)	P, John Hannahard Train Power L 4th 1st 2nd 2nd 4th 6th 6th 6th 6th 6th 6th 1st 2nd	Jp V V V V V V V V V V V V V	Power Down 4th Sthe Sthe Sthe State 4th Sthe Sthe Sthe Sthe Sthe Sthe Sthe St	None None	eep Exit	Sleep None 3rd 2nd None 1at	Entry V V V V V V V V V	0 St i 7 6 5 4 3 2 1:(F_NRSTIRQ atus Register - rL_STAT (13h) ST_WD_EN ST_NUBAT ST_NRST ST_ACTSLP AT_ACTSHDN DOb: SHDN, PO	Control	0 5 4 3 2 1:	PBSP R AST_RST (1Ah) NRST WDT_RST NPWR_BTN NFWR_BTN ACTSHON WDT_SHDN 0 000: Normal ACT/SHDN pin control	
Pins mapped toone sequence) within the ti Pins 13 (CLK320E) 19 (EH1) 20 (EH2) 21 (EH3) 22 (EH4) 23 (EH5) 24 (EH5)	P) for limit can be of the time slot [1] time slot where 1st is slot where 1st is slot where 1st is 1st 1st 1st 1st 2nd 2nd 4th 1st	Ising in will be first up (or d) Ising in will be first up (or d) Image: Image in the image	up (Power up/Sleet own), and 15th is lat Power Down 4th 5th 1st 4th 2nd 1st	None None	eep Exit v v v v v v v v	Sleep None 3rd 2nd None None tot	Entry V V V V V V V	0 Sta 7 6 5 4 3 2 1:0 ,	F_NRSTIRQ atus Register - TL_STAT (13h) ST_WD_EN ST_VBBAT ST_VBBAT ST_NRST ST_ACTSLP AT_ACTSHDD 0 00b: SHDN, Po	Control	L 7 6 5 4 3 2 1:	PBSP R AST_RST (1Ah) NRST NRST WDT_STN NEWR_BTN NEWR_PD ACTSHDN WDT_SHDN 0 000: Normal ACT/SHDN pin control	
Pins mapped to one sequence) within the till Pins pins 13 (CLK320E) 19 (Bit1) 20 (Bit2) 21 (Bit3) 22 (Bit4) 23 (Bit5)	P, John Han Han Ly Dy Power L et al. (1997) 4th 1st 2nd 2nd 4th 6 st.	Ising in will be first up (or d) Ising in will be first up (or d) Image: state in the initial state ine initine state in the initial state in the initial state in the	Power Down Power Down 4th 5th 1st 4th 2rd r=+ t	None None	eep Exit	Sleep None 3rd 2nd None intervention	Entry V V V V V V V V V V V V V	0 Sta 7 6 5 4 3 2 1:0 <	F_NRSTIRQ attus Register - TL_STAT (13h) ST_VD_EN ST_VBBAT ST_NIRQ ST_NRST ST_ACTSLP AT_ACTSHDI 0 00b: SHDN, Po	Control wer Up/Down	L 7 6 5 4 3 2 1:	PBSP CARACTERST (1Ah) NRST WDT_RST NFWR_BTN NEM_PD ACTSHON WDT_SHON 0 00b: Normal ACT/SHDN pin control	

图 5-13. TPS38700 GUI 窗口 - 序列配置选项卡

5.3 GUI

本节展示了用于与 EVM 进行交互的图形用户界面 (GUI)。该 GUI 最初是为 TPS38700-Q1 设计的,但所有 GUI 功能都适用于 TPS38700S-Q1。有关该器件的寄存器说明详细信息,请参阅 TPS38700-Q1 多通道 I2C 可编程电 压序列发生器数据表。



图 5-14. GUI 主屏幕



图 5-15. 系统配置

www.ti.com.cn

700C Device Specific	Register	Fremesh All		Estore from NVM	Clear Faults	Change 12C A	aaress				-			
onfin System Confin	Sequence Config	Watchdog Config	Alarms (PTC) C	onfin				<u> </u>						
oning pystem comig		Watchady coming	Harns (icre) of	oning				Sta	atus Registers - Inte	rrupt				Statu
me Config								IN	T_SRC (10h)	CLR	IN	T SRC2 (11h)	OLR	EN_S
200 V	uencina pointa — T	TME[7:0] * COTED	T min urbern T					7	F_INTERR	OLR	7	F_VENDOR	OLR	
ine siot between sequ	uencing points = 1	IME[7:0] SSTEP	+ 1_min, where 1	_inin = 125 µs				6	EM_PD	OLR	6	F_SDA	CLR	EN
	TIME[7:0]	Min (-6%)	Typical	Max (+6%)				5	WDT	OLR	5	RT_CRC	GLR	
Power-up / Sleep-exit	t 2	587.5	625.0 🕀	662.5	μs			4	PEC	OLB	4	BIST	OLR	EN
			COC 0 0	662.5	110				RTC		3	LDO	CLR	
Power-down / Sleep-e	entry 2	587.5	625.0 🖵	002.5	23			3						
Power-down / Sleep-e	entry 2	587.5	625.0 🖵	002.5	µ5			2	F_EN	GLR	2	TSD	OLR	EN
Power-down / Sleep-(ns mapping f Pin not mapped (Non	ne), pin maintain pre	j 587.5 evious state, unles	s entering BACKU	IP or FAILSAFE sta	te, in these tw	o states, pin is	pulled Low.	2	F_EN F_OSC	018 018	2	TSD ECC_DED	618 618	EN
Power-down / Sleep-(ns mapping fPin not mapped (Non fPin is mapped to one	ne), pin maintain pre	587.5 evious state, unles	s entering BACKU	IP or FAILSAFE sta	te, in these tw down (Power-	o states, pin is down/Sleep-en	pulled Low. try	2 1 0	F_EN F_OSC F_NRSTIRQ		2 1 0	TSD ECC_DED PBSP		EN:
Power-down / Sleep-o	ne), pin maintain pro- e of the time slot[1: ime slot where 1st is	s first up (or down	s entering BACKU Power-up/Sleep-), and 15th is last	IP or FAILSAFE sta exit sequence), or up (or down).	te, in these tw down (Power-	o states, pin is down/Sleep-en	pulled Low. try	2 1 0 Sta	F_EN F_OSC F_NRSTIRQ		2 1 0	TSD ECC_DED PBSP		EN.
Power-down / Sleep-o ns mapping if Pin not mapped (Nor if Pin is mapped to one requence) within the ti Pins	ne), pin maintain pro e of the time slot[1: ime slot where 1st is Power U	S87.5 evious state, unler 15], pin will be up s first up (or down	s entering BACKU Power-up/Sleep- , and 15th is last	IP or FAILSAFE sta exit sequence), or up (or down).	te, in these tw down (Power- ep Exit	io states, pin is down/Sleep-en Sleep	pulled Low. try Entry	5 2 1 0 5 5 7 7	F_EN F_OSC F_INRSTIRQ atus Register - Contr TL_STAT (13h)	013 013 013	2 1 0	TSD ECC_DED PBSP ST_RST (1Ah)		EN.
Power-down / Sleep-down / Sleep-down / Sleep-down / Sleep-down / Finis mapped (Nor fPinis mapped to one equence) within the time in the state of the	ne), pin maintain pro e of the time slot[1: ime slot where 1st is Power U 4th	S87.5 evious state, unlee 15], pin will be up s first up (or down Jp F V 4th	s entering BACKU Power-up/Sleep-), and 15th is last ower Down	IP or FAILSAFE sta exit sequence), or up (or down).	te, in these tw down (Power- ep Exit	o states, pin is down/Sleep-en Sleep None	pulled Low. try Entry	3 2 1 0 5tz 7	F_EN F_OSC F_NRSTIRQ atus Register - Contr TL_STAT (13h) ST_WD_EN		2 1 0	TSD ECC_DED PBSP ST_RST (1Ah) NRST		EN EN
Power-down / Sleep-down / Sleep	entry 2	SB7.5 evious state, unles 15], pin will be up s first up (or down Jp F V 4th V 5th	s entering BACKU Power-up/Sleep-), and 15th is last ower Down	IP or FAILSAFE sta exit sequence), or up (or down).	te, in these tw down (Power- ep Exit	o states, pin is down/Sleep-en Sleep None	pulled Low. try Entry	3 2 1 0 5ta 7 6	F_EN F_OSC F_NRSTIRQ atus Register - Contr T_STAT (13h) ST_WD_EN ST_VBBAT		2 1 0 LA 7 6	TSD ECC_DED PBSP ST_RST (1Ah) NRST WDT_RST		EN EN EN
Power-down / Sleep- ns mapping f Pin not mapped (Nor if Pin is mapped to one equence) within the ti Pins 13 (CLK320E) 19 (EN1)	ne), pin maintain pro- ne), pin maintain pro- e of the time slot[1: ime slot where 1st is Power t 4th 1st	ss7.5 evious state, unles 15], pin will be up s first up (or down up v 4th v 5th	s entering BACKU Power-up/Sleep-), and 15th is last ower Down	IP or FAILSAFE sta exit sequence), or up (or down).	te, in these tw down (Power- ep Exit	o states, pin is down/Sleep-en Sleep None None	pulled Low. try Entry	Sta 7 6 5	F_EN F_OSC F_NRSTIRQ atus Register - Contr L_STAT (13h) ST_WD_EN ST_VBBAT ST_NBAT	ot	2 1 0 LA 7 6 5	TSD ECC_DED PBSP ST_RST (1Ah) MRST WDT_RST NPWR_BTN		EN EN EN
Power-down / Sleep-1 ns mapping FPin not mapped (Nor FPin is mapped to one equence) within the ti Pins 13 (CLK320E) 19 (EN1) 20 (EN2)	entry 2 2 entry 2 2	ss7,5 svious state, unles 151, pin will be up s first up (or down yp F y 4th y 5th y 1st	s entering BACKU Power-up/Sleep-), and 15th is last ower Down	P or FAILSAFE sta exit sequence), or up (or down).	te, in these tw down (Power- ep Exit	o states, pin is down/Sleep-en Sleep None None 3rd	pulled Low. try Entry V	Sta 7 6 5 4	F_EN F_OSC F_NRSTIRQ tus Register - Contr L_STAT (13h) ST_WD_EN ST_WBAT ST_NBAT ST_NBAT ST_NIRST	ot	2 1 0 LA 7 6 5 4	TSD ECC_DED PBSP ST_RST (1Ah) NRST WDT_RST NPWR_BTN NEM_PD		EN EN EN
Power-down / Sleep- ins mapping (f Pin not mapped (Nor f Pin is mapped to one requence) within the ti Pins 13 (CLK320E) 19 (ER1) 20 (ER2) 21 (ER3)	hely, pin maintain pro- e of the time slot[1: time slot where 1st is Power L 4th 1st 1st 2nd	357.5 evious state, unlet 151, pin will be up, s first up (or down Jp F V 4th V 5th V 1st V 4th	s entering BACRU Power-up/Sleep-), and 15th is last ower Down	P or FAILSAFE sta exit sequence), or up (or down). Slee None 1st 3rd	te, in these tw down (Power- ep Exit	o states, pin is down/Sleep-en Sleep None None 3rd 2nd	pulled Low. try Entry V	Sta 7 6 5 4 3 3	F_EN F_OSC F_NRSTIRQ tus Register - Contr L_STAT (13h) ST_WD_EN ST_VBBAT ST_NIRQ ST_NIRST ST_ACTSLP		2 1 0 7 6 5 4 3	TSD ECC_DED PBSP ST_RST (1Ah) NRST WDT_RST NPWR_BTN NEM_PD ACTSHON		EN EN EN
Power-down / Sleep- ins mapping if Pin not mapped (Nor if Pin is mapped to one iequence) within the ti Pins 13 (CLK320E) 19 (EN1) 20 (EN2) 21 (EN3) 22 (EN4)	hely, pin maintain pro- e of the time slot[1: time slot where 1st is Power t 4th 1st 1st 2nd 2nd	587.5 evious state, unler 15], pin will be up first up (or down yp F V 4th V 5th V 1st V 1st V 4th V 1st V 4th	s entering BACKU Power-up/Sleep , and 15th is last ower Down v v v	OUL.3 O	ep Exit	o states, pin is down/Sleep-en Sleep None 3rd 2nd None	pulled Low. try Entry V V V V V V V V V V V V V V V V V V V	Sta 7 6 5 4 3 2 1 0 1 1 1 1 1 1 1 1 1 1 1 1 1	F_EN F_OSC F_NRSTIRQ tus Register - Contr L_STAT (13h) ST_WD_EN ST_VBBAT ST_NIRST ST_NRST ST_ACTSHDN OPL SUPN Description		2 1 0 1 6 5 4 3 2 10	TSD ECC_DED PBSP ST_RST (1Ah) NRST WDT_RST NPWR_BTN NEM_PD ACTSHDN WDT_SHDN Ofb: Moreal ACT/Factors		EN EN EN EN
Power-down / Sleep- ins mapping (FPin not mapped (Nor (FPin is mapped to one isquence) within the ti Pins 13 (CLK32OE) 19 (EN1) 20 (EN2) 21 (EN3) 22 (EN4) 23 (EN4)	netry 2 2 netry 2 2 netry 1 2	587.5 evious state, unler 15], pin will be up s first up (or down 19 F V 4th V 5th V 1st V 1st V 4th V 1st V 4th	s entering BACKU Power-up/Sleep- , and 15th is last ower Down	VOE.3 VP or FAILSAFE sta exit sequence), or up (or down). Slee None Ist 3rd None None	te, in these tw down (Power- ep Exit V	o states, pin is down/Sleep-en None None 3rd 2nd None	pulled Low. try Entry V V V V V V V V V V V V V V V V V V V	5 5 7 6 5 4 3 2 1 0 7 7 6 5 5 1 1 0 0 7 7 6 5 5 1 1 1 0 0 7 7 1 1 1 0 1 1 1 1 1 1 1 1 1	F_EN F_OSC F_NRSTIRQ tutus Register - Contr TSTAT (13h) ST_WD_EN ST_VBBAT ST_NRQ ST_IRST ST_ATSIP AT_ACTSHDN 00b: SHDN, Power Up	ol	2 1 0 LA 7 6 5 4 3 2 1:0	TSD ECC_DED PBSP ST_RST (1Ah) NRST WDT_RST NPWR_BTN NEME_PD ACTSHDN VOD_SHDN 00b: Normal ACT/SHDN, control	000 000 000 000 000 000 000 000 000 00	EN EN EN EN
Power-down / Sleep- ins mapping (f Pin not mapped (Nor f Pin is mapped to one iequence) within the ti Pins 13 (CLK32OE) 19 (EN1) 20 (EN2) 21 (EN3) 22 (EN4) 23 (EN5)	Power L 4th 1st 2nd 4th 4th 4th 4th	S87.5 evious state, unlee sfirst up (or down yp F v 4th v 5th v 1st v 4th v 2rd	s entering BACRU power -up/Skep-), and 15th is last ower Down v v v v v v v v	P or FAILSAFE sta exit sequence), or up (or down). Stee None Ist 3rd None None	te, in these tw down (Power- ep Exit v v v v	o states, pin is down/Sleep-en None None 3rd 2nd None None	pulled Low. try Entry V V V V V V V V V V V V V V V V V V	Sta 2 1 0 Sta 5 4 3 2 1:0 5 1 0 1 1 0 1 0 1 0 1 0 1 0 1 0 1 0 1 0 1 0 1 0 1 0 1 0 1 1 1 1 1 1 1 1 1 1 1 1 1	F_EN F_EN F_OSC F_NRSTIRQ T_STAT (13h) ST_VD_EN ST_VD_EN ST_VBAT ST_IURQ ST_INRST ST_ACTSHDN 0 00b: SHDN, Power Up	ol	2 1 0 7 6 5 4 3 2 1:0	TSD ECC_DED PBSP ST_RST (1Ah) NRST WDT_RST NPWR_BTN NEM_PD ACTSHDN 00b: Normal ACT/SHDN control	000 000 000 000 000 000 000 000 000 00	EN EN EN EN EN

图 5-16. 序列配置

100C Device Specific Registers						
onfig][System Config] Sequence Config Watchdog Config Alarms (RTC) Config	^ s	itat	us Registers - Interrupt			Sta
· WDT (80h:83h)	5	INT	SRC (10h)		INT SRC2 (11h)	EN
Disabled		7	F_INTERR 01.0		7 F_VENDOR	
On expires, first interrupt, then reset, then power-down according the Power-Down Mode		6	EM PD		6 F SDA 018	
On expires, then reset, then power-down according the Power-Down Mode		5	WDT OUT		5 RT CRC	
		4	PEC		4 BIST 018	
In Seable in sleep mode Orisabled automatically in sleep mode		3	RTC		3 LDO	
Enabled in sleep mode		2	F EN OT		2 TSD 000	
elay from POR (or from value written to WDT. CEC WDTEN) to first open window		1	F OSC III		1 ECC DED	
Delay of 1 WDT period $\checkmark \times 2ms = 2ms$		0	F NRSTIRO		0 PBSP (11)	
Close window duration 1 💭 ms		•				J '
Open window duration 1 m ms	S	itat	us Register - Control	-		a –
WDT period 2		сть	_STAT (13h)	ור	LAST_RST (1Ah)	1 '
ower-Down Mode for WDT force power-down	5	7	ST WD EN	וור	7 NRST	
Normal ACT/SHDN pin control	6	5	ST_VBBAT		6 WDT_RST	I
O Force power-down sequence, then resume normal ACT/SHDN pin control immediately	5	5	ST_NIRQ		5 NPWR_BTN	
Force power-down sequence, then resume normal ACT/SHDN pin control after 1 sec delay	4	4	ST_NRST		4 NEM_PD	
per configuration in CTL_2, RTC_T, and RTC_A	3	3	ST_ACTSLP		3 ACTSHDN	
ey to reset WDT 0 🙀	4	2	AT_ACTSHDN	-11	2 WDT_SHDN	
	1	1:0	00b: SHDN, Power Up/Down		1:0 00b: Normal ACT/SHDN pin control	
	· ·					

图 5-17. 看门狗配置



🕀 Texas Instruments - Fusion Digital Power Device GUI - TP538700C @ 60d (3Ch), I2C Address: 120d (78h)		_ P 🛛
File		
🖞 Write to Hardware 🛛 Discard Changes 🛛 🤁 Refresh All 🛛 Store to NVM 🔹 Restore from NVM 🔹 Clear Faults 🔹 Change I2C Address		
TPS38700C Device Specific Registers		
Pins Config System Config Sequence Config Watchdog Config Alarms (RTC) Config	Status Registers - Interrupt	Status F
Alarm		
Dirable Alarm		EN_SI/
C Disable Addition CTL 2.RTC WAKE and CTL 2.RTC PU are dear; RTC A[31:0] are set to 0xFFFFFFFF.		
Alarm to assert NIRQ for interrupt based wake	6 EM_PD GLS 6 F_SDA GLS	EN1
CTL_2.RTC_WAKE and CTL_2.RTC_PU are clear; RTC_A[31:0] are set to value different than 0xFFFFFFFF. When RTC_T[31:0] is eval DTC_[31:0] DEC interce mit MC1 is MC1 is proved to the VCT KID or ACT(KID).	5 WDT OLR 5 RT_CRC OLR	
close Act (act of Act (act (act of Act (act (act (act (act (act (act (act (a	4 PEC CLE 4 BIST CLE	EN2
CTL_2.RTC_WAKE is set. When RTC_T[31:0] is equal RTC_A[31:0], an interrupt is asserted, INT_SRC.RTC status bit and	3 RTC 018 3 LDO 018	
CTL_1.FORCE_ACT bit are set. As a result of interrupt, the processor wakes, determines cause of interrupt, deasserts ACT/SLP, and dars CTL_1.FORCE_ACT	2 F_EN (113) 2 TSD (113)	EN3
Autonomous wake from shutdown. PSEQ transitions from SHDN2 ->ACTIVE	1 F OSC OLS 1 ECC DED OLS	
Requires a software shutdown and ACT/SHDN remains asserted. Processor set CTL_2.PU, then set CTL_1.SHDN to 11b. The PSEQ is forced into shutdown mode until RTC_T[31:0] is equal RTC_A[31:0], or ACT/SHDN de-asserted and re-asserted by the evidem.	0 F_NRSTIRQ CCC 0 PBSP CCC	EN4
RTC_T[70h:73h] RTC_A[74h:77h]	Status Register - Control	ENE
Value at POR = 0x00000000.	CTL_STAT (13h) LAST_RST (1Ah)	LIN5
Total seconds 241 🐨 0x000000F1 sec lotal seconds 4,24,367,255 🐨 0x7777777 Sec	7 ST_WD_EN 7 NRST	
0 ⊕ days 0 ⊕ h 4 ⊕ min 1 ⊕ sec 49,710 ⊕ days 6 ⊕ h 28 ⊕ min 15 ⊕ sec	6 ST_VBBAT 6 WDT_RST	EN6
	5 ST_NIRQ 5 NPWR_BTN	
Read Write	4 ST_NRST 4 NEM_PD	EN7
	3 ST_ACTSLP 3 ACTSHDN	
	2 AT_ACTSHDN 2 WDT_SHDN	EN8
	1:0 00b: SHDN, Power Up/Down 1:0 00b: Normal ACT/SHDN pin	
		ENO
	▼	
< >	> : <	>
CopyLog ClearLog	Indude poli	ng activities
	Not Swed	usion digital nower

图 5-18. 警报配置

🖗 Texas Instr	uments - Fusion Digital Power	r Device GUI - T	P538700C @ 60d	i (3Ch), 12C /	Address: 1	120d (78h)						_ 6
File					1 00 0		100 4 4					
Virite to Hard	ware Discard Changes C		ore to NVM Rest	ore from NVM	Clear Fa	uits Chang	e 120 Addres	5				
TP538700C D	evice Specific Registers											
1234										Clear	Status	Refresh All Write All
Code 👻	Register Name	= Group =	Value (Hex)	20			B	it Fields		1		Poll =
				0	0	0	0	0	0	0	0	
							c	LOSE				
0x81	WDT_CLOSE	WDT	0x00	7	<i>6</i>	5	4	3	2	1	<i>°</i>	Refresh Write
0.00	WET OPEN	WDT	0×00				WOT	T_OPEN				
0x82	WD1_OPEN	WD1	0.00	0	Ô	0	, O	0	0	0	0	V Kerresn Write
							WD	DT_KEY				
0x83	WDT_KEY		0x00	7	6	5	4	3	2	1	0	Refresh Write
				0	0	0	0	0	0	0	0	
				RSVD	WRK	SEQS	SEQP	SEQC	WDT	RTC	CTL	
0xF0	PROTO	PROT	0x00	7	ة 0	5	4	3	2	1	0	Refresh Write
				85/0	WPY	GENE	900	SBOC	WDT	PTC		
0vE1	PROT1	PROT	0x00	7	6			1	2	1	0	Refresh Write
				0	O	0	0	0	0	0	0	
<												
Copy Log	ClearLog											Include polling activities
usion Digital Pr	wer Derigner v7 4 2 2 Alpha	ISB Adapter v1.0	11 [PEC: 400 kHz]	TPS387000	@ 60d (30	(b)			Not Sav	ed	_	TEVAS INSTRUMENTS fusion digital nowe





6 硬件设计文件

6.1 原理图



图 6-1. TPS389387EVM 原理图



6.2 PCB 布局





图 6-3. 布局 - 中间 1





图 6-5. 布局 - 底层



6.3 物料清单

表 6-1. 物料清单

位号	数量	说明	备注	封装尺寸	LibRef
C5、C6、C7、 C8、C9、C10、 C11、C12	8	电容,陶瓷,0.1 μ F,10V,+/-10%, X7R,0603	C0603X104K8RACTU	0603	CMP-0006981-4
C13、C14、C15	3	1µF ±10% 25V 陶瓷电容器 X5R 0603 (公制 1608)	GRM188R61E105KAA DD	FP- GRM188R61E105KA ADD_0603-MFG	CMP-0094239-1
D1、D2、D3、 D4	4	LED,红色,SMD	LTST-C150CKT	LTST-C150CKT_Red	CMP-0003043-3
J1/J3	1	插座,2.54mm,10x2,锡,TH	SSQ-110-03-T-D	BoosterPack_40pin_J 1J3	CMP-0003837-4
J2/J4	1	插座,2.54mm,10x2,锡,TH	SSQ-110-03-T-D	BoosterPack_40pin_J 2J4	CMP-0078266-4
J16、J17	2	接头,100mil,4x2,锡,TH	PEC04DAAN	CONN_PEC04DAAN	CMP-0054542-2
J18	1	接头,100mil,17x2,金,R/A,TH	TSW-117-08-G-D-RA	Sullins_PRxC017DBA N-M71RC	CMP-0054606-1
J19	1	接头(有罩),100mil,5x2,金,TH	5103308-1	CONN_5103308-1	CMP-0054834-2
J20	1	接头,100mil,3x1,镀锡,TH	PEC03SAAN	CONN_PEC03SAAN	CMP-0002338-1
J21	1	端子块,5.08mm,2x1,TH	039544-3002	Molex_039544-3002	CMP-0055345-1
R9、R11、R13、 R15、R17、 R19、R21、 R23、R25、 R26、R27、 R30、R41、 R42、R43、R52	16	电阻,10k,5%,0.1W,0603	RC1608J103CS	0603	CMP-0025945-3
R10、R12、 R14、R16、 R18、R20、 R22、R24	8	电阻,1.0M,5%,0.1W,AEC-Q200 0 级,0603	CRCW06031M00JNEA	0603	CMP-0025736-4
R28	1	电阻,5.36k,1%,0.1W,AEC-Q200 0 级,0603	CRCW06035K36FKEA	0603	CMP-0022511-4
R29	1	电阻,16.2k,1%,0.1W,AEC-Q200 0 级,0603	CRCW060316K2FKEA	0603	CMP-0022079-4
R31、R32、 R33、R34	4	电阻,470,5%,0.1W,AEC-Q200 0 级,0603	CRCW0603470RJNEA	0603	CMP-0025813-4
R36、R37	2	电阻,2.21kΩ,0.1%,0.1W,0603	RT0603BRD072K21L	0603	CMP-0024063-3
R40	1	修整电位器,50K,0.5W,TH	3352T-1-503LF	Bourns_3352T	CMP-0001777-2
R44、R46、 R48、R50	4	电阻,10.0k,1%,0.1W,AEC-Q200 0 级,0603	CRCW060310K0FKEA	0603	CMP-0021998-4
R45、R47、 R49、R51	4	电阻,24.0k,1%,0.1W,0603	RC0603FR-0724KL	0603	CMP-0022945-5
SW1, SW2	2	DIP 开关 SPST 12 档穿孔滑动(标准) 执行器 50mA 24VDC	206-12ST	FP-206-12ST_DIP24- MFG	CMP-0086642-1

表 6-1. 物料清单 (续)									
位号	数量	说明	备注	封装尺寸	LibRef				
SH-J1、SH-J2、 SH-J3、SH-J4、 SH-J5、SH-J6、 SH-J7、SH-J8、 SH-J9	9	分流器,2.54mm,金,黑色	60900213421	分流器, 2.54mm ,黑 色					
U1	1	ASIL-A 多通道 I2C 可编程电压序列发生器	TPS38700603SRGER Q1	VQFN24					
U2	1	符合 SIL-3 的多通道过压和欠压 I2C 可 编程电压监控器和监测器	TPS389006007RTER	WQFN16					
U4 , U5	2	通用放大器 2 电路轨至轨 8-SOIC	TLV9152IDR	D0008A-MFG	CMP-0091916-1				

7 其他信息

警告 - 外部连接:对于系统中连接的所有硬件/元件,与硬件的所有外部连接必须保持在建议的工作条件和预期用途范围内。

7.1 相关文档

TPS38700S-Q1 数据表: TPS38700S-Q1 多通道 I2C 可编程电压序列发生器

TPS389006 数据表: TPS389006 多通道 I2C 可编程电压监控器和监测器

MSP-EXP430FR2355: MSP430FR2355 LaunchPad™ 开发套件

商标

Code Composer Studio[™] and MSP430[™] are trademarks of Texas Instruments. 所有商标均为其各自所有者的财产。

8 修订历史记录

注:以前版本的页码可能与当前版本的页码不同

Cł	nanges from Revision * (October 2023) to Revision A (February 2024)	Page
•	添加了包含 .C 代码的 TPS3839387EVM zip 文件链接	1

重要声明和免责声明

TI"按原样"提供技术和可靠性数据(包括数据表)、设计资源(包括参考设计)、应用或其他设计建议、网络工具、安全信息和其他资源, 不保证没有瑕疵且不做出任何明示或暗示的担保,包括但不限于对适销性、某特定用途方面的适用性或不侵犯任何第三方知识产权的暗示担 保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任:(1) 针对您的应用选择合适的 TI 产品,(2) 设计、验 证并测试您的应用,(3) 确保您的应用满足相应标准以及任何其他功能安全、信息安全、监管或其他要求。

这些资源如有变更,恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的应用。严禁对这些资源进行其他复制或展示。 您无权使用任何其他 TI 知识产权或任何第三方知识产权。您应全额赔偿因在这些资源的使用中对 TI 及其代表造成的任何索赔、损害、成 本、损失和债务,TI 对此概不负责。

TI 提供的产品受 TI 的销售条款或 ti.com 上其他适用条款/TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

邮寄地址:Texas Instruments, Post Office Box 655303, Dallas, Texas 75265 Copyright © 2024,德州仪器 (TI) 公司