

# PDN-1A 用户指南之使用 TPS65941213-Q1 和 LP876411B4-Q1 PMIC 为 J721E 供电



## 摘要

本用户指南可用于指导如何将 TPS6594-Q1 和 LP8764-Q1 电源管理集成电路 (PMIC) 集成到系统中，从而为汽车类 Jacinto 7 DRA829 或 TDA4VM 处理器供电。

## 内容

1 引言	2
2 器件版本	2
3 处理器连接	4
3.1 电源映射	4
3.2 控制映射	7
4 支持功能安全系统	10
4.1 达到 ASIL-B 系统要求	12
4.2 达到 ASIL-D 系统要求	12
5 静态 NVM 设置	14
5.1 基于应用程序的配置设置	14
5.2 器件标识设置	15
5.3 BUCK 设置	15
5.4 LDO 设置	18
5.5 VCCA 设置	19
5.6 GPIO 设置	19
5.7 有限状态机 (FSM) 设置	21
5.8 中断设置	22
5.9 POWERGOOD 设置	25
5.10 其他设置	26
5.11 接口设置	27
5.12 多器件设置	28
5.13 看门狗设置	28
6 可预配置的有限状态机 (PFSM) 设置	28
6.1 配置的状态	29
6.2 PFSM 触发条件	31
6.3 电源序列	32
7 应用示例	40
7.1 初始化	40
7.2 在不同状态之间切换：运行和保持	40
7.3 进入和退出待机状态	41
7.4 进入和退出 LP_STANDBY 状态	42
7.5 运行时定制	42
8 参考文献	44

## 商标

Jacinto™ is a trademark of Texas Instruments.

所有商标均为其各自所有者的财产。

## 1 引言

本用户指南介绍了一种配电网络 (PDN)，即 PDN-1A，它使用 TPS6594-Q1 和 LP8764-Q1 器件为具有组合 MCU 和主电源轨的 J721E 处理器供电。

以下主题旨在说明平台系统运行：

1. PDN 电源连接
2. PDN 数字控制连接
3. 主 (TPS6594-Q1) 和辅助 (LP8764-Q1) PMIC 的静态 NVM 内容
4. 支持高级处理器系统不同 PDN 电源状态转换的 PMIC 时序设置

PMIC 和处理器数据手册提供了建议的运行条件、电气特性、建议的外部元件、封装详情、寄存器映射和整体元件功能。如果任何用户指南、应用报告或其他参考资料之间存在任何不一致的地方，应以数据表规格为准。

## 2 器件版本

TPS6594-Q1 和 LP8764-Q1 器件包含多个不同的可订购器件型号 (OPN)，具有 NVM 设置，以支持不同的最终产品用例和处理器类型。PDN-1A 用例支持组合的 MCU 和 SOC 电源轨以实现扩展 MCU 的运行，其中 PDN-0C 和 PDN-0B 支持独立的 MCU 和 SOC 电源轨以用于专用 MCU 安全岛。PDN-1A 和 PDN-0C 均包含 TPS65941213 器件，因此在 PDN-1A 中，处理器需要一个额外的步骤来重新配置 PMIC，以便将所有 SOC 电源轨错误都映射到 PFSM 中的 MCU 电源错误触发条件。该映射的上下文在整个文档中都有描述，具体说明请见 [节 7.1](#)。

NVM\_ID 和 NVM\_REV 这两个寄存器均可识别 NVM 设置。每个 PMIC 器件均可通过 [表 2-1](#) 中列出的器件型号、NVM\_ID 值和 NVM\_REV 值进行区分。

**表 2-1. 用于 PDN 系统的 TPS6594-Q1 和 LP8764-Q1 可订购器件型号**

PDN 用例	PDN	可订购器件型号	TI_NVM_ID (TI_NVM_REV)	可订购器件型号	TI_NVM_ID (TI_NVM_REV)	错误信号监控
<ul style="list-style-type: none"> <li>在主 PMIC 三相 CPU 电源轨上高达 10.5 A<sup>(1)</sup></li> <li>在辅助 PMIC 四相内核电源轨上高达 20 A<sup>(1)</sup></li> <li>在 SDRAM 上高达 3.4A<sup>(1)</sup>，支持 LPDDR4</li> <li>支持最大为 2GHz 的处理器时钟频率以及高速 SERDES 运行</li> <li>支持 8Gb LPDDR4 SDRAM，数据速率为 4266MTs</li> <li>支持高达 ASIL-D 的功能安全等级</li> <li>支持 DDR 保持低功耗模式</li> <li>支持 3.3V 或 1.8V 的 I/O 电平</li> <li>支持可选的最终产品特性：               <ul style="list-style-type: none"> <li>- 符合标准的高速 SD 卡存储器</li> <li>- 符合标准的 USB 2.0 接口</li> <li>- 高安全性处理器的板载 Efuse 编程<sup>(3)</sup></li> </ul> </li> </ul>	1A <sup>(2)</sup>	TPS65941213 RWERQ1	0x13 (0x04)	LP876411B4RQ KRQ1	0xB4 (0x00)	专用 MCU 和 SOC

**表 2-1. 用于 PDN 系统的 TPS6594-Q1 和 LP8764-Q1 可订购器件型号 (continued)**

PDN 用例	PDN	可订购器件型号	TI_NVM_ID (TI_NVM_REV)	可订购器件型号	TI_NVM_ID (TI_NVM_REV)	错误信号监控
<ul style="list-style-type: none"> <li>• 在主 PMIC 三相 CPU 电源轨上高达 10.5 A<sup>(1)</sup></li> <li>• 在辅助 PMIC 四相内核电源轨上高达 14 A<sup>(1)</sup></li> <li>• 在 SDRAM 上高达 3.4A<sup>(1)</sup>，支持 LPDDR4</li> <li>• 支持最大为 2GHz 的处理器时钟频率以及高速 SERDES 运行</li> <li>• 支持 8GB LPDDR4 SDRAM，数据速率为 4266MTS</li> <li>• 通过 MCU 安全岛支持高达 ASIL-D 的功能安全等级</li> <li>• 支持“仅 MCU”和“DDR 保持”低功耗模式</li> <li>• 支持 3.3V 或 1.8V 的 I/O 电平</li> <li>• 支持可选的最终产品特性：               <ul style="list-style-type: none"> <li>- 符合标准的高速 SD 卡存储器</li> <li>- 符合标准的 USB 2.0 接口</li> <li>- 高安全性处理器的板载 Efuse 编程</li> </ul> </li> </ul>	0C <sup>(2)</sup>	TPS65941213 RWERQ1	0x13 (0x04)	TPS65941111 RWERQ1	0x11 (0x03)	专用 MCU 和 SOC
	0B	TPS65941212 RWERQ1	0x12 (0x03)	TPS65941111 RWERQ1	0x11 (0x03)	将 MCU 和 SOC 组合在一起

- (1) TI 建议在每个 PMIC 输出电源轨的最大预期负载电流与最大允许电流之间留出 15% 的裕度。
- (2) 建议将 PDN-0C 和 PDN-1A 用于所有新设计。
- (3) 在 PDN-1A 中，Efuse 功能不是 NVM 的一部分。可在运行时启用该特性。

### 3 处理器连接

本节详细介绍了 TPS6594-Q1 和 LP8764-Q1 电源器件以及 GPIO 信号如何连接到处理器和其他外设元件。

#### 3.1 电源映射

图 3-1 显示了所需的 PMIC 电源器件和处理器电压域之间的电源映射。在该配置中，两个 PMIC 均使用 3.3V 输入电压。对于功能安全应用，在 VCCA 之前有一个保护 FET 连接到主 PMIC 的 OVPGDRV 引脚，允许对 PMIC 的输入电源进行电压监控。

对于 SD 卡双电压 I/O 支持功能 ( 3.3V 和 1.8V )，包括一个分立式 LDO，即 TLV7103318-Q1。该 LDO 的使能引脚连接到 LP876411B4-Q1 PMIC 的 GPIO10。

此 PDN 使用五个分立式电源元件，其中两个是必备件，另外三个是可选件，具体取决于最终产品的特性。TPS22965-Q1 负载开关连接 VCCA\_3V3 电源轨，以便为处理器 I/O 域提供受 OV 保护的 3.3V 电源。TPS62813-Q1 降压转换器为 LPDDR4 SDRAM 元件提供所需的 1.1V 电源。三个可选的分立式电源元件是 LDO。TLV3333-Q1 为 USB 提供 3.3V 电压。TLV7103318-Q1 为 SD 卡提供可选双电压。第三个 LDO 是 TLV73318-Q1，如果最终产品使用高安全性处理器类型并希望能够在板上对 Efuse 值进行编程，则可以使用该元件。如果不需要此特性，则可以省略此 LDO，并按照数据手册中的建议端接处理器引脚。

#### 备注

TPS65941213 的 FB\_B3 上的 PMIC 电压监控器必须连接至 3.3V。对于主 PMIC 和辅助 PMIC，VMON\_ABIST\_EN=1。如果监控器启用时，3.3V 未连接到 FB\_B3，则自检失败，设置 BIST\_FAIL\_INT 中断，并且器件会进入硬件 SAFE RECOVERY 状态 ( 请参阅图 6-1 )，主处理器电压会被禁用。

图 3-1 显示只有 VDD1\_LPDDR\_1V8 和 VDD\_DDR\_1V1 与保持低功耗模式关联，并且仅 MCU 低功耗模式不可用。虽然不支持仅 MCU 模式，但 TPS65941213-Q1 稳压器根据 PDN-0C 在 MCU 和 SOC 电源轨组之间单独分组，如节 5.7 所述。默认情况下，任何 SOC 电源故障都会导致所有 SOC 稳压器关闭 ( 包括 VDD\_IO\_3V3 )，而 MCU 导轨组稳压器保持开启。该序列将系统置于非功能状态。为了尽量减少发生这种情况的可能性，建议将所有 SOC 电源错误都映射到 MCU 电源错误触发条件。节 7.1 中提供了执行该映射所需的 I<sup>2</sup>C 命令。

TPS65941213-Q1 的 FB\_B3 是 MCU\_RAIL\_GRP 的一部分，如节 5.7 中所述。通过将 TPS65941213-Q1 的 FB\_B3 连接到 VDD\_IO\_3V3 电源轨，PMIC 会在 SOC 电源错误的情况下自动转换到安全状态，而无需将 SOC 电源错误映射到 MCU 电源错误触发条件。

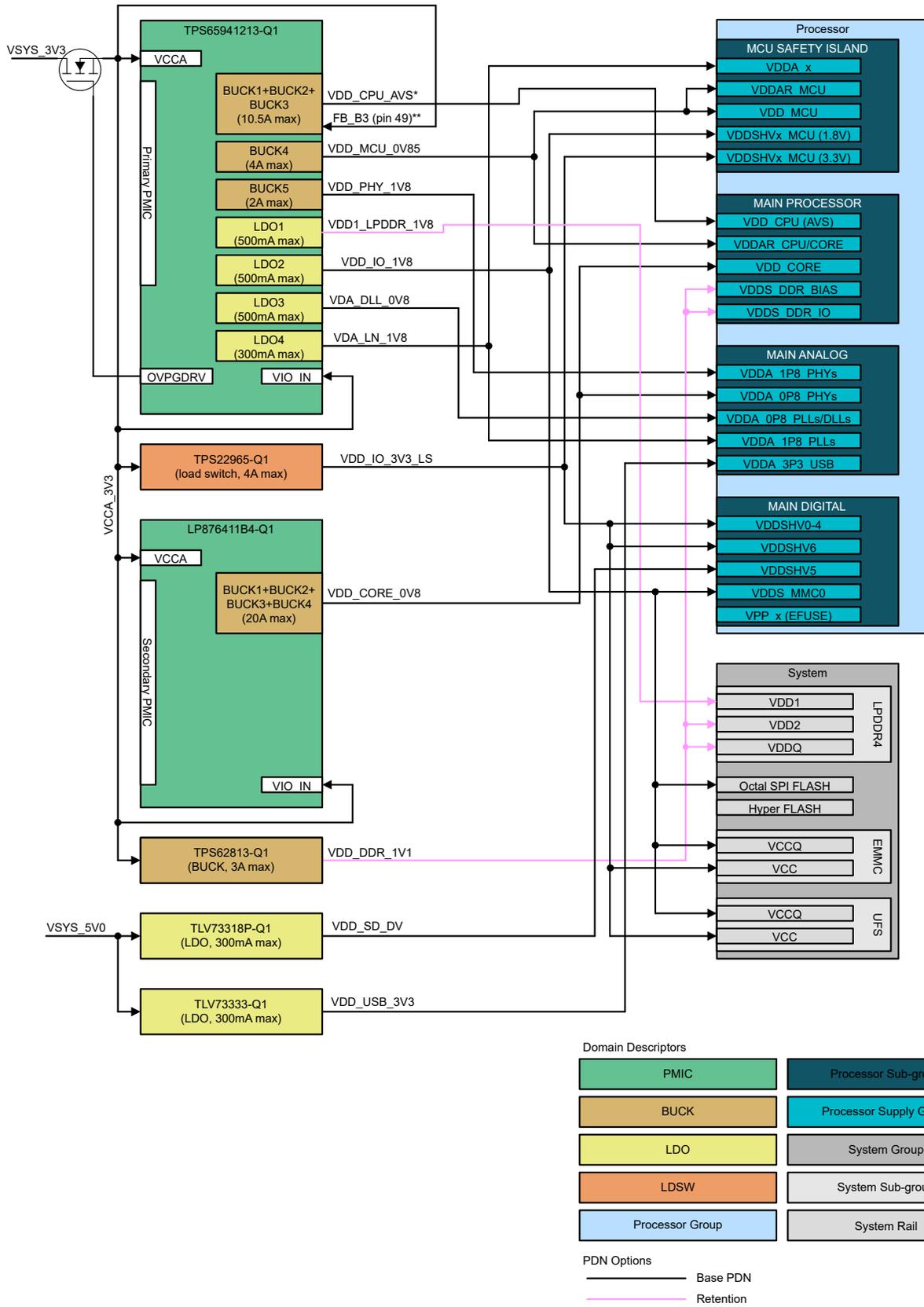


图 3-1. 电源连接

- \* VDD\_CPU\_AVS，启动电压为 0.8V，然后软件设置器件专用 AVS；0.68V - 0.72V。
- \*\* 当 FB\_B3 连接到 VCCA\_3V3 时，对于每个 PMIC，SOC\_RAIL\_TRIG 必须设置为 MCU 电源错误。

表 3-1 确定了需要哪些电源来支持不同的系统特性。“有源 SoC”列中有一个额外的选项来包含或排除 VPP\_x(EFUSE) 电源轨。TLV7103318-Q1 和 TLV73333-Q1 ( 分别支持可选的 SD 卡和 USB 接口功能 ) 由 LP876411B4-Q1 器件的 GPIO10 启用。这些选项是上电序列的一部分，如图 6-6 所示。

表 3-1. PDN 电源映射和系统特性

器件	电源映射			系统特性 <sup>(1)</sup>			
	电源	电源轨	处理器和存储器域	有源 SoC	DDR 保持	SD 卡	USB 接口
TPS65941213-Q1	BUCK123	VDD_CPU_A VS	VDD_CPU	R			
	FB_B3	VCCA_3V3 <sup>(2)</sup>	不适用	R			
	BUCK4	VDD_MCU_0 V85	VDDAR_MCU、VDD_MCU	R			
			VDDAR_CORE、 VDDAR_CPU				
	BUCK5	VDD_PHY_1 V8	VDDA_1P8_PHYs	R			
			UFS : VCCQ				
	LDO1	VDD1_DDR_1V8	Mem: VDD1	R	R <sup>(3)</sup>		
	LDO2	VDD_IO_1V8	VDDSHV1_MCU (1.8V)	R			
VDDS_MMC0							
八进制 SPI 闪存 : VCC eMMC : VCCQ							
LDO3	VDA_DLL_0V8	VDDA_0P8_PLLs/DLLs	R				
LDO4	VDA_MCU_1 V8	VDDA_x	R				
		1.8V 模拟 CLK/PLL					
LP876511B4-Q1	BUCK1234	VDD_CORE_0V8	VDD_CORE、 VDDA_0P8_PHYs	R			
TPS22965-Q1	负载开关	VDD_IO_3V3	VDDSHV0_MCU、 VDDSHV2_MCU	R			
			VDDSHV0-4、VDDSHV6 (3.3V)				
			eMMC、VCC				
			UFS、VCC				
TPS62813-Q1	BUCK	VDD_DDR_1 V1	VDDS_DDR_BIAS、 VDDS_DDR_IO	R	R <sup>(4)</sup>		
			Mem: VDD2				
TLV3333-Q1	LDO	VDD_USB_3 V3	VDDA_3p3_USB	O			R
TLV7103318-Q1	LDO	VDD_SD_DV	VDDSHV5 ( 3.3V 或 1.8V )	O		R	
TLV73318P-Q1	LDO	VPP_EFUSE_1V8	VPP_x(EFUSE)	O			

(1) “R” 是必需的，而“O” 是可选的。

(2) 将 FB\_B3 连接到 VDD\_IO\_3V3\_LS ( 为 VDD\_IO\_3V3 供电 ) 是另一种连接方式。

(3) 当 FSM\_I2C\_TRIGGERS 寄存器中的 TRIGGER\_I2C\_7 被置位时，TPS65941213-Q1 的 LDO1 会保持开启。

(4) TPS62813-Q1 由 LP876411B4-Q1 GPIO1 进行控制，并会在 FSM\_I2C\_TRIGGERS 中的 TRIGGER\_I2C\_7 被置位期间保持运行。

### 3.2 控制映射

图 3-2 显示了处理器和 PMIC 器件之间的数字控制信号映射。为了使两个 PMIC 器件协同工作，主 PMIC 和辅助 PMIC 必须建立 SPMI 通信通道。该 SPMI 通道使 TPS6594-Q1 和 LP8764-Q1 能够同步其内部可预配置状态机 (PFSM)，从而在所有电源和数字器件范围内运行一个 PFSM。使用 SPMI，无需将 ENABLE 引脚或 LDO\_VINT 连接到 LP8764-Q1 的 ENABLE 引脚 (GPIO4)。

从 PMIC 到处理器的其他数字连接提供错误监控、处理器复位、处理器唤醒和系统低功耗模式。已将特定的 GPIO 引脚分配给关键信号，以确保在低功耗模式下只有少数 GPIO 引脚保持工作时，器件能够正常工作。

图 3-2 所示的数字连接可实现一些系统特性，包括 DDR 保持模式、性能高达 ASIL-D 的功能安全以及符合标准的双电压 SD 卡运行。

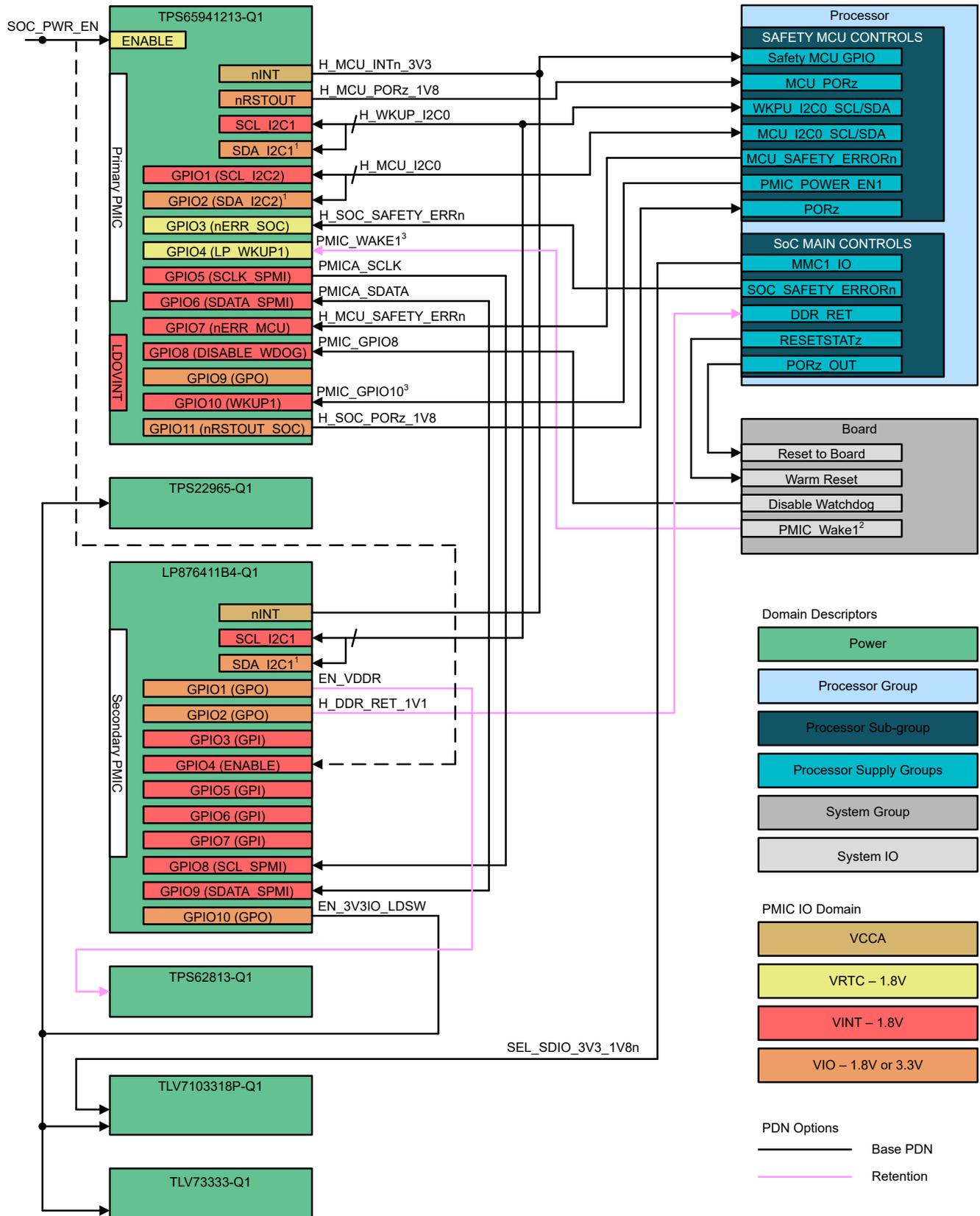


图 3-2. TPS6594-Q1 数字连接

1. PMIC IO 可以针对输入和输出功能使用不同的电源域。I2C1 和 I2C2 的 SDA 功能使用 VINT 电压域作为输入，并使用 VIO 电压域作为输出。有关完整说明，请参阅器件数据表。所示的 PMIC 电压域用于 PDN-1A NVM 配置。
2. PMIC\_Wake1 通常为 CAN PHY INH 输出。
3. LP\_WKUP1 和 WKUP1 转换到运行状态。状态转换触发条件

**备注**

IO 的 PMIC 电压域可以根据配置的不同而不同。当配置为输入时，GPIO3 和 GPIO4 均在 VRTC 域中。当配置为输出时，GPIO3 和 GPIO4 均在 VINT 域中。

**备注**

除 I2C 信号外，还有四个附加信号为开漏输出，需要上拉至特定电源轨。有关信号和特定电源轨的列表，请参阅表 3-2。

**表 3-2. 开漏信号和电源轨**

PDN 信号	上拉电源轨
H_MCU_INTn	VDD_IO_3V3
H_MCU_PORz_1V8	VDA_LN_1V8
H_SOC_PORz_1V8	VDA_LN_1V8
H_DDR_RET_1V1	VDD_DDR_1V1_REG
H_WKUP_I2C0	VDD_IO_3V3
H_MCU_I2C0_SCL/SDA	VDD_IO_3V3

请使用表 3-3 作为指南来了解每个 PDN 系统特性所需的 GPIO 分配。如果不需要所列出的特性，可以删除数字连接；但是，GPIO 引脚仍会按照显示的由 NVM 定义的默认功能进行配置。处理器启动后，处理器可以重新配置未使用的 GPIO 以支持新功能。重新配置可能在下述情况中出现：该功能仅在启动后才需要，并且默认功能不会与正常运行产生任何冲突（例如，两个输出驱动同一网络）。有关功能安全相关连接如何帮助实现功能安全系统级目标的详细信息，请参阅节 4。

表 3-3. 按系统特性划分的数字连接

器件	GPIO 映射			系统特性 <sup>(1)</sup>				
	PMIC 引脚	NVM 功能	PDN 信号	有源 SoC	功能安全	DDR 保持	SD 卡	USB 接口
TPS659412 13-Q1	nPWRON/ ENABLE	启用	SOC_PWR_ON	R				
	nINT	INT	H_MCU_INTn		R			
	nRSTOUT	nRSTOUT	H_MCU_PORz_1V8	R				
	SCL_I2C1	SCL_I2C1	H_WKUP_I2C0	R				
	SDA_I2C1	SDA_I2C1	H_WKUP_I2C0	R				
	GPIO_1	SCL_I2C2	H_MCU_I2C0_SCL		R			
	GPIO_2	SDA_I2C2	H_MCU_I2C0_SDA		R			
	GPIO_3	nERR_SoC	H_SOC_SAFETY_ERRn	R				
	GPIO_4	LP_WKUP1 (2)	PMIC_WAKE1			R		
	GPIO_5	SCLK_SPM I	LEOA_SCLK			R		
	GPIO_6	SDATA_SP MI	LEOA_SDATA			R		
	GPIO_7	nERR_MC U	H_MCU_SAFETY_ERRn		R			
	GPIO_8	DISABLE_ WDOG	PMICA_GPIO8	R <sup>(3)</sup>				
	GPIO_9	GPO	未使用 <sup>(4)</sup>	O				
GPIO_10	WKUP1	H_PMIC_PWR_EN1	R					
GPIO_11	nRSTOUT_ SOC	H_SOC_PORz_1V8	R					
LP876411B 4-Q1	nINT	INT	H_MCU_INTn		R			
	SCL_I2C1	SCL_I2C1	H_WKUP_I2C0	R				
	SDA_I2C1	SCL_I2C1	H_WKUP_I2C0	R				
	GPIO_1	GPO	EN_VDDR	R		R		
	GPIO_2	GPO	H_DDR_RET_1V1			R		
	GPIO_3	GPI	未使用 <sup>(4)</sup>	O				
	GPIO_4 <sup>(5)</sup>	ENABLE	PMICB_GPIO4	O				
	GPIO_5	GPI	未使用 <sup>(4)</sup>	O				
	GPIO_6	GPI	未使用 <sup>(4)</sup>	O				
	GPIO_7	GPI	未使用 <sup>(4)</sup>	O				
	GPIO_8	SCLK_SPM I	LEOA_SCLK			R		
GPIO_9	SDATA_SP MI	LEOA_SDATA			R			
GPIO_10	GPO	EN_3V3IO_LDSW	R		R	R	R	

(1) R 是必需项。O 是可选项。

(2) LP\_WKUP1 功能在静态设置中会被屏蔽。节 7.2.2、节 7.3 和 节 7.4 提供了用于取消屏蔽该功能的说明。

(3) 如果期望通过硬件禁用看门狗，则需要 GPIO\_8，并且必须在 nRSTOUT 变为高电平时将其设置为高电平。nRSTOUT 变为高电平时，看门狗状态被锁定，可以通过软件将该引脚配置为用于其他功能。

(4) 电源序列或 PMIC 功能不需要此 GPIO，如有需要，可以通过软件将其配置为用于其他目的。

(5) PDN-1A 正常运行不需要 LP876411B4-Q1 的 GPIO4。

## 4 支持功能安全系统

通过使用 PDN-1A 电源解决方案，系统可以利用以下 PMIC 功能安全特性：

- 输入电源监控
- 输出电压和电流监控
- 看门狗相关问答

- 故障报告中断
- 提供独立路径以禁用系统执行器的使能驱动引脚
- 错误引脚监控
- 内部诊断，包括电压监控、温度监控和内置自检

有关 PMIC 功能安全特性的完整说明和分析，请参阅 TPS6594-Q1 和 LP8764-Q1 器件的安全手册。这些功能安全特性可以帮助系统达到 ASIL-D 等级。此外，这些特性有助于实现处理器为达到 ASIL-D 等级所使用的功能安全假设。有关完整的功能安全系统假设列表，请参阅 Jacinto™ 7 处理器的安全手册。

## 4.1 达到 ASIL-B 系统要求

为达到 ASIL-B 的系统功能安全级别，可以使用以下 PDN 特性：

- 对电源电压输出进行 PMIC 过压和欠压监控
- 使用看门狗监控安全处理器
- MCU 错误监控
- MCU 复位
- I<sup>2</sup>C 通信
- 驱动外部电路的错误指示灯 EN\_DRV (可选)
- EN\_DRV 引脚的读回

如图 3-1 所示，PDN 在输入电源和 PMIC 之间串联一个外部电源 FET。FET 前后的电压由 PMIC 监控，PMIC 通过 OVPDRV 引脚控制 FET。当在输入电源上检测到大于 6V 的过压事件时，FET 可以快速隔离 PMIC，以保护系统免受损坏。该系统保护涉及来自 FET 的所有电源轨。从 FET 上游连接的任何电源都不会受过压事件的影响。在图 3-1 中，为 MCU 和主 I/O 域供电的负载开关、为 DDR 供电的分立式降压稳压器和为 EFUSE 供电的分立式 LDO 都连接在 FET 之后，从而将过压保护扩展到这些处理器域和分立式电源器件。

默认情况下会启用 PMIC 内部过压和欠压监控功能以及其各自的监控阈值电平，并可在启动后通过 I<sup>2</sup>C 进行更新。默认情况下会监控与处理器直接连接的 PMIC 电源轨。分配了 TPS65941213-Q1 上 BUCK3 的未使用反馈引脚 (即 FB\_B3) 来监控 PMIC 电源电压 VCCA\_3V3。为了监控其他电源，可通过 I<sup>2</sup>C 来配置 LP876411B4-Q1 的未使用反馈引脚 (FB\_B3 或 FB\_B4)。节 7.5 提供了一个启用未使用监控器的示例。

主 TPS6594-Q1 器件上会启用内部问答看门狗。一旦器件处于运行状态，就可以通过器件中的辅助 I<sup>2</sup>C 来配置触发条件或问答看门狗设置。主和辅助 I<sup>2</sup>C CRC 在默认情况下不启用，但必须使用表 6-1 中描述的 I2C\_2 触发条件来启用。启用后，辅助 I<sup>2</sup>C 将被禁用 2ms。建议在启动问答看门狗之前启用 I<sup>2</sup>C CRC 并等待至少 2ms。配置和启动看门狗的步骤详见 TPS6594-Q1 数据表。如果在初始开发期间需要暂停该功能或系统不需要该功能，则主 TPS6594-Q1 GPIO\_8 上的 DISABLE\_WDOG 信号将被设置为高电平以禁用看门狗。节 7.5 提供了一个改变 GPIO\_8 用途的示例。

主 TPS6594-Q1 PMIC 的 GPIO\_7 被配置为 MCU 错误信号监控器，且必须通过 ESM\_MCU\_EN 寄存器位来启用。通过主 PMIC nRSTOUT 引脚与处理器的 MCU\_PORz 之间的连接来支持 MCU 复位。最后，TPS6594-Q1 和处理器之间有两个 I2C 端口。第一个端口用于所有的非看门狗通信 (如电压电平控制)，第二个端口允许在独立的通信通道上进行看门狗监控。

可以选择使用主 TPS6594-Q1 PMIC 的 EN\_DRV 来指示已检测到错误且指示系统正在进入安全状态。如果系统具有需要由错误事件驱动的外部电路，则可以使用该信号。在本 PDN 中，未使用 EN\_DRV，但需要时可以使用。

## 4.2 达到 ASIL-D 系统要求

对于 ASIL-C 或 ASIL-D 系统，除节 4.1 中描述的特性外，还可使用以下特性：

- 对输入到 PMIC (VCCA) 进行 PMIC 过压监控和保护
- 对所有输出电源轨进行 PMIC 电流监控
- SoC 错误监控
- BUCK 稳压器引脚上的开关接地短路检测 (SW\_Bx)
- 残余电压监控
- 逻辑输出引脚读回
  - 两个 PMIC 的 nINT
  - 主 PMIC 的 nRSTOUT 和 nRSTOUT\_SOC

默认情况下，针对 TPS6594-Q1 和 LP8764-Q1 器件的所有 BUCK 和 LDO 启用电流监控。

主 TPS6594-Q1 PMIC 的 GPIO\_3 配置为 SoC 错误信号监控器。与 MCU 错误信号监控器类似，该功能使用 ESM\_SOC\_EN 寄存器位通过 I<sup>2</sup>C 来启用。通过将主 TPS6594-Q1 上的 GPIO\_11 (配置为 nRSTOUT\_SoC) 连接到处理器的 PORz 引脚来支持 SoC 复位功能。

表 4-1. 系统级安全特性

ASIL-B					ASIL-D		
安全监控处理器	外部软件看门狗	INTn	安全 MCU 处理 ESM 安全 MCU 复位	具有 IO 读回特性的安全状态信号	系统输入电压监控	SoC 主处理 ESM	IO 读回特性
SoC : MCU 岛 R5 内核	PMICA : Q&A 看门狗和 I2C2	PMICA1 和 PMICB2 : nINT	PMICA : nERR_MCU 连接到 SOC : MCU_SAFETY_ERRz PMICA : nRSTOUT 连接到 MCU_PORz_1 V8	PMICA : ENDRV	PMICA : 带有安全 FET OVPDRV 的 VSYSENSE - OV PMICA 和 PMICB, 具有 VCCA OV 和 UV 以及 SoC (VMON1) -UV	PMICA : nERR_SoC 连接到 SOC : SOC_SAFETY_ERRz	PMICA : nINT、 nRSTOUT、 nRSTOUT_SoC PMICB : nINT

1. PMICA = TPS65941213-Q1
2. PMICB = LP876411B4-Q1

表 4-2. 电源监控安全特性

器件	电源	PDN 电源轨	安全状态电源组 1	ASIL-B	ASIL-D 新增项	
				电源电压监控	电源电流监控	残余电压监控
TPS65941213-Q1 (PMIC-A)	BUCK1-3	VDD_CPU_AVS	SOC	PMIC-A - OV 和 UV	PMIC-A -CM	PMIC-A -RVM
	BUCK4	VDD_MCU_0V85	MCU	PMIC-A - OV 和 UV	PMIC-A -CM	PMIC-A -RVM
	BUCK5	VDD_PHY_1V8	SOC	PMIC-A - OV 和 UV	PMIC-A -CM	PMIC-A -RVM
	LDO1	VDD1_LPDDR4_1 V8	SOC	PMIC-A - OV 和 UV	PMIC-A -CM 3	PMIC-A -RVM3
	LDO2	VDD_IO_1V8	MCU	PMIC-A - OV 和 UV	PMIC-A -CM	PMIC-A -RVM
	LDO3	VDA_DLL_0V8	SOC	PMIC-A - OV 和 UV	PMIC-A -CM	PMIC-A -RVM
	LDO4	VDA_LN_1V8	MCU	PMIC-A - OV 和 UV	PMIC-A -CM	PMIC-A -RVM
LP876411B4-Q1 (PMIC-B)	BUCK1-4	VDD_CORE_0V8	SOC	PMIC-B - OV 和 UV	PMIC-B -CM	PMIC-B -RVM
TPS22965W-Q1	Ld Sw B	VDD_IO_3V3	无	PMIC-A 或 PMIC-B (FB_B3) - OV 和 UV6	不适用 4 5	
TPS62813-Q1	Buck A	VDD_DDR_1V1	无	SoC2	不适用 2 6	
TLV73333-Q11	LDO-C	VDA_USB_3V3	无	不适用 3	不适用 3	
TLV7103318-Q1	LDO-B	VDD_SD_DV_RE G	无	不适用 3	不适用 3	
TLV73318P-Q1	LDO-A	VDD_EFUSE_1V8	无	不适用 3	不适用 3	

1. TPS65941213-Q1 和 LP876411B4-Q1 的电源轨组设置详见表 5-7。

2. 电源轨 VDD\_DDR\_1V1 是安全关键型，但不需要直接电压或电流监控，因为可以使用其他方法（例如，SoC 内部 *超时垫圈* 和 *ECC 校验器*）来提供诊断覆盖，以检测 DDR 电压中的故障。
3. 电源轨 VDDSHV5、VPP\_CORE、VPP\_MCU、VDDA\_3P3\_USB 和 VDD1\_LPDDR4\_1V8 不是安全关键型。
4. 电源轨 VDD\_IO\_1V8/3V3 通常不是安全关键型，因为可以使用其他方法（例如，*黑色通道校验器*）来提供诊断覆盖，以检测 SoC 信号接口（例如，CAN、UART 和 SPI）中的故障。
5. 如果在安全关键型接口中使用 SoC GPIO 控制信号，则根据客户最终产品设计的要求，可能需要为特定的 VIO 电源轨添加电压和电流监控功能。
6. PMIC-B、Buck3 和 4 具有未使用的遥感反馈输入，可以根据所需的功能安全需求分配这些输入，以在 SoC SW 启动后为 2 个外部电源轨提供 OV 和 UV 电压监控。以 VDD\_DDR\_1V1 和 VDD\_IO\_3V3 电源轨的可选 OV/UV 监控功能为例进行说明。

## 5 静态 NVM 设置

TPS6594-Q1 器件包含用户寄存器空间和一个 NVM。本节介绍了 NVM 中的设置，这些设置会在器件从 INIT 转换到 BOOT BIST 期间载入用户寄存器。注意：用户寄存器可以在状态转换（例如从待机模式切换到运行模式）期间发生更改。TPS6594-Q1 数据表中说明了用户寄存器映射。

### 5.1 基于应用程序的配置设置

在 TPS6594-Q1 数据表中，每个降压稳压器具有七种基于应用程序的配置在其内运行。以下列表包括可用的不同配置：

- 4.4MHz VOUT 低于 1.9V，多相或高 COUT 单相
- 用于 DDR 终端的 2.2MHz 单相
- 4.4MHz VOUT 低于 1.9V，低 COUT，仅单相
- 4.4MHz VOUT 高于 1.7V，仅单相
- 2.2MHz 全 VOUT 范围且 VIN 高于 4.5V，仅单相
- 2.2MHz VOUT 低于 1.9V，多相或单相
- 2.2MHz 全 VOUT 范围且全 VIN 范围，仅单相

在 LP8764-Q1 数据表中，还有七种基于应用程序的配置：

- 4.4MHz 单相和多相配置
- 用于 DDR 终端的 2.2MHz 单相配置
- 4.4MHz 单相配置低输出电压
- 4.4MHz 单相配置高输出电压
- 2.2MHz 单相配置，采用 5.0V VIN
- 2.2MHz 单相和多相配置
- 2.2MHz 单相通用配置

这七种配置还具有理想的输出电感值，可在各种条件下优化每个降压稳压器的性能。表 5-1 显示了各个降压稳压器的默认配置。器件启动后，无法更改与用例关联的环路参数。

表 5-1. 应用程序用例设置

器件	降压稳压器电源轨	默认应用程序用例	建议的电感器值
TPS65941213-Q1	BUCK1	2.2MHz VOUT 低于 1.9V，多相或单相	470nH
	BUCK2	2.2MHz VOUT 低于 1.9V，多相或单相	470nH
	BUCK3	2.2MHz VOUT 低于 1.9V，多相或单相	470nH
	BUCK4	2.2MHz VOUT 低于 1.9V，多相或单相	470nH
	BUCK5	2.2MHz VOUT 低于 1.9V，多相或单相	470nH
LP876411B4-Q1	BUCK1	2.2MHz 单相和多相配置	470nH
	BUCK2	2.2MHz 单相和多相配置	470nH
	BUCK3	2.2MHz 单相和多相配置	470nH
	BUCK4	2.2MHz 单相和多相配置	470nH

## 5.2 器件标识设置

这些设置用于区分在系统中检测到哪个器件。这些设置在器件启动后不能更改。

表 5-2. 器件标识 NVM 设置

寄存器名称	字段名称	TPS65941213-Q1		LP876411B4-Q1	
		值	说明	值	说明
DEV_REV	DEVICE_ID	0x82		0x86	
NVM_CODE_1	TI_NVM_ID	0x13		0xb4	
NVM_CODE_2	TI_NVM_REV	0x4		0x0	
PHASE_CONFIG	MP_CONFIG	0x3	3+1+1	0x0	4

## 5.3 BUCK 设置

这些设置详细说明了 NVM 中存储的 BUCK 电源轨电压、配置和监控。所有这些设置都可以在启动后通过 I<sup>2</sup>C 进行更改。一些设置（通常为使能位）也通过 PFSM 进行更改，如节 6.3 中所述。

在 TPS65941213 中，节 6.3.5 序列完成后，BUCKx\_EN 位会针对 BUCK1、BUCK4 和 BUCK5 进行设置。在 LP876411B4 中，BUCKx\_EN 会针对 BUCK1 进行设置。在 TPS65941213 中，BUCKx\_VMON\_EN 位会针对 BUCK1、BUCK3、BUCK4 和 BUCK5 进行设置。在 LP876411B4 中，BUCKx\_VMON\_EN 位会针对 BUCK1 进行设置。BUCKx\_RV\_SEL 位会针对所有 BUCK 进行清零。其他位保持不变，但仍可通过 I<sup>2</sup>C 进行访问。

表 5-3. BUCK NVM 设置

寄存器名称	字段名称	TPS65941213-Q1		LP876411B4-Q1	
		值	说明	值	说明
BUCK1_CTRL	BUCK1_EN	0x0	禁用；BUCK1 稳压器	0x0	禁用；BUCK1 稳压器
	BUCK1_FPWM	0x0	PFM 和 PWM 操作（自动模式）。	0x0	PFM 和 PWM 操作（自动模式）。
	BUCK1_FPWM_MP	0x0	自动增相和切相。	0x0	自动增相和切相。
	BUCK1_VMON_EN	0x0	禁用；OV、UV、SC 和 ILIM 比较器。	0x0	禁用；OV、UV、SC 和 ILIM 比较器。
	BUCK1_VSEL	0x0	BUCK1_VOUT_1	0x0	BUCK1_VOUT_1
	BUCK1_PLDN	0x1	启用；下拉电阻	0x1	启用；下拉电阻
	BUCK1_RV_SEL	0x1	启用	0x1	启用
BUCK1_CONF	BUCK1_SLEW_RATE	0x3	5.0 mV/μs	0x3	5.0 mV/μs
	BUCK1_ILIM	0x5	5.5A	0x5	5.5A
BUCK2_CTRL	BUCK2_EN	0x0	禁用；BUCK2 稳压器	0x0	禁用；BUCK2 稳压器
	BUCK2_FPWM	0x0	PFM 和 PWM 操作（自动模式）。	0x0	PFM 和 PWM 操作（自动模式）。
	BUCK2_VMON_EN	0x0	禁用；OV、UV、SC 和 ILIM 比较器。	0x0	禁用；OV、UV、SC 和 ILIM 比较器。
	BUCK2_VSEL	0x0	BUCK2_VOUT_1	0x0	BUCK2_VOUT_1
	BUCK2_PLDN	0x1	启用；下拉电阻	0x1	启用；下拉电阻
	BUCK2_RV_SEL	0x1	启用	0x1	启用
BUCK2_CONF	BUCK2_SLEW_RATE	0x3	5.0 mV/μs	0x3	5.0 mV/μs
	BUCK2_ILIM	0x5	5.5A	0x5	5.5A

**表 5-3. BUCK NVM 设置 (continued)**

寄存器名称	字段名称	TPS65941213-Q1		LP876411B4-Q1	
		值	说明	值	说明
BUCK3_CTRL	BUCK3_EN	0x0	禁用；BUCK3 稳压器	0x0	禁用；BUCK3 稳压器
	BUCK3_FPWM	0x0	PFM 和 PWM 操作 (自动模式)。	0x0	PFM 和 PWM 操作 (自动模式)。
	BUCK3_FPWM_MP	0x0	自动增相和切相。	0x0	自动增相和切相。
	BUCK3_VMON_EN	0x0	禁用；OV、UV、SC 和 ILIM 比较器。	0x0	禁用；OV、UV、SC 和 ILIM 比较器。
	BUCK3_VSEL	0x0	BUCK3_VOUT_1	0x0	BUCK3_VOUT_1
	BUCK3_PLDN	0x1	启用；下拉电阻	0x1	启用；下拉电阻
	BUCK3_RV_SEL	0x0	禁用	0x0	禁用
BUCK3_CONF	BUCK3_SLEW_RATE	0x5	1.3 mV/μs	0x2	10 mV/μs
	BUCK3_ILIM	0x5	5.5A	0x4	4.5A
BUCK4_CTRL	BUCK4_EN	0x0	禁用；BUCK4 稳压器	0x0	禁用；BUCK4 稳压器
	BUCK4_FPWM	0x0	PFM 和 PWM 操作 (自动模式)。	0x0	PFM 和 PWM 操作 (自动模式)。
	BUCK4_VMON_EN	0x0	禁用；OV、UV、SC 和 ILIM 比较器。	0x0	禁用；OV、UV、SC 和 ILIM 比较器。
	BUCK4_VSEL	0x0	BUCK4_VOUT_1	0x0	BUCK4_VOUT_1
	BUCK4_PLDN	0x1	启用；下拉电阻	0x1	启用；下拉电阻
	BUCK4_RV_SEL	0x1	启用	0x0	禁用
BUCK4_CONF	BUCK4_SLEW_RATE	0x3	5.0 mV/μs	0x2	10 mV/μs
	BUCK4_ILIM	0x5	5.5A	0x4	4.5A
BUCK5_CTRL	BUCK5_EN	0x0	禁用；BUCK5 稳压器		
	BUCK5_FPWM	0x0	PFM 和 PWM 操作 (自动模式)。		
	BUCK5_VMON_EN	0x0	禁用；OV、UV、SC 和 ILIM 比较器。		
	BUCK5_VSEL	0x0	BUCK5_VOUT_1		
	BUCK5_PLDN	0x1	启用下拉电阻		
	BUCK5_RV_SEL	0x1	启用		
BUCK5_CONF	BUCK5_SLEW_RATE	0x3	5.0 mV/μs		
	BUCK5_ILIM	0x3	3.5A		
BUCK1_VOUT_1	BUCK1_VSET1	0x37	0.800 V	0x37	0.800 V
BUCK1_VOUT_2	BUCK1_VSET2	0x37	0.800 V	0x37	0.800 V
BUCK2_VOUT_1	BUCK2_VSET1	0x37	0.800 V	0x37	0.800 V
BUCK2_VOUT_2	BUCK2_VSET2	0x37	0.800 V	0x37	0.800 V
BUCK3_VOUT_1	BUCK3_VSET1	0xFD	3.30V	0x0	0.3V
BUCK3_VOUT_2	BUCK3_VSET2	0xFD	3.30V	0x0	0.3V
BUCK4_VOUT_1	BUCK4_VSET1	0x41	0.850 V	0x0	0.3V
BUCK4_VOUT_2	BUCK4_VSET2	0x41	0.850 V	0x0	0.3V
BUCK5_VOUT_1	BUCK5_VSET1	0xb2	1.80V		
BUCK5_VOUT_2	BUCK5_VSET2	0xb2	1.80V		
BUCK1_PG_WINDOW	BUCK1_OV_THR	0x3	+5% / +50mV	0x3	+5% / +50mV
	BUCK1_UV_THR	0x3	-5% / -50mV	0x3	-5% / -50mV
BUCK2_PG_WINDOW	BUCK2_OV_THR	0x3	+5% / +50mV	0x3	+5% / +50mV
	BUCK2_UV_THR	0x3	-5% / -50mV	0x3	-5% / -50mV
BUCK3_PG_WINDOW	BUCK3_OV_THR	0x7	+10% / +100mV	0x0	+3% / +30mV
	BUCK3_UV_THR	0x7	-10% / -100mV	0x0	-3% / -30mV

**表 5-3. BUCK NVM 设置 (continued)**

寄存器名称	字段名称	TPS65941213-Q1		LP876411B4-Q1	
		值	说明	值	说明
BUCK4_PG_WINDOW	BUCK4_OV_THR	0x3	+5% / +50mV	0x0	+3% / +30mV
	BUCK4_UV_THR	0x3	-5% / -50mV	0x0	-3% / -30mV
BUCK5_PG_WINDOW	BUCK5_OV_THR	0x3	+5% / +50mV		
	BUCK5_UV_THR	0x3	-5% / -50mV		

## 5.4 LDO 设置

这些设置详细说明了 NVM 中存储的 LDO 电源轨电压、配置和监控。所有这些设置都可以在启动后通过 I<sup>2</sup>C 进行更改。一些设置 (通常为使能位) 也通过 PFSM 进行更改, 如节 6.3 中所述。

在节 6.3.5 序列完成后, 对于所有 LDO, 将 LDOx\_EN 和 LDOx\_VMON\_EN 位置位, 并将 LDOx\_RV\_SEL 位清零。其他位保持不变, 但仍可通过 I<sup>2</sup>C 进行访问。

### 备注

LP876411B4-Q1 没有 LDO。

表 5-4. LDO NVM 设置

寄存器名称	字段名称	TPS65941213-Q1		LP876411B4-Q1	
		值	说明	值	说明
LDO1_CTRL	LDO1_EN	0x0	禁用; LDO1 稳压器。		
	LDO1_SLOW_RAMP	0x0	LDO 输出从 0.3V 到 LDO <sub>n</sub> _VSET 的 90% 时的最大斜升转换率为 25mV/us		
	LDO1_PLDN	0x1	125 Ω		
	LDO1_VMON_EN	0x0	禁用 OV 和 UV 比较器。		
	LDO1_RV_SEL	0x1	启用		
LDO2_CTRL	LDO2_EN	0x0	禁用; LDO2 稳压器。		
	LDO2_SLOW_RAMP	0x0	LDO 输出从 0.3V 到 LDO <sub>n</sub> _VSET 的 90% 时的最大斜升转换率为 25mV/us		
	LDO2_PLDN	0x1	125 Ω		
	LDO2_VMON_EN	0x0	禁用; OV 和 UV 比较器。		
	LDO2_RV_SEL	0x1	启用		
LDO3_CTRL	LDO3_EN	0x0	禁用; LDO3 稳压器。		
	LDO3_SLOW_RAMP	0x0	LDO 输出从 0.3V 到 LDO <sub>n</sub> _VSET 的 90% 时的最大斜升转换率为 25mV/us		
	LDO3_PLDN	0x1	125 Ω		
	LDO3_VMON_EN	0x0	禁用; OV 和 UV 比较器。		
	LDO3_RV_SEL	0x1	启用		
LDO4_CTRL	LDO4_EN	0x0	禁用; LDO4 稳压器。		
	LDO4_SLOW_RAMP	0x0	LDO 输出从 0.3V 到 LDO <sub>n</sub> _VSET 的 90% 时的最大斜升转换率为 25mV/us		
	LDO4_PLDN	0x1	125 Ω		
	LDO4_VMON_EN	0x0	禁用; OV 和 UV 比较器。		
	LDO4_RV_SEL	0x1	启用		
LDO1_VOUT	LDO1_VSET	0x1c	1.80V		
	LDO1_BYPASS	0x0	线性稳压器模式。		
LDO2_VOUT	LDO2_VSET	0x1c	1.80V		
	LDO2_BYPASS	0x0	线性稳压器模式。		
LDO3_VOUT	LDO3_VSET	0x8	0.80V		
	LDO3_BYPASS	0x0	线性稳压器模式。		
LDO4_VOUT	LDO4_VSET	0x38	1.800 V		
LDO1_PG_WINDOW	LDO1_OV_THR	0x3	+5% / +50mV		
	LDO1_UV_THR	0x3	-5% / -50mV		
LDO2_PG_WINDOW	LDO2_OV_THR	0x3	+5% / +50mV		
	LDO2_UV_THR	0x3	-5% / -50mV		
LDO3_PG_WINDOW	LDO3_OV_THR	0x3	+5% / +50mV		
	LDO3_UV_THR	0x3	-5% / -50mV		

表 5-4. LDO NVM 设置 (continued)

寄存器名称	字段名称	TPS65941213-Q1		LP876411B4-Q1	
		值	说明	值	说明
LDO4_PG_WINDOW	LDO4_OV_THR	0x3	+5% / +50mV		
	LDO4_UV_THR	0x3	-5% / -50mV		

## 5.5 VCCA 设置

这些设置详细说明了在 VCCA 上启用的默认监控。启动后，可通过 I<sup>2</sup>C 更改寄存器 VCCA\_VMON\_CTRL 和 VCCA\_PG\_WINDOW 中的设置。

表 5-5. VCCA NVM 设置

寄存器名称	字段名称	TPS65941213-Q1		LP876411B4-Q1	
		值	说明	值	说明
VCCA_VMON_CTRL	VMON_DEGLITCH_SE L	0x1	20us	0x1	VCCA 20us, VMON/BUCK 20us
	VCCA_VMON_EN	0x1	启用；OV 和 UV 比较器。	0x1	启用；OV 和 UV 比较器。
VCCA_PG_WINDOW	VCCA_OV_THR	0x7	+10%	0x7	+10%
	VCCA_UV_THR	0x7	-10%	0x7	-10%
	VCCA_PG_SET	0x0	3.3V	0x0	3.3V
GENERAL_REG_1	FAST_VCCA_OVP	0x0	慢，已启用 4μs 抗尖峰脉冲滤波器	0x0	慢，已启用 4μs 抗尖峰脉冲滤波器
GENERAL_REG_3	LPM_EN_DISABLES_V CCA_VMON	0x1	如果 VCCA_VMON_EN=1 且 LPM_EN=0，则启用 VCCA_VMON	0x1	如果 VCCA_VMON_EN=1 且 LPM_EN=0，则启用 VCCA_VMON

## 5.6 GPIO 设置

这些设置详细说明了 GPIO 电源轨的默认配置。所有这些设置都可以在启动后通过 I<sup>2</sup>C 进行更改。请注意，GPIOx\_SEL 字段的内容决定了 GPIOx\_CONF 和 GPIO\_OUT\_x 寄存器中的哪些其他字段是适用的。若要了解适用于每个 GPIOx\_SEL 选项的 NVM 字段，请参阅 TPS6594-Q1 数据表中的数字信号说明部分。

表 5-6. GPIO NVM 设置

寄存器名称	字段名称	TPS65941213-Q1		LP876411B4-Q1	
		值	说明	值	说明
GPIO1_CONF	GPIO1_OD	0x0	推挽式输出	0x0	推挽式输出
	GPIO1_DIR	0x0	输入	0x1	输出
	GPIO1_SEL	0x1	SCL_I2C2/CS_SPI	0x0	GPIO1
	GPIO1_PU_SEL	0x0	选择下拉电阻	0x0	选择下拉电阻
	GPIO1_PU_PD_EN	0x0	禁用；上拉/下拉电阻。	0x0	禁用；上拉/下拉电阻。
	GPIO1_DEGLITCH_EN	0x0	无抗尖峰脉冲，仅同步。	0x0	无抗尖峰脉冲，仅同步。
GPIO2_CONF	GPIO2_OD	0x0	推挽式输出	0x1	开漏输出
	GPIO2_DIR	0x0	输入	0x1	输出
	GPIO2_SEL	0x2	SDA_I2C2/SDO_SPI	0x0	GPIO2
	GPIO2_PU_SEL	0x0	选择下拉电阻	0x0	选择下拉电阻
	GPIO2_PU_PD_EN	0x0	禁用；上拉/下拉电阻。	0x0	禁用；上拉/下拉电阻。
	GPIO2_DEGLITCH_EN	0x0	无抗尖峰脉冲，仅同步。	0x0	无抗尖峰脉冲，仅同步。

**表 5-6. GPIO NVM 设置 (continued)**

寄存器名称	字段名称	TPS65941213-Q1		LP876411B4-Q1	
		值	说明	值	说明
GPIO3_CONF	GPIO3_OD	0x0	推挽式输出	0x0	推挽式输出
	GPIO3_DIR	0x0	输入	0x0	输入
	GPIO3_SEL	0x2	NERR_SOC	0x0	GPIO3
	GPIO3_PU_SEL	0x0	选择下拉电阻	0x0	选择下拉电阻
	GPIO3_PU_PD_EN	0x1	启用；上拉/下拉电阻。	0x1	启用；上拉/下拉电阻。
	GPIO3_DEGLITCH_EN	0x1	8 $\mu$ s 抗尖峰脉冲时间。	0x1	8 $\mu$ s 抗尖峰脉冲时间。
GPIO4_CONF	GPIO4_OD	0x0	推挽式输出	0x0	推挽式输出
	GPIO4_DIR	0x0	输入	0x0	输入
	GPIO4_SEL	0x6	LP_WKUP1	0x0	GPIO4
	GPIO4_PU_SEL	0x0	选择下拉电阻	0x0	选择下拉电阻
	GPIO4_PU_PD_EN	0x1	启用；上拉/下拉电阻。	0x1	启用；上拉/下拉电阻。
	GPIO4_DEGLITCH_EN	0x0	无抗尖峰脉冲，仅同步。	0x1	8 $\mu$ s 抗尖峰脉冲时间。
GPIO5_CONF	GPIO5_OD	0x0	推挽式输出	0x0	推挽式输出
	GPIO5_DIR	0x1	输出	0x0	输入
	GPIO5_SEL	0x1	SCLK_SPMI	0x0	GPIO5
	GPIO5_PU_SEL	0x0	选择下拉电阻	0x0	选择下拉电阻
	GPIO5_PU_PD_EN	0x1	启用；上拉/下拉电阻。	0x1	启用；上拉/下拉电阻。
	GPIO5_DEGLITCH_EN	0x0	无抗尖峰脉冲，仅同步。	0x1	8 $\mu$ s 抗尖峰脉冲时间。
GPIO6_CONF	GPIO6_OD	0x0	推挽式输出	0x0	推挽式输出
	GPIO6_DIR	0x0	输入	0x0	输入
	GPIO6_SEL	0x1	SDATA_SPMI	0x0	GPIO6
	GPIO6_PU_SEL	0x0	选择下拉电阻	0x0	选择下拉电阻
	GPIO6_PU_PD_EN	0x1	启用；上拉/下拉电阻。	0x1	启用；上拉/下拉电阻。
	GPIO6_DEGLITCH_EN	0x0	无抗尖峰脉冲，仅同步。	0x1	8 $\mu$ s 抗尖峰脉冲时间。
GPIO7_CONF	GPIO7_OD	0x0	推挽式输出	0x0	推挽式输出
	GPIO7_DIR	0x0	输入	0x0	输入
	GPIO7_SEL	0x1	NERR_MCU	0x0	GPIO7
	GPIO7_PU_SEL	0x0	选择下拉电阻	0x0	选择下拉电阻
	GPIO7_PU_PD_EN	0x1	启用；上拉/下拉电阻。	0x1	启用；上拉/下拉电阻。
	GPIO7_DEGLITCH_EN	0x1	8 $\mu$ s 抗尖峰脉冲时间。	0x1	8 $\mu$ s 抗尖峰脉冲时间。
GPIO8_CONF	GPIO8_OD	0x0	推挽式输出	0x0	推挽式输出
	GPIO8_DIR	0x0	输入	0x0	输入
	GPIO8_SEL	0x3	DISABLE_WDOG	0x1	SCLK_SPMI
	GPIO8_PU_SEL	0x0	选择下拉电阻	0x0	选择下拉电阻
	GPIO8_PU_PD_EN	0x1	启用；上拉/下拉电阻。	0x0	禁用；上拉/下拉电阻。
	GPIO8_DEGLITCH_EN	0x1	8 $\mu$ s 抗尖峰脉冲时间。	0x0	无抗尖峰脉冲，仅同步。
GPIO9_CONF	GPIO9_OD	0x0	推挽式输出	0x0	推挽式输出
	GPIO9_DIR	0x1	输出	0x0	输入
	GPIO9_SEL	0x0	GPIO9	0x1	SDATA_SPMI
	GPIO9_PU_SEL	0x0	选择下拉电阻	0x0	选择下拉电阻
	GPIO9_PU_PD_EN	0x0	禁用；上拉/下拉电阻。	0x0	禁用；上拉/下拉电阻。
	GPIO9_DEGLITCH_EN	0x0	无抗尖峰脉冲，仅同步。	0x0	无抗尖峰脉冲，仅同步。

表 5-6. GPIO NVM 设置 (continued)

寄存器名称	字段名称	TPS65941213-Q1		LP876411B4-Q1	
		值	说明	值	说明
GPIO10_CONF	GPIO10_OD	0x0	推挽式输出	0x0	推挽式输出
	GPIO10_DIR	0x0	输入	0x1	输出
	GPIO10_SEL	0x6	WKUP1	0x0	GPIO10
	GPIO10_PU_SEL	0x0	选择下拉电阻	0x0	选择下拉电阻
	GPIO10_PU_PD_EN	0x1	启用；上拉/下拉电阻。	0x0	禁用；上拉/下拉电阻。
	GPIO10_DEGLITCH_EN	0x1	8 $\mu$ s 抗尖峰脉冲时间。	0x0	无抗尖峰脉冲，仅同步。
GPIO11_CONF	GPIO11_OD	0x1	开漏输出		
	GPIO11_DIR	0x1	输出		
	GPIO11_SEL	0x2	NRSTOUT_SOC		
	GPIO11_PU_SEL	0x0	选择下拉电阻		
	GPIO11_PU_PD_EN	0x0	禁用；上拉/下拉电阻。		
	GPIO11_DEGLITCH_EN	0x0	无抗尖峰脉冲，仅同步。		
NPWRON_CONF	NPWRON_SEL	0x0	启用		
	ENABLE_PU_SEL	0x0	选择下拉电阻		
	ENABLE_PU_PD_EN	0x1	启用；上拉/下拉电阻。		
	ENABLE_DEGLITCH_EN	0x1	启用时抗尖峰脉冲时间为 8 $\mu$ s，NPWRON 时抗尖峰脉冲时间为 50ms。		
	ENABLE_POL	0x0	高电平有效	0x0	高电平有效
	NRSTOUT_OD	0x1	开漏输出		
GPIO_OUT_1	GPIO1_OUT	0x0	低	0x0	低
	GPIO2_OUT	0x0	低	0x0	低
	GPIO3_OUT	0x0	低	0x0	低
	GPIO4_OUT	0x0	低	0x0	低
	GPIO5_OUT	0x0	低	0x0	低
	GPIO6_OUT	0x0	低	0x0	低
	GPIO7_OUT	0x0	低	0x0	低
	GPIO8_OUT	0x0	低	0x0	低
GPIO_OUT_2	GPIO9_OUT	0x0	低	0x0	低
	GPIO10_OUT	0x0	低	0x0	低
	GPIO11_OUT	0x0	低		

## 5.7 有限状态机 (FSM) 设置

这些设置描述了如何为 PMIC 输出轨分配各种系统级状态。此外，还描述了每个系统级状态的默认触发条件。所有这些设置都可以在启动后通过 I<sup>2</sup>C 进行更改。

表 5-7. FSM NVM 设置

寄存器名称	字段名称	TPS65941213-Q1		LP876411B4-Q1	
		值	说明	值	说明
RAIL_SEL_1	BUCK1_GRP_SEL	0x2	SOC 电源轨组	0x2	SOC 电源轨组
	BUCK2_GRP_SEL	0x2	SOC 电源轨组	0x2	SOC 电源轨组
	BUCK3_GRP_SEL	0x1	MCU 电源轨组	0x0	未分配电源轨组
	BUCK4_GRP_SEL	0x1	MCU 电源轨组	0x0	未分配电源轨组

**表 5-7. FSM NVM 设置 (continued)**

寄存器名称	字段名称	TPS65941213-Q1		LP876411B4-Q1	
		值	说明	值	说明
RAIL_SEL_2	BUCK5_GRP_SEL	0x2	SOC 电源轨组		
	LDO1_GRP_SEL	0x1	MCU 电源轨组		
	LDO2_GRP_SEL	0x1	MCU 电源轨组		
	LDO3_GRP_SEL	0x2	SOC 电源轨组		
RAIL_SEL_3	LDO4_GRP_SEL	0x1	MCU 电源轨组		
	VCCA_GRP_SEL	0x1	MCU 电源轨组	0x1	MCU 电源轨组
FSM_TRIG_SEL_1	MCU_RAIL_TRIG	0x2	MCU 电源错误	0x2	MCU 电源错误
	SOC_RAIL_TRIG	0x3	SOC 电源错误	0x3	SOC 电源错误
	OTHER_RAIL_TRIG	0x1	有序关断	0x1	有序关断
	SEVERE_ERR_TRIG	0x0	立即关断	0x0	立即关断
FSM_TRIG_SEL_2	MODERATE_ERR_TRIG	0x1	有序关断	0x1	有序关断

**备注**

如图 3-1 所示，当 TPS65941213-Q1 的 FB\_B3 连接到 VCCA\_3V3 时，两个器件的 SOC\_RAIL\_TRIG 需要在上电后立即更改为 MCU 电源错误 (10b)。

## 5.8 中断设置

这些设置详细说明了由 nINT 引脚监控的项目的默认配置。所有这些设置都可以在启动后通过 I<sup>2</sup>C 进行更改。

**表 5-8. 中断 NVM 设置**

寄存器名称	字段名称	TPS65941213-Q1		LP876411B4-Q1	
		值	说明	值	说明
FSM_TRIG_MASK_1	GPIO1_FSM_MASK	0x1	已屏蔽	0x1	已屏蔽
	GPIO1_FSM_MASK_P OL	0x0	低；屏蔽层将信号值设置为 “0”	0x0	低；屏蔽层将信号值设置为 “0”
	GPIO2_FSM_MASK	0x1	已屏蔽	0x1	已屏蔽
	GPIO2_FSM_MASK_P OL	0x0	低；屏蔽层将信号值设置为 “0”	0x0	低；屏蔽层将信号值设置为 “0”
	GPIO3_FSM_MASK	0x1	已屏蔽	0x1	已屏蔽
	GPIO3_FSM_MASK_P OL	0x0	低；屏蔽层将信号值设置为 “0”	0x0	低；屏蔽层将信号值设置为 “0”
	GPIO4_FSM_MASK	0x1	已屏蔽	0x1	已屏蔽
	GPIO4_FSM_MASK_P OL	0x0	低；屏蔽层将信号值设置为 “0”	0x0	低；屏蔽层将信号值设置为 “0”
FSM_TRIG_MASK_2	GPIO5_FSM_MASK	0x1	已屏蔽	0x1	已屏蔽
	GPIO5_FSM_MASK_P OL	0x0	低；屏蔽层将信号值设置为 “0”	0x0	低；屏蔽层将信号值设置为 “0”
	GPIO6_FSM_MASK	0x1	已屏蔽	0x1	已屏蔽
	GPIO6_FSM_MASK_P OL	0x0	低；屏蔽层将信号值设置为 “0”	0x0	低；屏蔽层将信号值设置为 “0”
	GPIO7_FSM_MASK	0x1	已屏蔽	0x1	已屏蔽
	GPIO7_FSM_MASK_P OL	0x0	低；屏蔽层将信号值设置为 “0”	0x0	低；屏蔽层将信号值设置为 “0”
	GPIO8_FSM_MASK	0x1	已屏蔽	0x1	已屏蔽
	GPIO8_FSM_MASK_P OL	0x0	低；屏蔽层将信号值设置为 “0”	0x0	低；屏蔽层将信号值设置为 “0”

表 5-8. 中断 NVM 设置 (continued)

寄存器名称	字段名称	TPS65941213-Q1		LP876411B4-Q1	
		值	说明	值	说明
FSM_TRIG_MASK_3	GPIO9_FSM_MASK	0x1	已屏蔽	0x1	已屏蔽
	GPIO9_FSM_MASK_POL	0x0	低；屏蔽层将信号值设置为“0”	0x0	低；屏蔽层将信号值设置为“0”
	GPIO10_FSM_MASK	0x1	已屏蔽	0x1	已屏蔽
	GPIO10_FSM_MASK_POL	0x0	低；屏蔽层将信号值设置为“0”	0x0	低；屏蔽层将信号值设置为“0”
	GPIO11_FSM_MASK	0x1	已屏蔽		
	GPIO11_FSM_MASK_POL	0x0	低；屏蔽层将信号值设置为“0”		
MASK_BUCK1_2	BUCK1_ILIM_MASK	0x0	发生中断	0x0	发生中断
	BUCK1_OV_MASK	0x0	发生中断	0x0	发生中断
	BUCK1_UV_MASK	0x0	发生中断	0x0	发生中断
	BUCK2_ILIM_MASK	0x0	发生中断	0x0	发生中断
	BUCK2_OV_MASK	0x0	发生中断	0x0	发生中断
	BUCK2_UV_MASK	0x0	发生中断	0x0	发生中断
MASK_BUCK3_4	BUCK3_ILIM_MASK	0x0	发生中断	0x0	发生中断
	BUCK3_OV_MASK	0x0	发生中断	0x0	发生中断
	BUCK3_UV_MASK	0x0	发生中断	0x0	发生中断
	BUCK4_OV_MASK	0x0	发生中断	0x0	发生中断
	BUCK4_UV_MASK	0x0	发生中断	0x0	发生中断
	BUCK4_ILIM_MASK	0x0	发生中断	0x0	发生中断
MASK_BUCK5	BUCK5_ILIM_MASK	0x0	发生中断		
	BUCK5_OV_MASK	0x0	发生中断		
	BUCK5_UV_MASK	0x0	发生中断		
MASK_LDO1_2	LDO1_OV_MASK	0x0	发生中断		
	LDO1_UV_MASK	0x0	发生中断		
	LDO2_OV_MASK	0x0	发生中断		
	LDO2_UV_MASK	0x0	发生中断		
	LDO1_ILIM_MASK	0x0	发生中断		
	LDO2_ILIM_MASK	0x0	发生中断		
MASK_LDO3_4	LDO3_OV_MASK	0x0	发生中断		
	LDO3_UV_MASK	0x0	发生中断		
	LDO4_OV_MASK	0x0	发生中断		
	LDO4_UV_MASK	0x0	发生中断		
	LDO3_ILIM_MASK	0x0	发生中断		
	LDO4_ILIM_MASK	0x0	发生中断		
MASK_VMON	VCCA_OV_MASK	0x1	未发生中断。	0x1	未发生中断。
	VCCA_UV_MASK	0x1	未发生中断。	0x1	未发生中断。
MASK_GPIO1_8_FALL	GPIO1_FALL_MASK	0x1	未发生中断。	0x1	未发生中断。
	GPIO2_FALL_MASK	0x1	未发生中断。	0x1	未发生中断。
	GPIO3_FALL_MASK	0x1	未发生中断。	0x1	未发生中断。
	GPIO4_FALL_MASK	0x1	未发生中断。	0x1	未发生中断。
	GPIO5_FALL_MASK	0x1	未发生中断。	0x1	未发生中断。
	GPIO6_FALL_MASK	0x1	未发生中断。	0x1	未发生中断。
	GPIO7_FALL_MASK	0x1	未发生中断。	0x1	未发生中断。
	GPIO8_FALL_MASK	0x1	未发生中断。	0x1	未发生中断。

表 5-8. 中断 NVM 设置 (continued)

寄存器名称	字段名称	TPS65941213-Q1		LP876411B4-Q1	
		值	说明	值	说明
MASK_GPIO1_8_RISE	GPIO1_RISE_MASK	0x1	未发生中断。	0x1	未发生中断。
	GPIO2_RISE_MASK	0x1	未发生中断。	0x1	未发生中断。
	GPIO3_RISE_MASK	0x1	未发生中断。	0x1	未发生中断。
	GPIO4_RISE_MASK	0x1	未发生中断。	0x1	未发生中断。
	GPIO5_RISE_MASK	0x1	未发生中断。	0x1	未发生中断。
	GPIO6_RISE_MASK	0x1	未发生中断。	0x1	未发生中断。
	GPIO7_RISE_MASK	0x1	未发生中断。	0x1	未发生中断。
	GPIO8_RISE_MASK	0x1	未发生中断。	0x1	未发生中断。
MASK_GPIO9_11 / MASK_GPIO9_10	GPIO9_FALL_MASK	0x1	未发生中断。	0x1	未发生中断。
	GPIO9_RISE_MASK	0x1	未发生中断。	0x1	未发生中断。
	GPIO10_FALL_MASK	0x1	未发生中断。	0x1	未发生中断。
	GPIO11_FALL_MASK	0x1	未发生中断。		
	GPIO10_RISE_MASK	0x1	未发生中断。	0x1	未发生中断。
	GPIO11_RISE_MASK	0x1	未发生中断。		
MASK_STARTUP	NPWRON_START_MA SK	0x1	未发生中断。		
	ENABLE_MASK	0x0	发生中断	0x1	未发生中断。
	FSD_MASK	0x1	未发生中断。	0x1	未发生中断。
	SOFT_REBOOT_MAS K	0x0	发生中断	0x0	发生中断
MASK_MISC	TWARN_MASK	0x0	发生中断	0x0	发生中断
	BIST_PASS_MASK	0x0	发生中断	0x0	发生中断
	EXT_CLK_MASK	0x1	未发生中断。	0x1	未发生中断。
MASK_MODERATE_E RR	BIST_FAIL_MASK	0x0	发生中断	0x0	发生中断
	REG_CRC_ERR_MAS K	0x0	发生中断	0x0	发生中断
	SPMI_ERR_MASK	0x0	发生中断	0x0	发生中断
	NPWRON_LONG_MAS K	0x1	未发生中断。		
	NINT_READBACK_MA SK	0x0	发生中断	0x0	发生中断
	NRSTOUT_READBAC K_MASK	0x0	发生中断	0x1	未发生中断。
MASK_FSM_ERR	IMM_SHUTDOWN_MA SK	0x0	发生中断	0x0	发生中断
	MCU_PWR_ERR_MAS K	0x0	发生中断	0x0	发生中断
	SOC_PWR_ERR_MAS K	0x0	发生中断	0x0	发生中断
	ORD_SHUTDOWN_MA SK	0x0	发生中断	0x0	发生中断

表 5-8. 中断 NVM 设置 (continued)

寄存器名称	字段名称	TPS65941213-Q1		LP876411B4-Q1	
		值	说明	值	说明
MASK_COMM_ERR	COMM_FRM_ERR_MASK	0x0	发生中断	0x0	发生中断
	COMM_CRC_ERR_MASK	0x0	发生中断	0x0	发生中断
	COMM_ADR_ERR_MASK	0x0	发生中断	0x0	发生中断
	I2C2_CRC_ERR_MASK	0x0	发生中断	0x1	未发生中断。
	I2C2_ADR_ERR_MASK	0x0	发生中断	0x1	未发生中断。
MASK_READBACK_ERR	EN_DRV_READBACK_MASK	0x0	发生中断	0x1	未发生中断。
	NRSTOUT_SOC_READBACK_MASK	0x0	发生中断	0x1	未发生中断。
MASK_ESM	ESM_SOC_PIN_MASK	0x1	未发生中断。		
	ESM_SOC_RST_MASK	0x1	未发生中断。		
	ESM_SOC_FAIL_MASK	0x1	未发生中断。		
	ESM_MCU_PIN_MASK	0x1	未发生中断。	0x1	未发生中断。
	ESM_MCU_RST_MASK	0x1	未发生中断。	0x1	未发生中断。
	ESM_MCU_FAIL_MASK	0x1	未发生中断。	0x1	未发生中断。
GENERAL_REG_1	PFSM_ERR_MASK	0x0	发生中断	0x0	发生中断

1. 在完成 BOOT\_BIST 后，但在启动序列 节 6.3.5 之前，两个 PMIC 中的 VCCA\_OV\_MASK 和 VCCA\_UV\_MASK 都会被清零。

## 5.9 POWERGOOD 设置

这些设置详细说明了由 PGOOD 引脚监控的项目的默认配置。所有这些设置都可以在启动后通过 I<sup>2</sup>C 进行更改。

表 5-9. POWERGOOD NVM 设置

寄存器名称	字段名称	TPS65941213-Q1		LP876411B4-Q1	
		值	说明	值	说明
PGOOD_SEL_1	PGOOD_SEL_BUCK1	0x0	已屏蔽	0x0	已屏蔽
	PGOOD_SEL_BUCK2	0x0	已屏蔽	0x0	已屏蔽
	PGOOD_SEL_BUCK3	0x0	已屏蔽	0x0	已屏蔽
	PGOOD_SEL_BUCK4	0x0	已屏蔽	0x0	已屏蔽
PGOOD_SEL_2	PGOOD_SEL_BUCK5	0x0	已屏蔽		
PGOOD_SEL_3	PGOOD_SEL_LDO1	0x0	已屏蔽		
	PGOOD_SEL_LDO2	0x0	已屏蔽		
	PGOOD_SEL_LDO3	0x0	已屏蔽		
	PGOOD_SEL_LDO4	0x0	已屏蔽		

**表 5-9. POWERGOOD NVM 设置 (continued)**

寄存器名称	字段名称	TPS65941213-Q1		LP876411B4-Q1	
		值	说明	值	说明
PGOOD_SEL_4	PGOOD_SEL_VCCA	0x0	已屏蔽	0x0	已屏蔽
	PGOOD_SEL_TDIE_WARN	0x0	已屏蔽	0x0	已屏蔽
	PGOOD_SEL_NRSTOUT	0x0	已屏蔽	0x0	已屏蔽
	PGOOD_SEL_NRSTOUT_SOC	0x0	已屏蔽	0x0	已屏蔽
	PGOOD_POL	0x0	当受监控输入有效时，PGOOD 信号为高电平	0x0	当受监控输入有效时，PGOOD 信号为高电平
	PGOOD_WINDOW	0x0	仅监控欠压	0x0	仅监控欠压

## 5.10 其他设置

这些设置详细说明了附加设置的默认配置，例如展频、BUCK 频率和 LDO 超时。启动后，可通过 I<sup>2</sup>C 更改所有这些设置（寄存器 GENERAL\_REG\_0 和 GENERAL\_REG\_1 中的设置除外）。

**表 5-10. 其他 NVM 设置**

寄存器名称	字段名称	TPS65941213-Q1		LP876411B4-Q1	
		值	说明	值	说明
PLL_CTRL	EXT_CLK_FREQ	0x0	1.1MHz	0x0	1.1MHz
CONFIG_1	TWARN_LEVEL	0x0	130C	0x0	130C
	TSD_ORD_LEVEL	0x0	140C	0x0	140C
	I2C1_HS	0x0	默认情况下为标准、快速或快速+，可通过 Hs 模式控制器代码设置为 Hs 模式。	0x0	默认情况下为标准、快速或快速+，可通过 Hs 模式控制器代码设置为 Hs 模式。
	I2C2_HS	0x0	默认情况下为标准、快速或快速+，可通过 Hs 模式控制器代码设置为 Hs 模式。	0x0	默认情况下为标准、快速或快速+，可通过 Hs 模式控制器代码设置为 Hs 模式。
	EN_ILIM_FSM_CTRL	0x0	降压/LDO 稳压器 ILIM 中断不会影响 FSM 触发条件。	0x0	降压稳压器 ILIM 中断不会影响 FSM 触发条件。
	NSLEEP1_MASK	0x0	NSLEEP1(B) 会影响 FSM 状态转换。	0x1	NSLEEP1(B) 不会影响 FSM 状态转换。
	NSLEEP2_MASK	0x0	NSLEEP2(B) 会影响 FSM 状态转换。	0x1	NSLEEP2(B) 不会影响 FSM 状态转换。
CONFIG_2	BB_CHARGER_EN	0x0	禁用		
	BB_VEOC	0x0	2.5V		
	BB_ICHR	0x0	100uA		
RECOV_CNT_REG_2	RECOV_CNT_THR	0xf	0xf	0xf	0xf
BUCK_RESET_REG	BUCK1_RESET	0x0	0x0	0x0	0x0
	BUCK2_RESET	0x0	0x0	0x0	0x0
	BUCK3_RESET	0x0	0x0	0x0	0x0
	BUCK4_RESET	0x0	0x0	0x0	0x0
	BUCK5_RESET	0x0	0x0		
SPREAD_SPECTRUM_1	SS_EN	0x0	禁用展频	0x0	禁用展频
	SS_MODE	0x1	混合暂停	0x1	混合暂停
	SS_DEPTH	0x0	无调制	0x0	无调制
SPREAD_SPECTRUM_2	SS_PARAM1	0x7	0x7	0x7	0x7
	SS_PARAM2	0xc	0xc	0xc	0xc

表 5-10. 其他 NVM 设置 (continued)

寄存器名称	字段名称	TPS65941213-Q1		LP876411B4-Q1	
		值	说明	值	说明
FREQ_SEL	BUCK1_FREQ_SEL	0x0	2.2 MHz	0x0	2.2 MHz
	BUCK2_FREQ_SEL	0x0	2.2 MHz	0x0	2.2 MHz
	BUCK3_FREQ_SEL	0x0	2.2 MHz	0x0	2.2 MHz
	BUCK4_FREQ_SEL	0x0	2.2 MHz	0x0	2.2 MHz
	BUCK5_FREQ_SEL	0x0	2.2 MHz		
FSM_STEP_SIZE	PFSM_DELAY_STEP	0xb	0xb	0xb	0xb
LDO_RV_TIMEOUT_REG_1	LDO1_RV_TIMEOUT	0xf	16ms		
	LDO2_RV_TIMEOUT	0xf	16ms		
LDO_RV_TIMEOUT_REG_2	LDO3_RV_TIMEOUT	0xf	16ms		
	LDO4_RV_TIMEOUT	0xf	16ms		
USER_SPARE_REGS	USER_SPARE_1	0x0	0x0	0x0	0x0
	USER_SPARE_2	0x0	0x0	0x0	0x0
	USER_SPARE_3	0x0	0x0	0x0	0x0
	USER_SPARE_4	0x0	0x0	0x0	0x0
ESM_MCU_MODE_CFG	ESM_MCU_EN	0x0	禁用 ESM_MCU。	0x0	禁用 ESM_MCU。
ESM_SOC_MODE_CFG	ESM_SOC_EN	0x0	禁用 ESM_SoC。		
CUSTOMER_NVM_ID_REG	CUSTOMER_NVM_ID	0x0	0x0	0x0	0x0
RTC_CTRL_2	XTAL_EN	0x0	禁用晶体振荡器		
	LP_STANDBY_SEL	0x0	LDOINT 在待机状态下启用。	0x0	使用正常待机状态。
	FAST_BIST	0x0	逻辑和模拟 BIST 在 BOOT BIST 上运行。	0x0	逻辑和模拟 BIST 在 BOOT BIST 上运行。
	STARTUP_DEST	0x3	运行中	0x3	运行中
	XTAL_SEL	0x0	6pF		
PFSM_DELAY_REG_1	PFSM_DELAY1	0x58	0x58	0x0	0x0
PFSM_DELAY_REG_2	PFSM_DELAY2	0x9d	0x9d	0x1d	0x1d
PFSM_DELAY_REG_3	PFSM_DELAY3	0x0	0x0	0x0	0x0
PFSM_DELAY_REG_4	PFSM_DELAY4	0x0	0x0	0x0	0x0
GENERAL_REG_0	FAST_BOOT_BIST	0x0	LBIST 在引导 BIST 期间运行	0x0	LBIST 在引导 BIST 期间运行
GENERAL_REG_1	REG_CRC_EN	0x1	启用寄存器 CRC	0x1	启用寄存器 CRC

## 5.11 接口设置

这些设置详细说明了默认接口、接口配置和器件地址。这些设置在器件启动后不能更改。

表 5-11. 接口 NVM 设置

寄存器名称	字段名称	TPS65941213-Q1		LP876411B4-Q1	
		值	说明	值	说明
SERIAL_IF_CONFIG	I2C_SPI_SEL	0x0	I2C	0x0	I2C
	I2C1_SPI_CRC_EN	0x0	禁用 CRC	0x0	禁用 CRC
	I2C2_CRC_EN	0x0	禁用 CRC	0x0	禁用 CRC
I2C1_ID_REG	I2C1_ID	0x48	0x48	0x4c	0x4C
I2C2_ID_REG	I2C2_ID	0x12	0x12	0x13	0x13

## 5.12 多器件设置

这些设置详细说明了器件在系统中是以主模式还是辅助模式运行。这些设置在器件启动后不能更改。

**表 5-12. 多器件 NVM 设置**

寄存器名称	字段名称	TPS65941213-Q1		LP876411B4-Q1	
		值	说明	值	说明
SPMI_CONFIG_1	SPMI_CRC_EN	0x1	启用 SPMI CRC 检查	0x1	启用 SPMI CRC 检查
	位 1	0x1	控制器模式	0x0	辅助模式
	SPMI_CLK_SEL	0x2	5MHz	0x2	5MHz
SPMI_CONFIG_2	SPMI_IF_SEL	0x0	调试功能，并使用控制器逻辑实现辅助逻辑。	0x0	调试功能，并使用控制器逻辑实现辅助逻辑。
	SPMI_RETRY_LIMIT	0x3	检测到错误时重试三次	0x3	检测到错误时重试三次
	SPMI_WD_AUTO_BOOT	0x1	启用 SPMI 自动引导	0x1	启用 SPMI 自动引导
	SPMI_EN	0x1	启用 SPMI	0x1	启用 SPMI
	SPMI_WD_EN	0x1	启用 SPMI WD	0x1	启用 SPMI WD
SPMI_CONFIG_3	SPMI_WD_BOOT_INTERVAL	0x8	0x8	0x8	0x8
	SPMI_WD_RUNTIME_INTERVAL	0x8	0x8	0x8	0x8
SPMI_CONFIG_4	SPMI_WD_RESPONSE_TIMEOUT	0x8	0x8	0x8	0x8
	SPMI_PFSM_RESPONSE_TIMEOUT	0x8	0x8	0x8	0x8
SPMI_CONFIG_5	SPMI_WD_RUNTIME_BIST_TIMEOUT	0x8	0x8	0x8	0x8
	SPMI_WD_BOOT_BIST_TIMEOUT	0x8	0x8	0x8	0x8
SPMI_CONFIG_6	BOOT_DELAY	0x0	0x0	0x0	0x0
SPMI_ID	SPMI_SID	0x5	0x5	0x3	0x3
	SPMI_MID	0x0	0x0	0x0	0x0

## 5.13 看门狗设置

这些设置详细说明了默认的看门狗地址。这些设置可以在启动后通过 I<sup>2</sup>C 进行更改。

**表 5-13. 看门狗 NVM 设置**

寄存器名称	字段名称	TPS65941213-Q1		LP876411B4-Q1	
		值	说明	值	说明
WD_LONGWIN_CFG	WD_LONGWIN	0xff	0xff	0x0	0x0
WD_THR_CFG	WD_EN	0x1	启用看门狗	0x0	禁用看门狗。

## 6 可预配置的有限状态机 (PFSM) 设置

本部分介绍了 TPS6594-Q1 器件的默认 PFSM 设置。这些设置在器件启动后不能更改。

## 6.1 配置的状态

在此 PDN 中，PMIC 器件具有以下四种配置的电状态：

- 待机
- 运行
- DDR 保持

图 6-1 显示了配置的 PDN 电状态以及在状态之间变化所需的转换条件。此外，还显示了向硬件状态 (如 SAFE RECOVERY 和 LP\_STANDBY) 的转换。硬件状态是固定器件功率有限状态机 (FSM) 的一部分，并在 TPS6594-Q1 数据表中进行了描述，具体请参阅节 8。

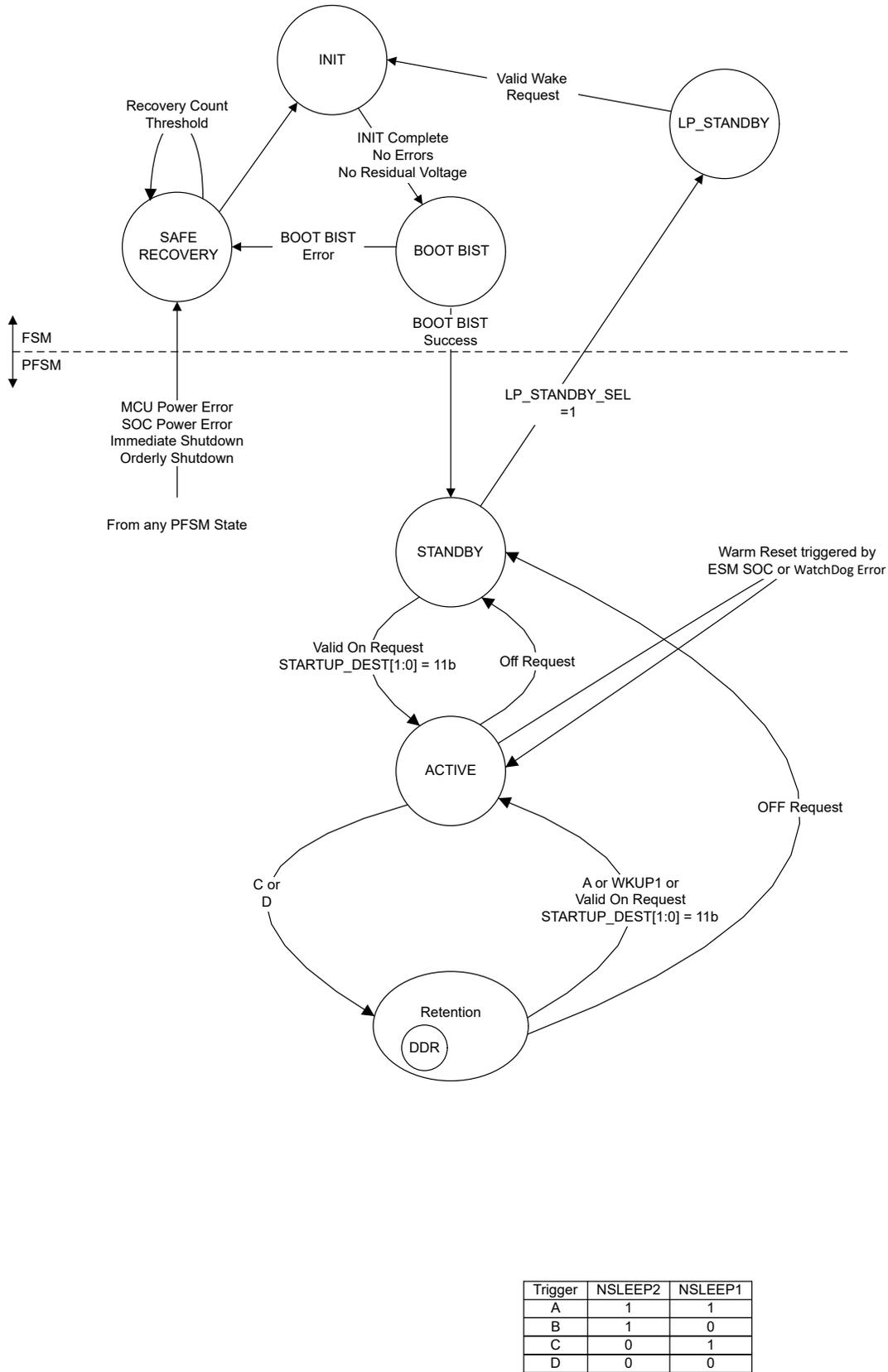


图 6-1. 可预配置有限状态机 (PFSM) 的任务状态和转换

当 PMIC 从 FSM 转换到 PFSM 时，将执行几个初始化指令来禁用 BUCK 和 LDO 稳压器上的残余电压检查。此外，还将设置 FIRST\_STARTUP\_DONE 位，并清除 VCCA\_OV 和 UV 掩码（在静态配置中设置，表 5-8）。执行这些指令后，PMIC 等待有效的开启请求，然后进入运行状态。各电源状态定义如下：

**待机** PMIC 由系统电源轨上的有效电源供电 ( $VCCA > VCCA\_UV$ )。所有器件资源在待机状态下都会断电。在此状态下，EN\_DRV 被强制为低电平。处理器处于关闭状态，没有电压域通电。请参阅节 6.3.2 序列说明。  
当出现错误且 PMIC 从 PFSM 任务状态退出并进入 FSM 状态时，也会进入待机状态。当该器件从 FSM 状态返回到 PFSM 时，第一个状态会是待机状态，这时所有其他资源全部断电并且 EN\_DRV 被强制为低电平。在 PMIC 退出 PFSM 并进入 FSM 状态 SAFE\_RECOVERY 之前，会执行节 6.3.1 中的序列。

**运行** PMIC 由有效电源供电。PMIC 功能齐全，可为所有的 PDN 负载供电。处理器已完成推荐的上电序列，MCU 和主处理器内的所有电压域均已通电。请参阅节 6.3.5 序列说明。

**保持** PMIC 由有效电源供电。当设置了 PMIC I2C\_7 触发条件 (DDR 保持) 时，除了 LPDDR4 之外，3 个 SoC 电压域 ( $vdds\_ddr\_bias$ 、 $vdds\_ddr$  和  $vdds\_ddr\_c$ ) 保持通电，而所有其他域关闭，以最大限度地降低系统总功耗。在此状态下，EN\_DRV 被强制为低电平。请参阅节 6.3.6 序列说明。

## 6.2 PFSM 触发条件

如图 6-1 所示，存在各种可以在所配置的状态之间实现状态转换的触发条件。表 6-1 按照从最高优先级（立即关断）到最低优先级 (I2C\_3) 的顺序，描述了每个触发条件及其相关的状态转换。优先级较高的主动触发条件会阻止优先级较低的触发条件和相关序列。

表 6-1. 状态转换触发条件

触发条件	优先级 (ID)	立即 (IMM)	可重入	PFSM 当前状态	PFSM 目标状态	执行的电源序列或功能
立即关断 <sup>(7)</sup>	0	真	假	待机、运行、仅 MCU、挂起至 RAM	安全 <sup>(1)</sup>	TO_SAFE_SEVERE
MCU 电源错误	1	真	假	待机、运行、仅 MCU、挂起至 RAM	安全 <sup>(1)</sup>	TO_SAFE
有序关断 <sup>(7)</sup>	2	真	假	待机、运行、仅 MCU、挂起至 RAM	安全 <sup>(1)</sup>	TO_SAFE_ORDERLY
关闭请求	4 <sup>(9)</sup>	假	假	待机、运行、仅 MCU、挂起至 RAM	待机 <sup>(2)</sup>	TO_STANDBY
WDOG 错误	5	假	真	运行	运行	ACTIVE_TO_WARM
ESM MCU 错误	6	假	真	运行	运行	
ESM SOC 错误	7	假	真	运行	运行	
I2C_1 位为高电平 <sup>(3)</sup>	11	假	真	运行、仅 MCU	无状态变化	执行 RUNTIME BIST
I2C_2 位为高电平 <sup>(3)</sup>	12	假	真	运行、仅 MCU	无状态变化	在所有器件上，对 I2C1 和 I2C2 启用 I2C CRC。 <sup>(4)</sup>
开启请求	15	假	假	待机、运行、仅 MCU、挂起至 RAM	运行	TO_ACTIVE
WKUP1 变为高电平	16	假	假	待机、运行、仅 MCU、挂起至 RAM	运行	
NSLEEP1 和 NSLEEP2 为高电平 <sup>(5)</sup>	17	假	假	待机、运行、仅 MCU、挂起至 RAM	运行	
NSLEEP1 变为低电平，且 NSLEEP2 变为低电平 <sup>(5)</sup>	21	假	假	运行、仅 MCU	挂起至 RAM	TO_RETENTION
NSLEEP1 变为高电平，而 NSLEEP2 变为低电平 <sup>(5)</sup>	22	假	假	运行、仅 MCU	挂起至 RAM	

**表 6-1. 状态转换触发条件 (continued)**

触发条件	优先级 (ID)	立即 (IMM)	可重入	PFMS 当前状态	PFMS 目标状态	执行的电源序列或功能
I2C_0 位变为高电平 <sup>(3)</sup>	23 <sup>(8)</sup>	假	假	待机、运行、仅 MCU	LP_STANDBY <sup>(2)</sup>	TO_STANDBY
I2C_3 位变为高电平 <sup>(3)</sup>	24 <sup>(8)</sup>	假	假	运行、仅 MCU	无状态变化	器件已准备好进行 OTA NVM 更新。 <sup>(6)</sup>

- (1) PFMS 从安全状态自动转换到 SAFE\_RECOVERY 的硬件 FSM 状态。从 SAFE\_RECOVERY 状态开始，恢复计数器递增，并与恢复计数阈值进行比较（请参阅表 5-10 中的 RECOV\_CNT\_REG\_2）。如果达到恢复计数阈值，则 PMIC 停止尝试恢复，并需要重新启动电源。更多详细信息，请参阅数据表。
- (2) 如果在 TPS65941213-Q1 中设置了 LP\_STANDBY\_SEL 位（请参阅表 5-10 中的 RTC\_CTRL\_2），则 PFMS 会转换到硬件 FSM 状态 LP\_STANDBY。当进入 LP\_STANDBY 状态时，请根据具体的进入方式，使用适当的机制来唤醒器件。更多详细信息，请参阅数据表。LP876411B4-Q1 中的 LP\_STANDBY\_SEL 不适用于 PFMS 触发条件。
- (3) I2C\_0、I2C\_1、I2C\_2 和 I2C\_3 是自清除触发条件。
- (4) 启用 I<sup>2</sup>C CRC 会同时对 I2C1 和 I2C2 启用 CRC，但在启用 CRC 之后，I2C2 会被禁用 2ms。在启用 I<sup>2</sup>C CRC 之前，应谨慎使用问答看门狗。建议先启用 I<sup>2</sup>C CRC，然后在 2ms 之后再启动问答看门狗。
- (5) 可通过 GPIO 引脚或寄存器位访问主 PMIC 的 NSLEEP1 和 NSLEEP2。如果寄存器位或 GPIO 引脚被上拉为高电平，NSLEEPx 值将读取为高逻辑电平。
- (6) 完成 OTA 更新后，处理器需要启动 PMIC 重置，以应用新的 NVM 设置。
- (7) 这些触发条件可以源自 TPS65941213 或 LP876411B4。
- (8) 在 NSLEEP 位被屏蔽之前，ID 为 23 和 24 的触发条件不可用：NSLEEP2\_MASK=NSLEEP1\_MASK=1。
- (9) 电源序列会启用并激活 ID 为 3、25 和 26（未显示）的触发条件。这些触发条件用于管理 PFMS 和 FSM 之间的转换。

## 6.3 电源序列

### 6.3.1 TO\_SAFE\_SEVERE 和 TO\_SAFE

TO\_SAFE\_SEVERE 和 TO\_SAFE 是在向安全状态转换前发生的不同序列。这两个序列都会毫无延迟地关断所有电源轨。TO\_SAFE\_SEVERE 序列立即停止 BUCK 开关，并启用 BUCK 和 LDO 的下拉电阻。这是为了防止发生 VCCA 过压或热关断时 PMIC 受损。如图 6-2 中所示进行计时。在降压稳压器关闭之前，TO\_SAFE 序列不会将这些稳压器复位。

Resource	PMIC	Delay Diagram	Total Delay	Rail Name
EN_DRV	TPS65941213-Q1		0 us	EN_DRV
nRSTOUT	TPS65941213-Q1		0 us	H_MCU_PORz_1V8
nRSTOUT_SOC	TPS65941213-Q1		0 us	H_SOC_PORz_1V8
BUCK3 Monitor	TPS65941213-Q1		0 us	VCCA_3V3
LDO3	TPS65941213-Q1		0 us	VDA_DLL_0V8
BUCK123	TPS65941213-Q1		0 us	VDD_CPU(AVS)
BUCK4	TPS65941213-Q1		0 us	VDD_MCU_0V85
BUCK5	TPS65941213-Q1		0 us	VDD_PHY_1V8
LDO2	TPS65941213-Q1		0 us	VDD_IO_1V8
LDO4	TPS65941213-Q1		0 us	VDA_LN_1V8
LDO1	TPS65941213-Q1		0 us	VDD1_LPDDR_1V8
GPIO9	TPS65941213-Q1		0 us	Undefined
GPIO1	LP876411B4-Q1		0 us	EN_VDDR
BUCK1234	LP876411B4-Q1		0 us	VDD_CORE_0V8
GPIO10	LP876411B4-Q1		0 us	EN_3V3IO_LDSW

图 6-2. TO\_SAFE\_SEVERE 和 TO\_SAFE 电源序列

备注

TO\_SAFE\_SEVERE 和 TO\_SAFE 电源序列

在图 6-2 所示的电源序列之后，TO\_SAFE 序列会使 TPS65941213 延迟 16ms，并使 LP876411B4 延迟 3ms。该延迟可以确保主 PMIC 在辅助 PMIC 之后完成。在这些延迟之后，将在这两个 PMIC 上执行以下指令：

```
//TPS65941213 and LP876411B4
// Clear AMUXOUT_EN, CLKMON_EN, set LPM_EN
REG_WRITE_MASK_IMM ADDR=0x81 DATA=0x04 MASK=0xE3
// Reset all BUCK regulators
REG_WRITE_MASK_IMM ADDR=0x87 DATA=0x1F MASK=0xE0
```

TO\_SAFE\_SEVERE 序列在电源序列之后执行以下指令：

```
// TPS65941213
// Clear AMUXOUT_EN, CLKMON_EN, set LPM_EN
REG_WRITE_MASK_IMM ADDR=0x81 DATA=0x04 MASK=0xE3
// LP876411B4
// Clear CLKMON_EN, set LPM_EN
REG_WRITE_MASK_IMM ADDR=0x81 DATA=0x04 MASK=0xF3
```

TPS65941213 在 TO\_SAFE\_SEVERE 序列结束时额外延迟 500ms。请务必注意，在该序列延迟完成之前，不要尝试恢复操作。

### 6.3.2 TO\_SAFE\_ORDERLY 和 TO\_STANDBY

如果出现中等程度的错误，则会形成有序关断触发条件。此触发条件使用建议的断电序列来关断 PMIC 输出，并进入 SAFE (安全) 状态。

如果发生关闭请求，例如主 TPS6594-Q1 器件的 ENABLE 引脚被下拉到低电平，则会发生相同的断电序列，但 PMIC 会进入 STANDBY (待机) (LP\_STANDBY\_SEL=0) 或 LP\_STANDBY (LP\_STANDBY\_SEL=1) 状态，而不是进入 SAFE (安全) 状态。这两个事件的电源序列如所示。

TO\_SAFE\_ORDERLY 序列和 TO\_STANDBY 序列都在 TPS65941213 中设置了 SPMI\_LP\_EN 和 FORCE\_EN\_DRV\_LOW，而在 LP876411B4 中仅设置 SPMI\_LP\_EN。

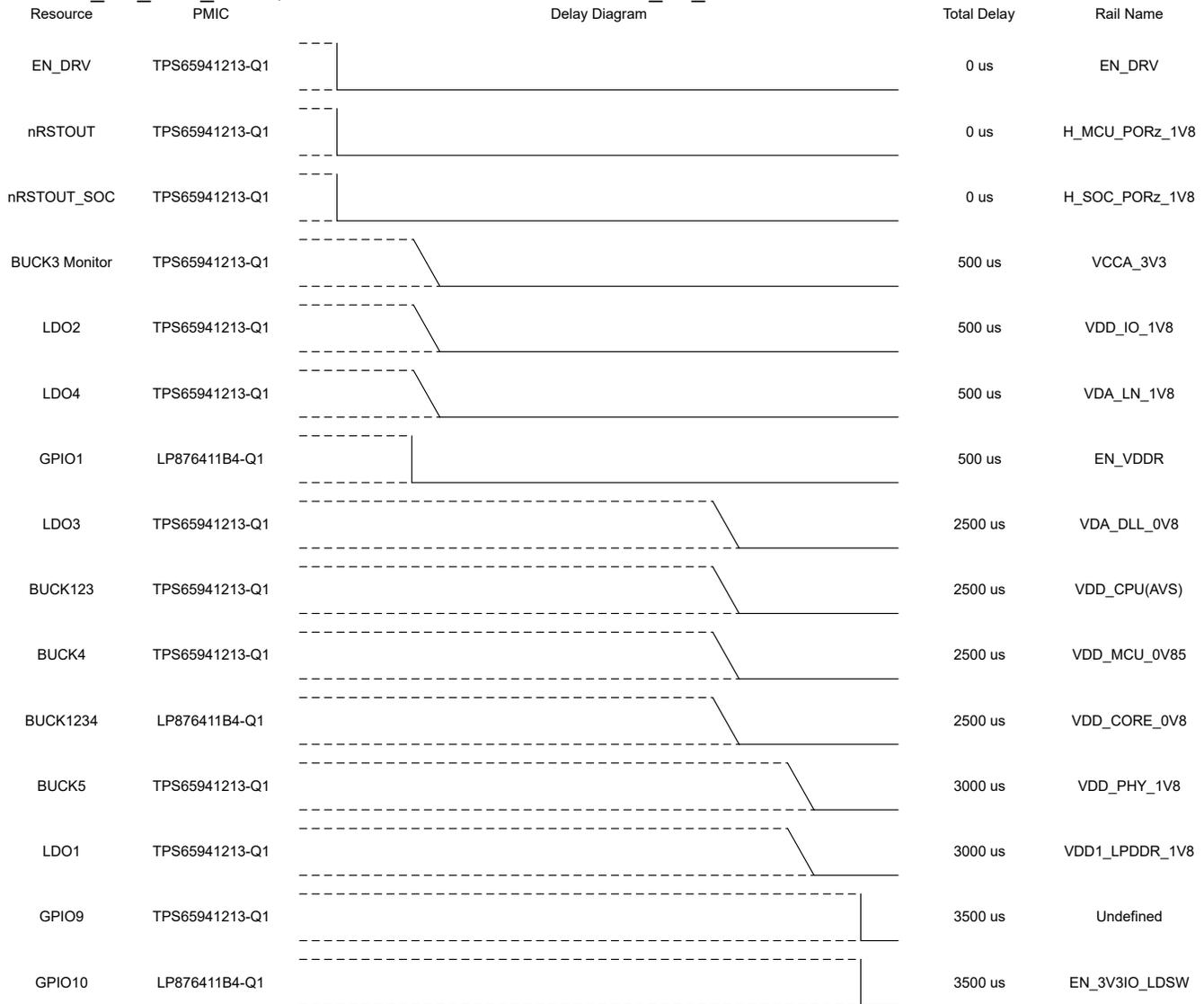


图 6-3. TO\_SAFE\_ORDERLY 和 TO\_STANDBY 电源序列

在 TO\_SAFE\_ORDERLY 结束时，这两个 PMIC 都会等待大概 16ms，然后执行以下指令：

```
//TPS65941213
// Clear AMUXOUT_EN and CLKMON_EN and set LPM_EN
REG_WRITE_MASK_IMM ADDR=0x81 DATA=0x04 MASK=0xE3
// Reset all BUCKs
```

```
REG_WRITE_MASK_IMM ADDR=0x87 DATA=0x1F MASK=0xE0
//LP876411B4
// Clear AMUXOUT_EN and CLKMON_EN and set LPM_EN
REG_WRITE_MASK_IMM ADDR=0x81 DATA=0x04 MASK=0xE3
// Reset all BUCKs
REG_WRITE_MASK_IMM ADDR=0x87 DATA=0x0F MASK=0xF0
```

对降压稳压器进行复位是为转换到 **SAFE\_RECOVERY** 状态做好准备。**SAFE\_RECOVERY** 意味着 PMIC 会离开任务状态。在 **SAFE\_RECOVERY** 状态下，恢复机制会使恢复计数器递增，并确定在尝试恢复之前是否已达到恢复计数阈值（请参阅表 5-10）。

在 **TO\_STANDBY** 序列结束时，TPS65941213 器件仅出现 16ms 延迟，并且在这两个 PMIC 中进行相同的 **AMUXOUT\_EN**、**CLKMON\_EN** 和 **LPM\_EN** 位操作。**BUCK** 未被重置。在这些指令之后，TPS65941213 执行附加检查，以确定 **LP\_STANDBY\_SEL**（请参阅表 5-10）是否为真。如果为真，则 PMIC 会进入 **LP\_STANDBY** 状态并退出任务状态。如果 **LP\_STANDBY\_SEL** 为假，则 PMIC 会保持在由 **配置的状态** 中 **STANDBY** 定义的任务状态中。

### 6.3.3 ACTIVE\_TO\_WARM

**ACTIVE\_TO\_WARM** 序列可由看门狗或 **ESM\_MCU** 错误触发。在触发的情况下，**nRSTOUT** 和 **nRSTOUT\_SOC** 信号被驱动为低电平，并且恢复计数器（寄存器 **RECOV\_CNT\_REG\_1**）会递增。然后，所有 **BUCK** 和 **LDO** 都被重置为其默认电压。PMIC 保持运行状态。

---

#### 备注

**GPIO** 在该序列期间不会复位，如 所示

---

序列开始时，执行以下指令：

```
//TPS65941213
// Set FORCE_EN_DRV_LOW
REG_WRITE_MASK_IMM ADDR=0x82 DATA=0x08 MASK=0xF7
// Clear nRSTOUT and nRSTOUT_SOC
REG_WRITE_MASK_IMM ADDR=0x81 DATA=0x00 MASK=0xFC
// Increment the recovery counter
REG_WRITE_MASK_IMM ADDR=0xa5 DATA=0x01 MASK=0xFE
```

---

#### 备注

看门狗或 **ESM** 错误表明在 PMIC 之外发生了重大错误。PMIC 实际上并不像 **MCU\_POWER\_ERR** 那样通过安全恢复进行转换，但是，为了保持一致性，所有调节器都返回到 **NVM** 中存储的值，并且恢复计数器也会递增。如果恢复计数器超过恢复计数阈值，PMIC 将保持安全恢复状态。

---



---

#### 备注

在 **ACTIVE\_TO\_WARM** 序列后，处理器负责管理 **EN\_DRV** 和恢复计数器。在该序列结束时，**FORCE\_EN\_DRV\_LOW** 位会被清零，以便 MCU 能够设置 **ENABLE\_DRV** 位。

---

Resource	PMIC	Delay Diagram	Total Delay	Rail Name
EN_DRV	TPS65941213-Q1		0 us	EN_DRV
nRSTOUT	TPS65941213-Q1		0 us	H_MCU_PORz_1V8
nRSTOUT_SOC	TPS65941213-Q1		0 us	H_SOC_PORz_1V8
LDO1	TPS65941213-Q1		0 us	VDD1_LPDDR_1V8
LDO4	TPS65941213-Q1		0 us	VDA_LN_1V8
LDO2	TPS65941213-Q1		0 us	VDD_IO_1V8
BUCK5	TPS65941213-Q1		0 us	VDD_PHY_1V8
BUCK4	TPS65941213-Q1		0 us	VDD_MCU_0V85
BUCK123	TPS65941213-Q1		0 us	VDD_CPU(AVS)
LDO3	TPS65941213-Q1		0 us	VDA_DLL_0V8
BUCK1234	LP876411B4-Q1		0 us	VDD_CORE_0V8
nRSTOUT	TPS65941213-Q1		2000 us	H_MCU_PORz_1V8
nRSTOUT_SOC	TPS65941213-Q1		2000 us	H_SOC_PORz_1V8

图 6-4. ACTIVE\_TO\_WARM 电源序列

**备注**

稳压器的转换并不表示稳压器的启用，而是表示电压恢复到其默认值的时间。该序列源于运行状态，表示所有稳压器均开启。

### 6.3.4 ESM\_SOC\_ERROR

如果出现 ESM\_SOC 错误，nRSTOUT\_SOC 信号将被驱动为低电平，然后在 200µs 后再次被驱动为高电平。电源轨不会发生任何变化。图 6-5 中显示了该序列。

Resource	PMIC	Delay Diagram	Total Delay	Rail Name
nRSTOUT_SOC	TPS65941213-Q1		0 us	H_SOC_PORz_1V8
nRSTOUT_SOC	TPS65941213-Q1		200 us	H_SOC_PORz_1V8

图 6-5. ESM\_SOC\_ERROR 序列

### 6.3.5 TO\_ACTIVE

当触发条件导致执行 TO\_ACTIVE 序列时，所有电源轨都会按照建议的上电序列上电，如所示。

在 TO\_ACTIVE 序列开始时，这两个 PMIC 都会清除 SPMI\_LP\_EN 和 LPM\_EN，并设置 AMUXOUT\_EN 和 CLKMON\_EN。

Resource	PMIC	Delay Diagram	Total Delay	Rail Name
GPIO9	TPS65941213-Q1		0 us	Undefined
GPIO10	LP876411B4-Q1		0 us	EN_3V3IO_LDSW
LDO1	TPS65941213-Q1		1700 us	VDD1_LPDDR_1V8
LDO4	TPS65941213-Q1		1700 us	VDA_LN_1V8
BUCK5	TPS65941213-Q1		1700 us	VDD_PHY_1V8
BUCK123	TPS65941213-Q1		2700 us	VDD_CPU(AVS)
LDO3	TPS65941213-Q1		2700 us	VDA_DLL_0V8
BUCK1234	LP876411B4-Q1		2700 us	VDD_CORE_0V8
BUCK3 Monitor	TPS65941213-Q1		3700 us	VCCA_3V3
BUCK4	TPS65941213-Q1		3700 us	VDD_MCU_0V85
LDO2	TPS65941213-Q1		3700 us	VDD_IO_1V8
GPIO1	LP876411B4-Q1		3700 us	EN_VDDR
nRSTOUT	TPS65941213-Q1		12700 us	H_MCU_PORz_1V8
nRSTOUT_SOC	TPS65941213-Q1		12700 us	H_SOC_PORz_1V8

图 6-6. TO\_ACTIVE 序列

在 TO\_ACTIVE 序列结束时，FORCE\_EN\_DRV\_LOW 位会被清零。

**备注**

在 TO\_ACTIVE 序列后，MCU 负责管理 EN\_DRV。

### 6.3.6 TO\_RETENTION

由 NSLEEPx 位或引脚定义的 C 和 D 触发条件会触发 TO\_RETENTION 序列。此序列会禁用所有不向固定轨供电的电源轨和 GPIO，如图 3-1 所示。可以使用在寄存器 FSM\_I2C\_TRIGGERS 中找到的 I2C\_7 位来修改此序列。在触发保持状态之前，需通过这两个 PMIC 中的 I<sup>2</sup>C 对这些位进行置位。如果两个 PMIC 中的 I2C\_7 位都被设置为高电平，则这两个 PMIC 都会进入 DDR 保持状态，如图 6-8 所示。LDO1 (VDD1) 不会被禁用，而 LP876511B4 (EN\_VDDR) 的 GPIO1 也不会发生改变。如果将 I2C\_7 设置为低电平，则与 DDR 关联的这些元件不会保持运行状态，如图 6-7 所示。

**备注**

在触发保持状态之前，需通过两个 PMIC 中的 I<sup>2</sup>C 对 I2C\_7 位进行置位或清零。I2C\_7 触发条件不能自行清除，必须在运行期间进行维护。

除了 I2C\_7 外，处理器还必须在 LP876411B4 器件的 GPIO2 上配置 H\_DDR\_RET\_1V1 信号。节 3.2 包含此信号，但它不属于电源序列。

以下 PMIC PFSM 指令会在电源序列开始时自动执行，从而配置 PMIC：

```
// TPS65941213
// Set LPM_EN, Clear NRSTOUT_SOC and NRSTOUT
REG_WRITE_MASK_IMM ADDR=0x81 DATA=0x04 MASK=0xF8
// Set SPMI_LP_EN and FORCE_EN_DRV_LOW
REG_WRITE_MASK_IMM ADDR=0x82 DATA=0x18 MASK=0xE7
// LP876411B4
// Set SPMI_LP_EN
REG_WRITE_MASK_IMM ADDR=0x82 DATA=0x10 MASK=0xEF
```

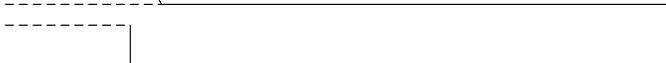
Resource	PMIC	Delay Diagram	Total Delay	Rail Name
EN_DRV	TPS65941213-Q1		0 us	EN_DRV
nRSTOUT	TPS65941213-Q1		0 us	H_MCU_PORz_1V8
nRSTOUT_SOC	TPS65941213-Q1		0 us	H_SOC_PORz_1V8
BUCK3 Monitor	TPS65941213-Q1		500 us	VCCA_3V3
LDO2	TPS65941213-Q1		500 us	VDD_IO_1V8
LDO4	TPS65941213-Q1		500 us	VDA_LN_1V8
GPIO1	LP876411B4-Q1		500 us	EN_VDDR
LDO3	TPS65941213-Q1		2500 us	VDA_DLL_0V8
BUCK123	TPS65941213-Q1		2500 us	VDD_CPU(AVS)
BUCK4	TPS65941213-Q1		2500 us	VDD_MCU_0V85
BUCK1234	LP876411B4-Q1		2500 us	VDD_CORE_0V8
BUCK5	TPS65941213-Q1		3000 us	VDD_PHY_1V8
LDO1	TPS65941213-Q1		3000 us	VDD1_LPDDR_1V8
GPIO9	TPS65941213-Q1		3500 us	Undefined
GPIO10	LP876411B4-Q1		3500 us	EN_3V3IO_LDSW

图 6-7. 两个 PMIC 中 I2C\_7 为低电平时的 TO\_RETENTION

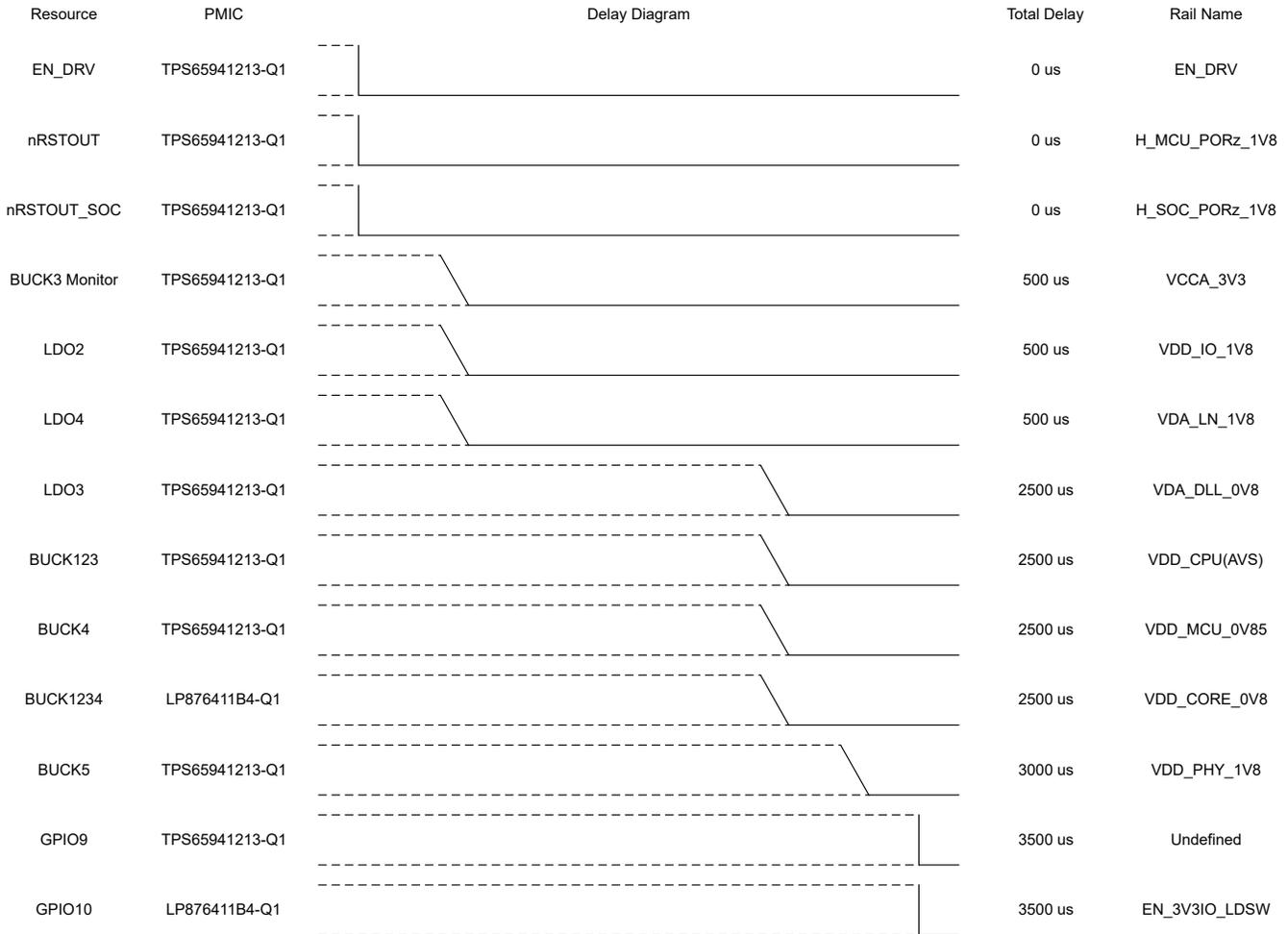


图 6-8. 两个 PMIC 中 I2C\_7 为高电平时的 TO\_RETENTION

在序列结束时，这两个 PMIC 均会设置 LPM\_EN 并清除 CLKMON\_EN 和 AMUXOUT\_EN。TPS65941213 器件还会根据寄存器 (PFSM\_DELAY\_REG\_2) 的内容额外延迟 16ms，以确保 TPS65941213 序列最后完成。

## 7 应用示例

本节举例说明了如何从 MCU 的角度通过 I<sup>2</sup>C 与 PMIC 进行交互。表 7-1 显示了以下各节如何使用 I<sup>2</sup>C 命令。与数据表结合使用时，可以将这些示例推广运用到其他用例中。

表 7-1. I<sup>2</sup>C 指令格式

	I <sup>2</sup> C 地址	寄存器地址	数据	屏蔽
写入	0x48 或 0x4C	0x00 - 0xFF	0x00 - 0xFF	0x00 - 0xFF
读取	0x48 或 0x4C	0x00 - 0xFF	不适用	不适用

### 备注

当 MASK 不为零时，这假定已进行了读取，然后在写回数据之前应用逻辑操作以仅更改所需的位字段。

### 7.1 初始化

初次上电后，首先执行的两项操作是将 SOC 电源触发条件重新映射到 MCU 电源错误并处理（清除）中断。

两个 PMIC 中 SOC 电源轨触发条件的默认映射是 SOC 电源错误。在该 PDN 中，SOC 电源错误和相关的 SOC 电源错误序列将 PMIC 和处理置于非功能状态。为避免任何 SOC 电源错误导致转换到此非功能状态，必须将该映射更改为 MCU 电源错误。以下指令可更改该映射：

```
Write 0x48:0x44:0x08:0xF3 // SOC_RAIL_TRIG = MCU Power Error (10b)
Write 0x4C:0x44:0x08:0xF3 // SOC_RAIL_TRIG = MCU Power Error (10b)
```

成功上电后，会设置 BIST\_PASS\_INT 和 ENABLE\_INT 中断。任何其他中断都表明存在问题，但自动恢复尝试是成功的。建议的步骤如下：

1. 询问中断
2. 确定行动方案
3. 设置 NSLEEP 位
4. 清除中断

以下示例假设上电后，除了 BIST\_PASS\_INT 和 ENABLE\_INT 之外没有中断，且使能引脚变为高电平。

```
Read 0x48:0x5A // Read INT_TOP to determine errors
Read 0x48:0x65 // Read the STARTUP_INT register
Read 0x48:0x66 // Read the MISC_INT register
Write 0x48:0x86:0x03:0xFC // Set NSLEEP1 and NSLEEP2 in TPS65951213
Write 0x48:0x66:0x01:0xFE // Clear BIST_PASS_INT
Write 0x48:0x65:0x26:0xD9 // Clear all potential sources of the On Request
```

### 7.2 在不同状态之间切换：运行和保持

当 TPS65941213 上的 ENABLE 引脚变为高电平（上升沿触发）时，NVM 的默认配置会将 PMIC 转换为运行状态。nINT 引脚会变为高电平，以向 MCU 指示 PMIC 中发生了中断。在正常上电序列后，中断为 ENABLE\_INT 和 BIST\_PASS\_INT。ENABLE\_INT 会禁止 PMIC 处理表 6-1 中优先级低于“开启请求”的任何触发条件。即使 NSLEEP1 和 NSLEEP2 位都被清零，PMIC 也会处于运行状态，原因就在于阻止了较低优先级触发条件。在 ENABLE\_INT 被清零后，状态由表 7-2 定义。以下各节介绍了用于在不同状态之间转换的 I<sup>2</sup>C 命令。

表 7-2. 状态表

NSLEEP1	NSLEEP2	I2C_7	I2C_6	状态
1	1	不适用	不适用	运行
无关位	0	1	不适用	DDR 保持
	0	0	不适用	保持

### 7.2.1 运行

在此示例中，正常上电事件后，PMIC 已经处于运行状态。通过在清除 ENABLE\_INT 前设置 NSLEEP1 和 NSLEEP2 位，PMIC 可保持运行状态。

```
Write 0x48:0x86:0x03:0xFC // Set NSLEEP1 and NSLEEP2 in TPS65951213
Write 0x48:0x66:0x01:0xFE // Clear BIST_PASS_INT
Write 0x48:0x65:0x26:0xD9 // Clear all potential sources of the On Request
```

### 7.2.2 保持

如节 6.3.6 所示，MCU 已断电，因此必须在进入保持状态前配置从保持状态到仅 MCU 或运行状态的转换。与仅 MCU 状态类似，必须为两个 PMIC 设置 I2C\_7 触发条件。此外，在进入保持状态前，必须设置 LP876411B4 GPIO2 (H\_DDR\_RET\_1V1)。本例中使用 TPS65941213 上的 GPIO4 将器件从保持状态唤醒并进入运行状态。

```
Write 0x48:0x85:0x80:0x7F // I2C_7 is high
Write 0x4C:0x85:0x80:0x7F
Write 0x48:0x34:0xC0:0x3F // Set GPIO4 to WKUP1 (goes to ACTIVE state)
Write 0x48:0x64:0x08:0xF7 // clear interrupt of gpio4, write to clear
Write 0x48:0x4F:0x00:0xF7 // unmask interrupt for GPIO4 falling edge
Write 0x4C:0x3D:0x02:0xFD // set PMICB:GPIO2, H_DDR_RET_1V1
Write 0x48:0x86:0x00:0xFC // trigger the TO_RETENTION power sequence
After the GPIO4 has gone low and the PMICs have returned to the ACTIVE state
Write 0x48:0x86:0x03:0xFC // Set NSLEEPx bits for ACTIVE state
Write 0x48:0x64:0x08:0xF7 // clear interrupt of gpio4
Write 0x4C:0x3D:0x00:0xFD // clear PMICB:GPIO2, DDR_RET
```

本例中使用 TPS65941213 RTC 计时器将器件从保持状态唤醒并进入运行状态。

```
Write 0x48:0x85:0x80:0x7F // I2C_7 is high
Write 0x4C:0x85:0x80:0x7F
Write 0x48:0xC3:0x01:0xFE // Enable Crystal
Write 0x48:0xC5:0x05:0xF8 // minute timer, enable TIMER interrupts
Write 0x48:0xC2:0x01:0xFE // start timer, if the timer values are non-zero clear before starting
Write 0x4C:0x3D:0x02:0xFD // set PMICB:GPIO2, H_DDR_RET_1V1
Write 0x48:0x86:0x00:0xFC // trigger the TO_RETENTION power sequence
After the RTC Timer interrupt has occurred and the PMICs have returned to the ACTIVE state
Write 0x48:0x86:0x03:0xFC // Set NSLEEPx bits for ACTIVE state
Write 0x48:0xC5:0x00:0xFB // disable timer interrupt, clear bit 2
Write 0x48:0xC4:0x00:0xDF // clear timer interrupt, clear bit 5
Write 0x4C:0x3D:0x00:0xFD // clear PMICB:GPIO2, DDR_RET
```

### 7.3 进入和退出待机状态

运行或保持状态均可转换为待机状态。若要保持在待机任务状态，而不进入硬件状态 LP\_STANDBY，则必须将 LP\_STANDBY\_SEL 位清零。

与保持状态相似，待机状态会关闭为处理器供电的所有稳压器。运行状态是待机状态可返回的唯一目标状态。

当 ENABLE 引脚变为低电平时，TO\_STANDBY 序列会被触发。当 ENABLE 引脚再次变为高电平时，PMIC 返回到 STARTUP\_DEST 位中定义的运行状态。I2C\_0 触发条件也会触发 TO\_STANDBY 序列。从 I2C\_0 触发时，可以通过 GPIO4、GPIO10 或和 RTC 计时器或警报触发 PMIC 来返回到运行状态。本例中使用 I2C\_0 触发条件来进入待机状态，并使用 GPIO4 来进入运行状态。

```
Write 0x48:0xC3:0x00:0xF7 // LP_STANDBY_SEL=0
Write 0x48:0x7D:0xC0:0x3F // MaSk NSLEEP bits
Write 0x48:0x34:0xC0:0x3F // Set GPIO4 to WKUP1 (goes to ACTIVE state)
Write 0x48:0x64:0x08:0xF7 // clear interrupt of GPIO4
Write 0x48:0x4F:0x00:0xF7 // unmask interrupt for GPIO4 falling edge
Write 0x48:0x85:0x01:0xFE // set I2C_0 trigger, trigger TO_STANDBY sequence
After the GPIO4 has gone low and the PMICs have returned to the ACTIVE state
Write 0x48:0x7D:0x00:0x3F // unmask NSLEEP bits
Write 0x48:0x86:0x03:0xFC // Set NSLEEPx bits for ACTIVE state
Write 0x48:0x64:0x08:0xF7 // clear interrupt of GPIO4
```

## 7.4 进入和退出 LP\_STANDBY 状态

进入 LP\_STANDBY 硬件状态就和进入待机状态一样。退出 LP\_STANDBY 状态会有所不同，需要在进入 LP\_STANDBY 状态之前完成不同的初始化。另外，当 PMIC 从 LP\_STANDBY 状态返回时，PFSM 触发条件会由 ENABLE\_INT 选通，而在待机状态下，触发条件由 GPIO 中断选通。

```
Write 0x48:0xC3:0x08:0xF7 // LP_STANDBY_SEL=1
Write 0x48:0x7D:0xC0:0x3F // Mask NSLEEP bits
Write 0x48:0x34:0xC0:0x3F // Set GPIO4 to WKUP1 (goes to ACTIVE state)
Write 0x48:0xC3:0x60:0x9F // Set the STARTUP_DEST=ACTIVE
Write 0x48:0x64:0x08:0xF7 // clear interrupt of GPIO4
Write 0x48:0x4F:0x00:0xF7 // unmask interrupt for GPIO4 falling edge
Write 0x48:0x85:0x01:0xFE // set I2C 0 trigger, trigger TO_STANDBY sequence
After the GPIO4 has gone low and the PMICs have returned to the ACTIVE state
Write 0x48:0x7D:0x00:0x3F // unmask NSLEEP bits
Write 0x48:0x86:0x03:0xFC // Set NSLEEPx bits for ACTIVE state
Write 0x48:0x64:0x08:0xF7 // clear interrupt of GPIO4
Write 0x48:0x65:0x02:0xFD // clear ENABLE_INT
```

## 7.5 运行时定制

将 TPS65941213 GPIO8 配置为输入来禁用看门狗。通常，在开发期间，此引脚会连接为高电平，因此当 nRSTOUT 位被置位时，WD\_PWRHOLD 也会被置位。此引脚的配置可用于实现其他特性或功能，但这要求在看门狗到期之前对看门狗进行维护。看门狗长窗口为 772 秒 (表 5-13)。

```
Write 0x12:0x09:0x00:0xBF // Disable Watchdog
Write 0x48:0x38:0x01:0x00 // configure GPIO8 as a pushpull output
```

当需要启用并配置看门狗时，除了启用看门狗外，还必须将 WD\_PWR\_HOLD 清零。

```
Write 0x12:0x09:0x00:0xFB // Clear WD_PWRHOLD
Write 0x12:0x09:0x40:0xBF // Enable Watchdog
```

除了 TPS65941213 的 GPIO8 外，LP876411B4 上还有 BUCK3 和 BUCK4 的反馈引脚。因为稳压器 BUCK3 和 BUCK4 与稳压器 BUCK1 和 BUCK2 构成了多相位，所以这些监控器可以单独使用。启用监控器时，会执行内置自检。关于监控器自检的说明，请参阅 [List item.referenceTitle](#)。如果自检失败，这会导致一个中等程度的错误，该错误会触发 TO\_SAFE\_ORDERLY 电源序列。

与 GPIO 不同，通过将一个电源轨组分配到降压稳压器并取消屏蔽 OV/UV 中断，降压监控器可以成为 PFSM 的一部分。根据表 5-7，不会向 BUCK3\_GRP\_SEL 和 BUCK4\_GRP\_SEL 分配电源轨组。

表 7-3. 电源轨组关联

选定的电源轨组选项	PFSM 触发条件	说明
未分配电源轨组	无	OV/UV 可以设置 nINT 引脚用于 MCU 查询。
MCU 电源轨组	MCU 电源错误	OV/UV 可以触发 <a href="#">TO_SAFE</a>
Soc 电源轨组	SoC 电源错误	SoC 电源错误触发条件对此 PDN 无效。不能使用该触发条件。
其他电源轨组	有序关断	OV/UV 可以触发 <a href="#">TO_SAFE_ORDERLY</a>

本例中使用 BUCK3 监控 1.1V 电源并使用 BUCK4 监控 0.8V 电源。wait 语句确保监控器的内置自检会在取消屏蔽 OV 和 UV 监控器之前完成。更多详情，请参阅 [TPS6594-Q1 具有 5 个降压稳压器和 4 个 LDO 且适用于安全相关汽车类应用的电源管理 IC \(PMIC\) 数据表](#)。

```
Write 0x4C:0x12:0x73:0x00 // Set to 1.1V
Write 0x4C:0x14:0x37:0x00 // Set to 0.8V
Write 0x4C:0x09:0x07:0xF1 // Set slew rate to 0.31mV/us
Write 0x4C:0x0B:0x07:0xF1
Write 0x4C:0x41:0xA0:0x0F // SOC rail group
```

```
Write 0x4C:0x4A:0x33:0xCC // Mask OV/UV
Write 0x4C:0x08:0x10:0xEF // Enable BUCK3 Monitor
Write 0x4C:0x0A:0x10:0xEF // Enable BUCK4 Monitor
// Startup = 220us, ramp = 42us, settling = 105us, OV/UV test=50us
wait 500us
Write 0x4C:0x4A:0x00:0xCC // Unmask OV/UV
```

借助 **TO\_SAFE** 和 **TO\_SAFE\_ORDERLY** 序列，PMIC 可以在 **SAFE RECOVERY** 状态以及硬件状态 **INIT** 和 **BOOT BIST** 之间进行切换。通过这种转换，用户寄存器中的 **NVM** 设置将被恢复。对于 **GPIO** 和 **BUCK** 监控器定制，这些定制方案不会被保留，而必须在每次下电上电和在各个硬件状态之间切换时重新应用。

## 8 参考文献

有关 PMIC 或处理器器件的其他信息，请查看以下内容：

- 德州仪器 (TI), [DRA829 Jacinto™ 处理器芯片版本 1.0 和 1.1 数据表](#)
- 德州仪器 (TI), [DRA829 安全手册 Jacinto™ 7 处理器 \( 通过 mySecure 索取 \)](#)
- 德州仪器 (TI), [DRA829/TDA4VM/AM752x 技术参考手册 \( 版本 B \) 参考模型](#)
- 德州仪器 (TI), [TPS6594-Q1 具有 5 个 Buck 和 4 个 LDO 且适用于安全相关汽车类应用的电源管理 IC \(PMIC\) 数据表](#)
- 德州仪器 (TI), [适用于汽车 SoC 且具有功能安全特性的 4x 5A \(20A\) 多相降压转换器 PMIC 数据表](#)
- 德州仪器 (TI), [PDN-0C 用户指南之使用优化的 TPS65941213-Q1 和 TPS65941111-Q1 PMIC 为 J721E 供电 \( 修订版 A \)](#)
- 德州仪器 (TI), [TPS6594-Q1 安全手册 \( 通过 mySecure 索取 \)](#)
- 德州仪器 (TI), [LP8764-Q1 安全手册 \( 通过 mySecure 申请 \)](#)
- 德州仪器 (TI), [TPS6594-Q1 原理图 PCB 检查清单应用说明](#)

## 重要声明和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做任何明示或暗示的担保，包括但不限于对适销性、某特定用途方面的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他功能安全、信息安全、监管或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的应用。严禁对这些资源进行其他复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。您应全额赔偿因在这些资源的使用中对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，TI 对此概不负责。

TI 提供的产品受 [TI 的销售条款](#) 或 [ti.com](#) 上其他适用条款/TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

邮寄地址：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265

Copyright © 2022，德州仪器 (TI) 公司