

Design Guide: TIDA-010133

高阻抗、500MHz 带宽示波器模拟前端参考设计



说明

数字存储示波器 (DSO) 等高带宽数据采集系统需要模拟前端 (AFE) 信号链具备宽广的 (-3dB) 带宽以测量各种范围的信号、可选的高输入阻抗以防止对被测信号产生负载效应、低噪声以防止信噪比 (SNR) 劣化, 以及优异的失真性能以保持信号保真度。传统的 AFE 实现方案通常需要极其复杂的分立元件设计, 或者需要专门开发定制的前端 ASIC。本参考设计在不牺牲性能的前提下, 提供了一种更简单、更具成本效益的 AFE 解决方案。

资源

[TIDA-010133](#)

设计文件夹

[BUF802、LMH6518](#)

产品文件夹

[OPA2140、LMH6552](#)

产品文件夹

[DAC80508、TPL0102](#)

产品文件夹

[TLV3605](#)

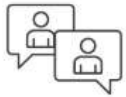
产品文件夹

特性

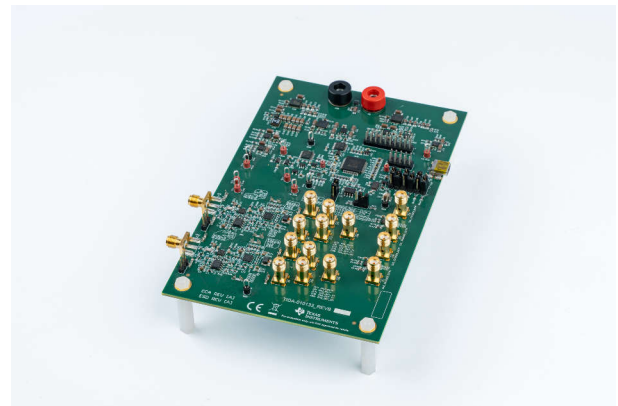
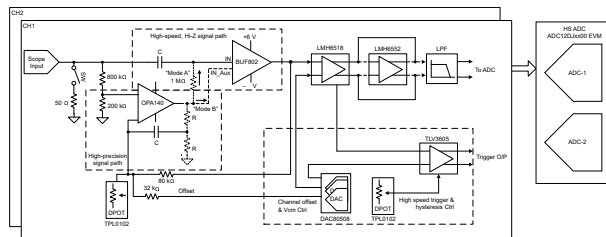
- 500MHz 输入带宽
- 可选阻抗 (50 Ω 或 1M Ω)
- 支持直流/交流耦合
- 40dB 可编程增益的宽动态范围
- 支持触发功能
- 用于偏移控制和共模控制的精密 DAC
- SMA 连接器, 支持 TI 高速 ADC EVM

应用

- 示波器 (DSO) - 台式
- 数字转换器 (≥ 50 MSPS)
- 精密多功能输入和输出 DAQ



请咨询我司 TI E2E™ 支持专家



1 系统说明

此参考设计展示了利用 BUF802 实现 AFE 信号路径的方法。BUF802 是一款具有结型栅场效应 (JFET) 输入级的开环、单位增益缓冲器，适用于数字存储示波器 (DSO) 和数字转换器等终端设备。本指南中的设计规格包括但不限于：直流至 500MHz 带宽、可选的输入阻抗 (1M Ω 或 50 Ω) 以及支持输入和输出端的交流和直流耦合。

本参考设计还重点介绍了几个其他的关键器件。LMH6518 是一款以数字方式控制的可变增益放大器 (DVGA)，可提供 40dB 的动态范围，并具备辅助输出和过压钳位等额外功能。DAC80508 是一款 16 位、八通道、缓冲电压输出数模转换器 (DAC)，用于偏移、触发电平参考、校准和共模电压控制。

1.1 主要系统规格

表 1-1. 主要系统规格

参数	规格
输入通道数	2
输入类型	单端
输入阻抗	1M Ω 或 50 Ω
输出类型	交流或直流耦合
模拟带宽	直流 - 500MHz
最大输入电压	1Vpp
最大系统增益	40dB
动态范围	40dB
系统 SNR	66dB
系统 ENOB	10.6
工作温度	25°C
触发传播延迟	800pS
触发上升/下降时间	350pS

2 系统概述

2.1 方框图

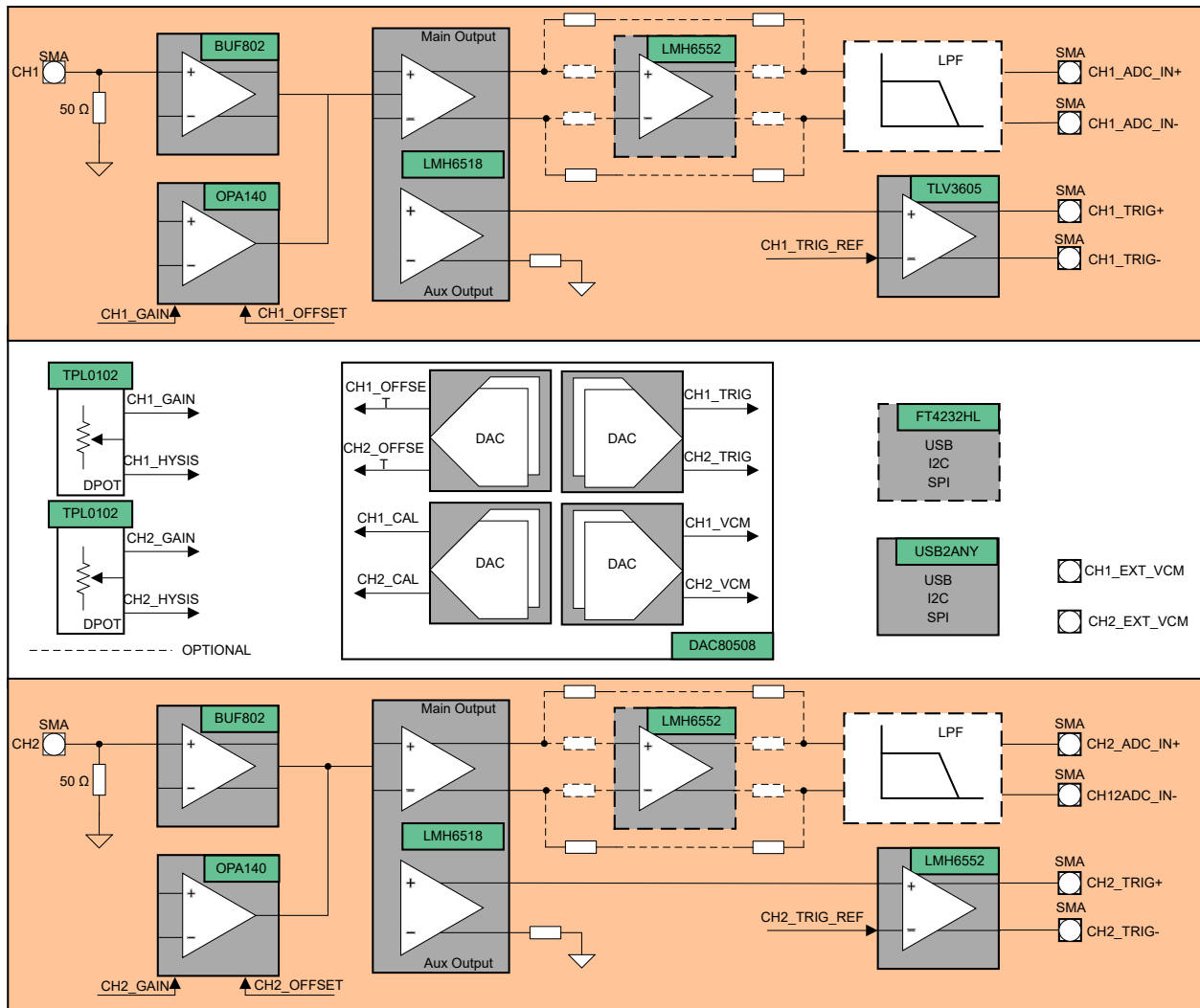


图 2-1. 方框图

2.2 设计注意事项

图 2-1 显示了子系统方框图。

多通道数字存储示波器需要具有宽带 AFE、高动态范围 (SFDR)、高 SNR 和低通道间偏斜的信号链。大多数高速示波器使用 8 位垂直分辨率进行波形可视化，但由于技术进步，新一代示波器需要 12 位以上的分辨率。200MHz 至 5GHz 的模拟带宽需要 5GSPS 至数百 GSPS 的采样率。

通常，示波器配备宽嵌入式显示窗口和高级触发功能，并具备满足高速数字系统、高速串行协议以及雷达和宽带通信系统调试需求的探测能力。

与数字示波器相比，高速宽带数字转换器需要更高的分辨率和宽动态范围。通常，这类系统的前端衰减极小，最大输入范围也受到限制。采集到的数据通过高速多通道 PCIe 总线或高速 SERDES 接口传输至控制器。经过处理后，结果以频域形式显示。大多数分析在应用软件中完成，并在控制器端显示，因此无需像示波器那样配备嵌

入式显示窗口。数字转换器对于 ATE 应用和高密度多通道系统非常有用。通过添加高级触发和用户可编程功能，数字转换器可用作宽带示波器，反之亦然。

2.3 系统设计原理

2.3.1 模拟前端

DSO 的 AFE 需在不影响被测信号的前提下测量电压信号。为了可靠地捕获高频信号和快速瞬态脉冲，AFE 需要高性能的信号链，这些信号链必须具备宽带宽，同时支持 $50\ \Omega$ 和高输入阻抗，并提供优异的信噪比与失真性能。

需要高输入阻抗模式的系统通常遵循下述两种方法之一：定制前端 ASIC 或分立式 JFET 实施。无论采用哪种方案，都需要承担开发和制造定制 ASIC 或复杂分立电路的高成本，而且后者还伴随着自身的一系列设计挑战。

BUF802 通过提供一体式设计（更加简单且更具成本效益，同时不会牺牲性能），提供 ASIC 和基于 FET 的实现方案的单芯片替代方案。

2.3.1.1 输入缓冲放大器

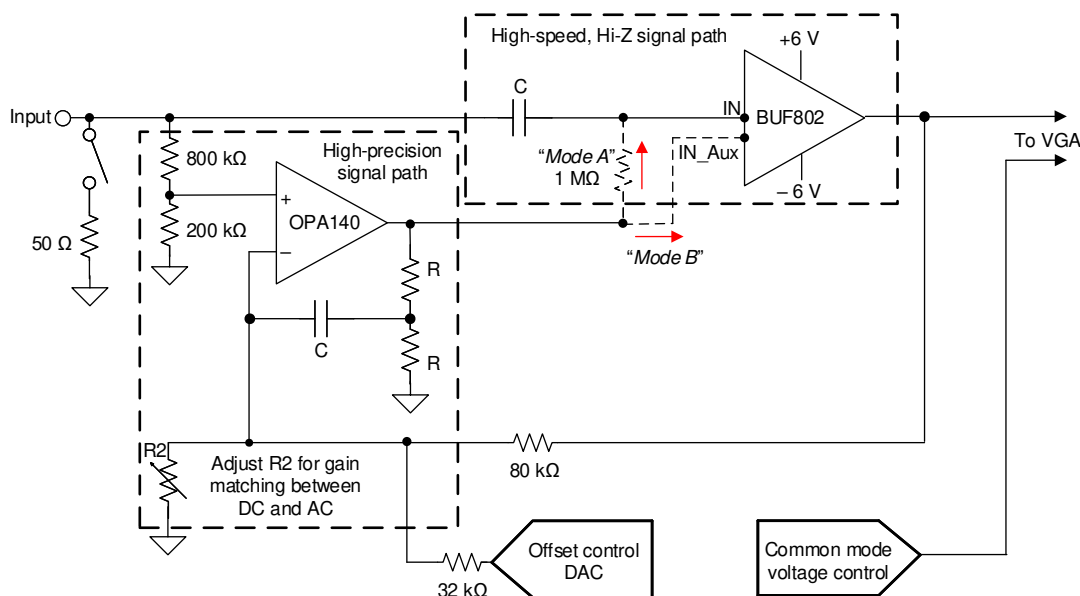


图 2-2. BUF802 复合环路

为了克服分立式 JFET 实现方案所带来的设计挑战，设计人员通常采用基于复合环路的方案，将低频和高频信号链结合起来，以同时实现高直流精度和宽信号带宽。

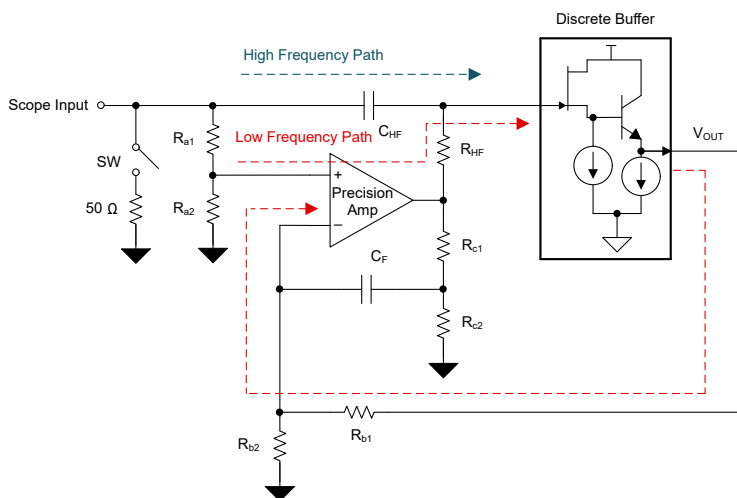


图 2-3. 分立式 JFET 架构

典型分立式实现方案（如图 2-3 所示）使用在复合环路中配置的精密放大器和分立式 JFET。低频路径提供了净传递函数良好的直流精度，而基于 JFET 源极跟随器的高频路径为网络传输功能提供了较宽的大信号带宽以及低噪声和低失真。

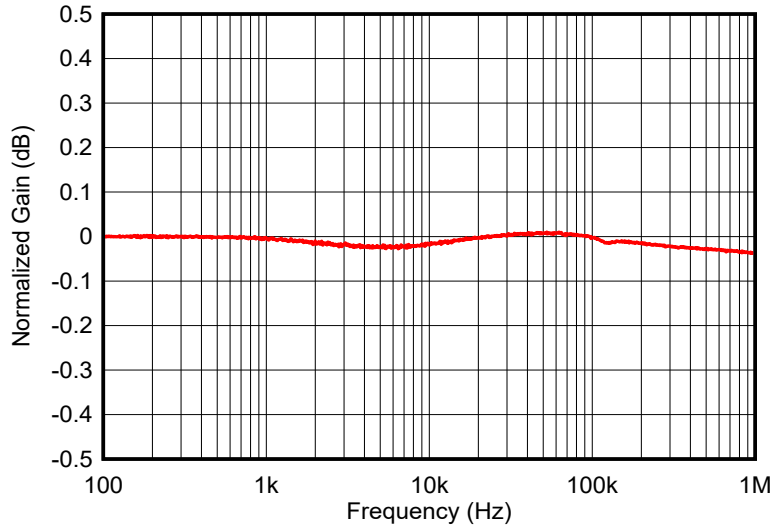


图 2-4. 交叉区域频率响应平坦度

在本参考设计中，复合环路架构所采用的各元件值均经过精心选择，建议按照这些参数设计，以获得交越区域平坦的频率响应（请参阅图 2-4）。有关复合环路参数设计的详细说明，请参阅 BUF802 数据表第 9.2.1.2 节“详细设计步骤”。如需进一步了解复合环路架构，请参阅 TI 博客[利用高阻抗缓冲器实现高直流精度和宽大信号带宽](#)。

输入阻抗

数据采集系统通常支持可选的 $50\ \Omega$ 或 $1\text{M}\ \Omega$ 输入终端。BUF802 可灵活应用于采用 $1\text{M}\ \Omega$ 或 $50\ \Omega$ 输入端接的系统。默认情况下，本参考设计配置为 $50\ \Omega$ 输入阻抗。用户可通过安装或移除各通道并联的 $50\ \Omega$ 电阻，在高阻抗输入和 $50\ \Omega$ 输入之间进行切换。

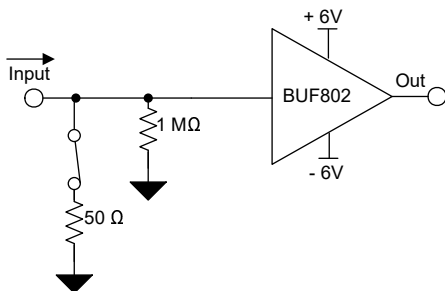


图 2-5. 支持可选 $1\text{M}\ \Omega/50\ \Omega$ 输入端接的 BUF802

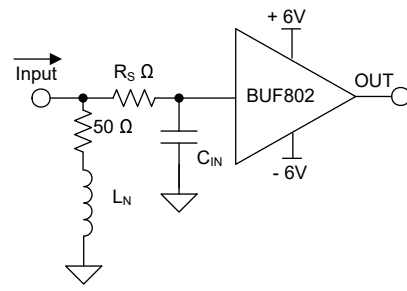


图 2-6. 具有 R_S 和 L_N 的有效输入阻抗

	电阻器	输入阻抗
通道 1	R3 已安装	$50\ \Omega$
通道 1	R3 DNI	$1\text{M}\ \Omega$
通道 2	R4 已安装	$50\ \Omega$
通道 2	R4 DNI	$1\text{M}\ \Omega$

虽然可以安装精确的 $50\ \Omega$ 端接以在前端复合环路的输入端实现电阻，但 BUF802 的寄生电容 (C_{IN}) 呈现为与此 $50\ \Omega$ 电阻一起导致跨频率的非理想端接。有关如何优化 S11 和 S21 参数，请参阅 BUF802 数据表第 9.2.1.2 节“详细设计步骤”。

可调节静态电流

BUF802 包括可调节静态电流特性，使系统设计人员能够在功耗与所获得的失真性能之间进行权衡。R_Bias 引脚与 V_{SS} 之间的电阻值越大，BUF802 的静态电流越低，但 THD 会增加，同时带宽也会增大。

本设计按照数据表的建议，将 R_Bias 的电阻值设置为 17.8k Ω 。但 R_Bias 电阻值可根据不同系统需求进行调整。较大的 R_Bias 电阻值虽然可以降低功耗，但会降低器件性能。（请参阅图 2-7 和图 2-8）

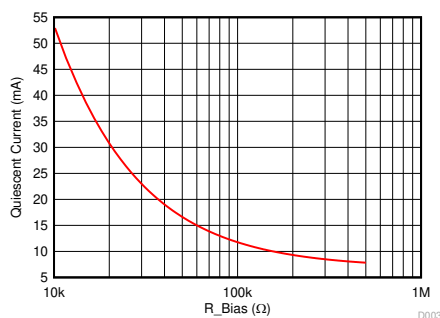


图 2-7. 静态电流与 R_Bias 间的关系

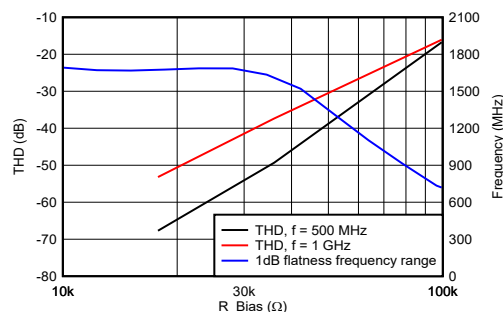


图 2-8. THD 和带宽与 R_Bias 间的关系

直流偏移

本参考设计还提供用户可调的模拟直流偏移功能。在数据采集系统中，当用户需要调整被测信号的直流电平时，就会使用直流偏移功能。在 DSO 应用中，这相当于调整屏幕上波形的垂直参考电平。换句话说，就是将 DSO 的水平参考线沿垂直方向上下移动。

直流偏移信号由 DAC80508 (8 通道、16 位高精度 DAC) 产生。但 DAC 的输出为单极性，因此只能提供正向偏移调节。为了同时支持正向和负向偏移调节，设计中采用 OPA2140 精密运算放大器电路，将单极性输出转换为双极性输出，如图 2-9 所示。

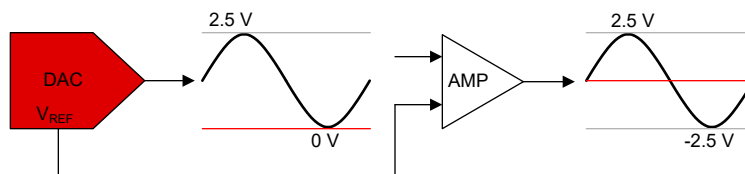


图 2-9. 单极性转换为双极性

由于 LMH6518 的差分输入绝对最大额定值为 ± 1 V，因此必须根据输入信号限制偏移电压，以避免超过该绝对最大额定值。

PCB 布局

与输入阻抗电路一样（参见 BUF802 数据表第 9.2.1.2 节“详细设计步骤”），为了在整个系统带宽范围内保持最佳性能，PCB 布局设计同样需要进行优化。信号路径应设计为具有 50 Ω 特性阻抗。

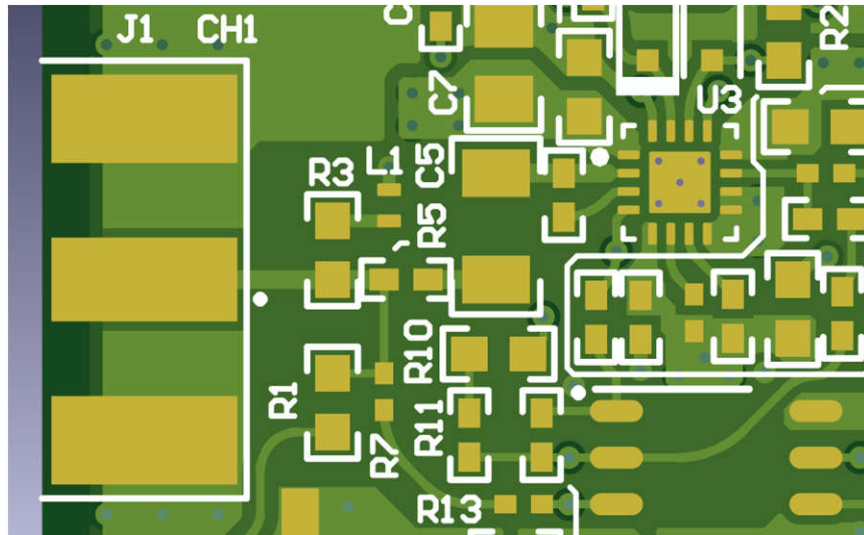


图 2-10. TIDA-010133 输入布局

如果未考虑这些设计要求，信号路径可能无法在整个工作带宽内保持 $50\ \Omega$ 特性阻抗，从而产生信号反射，并导致系统性能下降。

2.3.1.2 可变增益放大器

LMH6518 DVGA 具有出色的增益控制和失真性能，并提供可自定义功能，可实现精确信号采集，此外还提供对实时信号测量至关重要的卓越时序性能，以及包含辅助输出和过压钳位等在内的其他功能。

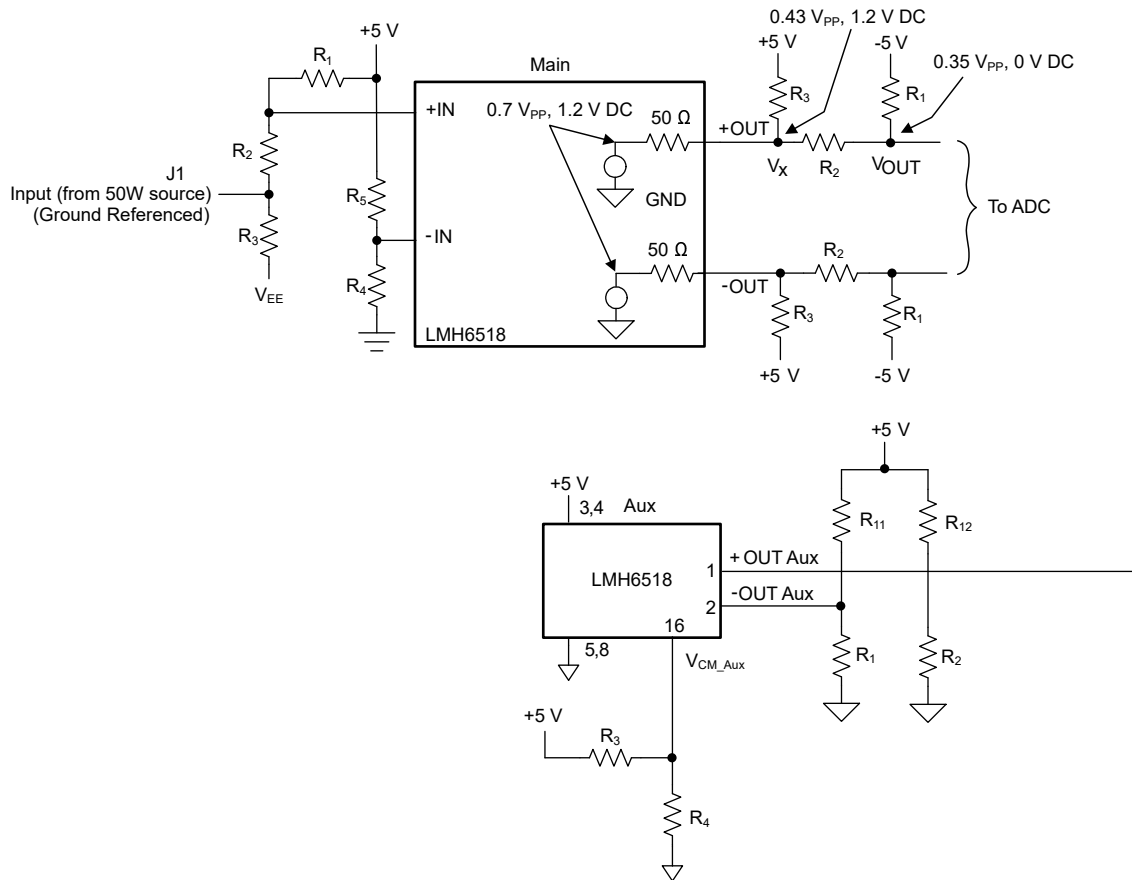


图 2-11. LMH6518 功能框图

单端转差动转换 (输入级)

为了驱动差动 ADC，模拟信号路径包含一个转换级，用于将输入信号从单端转换为差动信号。LMH6518 具有一个全差动前置放大器，该前置放大器在所有增益设置下都具有一致的 150kΩ 阻抗，也能够通过单端信号源驱动。

表 2-1. LMH6518 理想输入和输出条件

各输入端对地阻抗 (Ω)	共模输入 (V)	差动输入 (V _{pp})	负载阻抗 (Ω)	差动输出 (V)	共模输出 (V)
≤50	1.5 至 3.1	<0.8	100 (差动) 和 50 (单端)	<0.77	0.95 至 1.45

只要满足表 2-1 的条件，并且从直流到所关注的最高频率范围内，驱动输入端与未驱动输入端之间匹配良好，LMH6518 的差动输入即可采用单端信号驱动。如果不满足相关条件，则会对趋稳时间产生影响或造成其他可能的性能降级。

在图 2-11 中，LMH6518 的输入端通过电阻器 R2/R3 和 R4/R5 组成的分压器进行偏置。要更改 LMH6518 输入端 (BUF802 输出端) 的共模电压，只需将 R43 和 R42 (通道 2 的 R44 和 R45) 的电阻值更新为所需值即可。共模电压必须处于 LMH6518 的工作范围内。在此设计中，共模电压设置为 2.5V。

$$V_{CM} = V_{5va} \times (R2 / (R1 + R2)) \quad (1)$$

其中 V_{5va} 是 5V 模拟电源轨，R1 和 R2 对应通道 1 (R43 和 R42) 和 2 (R45 和 R44) 的电阻器。

在该参考设计中，LMH6518 的非驱动输入端会被偏置到所需的 V_{CM} ，同时接入一个加法器电路，以实现系统的失调电压调节功能。

该参考设计将 LMH6518 配置为驱动外部 ADC。不过，LMH6518 还可借助另一种偏置电路，在无需额外增加放大器级的情况下，提供有限的共模电压调节能力。

图 2-11 所示为 LMH6518 数据表中推荐的共模转换电路。利用 +5V 和 -5V 电源轨，可根据需要将共模电压调整为 0V，以支持要求共模电压为 0V 的 ADC。

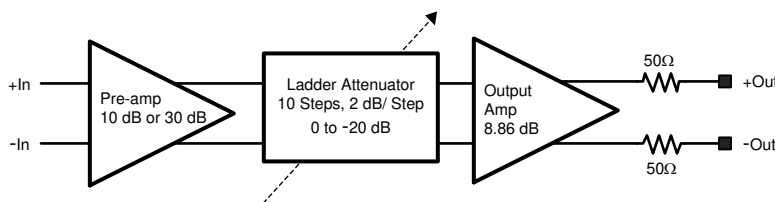


图 2-12. LMH6518 内部增益块

LMH6518 支持对增益、电压钳位和带宽进行数字控制。如果不使用该块，也可以禁用辅助放大器。编程通过与 SPI-1 兼容的总线 (3 线 SPI) 接口完成。该接口使用一条双向数据线，而不是两条单向数据线。

LMH6518 的以下功能可通过 SPI 进行控制：

- 滤波器 (20MHz、100MHz、200MHz、350MHz、650MHz、750MHz 或全带宽)
- 电源模式 (全功率或辅助高阻抗 Hi-Z)
- 前置放大器 (HG 或 LG)
- 衰减梯形 (0dB 至 20dB，10 种状态)
- LMH6518 状态写入或回读

SPI-1 总线使用 3.3V 逻辑电压。SDIO 是用于读取和写入 LMH6518 的串行数字输入/输出。SCLK 是由 CS 控制的总线时钟和片选功能。

LMH6518 仅需 1 个编程寄存器，表 2-2 显示了可调节字段。

表 2-2. 数据域

							滤波器				前置放大器	梯形衰减			
D15 (MSB)	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0 (LSB)
X	0	0	0	0	0 = 全功率 1 = Aux Hi-Z	0	请参阅 LMH6518 数据表 6-3			0	0 = LG 1 = HG	请参阅 LMH6518 数据表 6-4			

备注

位 D5、D9 以及 D11 至 D14 必须为 0。否则，器件操作将不可预期，且无法保证规格。

内部增益块由三个级组成：前置放大器、梯形衰减器和输出放大器。主信号路径通过全部三个增益块，而辅助信号路径则配备了一个独立的辅助输出放大器，其特性与主输出路径相同。

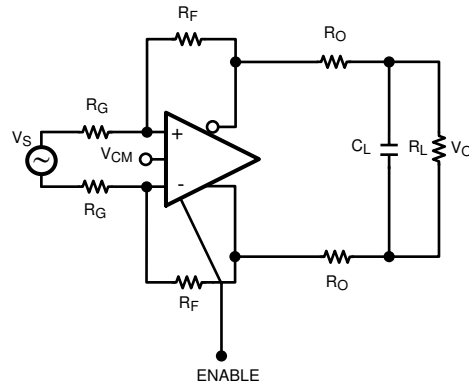
LMH6518 最重要的用户可调整设置是滤波器和增益设置。LMH6518 能够在高达 900MHz 的带宽下运行，但可选的滤波器设置允许用户限制器件的带宽，以满足不同的系统要求。所有滤波器均为低通单刀滚降，并在主输出端和辅助输出端运行。这些滤波器会限制信号路径带宽和噪声。

表 2-3. LMH6518 可用增益步进

前置放大器		梯形衰减	输出放大器	总增益 (dB)
LG	HG			
10	不适用	-20	8.86	-1.16
10	不适用	-18	8.86	0.8
10	不适用	-16	8.86	2.8
10	不适用	-14	8.86	4.8
10	不适用	-12	8.86	6.8
10	不适用	-10	8.86	8.8
10	不适用	-8	8.86	10.8
10	不适用	-6	8.86	12.8
10	不适用	-4	8.86	14.8
10	不适用	-2	8.86	16.8
10	不适用	0	8.86	18.8
不适用	30	-20	8.86	18.8
不适用	30	-18	8.86	20.8
不适用	30	-16	8.86	22.8
不适用	30	-14	8.86	24.8
不适用	30	-12	8.86	26.8
不适用	30	-10	8.86	28.8
不适用	30	-8	8.86	30.8
不适用	30	-6	8.86	32.8
不适用	30	-4	8.86	34.8
不适用	30	-2	8.86	36.8
不适用	30	0	8.86	38.8

2.3.1.3 采用 LMH6552 的 ADC 驱动器

LMH6552 是一款全差动放大器，在本设计中作为信号路径中的一个可选共模电压移位级。当 TIDA-010133 硬件与不支持 LMH6518 默认 1.2V 共模输出电压的 ADC 配合使用时，需要使用 LMH6552。LMH6552 集成了输出共模控制功能，可通过 VCM 引脚轻松控制输出共模电压。此外，LMH6552 还可用于为系统提供额外的增益。不过，增益是固定的，通过外部电阻器进行设置。



Copyright © 2016, Texas Instruments Incorporated

图 2-13. LMH6552 典型全差动应用

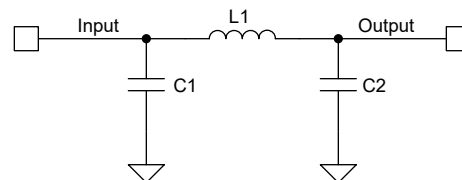
对于上述配置，为了实现最佳性能，建议使用容差最大为 0.1% 的电阻器；该放大器已在内部进行补偿，当 R_F 值介于 $270\ \Omega$ 和 $390\ \Omega$ 之间时，可获得最佳增益平坦度，具体性能取决于封装选择、PCB 布局和负载电阻。下表提供了 R_F 和 R_G 值以及相应的增益。

表 2-4. 使用指定电阻值时的 LMH6552 增益

增益	R_F	R_G
0dB	$275\ \Omega$	$255\ \Omega$
6dB	$275\ \Omega$	$127\ \Omega$
12dB	$275\ \Omega$	$54.9\ \Omega$

2.3.1.4 模拟 π 型滤波器

该参考设计的最后一级是无源三阶 LC π 型低通滤波器。该滤波器置于 ADC 前端，用于滤除 ADC 输入端的高频噪声和干扰，防止不需要的噪声耦合到输入端。

图 2-14. π 型滤波器

该滤波器由两个电容器和一个电感器组成，其中元件值决定了滤波器的截止频率。由于该设计采用电容器作为并联元件，因此该滤波器用作低通滤波器。该滤波器的截止频率根据以下公式确定。

$$f_c = 1 / (2 * \pi * \sqrt{L * C}) \quad (2)$$

2.3.1.5 数字电位器

本参考设计在每个通道中均采用了一颗 TPL0102 数字电位器，其具有两个用途：一是为复合环路中的 BUF802 校准提供可变电阻；二是为高速比较器 TLV3605 提供迟滞控制。TPL0102 提供 $100\text{k}\ \Omega$ 端到端电阻，并集成非易失性存储器，可保存内部滑动端的设置。

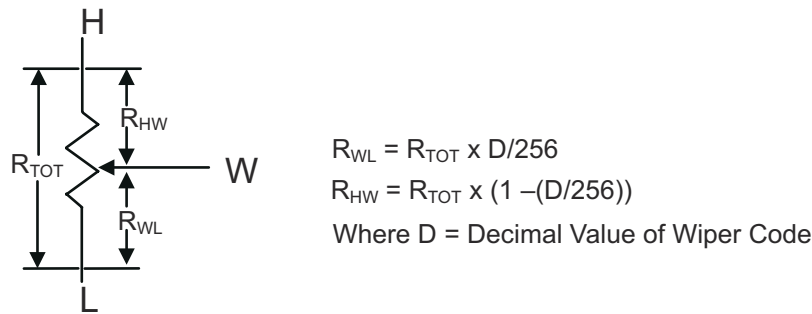


图 2-15. TPL0102 等效电路

本设计将 W (滑动端) 与 L (低端) 短接, 因此其有效电阻等于 R_{HW} 。图 2-15 给出了有效电阻的计算方法。在复合环路中, 数字电位器的推荐阻值约为 $6.7k\Omega$, 以补偿 BUF802 和相关电阻器件的参数偏差。用于迟滞控制时, 推荐阻值为 $56k\Omega$, 可为比较器输入提供约 $60mV$ 的迟滞电压。上述两个阻值均依据数据手册的推荐值选择, 但也可通过 I2C 接口方便地进行调整, 以满足不同系统的需求。

表 2-5. BUF802 和 TLV3605 的 TPL0102 设置

功能	电阻 (k Ω)	十六进制	二进制
BUF802 复合环路	6.64	0xEFh	1110 1111
TLV3605 迟滞控制	60.16	0x66h	0110 0110

2.3.2 系统动态范围

满量程输入

在典型的 DSO 前端和其他数据采集系统中, AFE 的输入之前有一个衰减器。衰减器具有可选的衰减比例 (例如 1:1、2:1、5:1 等), 并通过继电器来实现系统对衰减器的控制。衰减器可在输入信号通过 AFE 发送之前减少该信号。使 AFE 过驱可能会损坏信号链器件, 或使 ADC 输入过饱和, 从而导致测量结果完全失效。因此, 衰减器可以将输入信号衰减到更适合测量的电压范围。

在此参考设计中, 输入端没有衰减器, 因此用户可以根据其规格实现自己的衰减器设计。本参考设计的输入端并非针对大信号设计, 因此输入能力的限制由 LMH6518 决定。LMH6518 的绝对最大差分输入电压限制为 $\pm 1V$ 。

动态范围

整个系统的动态范围可以通过累加最大增益来计算。

本参考设计中包含一个增益级, 即 LMH6518。

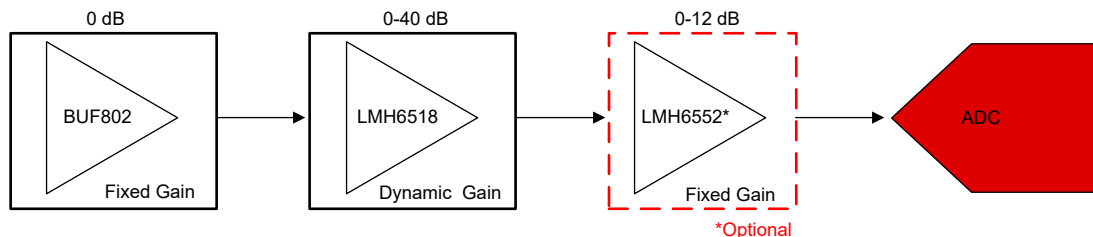


图 2-16. TIDA-010133 增益块

LMH6518 是一款数字可编程 VGA, 其内部集成了一个前置放大器、一个梯形衰减器和一个输出放大器。用户可以通过配置前置放大级和梯形衰减器级, 使总增益在 $-1.16dB$ 至 $38.8dB$ 之间调节, 从而以 $2dB$ 为步进, 实现共计 $40dB$ 的动态控制范围。查看数字可编程增益部分中的表可知, 用户可以将前置放大器的增益配置为 $10dB$ 或 $30dB$ 。此外, 梯形衰减器可以在 $0dB$ 至 $-20dB$ 之间进行配置, 步进为 $2dB$ 。

如果系统安装了 LMH6552, 则系统的总增益等于 LMH6518 的增益加上安装的 LMH6552 的增益。

动态范围_{System} = LMH6518 动态范围 + LMH6552 动态范围

$$\text{Max_Gain} = 50.8\text{dB} = 38.8\text{dB (LMH6518)} + 12\text{dB (LMH6552)} \quad (3)$$

$$\text{Min_Gain} = -1.16\text{dB} = -1.16\text{dB (LMH6518)} + 0\text{dB (LMH6552)} \quad (4)$$

表 2-6. 系统增益

系统最大增益	系统最小增益	LMH6518 最大增益	LMH6518 动态增益	LMH6552 最大增益	LMH6552 固定增益
50.8dB	-1.16dB	40dB	-1.16 至 38.8 dB	12dB	0 至 12 dB

2.4 重点产品

2.4.1 BUF802

BUF802 器件是一款开环、单位增益缓冲器 JFET 输入级，能够提供低噪声、高阻抗级。该器件支持直流至 3.1GHz 的带宽，同时在整个频率范围内提供出色的失真和噪声性能。

BUF802 可用作独立缓冲器（即缓冲模式/BF 模式），也可用于具有精密放大器的复合环路（即复合环路模式/CL 模式）中，以实现直流精度和大信号宽带宽。低输出阻抗和高输出电流驱动强度使 BUF802 能够驱动高达 50 Ω 的负载。BUF802 提供可调静态电流，以优化系统级功率和性能。

2.4.2 LMH6518

LMH6518 器件是一款以数字方式控制的可变增益放大器，具有 40dB 的增益调节范围和 900MHz 带宽。辅助输出（+OUT AUX 和 -OUT AUX）跟随主输出，旨在用于示波器触发功能电路，但也可在其他应用中用于别的用途。LMH6518 增益通过与 SPI-1 兼容的串行总线进行编程。

LMH6518 能够在单端和差分应用中运行。输入和输出为直流耦合。输出是差分的，主输出和辅助输出分别具有独立的共模 (CM) 电压控制，并且具有可选的带宽限制电路（适用于主输出和辅助输出），带宽限制选项包括 20MHz、100MHz、200MHz、350MHz、650MHz、750MHz 或全带宽。

2.4.3 DAC80508

DAC80508 属于一个引脚兼容的低功耗、八通道、带缓冲电压输出的数模转换器 (DAC) 系列，提供 16 位、14 位和 12 位分辨率可选。DACx0508 内部集成了一个 2.5V 的基准电压源，并具备用户可选的增益配置，可提供 1.25V（增益 = ½）、2.5V（增益 = 1）或 5V（增益 = 2）的满量程输出电压。该器件采用 2.7V 至 5.5V 的单电源供电，具备严格指定的单调性，并能提供 ±1 LSB INL 的高线性度。

2.4.4 TLV3605

TLV3605 是具有 LVDS 输出和轨到轨输入的 800ps 高速比较器。这些比较器具有上述特性以及 2.4V 至 5.5V 的工作电压范围和 3Gbps 的高切换频率，这使得 TLV3605 非常适合激光雷达、时钟和数据恢复应用以及测试和测量系统。

TLV3605 的低电压差分信号 (LVDS) 输出还有助于提高数据吞吐量并优化功耗。互补输出通过抑制每个输出上的共模噪声来降低 EMI。LVDS 输出旨在驱动和直接连接可接受标准 LVDS 输入（例如高速 FPGA 和 CPU）的下游器件。

此外，还提供其他高速比较器选项。表 2-7 列出了一些类似的选项。

表 2-7. 高速比较器选项

	TLV3604	TLV3605	TLV3801	LMH722 0	LMH732 4	LMH732 2	TLV3603	TLV3601	TLV3502	TLV3501
通道数量 (#)	1	1	1	1	4	2	1	1	2	1
输出类型	LVDS	LVDS	LVDS	LVDS	RSPECL	RSPECL	推挽	推挽	推挽	推挽
传播延迟时间 (ns)	0.8	0.	0.225	2.9	0.7	0.7	2.5	2.5	4.5	4.5
Vs (最大值) (V)	5.5	5.5	4.2	12	12	12	5.5	5.5	5.5	5.5
Vs (最小值) (V)	2.4	2.4	2.7	2.7	5	2.7	2.4		2.7	2.7
轨到轨	输入	输入	否	否	否	否	输入-输出	输入-输出	输入-输出	输入-输出

2.4.5 TPL0102

TPL0102 具有两个线性滑轨数字电位器 (DPOT)，具有 256 个滑片位置。每个电位器既可作为三端电位器使用，也可作为二端变阻器使用。TPL0102-100 的端到端电阻为 100k Ω 。

TPL0102 内置非易失性存储器 (EEPROM)，可用于保存滑片位置。这样做的好处是，即使在断电期间，滑片位置也会保存，并会在上电后自动恢复。可通过 I2C 接口访问 TPL0102 的内部寄存器。

还提供其他数字电位器选项。表 2-8 列出了一些类似的选项。

表 2-8. 数字电位器选项

	TPL0102-100	TPL0401A-10	TPL0401B-10	TPL0501-100	TPL0202-10
步进数	256	128	128	256	256
通道数	2	1	1	1	2
端到端电阻 (k Ω)	100	10	10	100	10
电阻滑轨	线性	线性	线性	线性	线性
接口类型	I2C	I2C	I2C	SPI	SPI
存储器	非易失性	易失性	易失性	易失性	非易失性

3 硬件、软件、测试要求和测试结果

3.1 硬件要求

该参考设计为模拟前端 (AFE)，通过 SMA 连接器提供连接接口，以便与外部 ADC EVM 集成。下面显示了 ADC12J5200RFEVM 的完整设置示例。也可使用其他符合本参考设计指标的 ADC EVM。

可使用 USB2ANY 控制器对该 AFE 参考设计进行独立评估，如章节 3.2.2 所述

3.2 测试设置

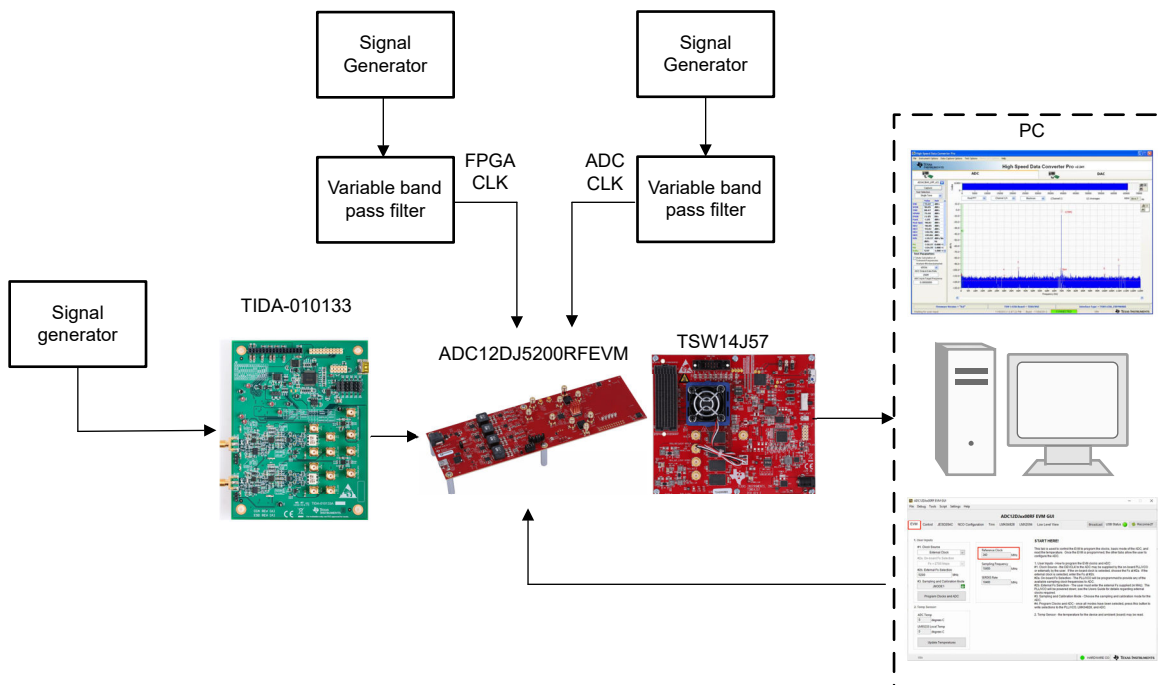


图 3-1. EVM 测试设置

3.2.1 ADC 配置

ADC 硬件设置

1. 安装 High-Speed Data Converter (HSDC) Pro 软件

- 从 www.ti.com.cn/tool/cn/dataconverterpro-sw 下载 HSDC Pro 软件的最新版本。按照安装说明安装软件。

2. 安装配置 GUI 软件

- 从 [ADC12DJ5200RF GUI](#) 的 EVM 工具文件夹下载配置 GUI 软件。
- 解压缩 .zip 文件。
- 运行可执行文件 (setup.exe) 并按照说明进行操作。

3. 连接 EVM 和 TSW14J57EVM

- 在电源关闭的状态下，通过 FMC 连接器将 ADCxxDJxx00RFEVM 连接至 TSW14J57EVM。请务必核实并确认，板卡上的铜柱提供了合适的高度，以确保连接器之间稳固且可靠地连接。

4. 将电源连接到电路板 (关闭)

- 确认 TSW14J57EVM 上的电源开关处于关闭位置。将电源线连接到 12V 直流 (最小 3A 电流) 电源。核实桶形连接器的外表面已接地，连接器内部的电压为 12V，从而确保电源极性正确。将电源线连接到 EVM 电源连接器。

- b. 确认 ADC12DJ5200EVM 的电源开关处于关闭位置。将电源线连接到 12V 直流 (最小 2A 电流) 电源。核实桶形连接器的外表面已接地, 连接器内部的电压为 12V, 从而确保电源极性正确。将电源线连接到 EVM 电源连接器。
5. 将 TIDA-010133 硬件连接到 EVM (除非另有说明, 否则保持 RF 输出处于禁用状态)
 - a. 使用一根较短的 SMA 电缆, 将 TIDA-010133 硬件的输出端连接至 ADC12DJ5200RFEVM 的 VIN 输入端。无论采用交流还是直流耦合输入均可正常工作, 只需核实两块硬件板卡的耦合配置保持一致即可。
6. 打开 TSW14J57EVM 的电源并连接到 PC
 - a. 打开 TSW14J57EVM 上的电源开关。
 - b. 用 mini-USB 电缆将 PC 与 TSW14J57EVM 连接。
 - c. 如果这是第一次将 TSW14J57EVM 连接到 PC, 请按照屏幕上的说明自动安装器件驱动程序。如需了解具体说明, 请参阅 [TSW14J57EVM 用户指南](#)
7. 打开 ADC12DJ5200RFEVM 的电源并连接到 PC
 - a. 打开 12V 电源以为 EVM 加电。
 - b. 使用 mini-USB 电缆将 EVM 连接到 PC。
8. 打开信号发生器射频输出
 - a. 打开连接到 TIDA-10133 硬件的信号发生器的射频信号输出。如果使用外部时钟, 则打开连接到 DEVCLK 和参考时钟的射频信号输出。
9. 打开 ADC12DJ5200RFEVM GUI 并对 ADC 和时钟进行编程
器件配置 GUI 会与 HSDC Pro 分开安装, 是独立的 GUI。

使用外部时钟时

1. 通过带通滤波器将信号发生器连接到 EVM 的 DEVCLK 输入端。此信号发生器必须使用低噪声信号发生器。TI 建议使用 Trilithic 可调带通滤波器过滤来自发生器的信号。将信号发生器配置为 0.8GHz 至 5.2 GHz 范围内所需的时钟频率。为了在使用射频信号发生器时获得最佳性能, CLK SMA 连接器的电源输入必须为 10dBm (50 Ω 时为 2.0Vpp)。信号发生器必须增加到 10dBm 以上, 增加的量等于时钟信号路径中的任何额外衰减, 例如带通滤波器的插入损耗。例如, 如果滤波器插入损耗为 2dB, 则信号发生器必须设置为 10dBm + 2 dB = 12dBm。
2. 将信号发生器连接到 REF CLK(J17) 处 EVM 的基准信号输入。将信号发生器配置为所需的 (260 MHz) 时钟频率。将输出功率设置为约 6-9dBm。

备注

- a. 参考时钟频率可从 ADC12DJ5200RFEVM GUI 获取。将 ADC12DJ5200EVM GUI 配置为所需的 JMODE 模式和时钟速率后, EVM 所需的参考时钟频率会显示在 GUI 的第一页上。
- b. 确保使用通用 10MHz 基准对 DEVCLK 和参考时钟源进行频率锁定, 以确保功能正常。如果需要进行相干采样, 也可以将输入信号发生器锁频到其他发生器。
- c. 此时请勿打开任何信号发生器的射频输出。
- d. 在单输入模式下使用 ADC 时, 器件使用 DEVCLK 的两个边沿进行采样。

ADC 软件设置

器件配置 GUI 会与 HSDC Pro 分开安装, 是独立的 GUI。

备注

ADC12DJ4000RF 支持的最大时钟速率为 4000MHz, ADC08DJ5200RF 仅支持 8 位模式。
ADC08DJ5200RF 上禁用了所有 12 位和 15 位模式。

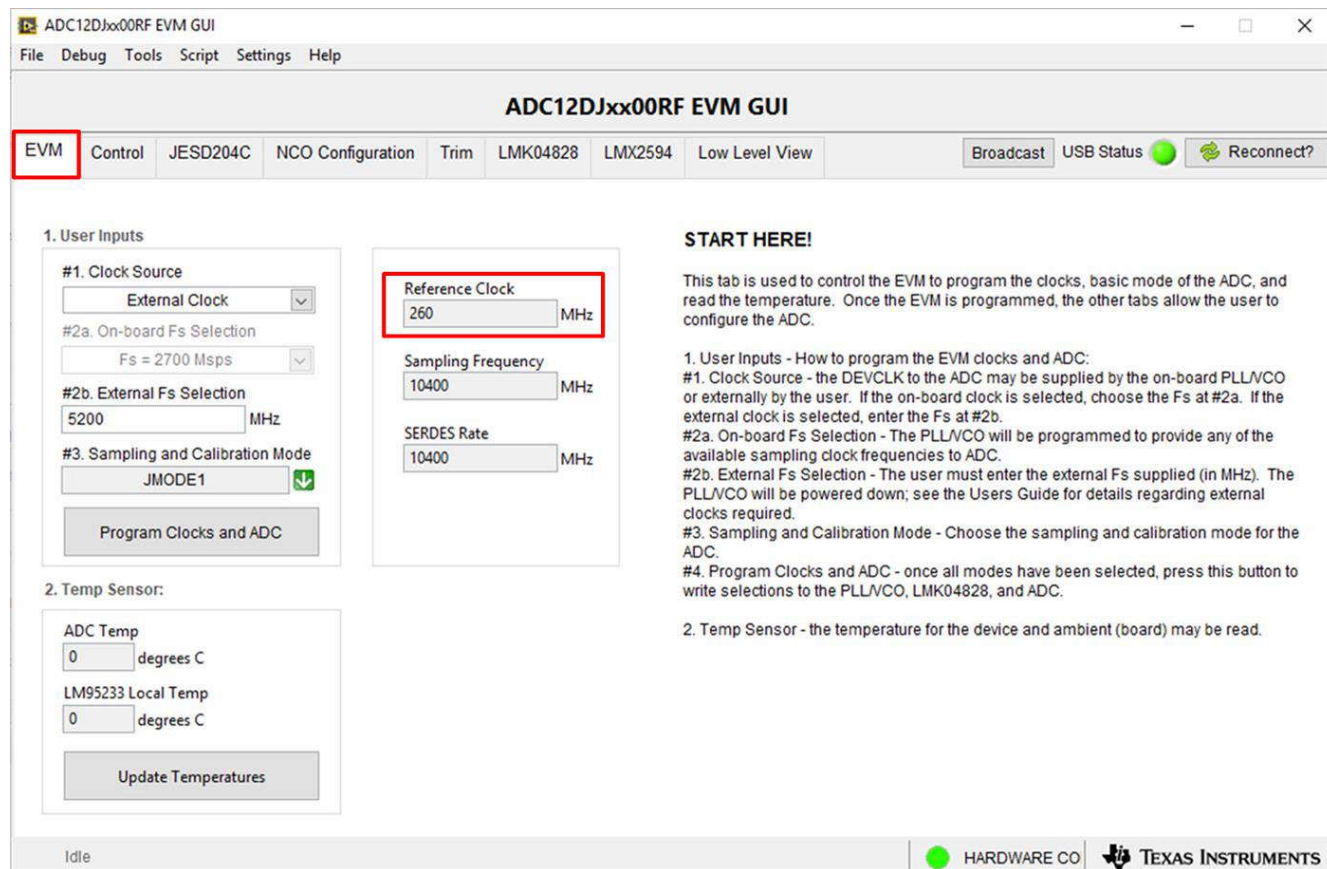


图 3-2. EVM 选项卡配置 GUI

图 3-2 显示了已打开 **EVM** 选项卡和 **Control** 选项卡的 GUI。面板顶部的选项卡将配置分为器件和 EVM 特性，其中用户友好型控件和“Low Level”选项卡可用于直接配置寄存器。EVM 具有四个可配置器件，即 ADC12DJ5200RF、LMK04828、LMK61E2 和 LMX2594。

1. 打开 ADC12DJ5200RFEVM GUI。
2. 选择外部时钟作为时钟源。
3. 输入 $F_s = 5200\text{MHz}$ MSPS 作为外部 F_s 选择。
4. 为采样和校准模式选择“JMODE1”。
5. 点击 **Program Clocks and ADC** (注意：此操作将会覆盖任何之前的器件寄存器设置。)
6. EVM 所需的参考频率显示在“Reference Clock”指标下。

校准 EVM 上的 ADC 器件

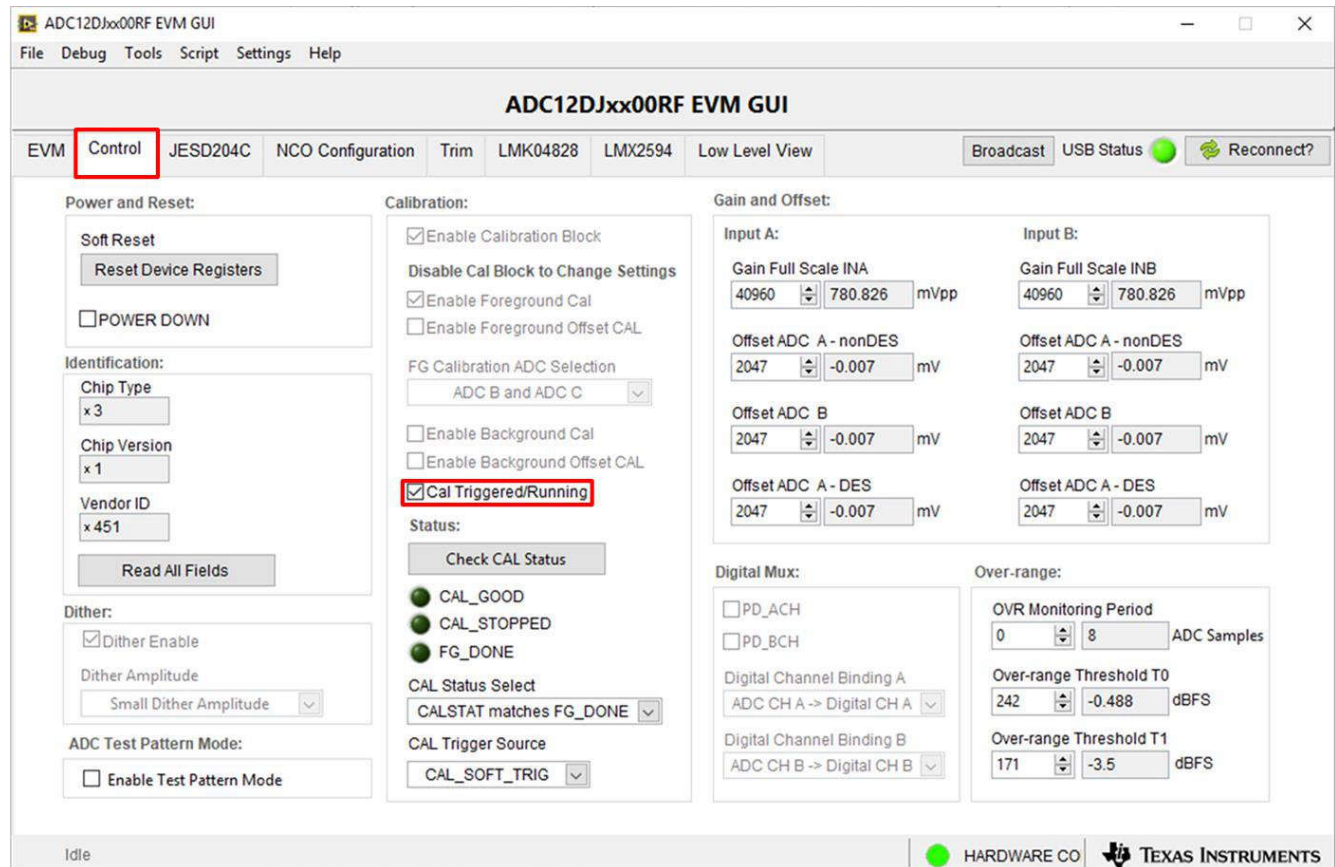


图 3-3. ADC 控制配置 GUI

1. 在 PC 上打开 EVM GUI 后，导航到 **Control** 选项卡。
2. 要校准 ADC，请点击一下 **Cal Triggered/Running**，然后再次点击它。这将停止并重新启动校准引擎。
3. 要启用后台校准，请执行以下步骤：
 - 导航至 **JESD204C** 选项卡，然后点击 **JESD Block Enable** 以停止 JESD204C 块。
 - 导航回 **Control** 选项卡，然后点击 **Enable Calibration Block** 以禁用校准并允许更改设置。
 - 点击 **Enable Background Cal**。如果还需要进行后台偏移校准，请点击 **Enable Background Offset Cal**。
 - 点击 **Enable Calibration Block** 以重新启用校准子系统导航到 **JESD204C** 选项卡，然后点击 **JESD Block Enable** 以重新启动 JESD204C 块。
 - 导航回 **Control** 选项卡并点击一下 **Cal Triggered/Running** 按钮，然后再次点击它。这将重新启动校准引擎。
4. 要禁用后台校准，请执行以下步骤：
 - 导航至 **JESD204C** 选项卡，然后点击 **JESD Block Enable** 以停止 JESD204C 块。

- 导航回 **Control** 选项卡，然后点击 **Enable Calibration Block** 以禁用校准并允许更改设置。
- 如果启用了背景偏移校准，请点击 **Enable Background Offset Cal** 以禁用该功能。
- 点击 **Enable Background Cal** 以禁用该功能。
- 点击 **Enable Calibration Block**，重新启用校准子系统。
- 导航至 **JESD204C** 选项卡，然后点击 **JESD Block Enable**，重新启动 JESD204C 块。
- 导航回 **Control** 选项卡并点击一下 **Cal Triggered/Running** 按钮，然后再次点击它。这将重新启动校准引擎。

使用 HSDC Pro 软件采集数据

打开 HSDC 软件并将 FPGA 图像加载至 TSW14J57EVM

1. 打开 HSDC Pro 软件。
2. 点击 **OK** 以确认 TSW14J57EVM 器件的序列号。如果连接了多个 TSWxxxxx 板，请选择连接到 ADC12DJ5200RFEVM 的电路板的型号和序列号。
3. 从左上角的 ADC 选择下拉列表中选择 ADC12DJxx00RF_JMODE1 器件。
4. 出现系统提示时，点击 **Yes** 更新固件。
5. 将 ADC 输出数据速率 (f_{SAMPLE}) 输入为“10400M”或所需的输出采样率。该数字必须等于器件的实际采样率，并且必须在采样率发生变化时进行更新。

以下步骤介绍了如何使用 HSDC 专业版软件采集数据：

1. 选择要执行的测试。
2. 选择数据视图。
3. 选择要查看的通道。
4. 点击采集按钮以采集新数据。

其他提示：

- 使用 **Test Options** 文件菜单中的 **Notch Frequency Bins** 可以移除直流（消除直流噪声和失调电压）或基波（消除信号发生器的相位噪声）周围的频段。
- 从 **Data Capture Options** 文件菜单中打开 **Capture Option** 对话框可以更改采集深度或启用“Continuous Capture”或“FFT averaging”。
- 如果只分析部分频谱，请通过 **Test Options** 文件菜单中的 **Bandwidth Integration Markers** 使用 **Single Tone** 测试。**Channel Power** 测试也很有用。
- 如果只分析已采集数据的子集，请将 **Analysis Window (samples)** 设置设置为小于所采集总样本数的值，并在屏幕顶部的小瞬态数据窗口中移动绿色或红色标记，以选择所需的数据子集。

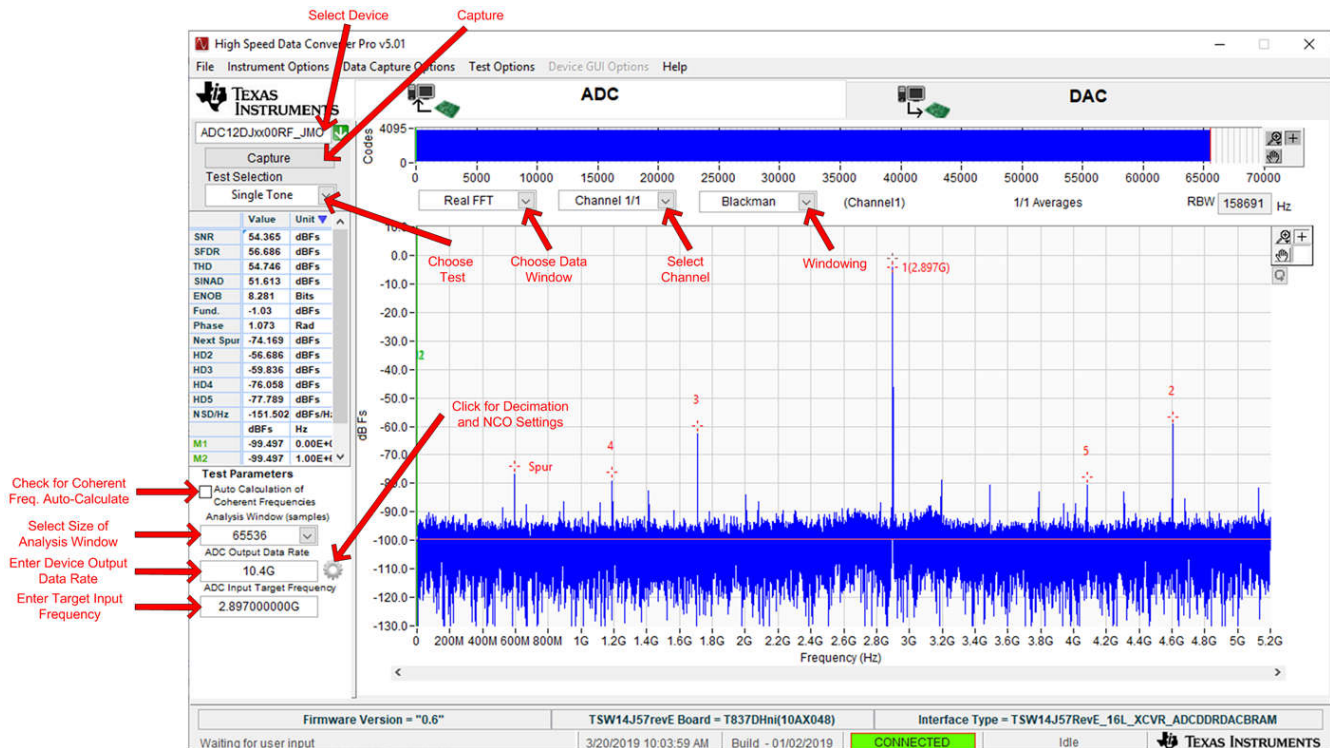


图 3-4. High Speed Data Converter Pro (HSDC) GUI

使用抽取和 NCO 功能时，请点击齿轮符号以访问 *Additional Device Parameters* 对话框，从而输入以下详细信息：

1. ADC 采样率
2. ADC 输入信号频率
3. NCO 频率
4. 抽取因子

HSDC Pro GUI 根据这些输入计算 ADC 输出数据速率。FFT 显示窗口中还将计算和识别基波和谐波频率位置。

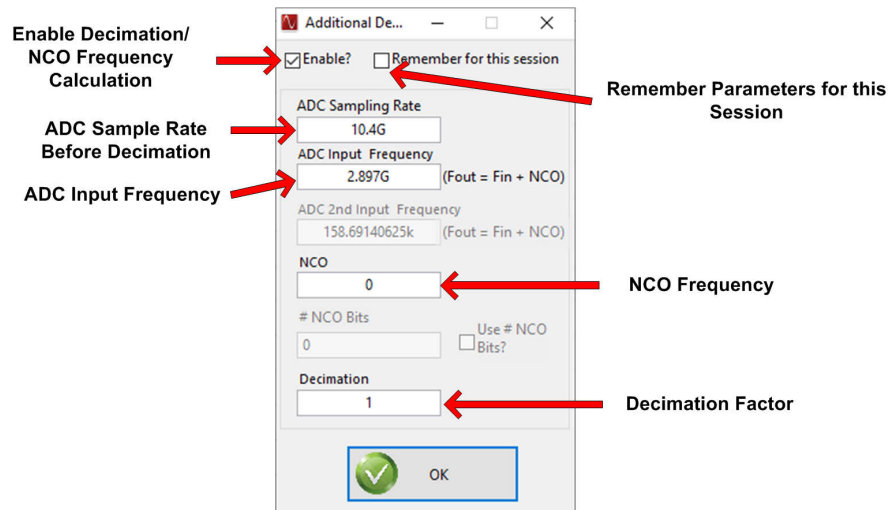


图 3-5. 附加器件参数对话框

3.2.2 AFE 硬件设置和配置

TIDA-010133 参考设计硬件具有一些用户可通过跳线接头选择的硬件配置。这些跳线主要用于配置硬件的可编程特性。其中的配置选项包括：选择是通过板载的 FTDI 器件，还是通过 USB2ANY 模块利用 SPI/I2C 与硬件进行通信。下表展示了板载器件以及与各个器件通信时所使用的通信接口。

表 3-1. 器件接口

器件	通信接口
LMH6518	SPI
DAC80508	SPI
TPL0102	I2C

有 7 个跳线接头；3 个用于 LMH6518，2 个用于 DAC80508，2 个用于 I2C TMUX121 接口。

LMH6518 使用跳线 J18、J19 和 J24 来完成其配置。J18 用于在使用 USB2ANY 时，选择要与哪个通道器件（1 或 2）进行通信。J19 用于在 FTDI 和 USB2ANY 之间切换接口。J24 用于启用或禁用用于在 FTDI 和 USB2ANY 之间切换的多路复用器。该多路复用器的使能引脚为低电平有效。

表 3-2. LMH6518 配置

J18	J19	J24	编程
x	0	0	FTDI
0	1	0	通道 1 (USB2ANY)
1	1	0	通道 2 (USB2ANY)
X	X	1	禁用

DAC80508 使用 J25 和 J27 来完成其配置。J25 用于在 FTDI 和 USB2ANY 通信接口之间切换。J27 用于启用或禁用 DAC 的第二个多路复用器。

表 3-3. DAC80508 配置

J25	J27	编程
0	0	FTDI
1	0	USB2ANY
X	1	禁用

J31 用于从 FTDI 或 USB2ANY 中选择 I2C 接口，J32 用于启用/禁用多路复用器。

表 3-4. I2C 源选择

J31	J32	编程
0	0	FTDI
1	0	USB2ANY
X	1	禁用

J17 用于为 FTDI 器件提供 3.3V 输入。两种可选的方案分别为：来自板载 3.3V 电压轨，或者来自 USB 的 V_{BUS} 。

表 3-5. FTDI 3P3V 电源

J17	VREGIN 来源
1-2	+3P3VD 电源轨
2-3	连接的 USB 所提供的 V_{BUS}

要为电路板上电，需要在 J5 处提供一个 12V、500mA 的电源，并在 J30 处接地。USB2ANY 带状电缆连接在 J16 接头上，且引脚 1（红色条带）需朝向左下方。接通电源后，绿色 LED 将亮起，如下图所示。

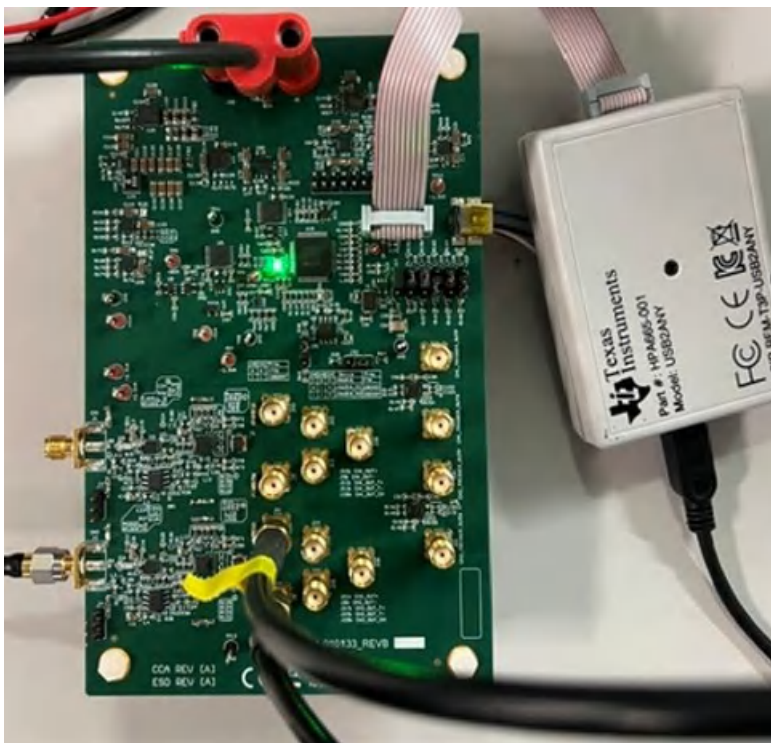


图 3-6. AFE 电路板设置

3.2.2.1 器件编程

建议使用 USB2ANY 模块对电路板上的可控制器件进行编程。板上设有专用连接器 J16，用于连接 USB2ANY 模块。此外，板上还有 FDTI IC FT4232，用户也可用于对该板进行编程。



图 3-7. USB2ANY

LMH6518 和 DAC80508 均提供可用的 GUI/软件工具包，支持用户进行可编程配置。以下步骤提供各软件的下载链接。

1. 安装 LMH6518 GUI

- 从 <https://www.ti.com/product/LMH6518> 下载 LMH6518 GUI 的最新版本。
- 按照安装说明安装该 GUI。
- 如需详细了解如何通过该 GUI 对 LMH6518 进行编程，请参阅用户指南。

2. 安装 DAC80505 GUI

- 从 <https://www.ti.com/tool/DAC80508EVM> 下载 DAC80508 软件包的最新版本。
- 按照安装说明安装软件。

3. 安装 USB2ANY

- 从 <https://www.ti.com/tool/USB2ANY> 下载 USB2ANY Explorer 软件包的最新版本。
- 按照安装说明安装软件。
- 如需详细了解如何使用 USB2ANY 模块对器件进行编程，请参阅用户指南。

安装 USB2ANY Explorer 后，打开并按如下方式配置该接口：

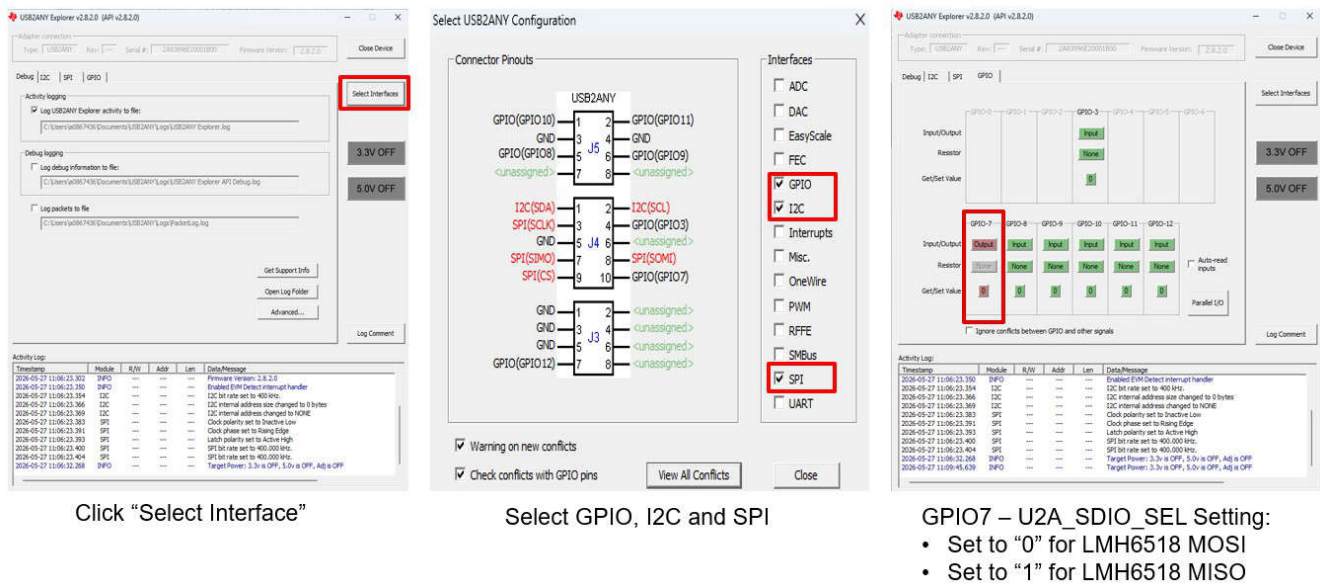


图 3-8. USB2ANY 接口设置

要通过 I2C 接口配置用于 Chx_ACDC_GAINADJ 的 TPL0102 DPOT，请参考以下使用 USB2ANY Explorer GUI 的 I2C 事务示例。

由于有 2 个不同的通道，因此请在 I2C 地址条目中输入相应的 I2C 地址。对于通道 1，地址为 0x50；对于通道 2，地址为 0x51，如下所示：

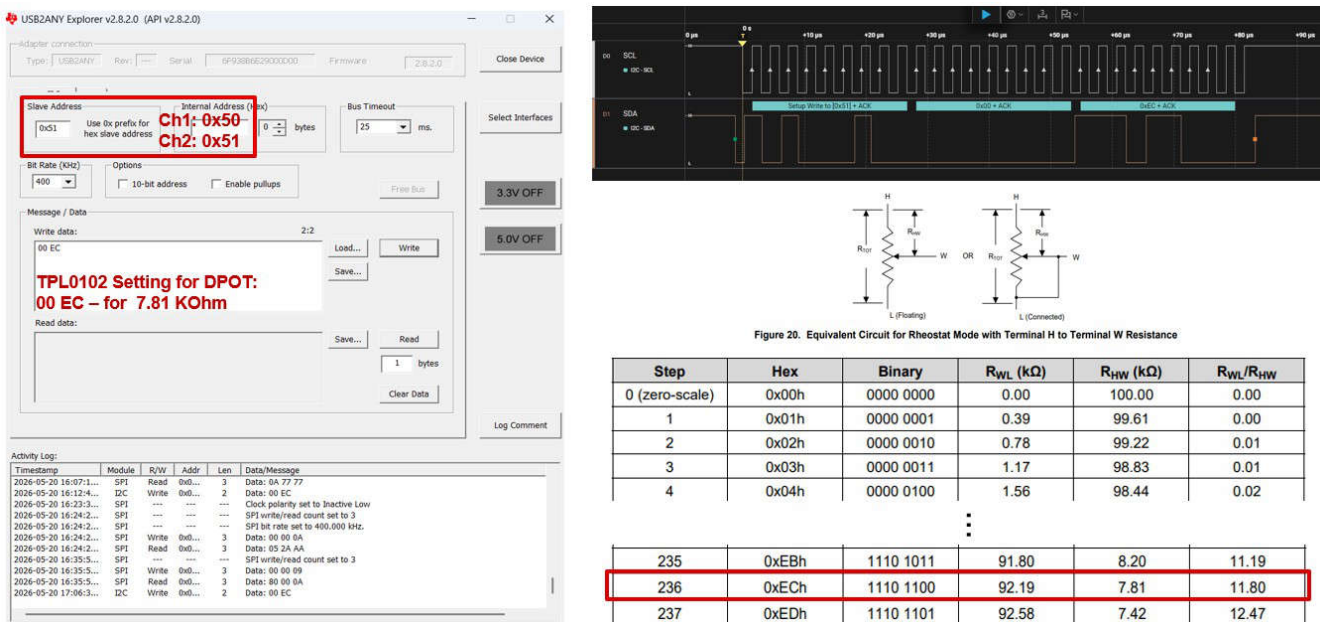


图 3-9. TPL0102 I2C 事务示例

若要通过 SPI 接口配置 DAC80508 的 CHx-OFFSET，请参考以下接口设置示例。由于通道 1 的 DAC 通道 0 (DAC0-DATA) 和通道 2 的 DAC 通道 2 (DAC2-DATA) 提供这些偏移，因此会根据 DAC80508 表 8 相应地设置 SPI 地址位。数据表的寄存器映射。DAC1-DATA 和 DAC3-DATA 用于通道的校准路径。DAC 转换码可根据数据表中的公式 4 得出，下面的示例也对此进行了说明。

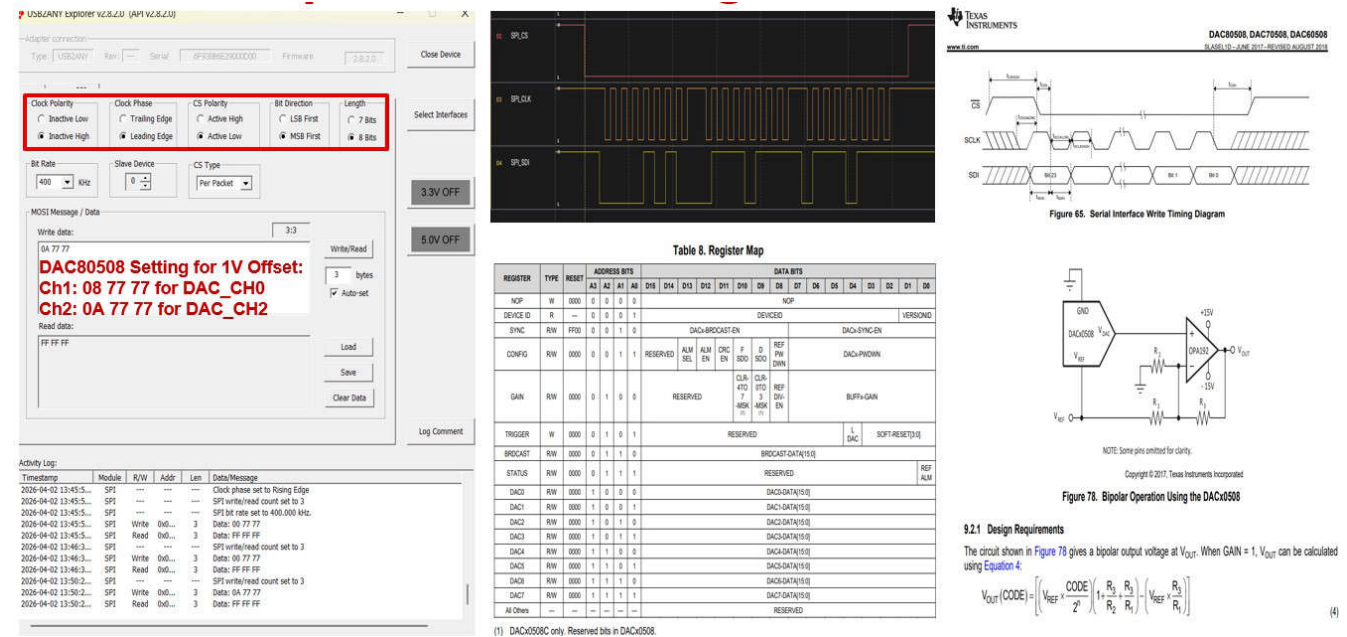


图 3-10. DAC80508 SPI 接口示例

LMH6518 VGA 器件可通过 SPI 接口进行配置，下面给出了设置增益的示例。数据表中的图 3-11 提供了数据字段。

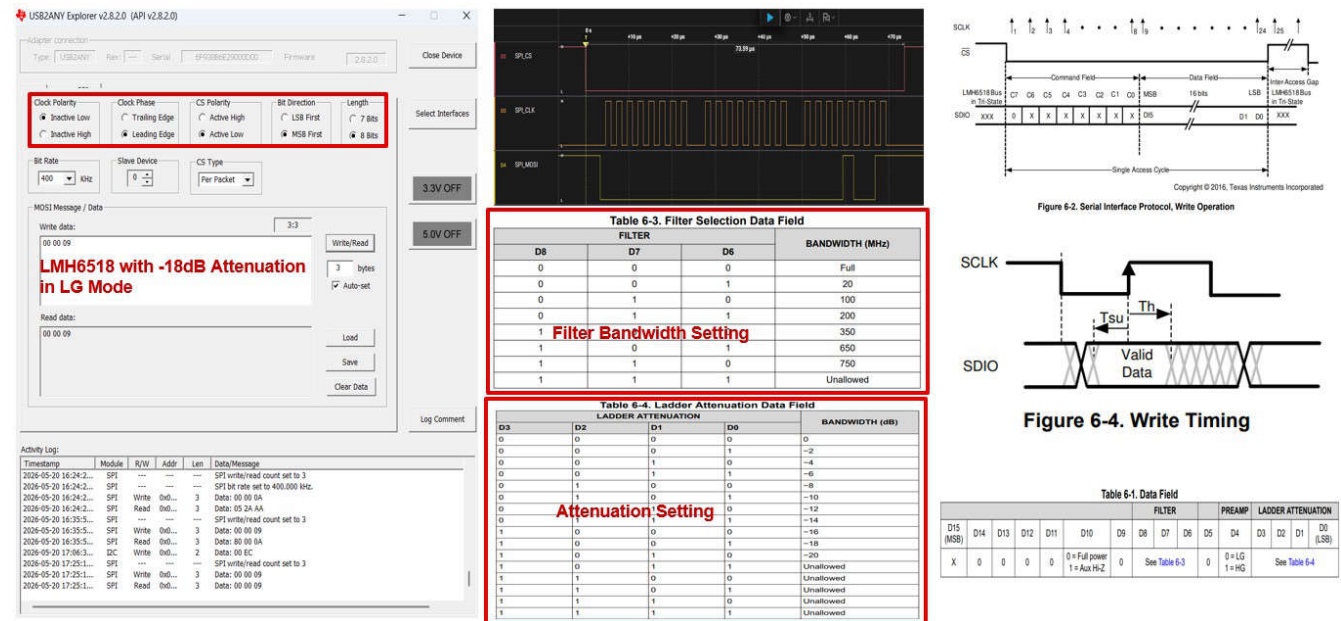


图 3-11. LMH6518 SPI 接口示例

3.3 测试结果

本参考设计板卡的实际测试结果展示如下。这些结果是在 $50\ \Omega$ 输入端接匹配、且分别在交流和直流耦合条件下测得的。

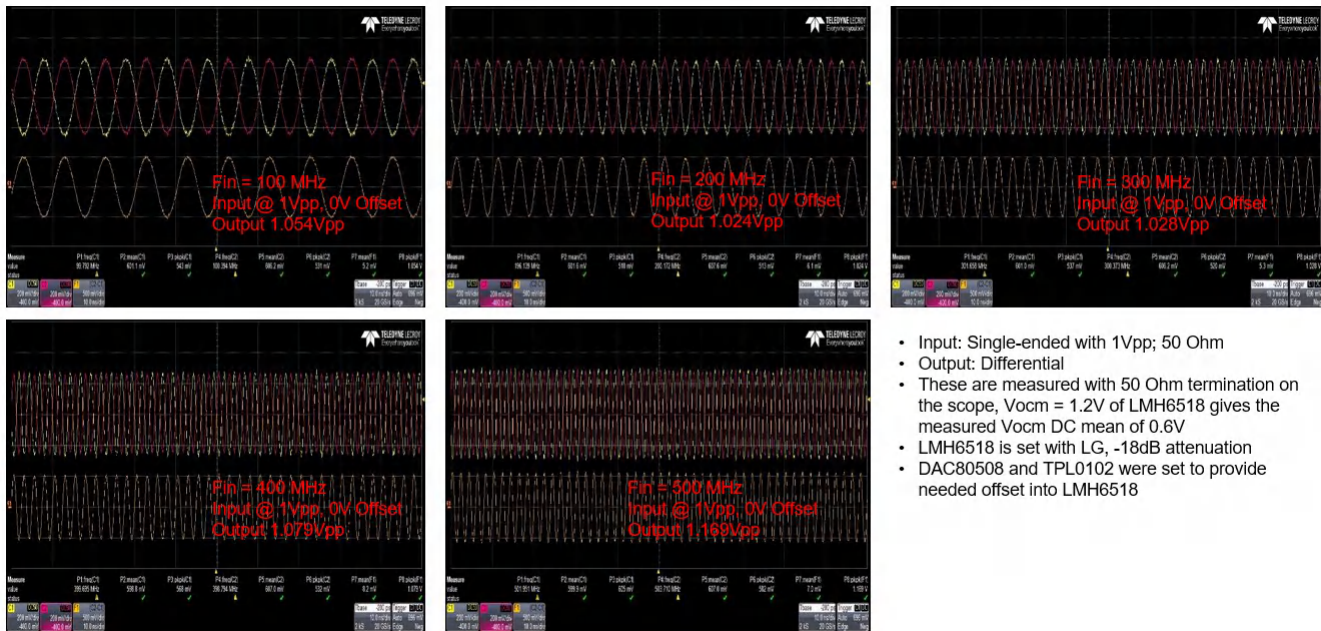


图 3-12. 在 1Vpp 输入下，交流耦合随频率变化的响应表现

在直流耦合模式下，输入端被施加一个直流输入信号，其差分输出端的结果会显示出相应的直流输出电压。测试中分别对正向和负向的直流输入进行了验证，输出端的电压极性均与相应的输入端极性保持一致。

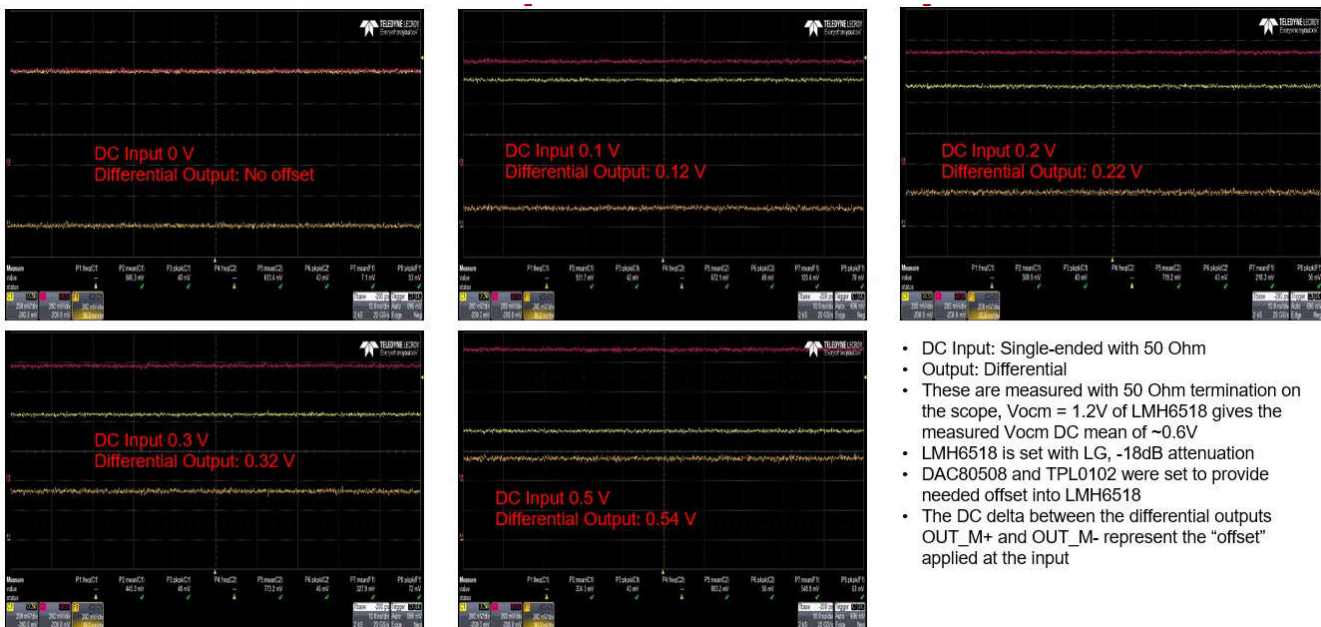


图 3-13. 正向直流耦合输入测试案例

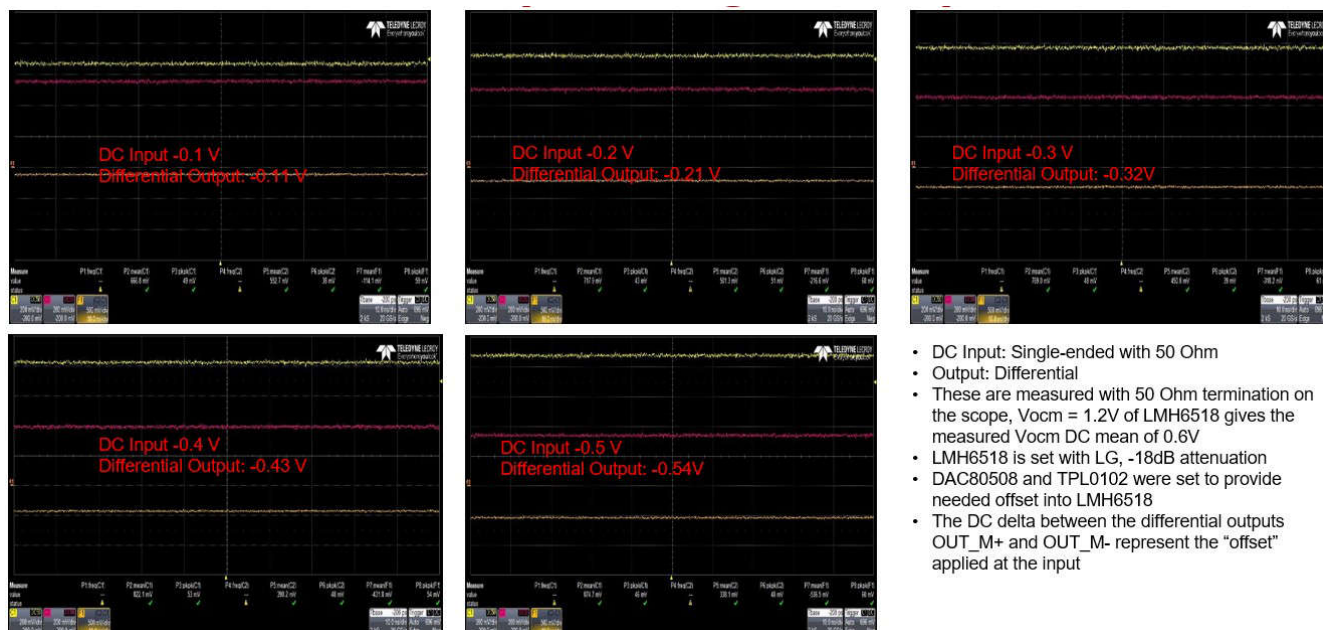
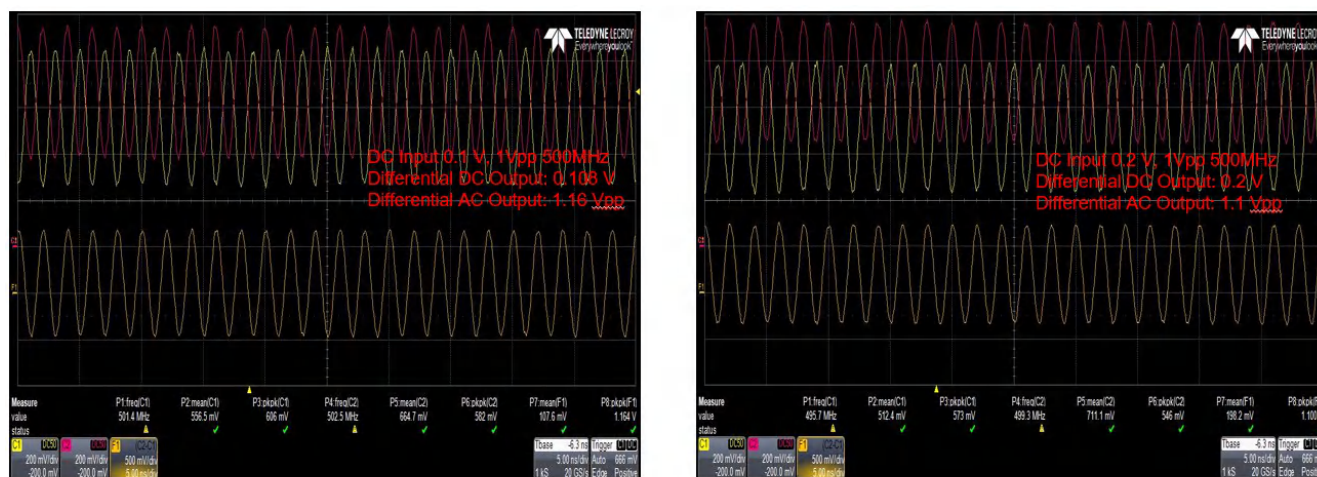


图 3-14. 负向直流耦合输入测试案例

当在交流信号中注入直流输入偏移时，用户需要确保整体电平处于 LMH6518 的输出摆幅范围之内。输入端的直流偏移，可以通过调节 DAC80508 相应通道的偏移来决定，以此来匹配 LMH6518 的输入共模电压。DAC80508 的该偏移电平可在后处理模块中用于显示输入偏移。带有直流偏移的交流信号输入案例示例如下。



- DC Input: Single-ended with 50 Ohm, 1Vpp 500MHz Signal
- Output: Differential
- These are measured with 50 Ohm termination on the scope, Vocm = 1.2V of LMH6518 gives the measured Vocm DC mean of ~0.6V
- LMH6518 is set with LG, -18dB attenuation
- DAC80508 and TPL0102 were set to provide needed offset into LMH6518
- The DC delta between the differential outputs OUT_M+ and OUT_M- represent the "offset" applied at the input

图 3-15. 带直流偏移的交流信号输入

下面给出了该参考设计的频率扫描结果，可以看出，其频率响应从直流到约 900MHz (LMH6518 的带宽) 保持平坦。上述测试是在 1Vpp 单端输入条件下进行的。



图 3-16. 频率扫描

信噪比测试采用 1Vpp、500MHz 输入信号进行，并测量输入端接 50 Ω 终端负载时参考设计在 500MHz 带宽内的噪声功率。下图给出了频谱，并将测试结果与理论值进行了比较。

根据下面的信号功率和噪声功率测量结果，可计算得到 SNR：

$$SE \text{ SNR} = -2.42\text{dBm} - (-149.23\text{dBm/Hz} + 10\text{Log}_{10} 5 \times 10^8\text{Hz}) = 59.82\text{dBm} \quad (5)$$

$$\text{Diff SNR} = 59.82\text{dBm} + 6\text{dBm} = 65.82\text{dBm} \quad (6)$$

理论值基于以下条件计算：信号幅度为 0.5Vpp (0.177Vrms)，BUF802 和 LMH6518 的输入噪声密度分别为 2.3nV/√Hz 和 1nV/√Hz，并采用 π/2 的滤波器修正系数，据此计算得到 SNR 如下：

$$N_{\text{TOTAL}} = \sqrt{(2.3)^2 + (1)^2} * \sqrt{500 \text{ MHz} * (\pi/2)} = 70\mu\text{V} \quad (7)$$

$$\text{SNR} = 20\text{Log}_{10}(0.177\text{V}/70\mu\text{V}) = 68\text{dB} \quad (8)$$

理论计算结果与实测结果高度一致。

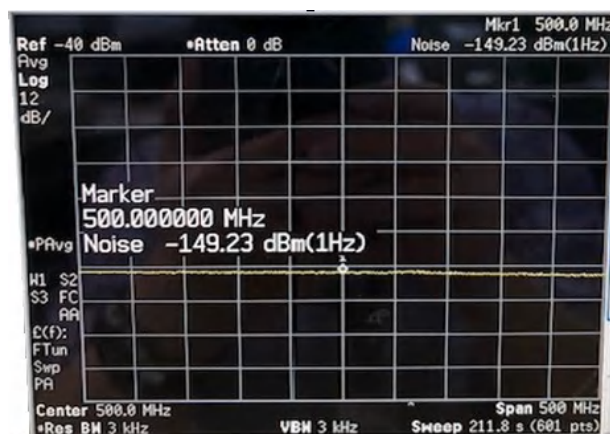


图 3-17. 信号功率和噪声功率测量 (1)

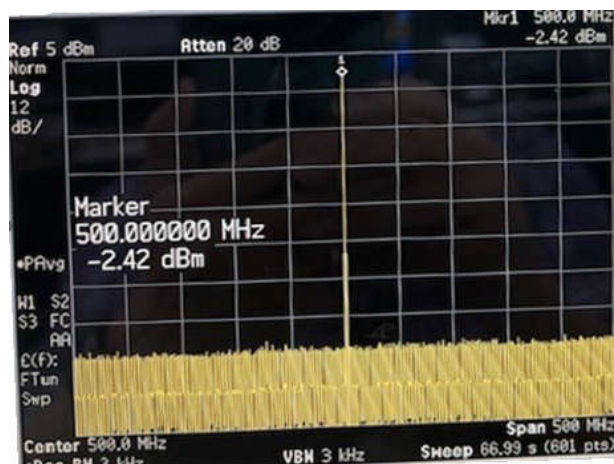


图 3-18. 信号功率和噪声功率测量 (2)

采用快速上升时间方波作为输入信号，在两种不同输入电平下测量了该参考设计的传播延迟，结果如下所示：

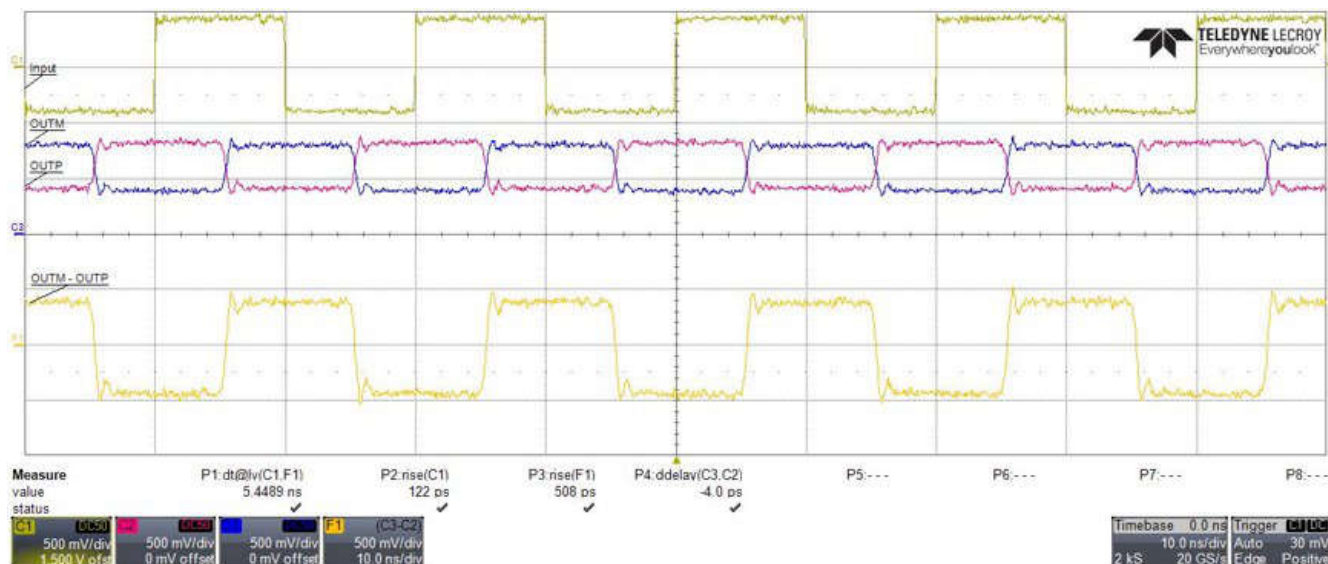


图 3-19. 0.9Vpp 输入时的延迟测量

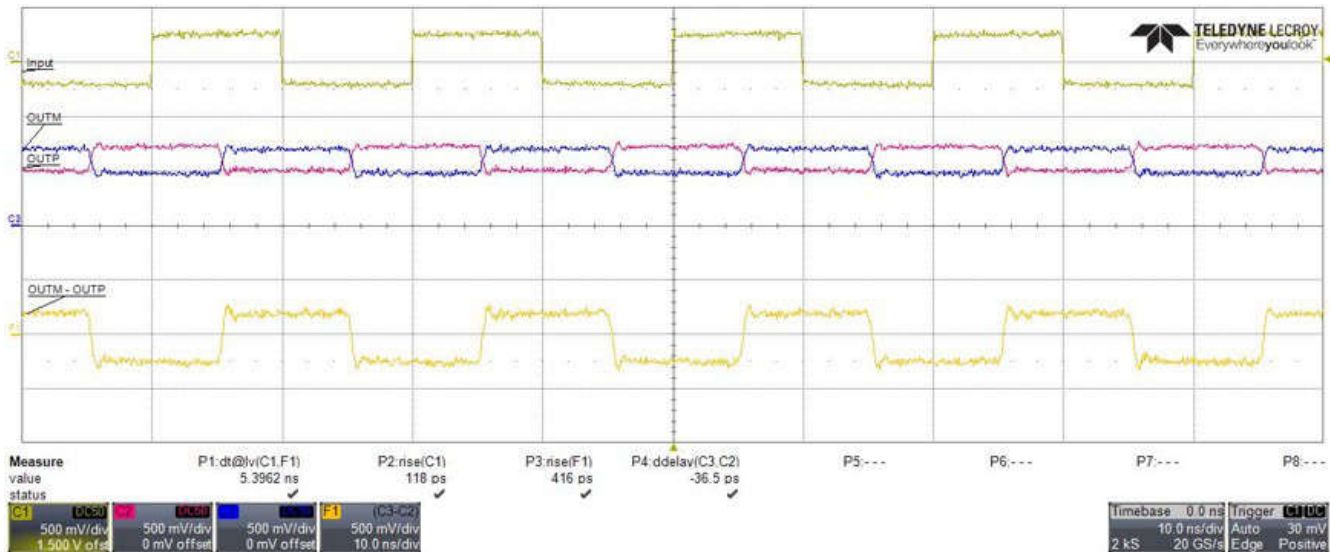


图 3-20. 0.5Vpp 输入时的延迟测量

测得延迟约为 5.4ns。根据测得的上升时间计算，该参考设计的带宽超过 500MHz。

4 设计和文档支持

4.1 设计文件

4.1.1 原理图

要下载原理图，请参阅 [TIDA-010133](#) 中的设计文件。

4.1.2 BOM

要下载物料清单 (BOM)，请参阅 [TIDA-010133](#) 中的设计文件。

4.2 工具与软件

工具

[USB2ANY](#)

USB2ANY 接口适配器

[ADC12DJ5200RFEVM](#)

ADC EVM

软件

[SLVC695](#)

USB2ANY Explorer 软件

[ADC12DJ5200RFEVM](#)

EVM GUI

4.3 支持资源

[TI E2E™ 中文支持论坛](#) 是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的[使用条款](#)。

4.4 商标

TI E2E™ is a trademark of Texas Instruments.

所有商标均为其各自所有者的财产。

5 作者简介

Peter Djuandi 是德州仪器 (TI) 的系统工程师，负责开发面向测试和测量应用的参考设计。他在美国犹他州盐湖城的犹他大学获得了电气工程学士及硕士学位。

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 [TI 销售条款](#)、[TI 通用质量指南](#) 或 [ti.com](#) 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2026，德州仪器 (TI) 公司

最后更新日期：2025 年 10 月