

一种使用 **ADS7040** 加普通光耦进行隔离电压采样的方法

Skylar Li

在电机驱动领域，控制电机的 MCU 需要收到信号进而控制该电机的转速、方向等，因此具有隔离电压采样的需求。用隔离运放和隔离 ADC 是比较常见的隔离电压采样的方法，在此介绍一种用 TI 的低成本非隔离 ADC ADS7040 加上普通光耦来进行隔离电压采样的场景和具体方法。

在 HVAC 系统中，温控器会提供一个 0-10V 电压给直流风盘来调节转速，温控器电路和直流风盘驱动电路具有地电位差，因此这个 0-10V 的信号需要隔离。如果采用低成本的 ADS7040 和普通光耦来设计该电路，那么电路如下所示：

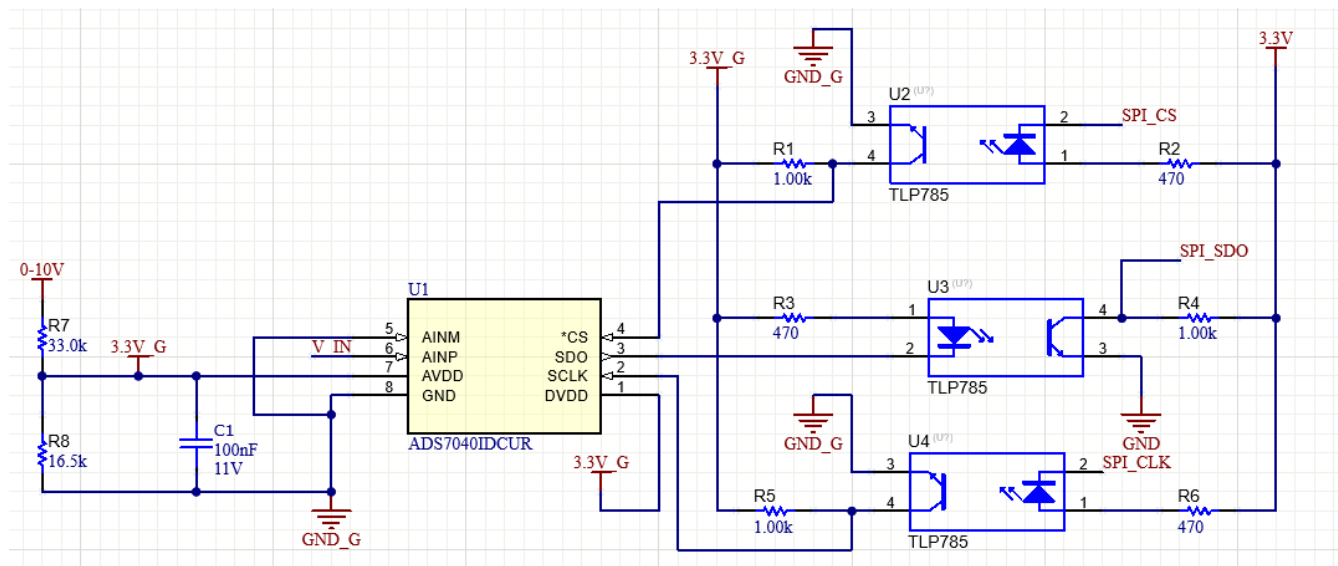


图 1. ADS7040+普通光耦的电路图

但是在实际测试的时候发现会出现问题，如下图所示，CLK 设置成 16khz 频率，但是可以看到 CLK 波形发生严重失真，不是矩形波，并且占空比被严重拉窄，SDO 输出错误。

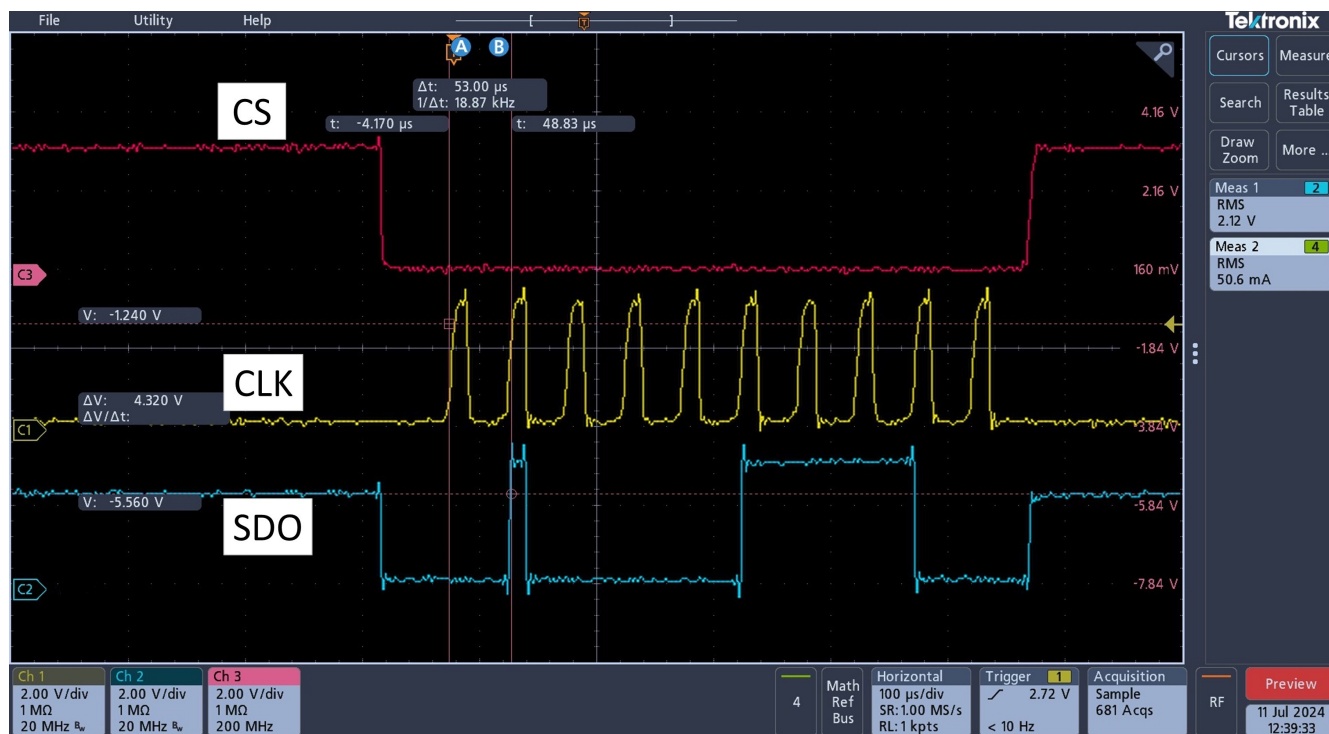


图 2. SPI 通信波形图

因为 ADS7040 的时钟频率 SCLK frequency 最低是 16khz，说明周期是 62.5us，并且占空比是 0.45-0.55，说明光耦的延时不能超过 62.5us 的 5%，即光耦的上升下降时间不能超过 3us。

PARAM	Acquisition time	Value	Unit
f <sub>SCLK</sub>	SCLK frequency	0.016	12 MHz
t <sub>SCLK</sub>	SCLK period	83.33	ns
t <sub>PH CK</sub>	SCLK high time	0.45	0.55 t <sub>SCLK</sub>
t <sub>PL CK</sub>	SCLK low time	0.45	0.55 t <sub>SCLK</sub>

表 1 ADS7040 时钟频率

而查找普通光耦的规格书如下图，发现其上升时间和下降时间的典型值分别为 4us 和 3us，而最大值则达到 18us，说明普通光耦的不能支持 16khz 的 SPI 通信以及 0.45-0.55 的占空比。

Rise time	t <sub>r</sub>	-	4	18	μs	V <sub>CE</sub> = 2V, I <sub>C</sub> = 2mA, R <sub>L</sub> = 100Ω
Fall time	t <sub>f</sub>	-	3	18	μs	

表 2 普通光耦的上升下降时延

因此如何提高光耦的开通关断速度是解决问题的关键。除了光耦自身的物理特性 LED 和光电三极管响应时间较慢我们无法改变之外，光耦工作在饱和区是导致关断延迟的重要因素。当光敏三极管接收的光强足够大时，其集电极电流 (I<sub>C</sub>) 会使三极管进入饱和区 (V<sub>CE</sub> ≈ 0.2V)。此时，基区和集电区会存储大量电荷。光信号消失后，存储的电荷需通过负载电阻或外部电路泄放，导致关断时间显著延长 (通常比导通时间更长)。光耦在饱和区的时候关断速度比较慢，所以我们可以让它工作在不饱和区，但是不饱和区时候的光耦输出晶体管导通但 V<sub>CE</sub> 电压不够低，低电平可能会达到几百毫伏甚至 1 伏以上，对于 MCU 来说可能就没办法认为是低电平。

为了解决低电平的时候 V<sub>CE</sub> 的电压不够低的问题，可以考虑让该普通光耦的输出控制一个外部的 PNP 的三极管，让在不饱和区的光耦控制在饱和区的三极管，以实现快速开关。由于要满足光耦工作在线性放大区，而 PNP 工作的三极管工作在饱和区，上拉电阻和下拉电阻的选型就非常关键。具体过程如下：

1. 由于 ADS7040 的拉灌电流是 2mA，因此设置  $I_f=2\text{mA}$ ，此时光耦输入的下拉电阻就需要是  $(3.3-0.7)/0.002=1.3\text{k ohm}$ 。
2. 以 TLP785 为例， $V_{CE}>0.4\text{V}$  时候，光耦处于放大区，CTR 在 100% 到 150%之间（ $I_F$  稳定，温度在  $10\text{C}-40\text{C}$  之间，CTR 变化不大），因此  $I_C=2\text{mA}\sim 3\text{mA}$ 。
3. 为了保证光耦稳定工作在放大区，那么为了留裕量， $V_B$  需要大于 1V。因为  $I_C=I_R+I_B$ ，假设无三极管，那么  $I_B=0$ ， $I_C=I_R=3\text{mA}(\text{max})$ ，设置光耦输出的上拉电阻为 600 ohm， $V_B=3.3-0.003*600=1.5\text{V}$ ，此极限情况下，光耦输出的电压是最低电压，最低电压可以保证光耦工作在放大区。
4. 三极管处于饱和区时， $V_{EB}$  最大为 0.9V，那么对应  $V_B=3.3-0.9=2.4\text{V}$ ，此时三极管能导通，且保证光耦工作在饱和区。

以数据信号输出 SDO 为例，对应的电路如下图所示。

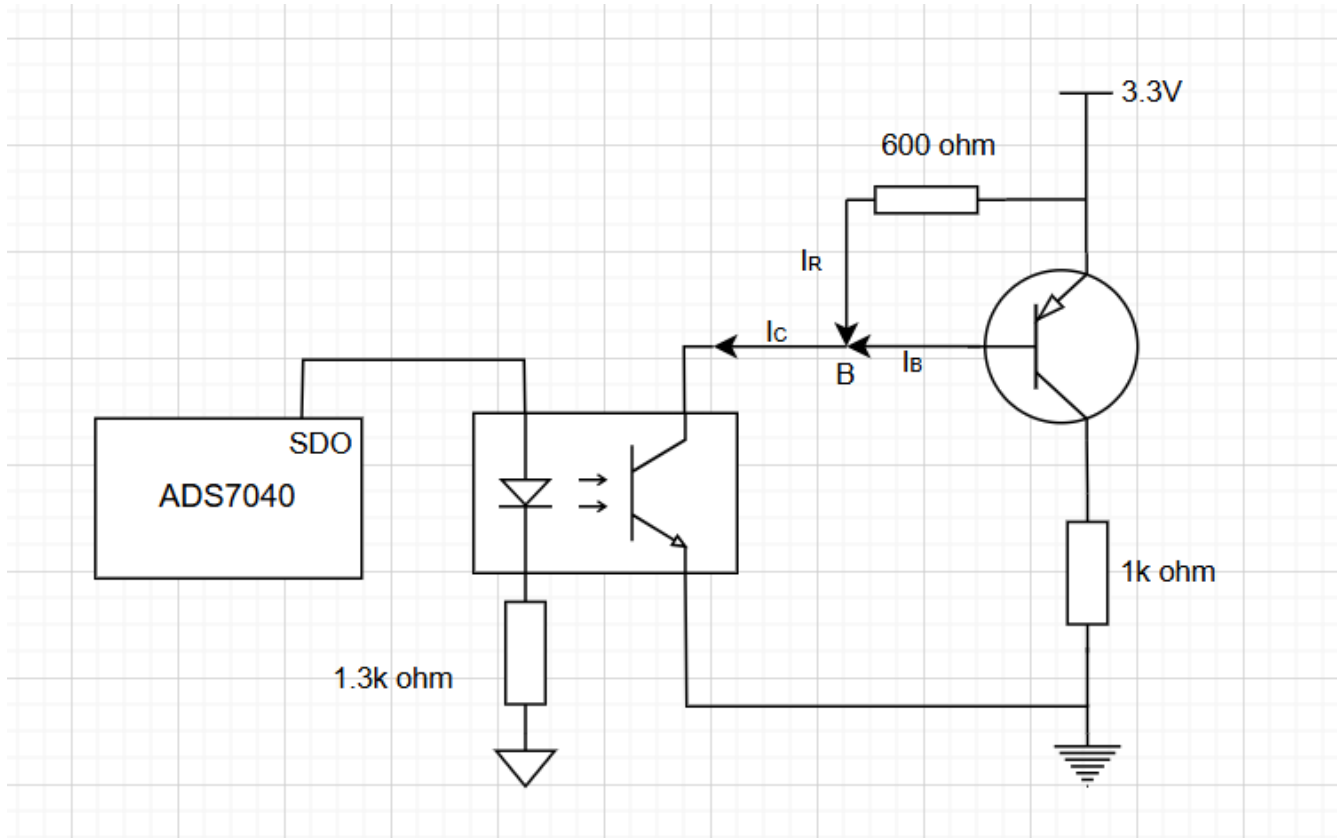


图 3. 数据信号输出 SDO 电路图

基于以上分析，用 ADS7040 和普通光耦作隔离 0-10V 的采样的电路图如下所示：

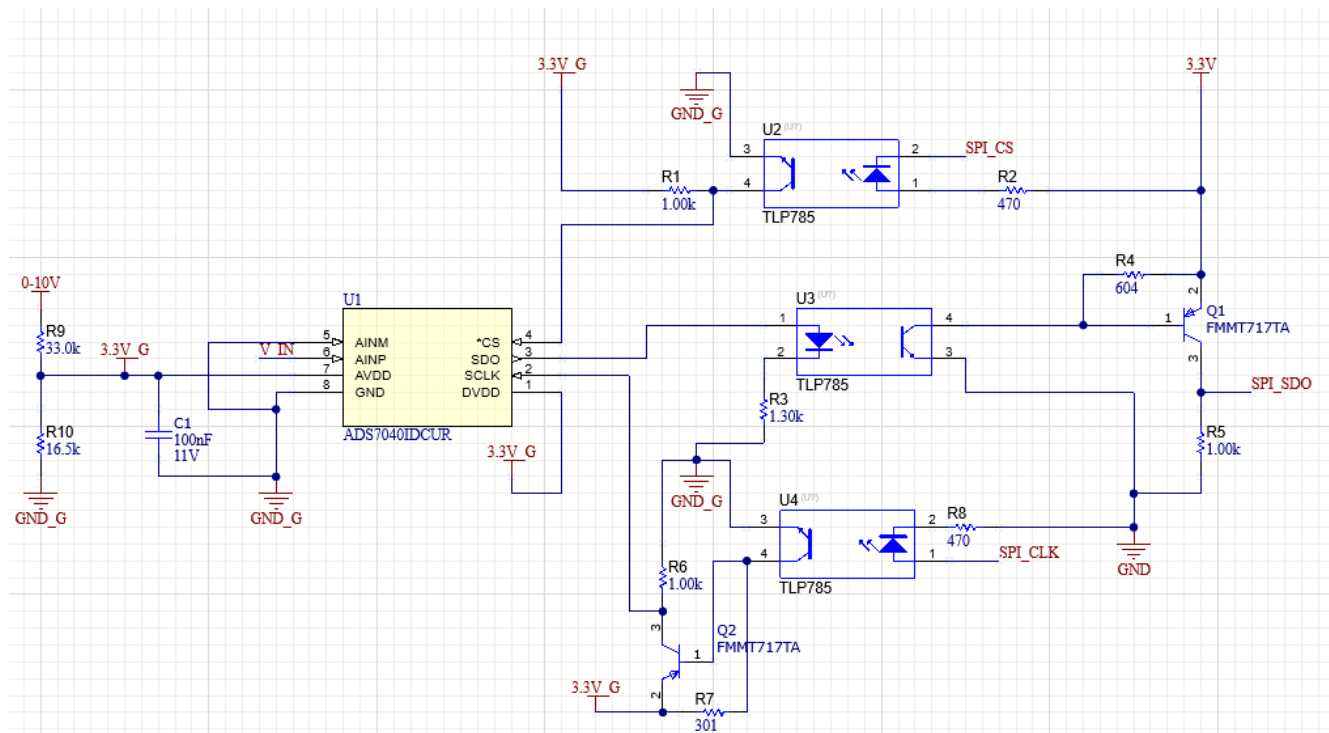


图 4. ADS7040+普通光耦+三极管的电路图

可以看到在 SDO 和 CLK 这两个 pin 脚处加 PNP 三极管，而由于 CS 是片选信号，不会有斩波，所以 CS 脚不需要加三极管。当光耦导通时，光耦的输出是低电平，PNP 管的基极被拉低，从而 PNP 三极管的输出端被拉高；当光耦关断时，光耦的输出端靠上拉电阻拉高电平，此时 PNP 三极管的发射极和基极的电压差  $V_{EB} < 0.7V$ ，因此 PNP 三极管关断，输出端通过下拉电阻到低电平。

为验证此电路的可靠性，通过 ADS7040 与 TI 的一款 MCU 产品 MSPM0G1506 进行 SPI 通信，模拟信号分别给 0V, 4V, 6V, 10V 来测试 MCU 侧的 CS, CLK 和 SDO 波形，具体波形如下所示，蓝色信号是 CLK，绿色信号是 CS，红色信号是 SDO。

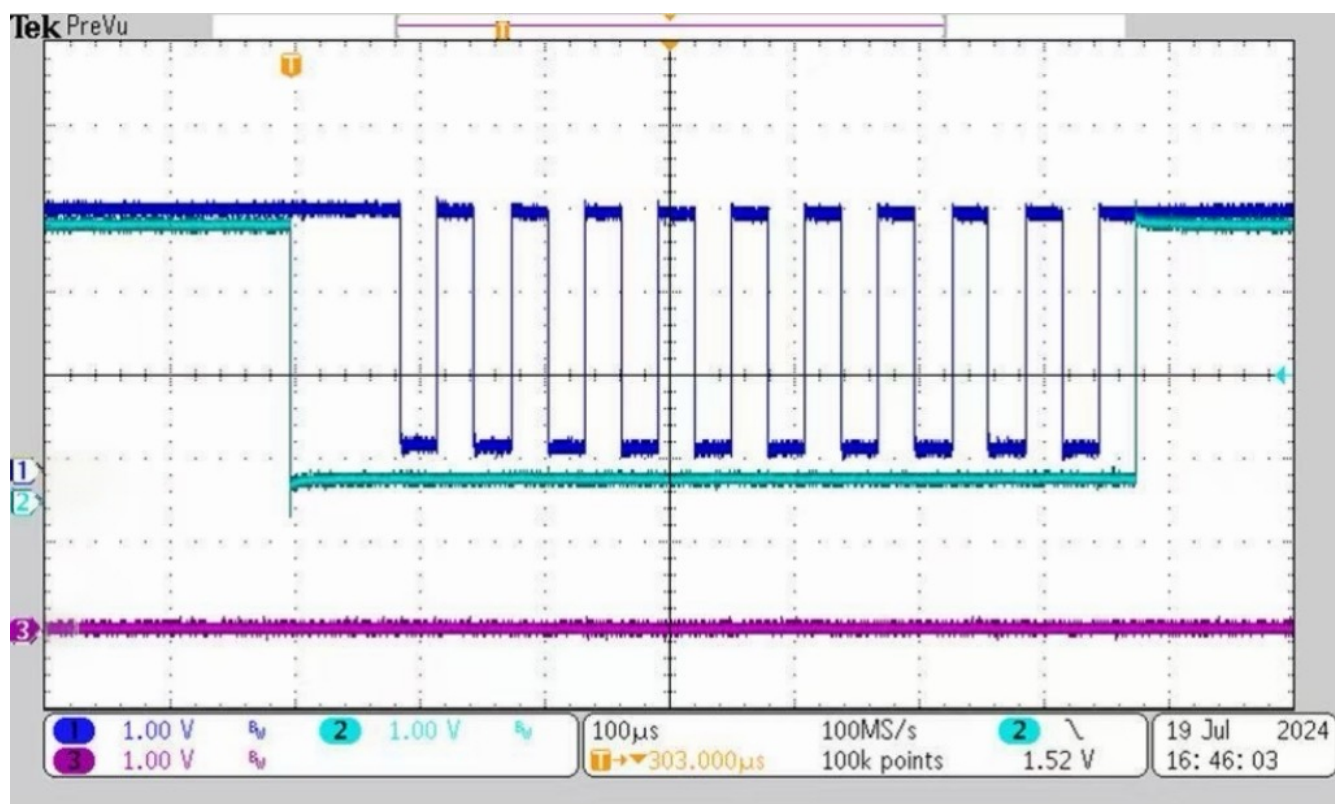


图 5. 0V 信号输入时 MCU 侧的 CS, CLK 和 SDO 波形

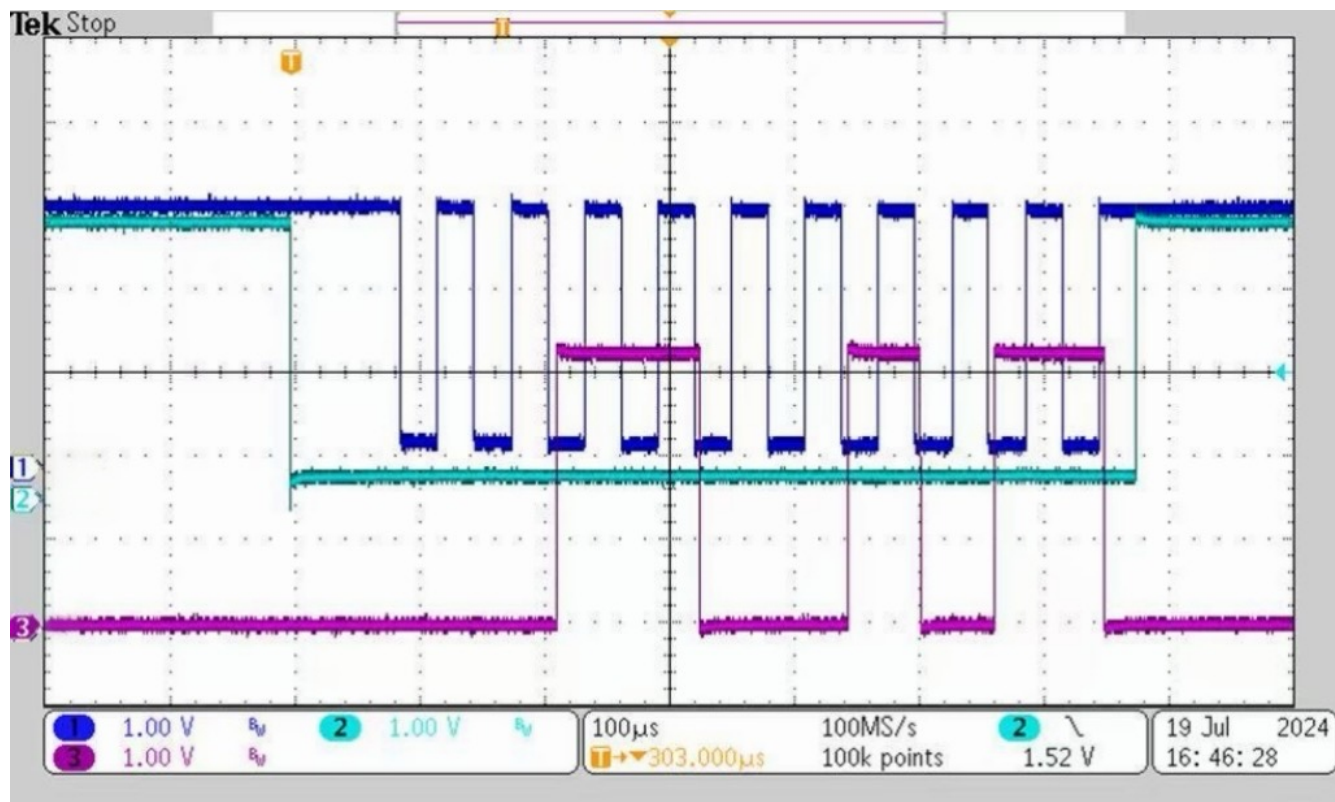


图 6. 4V 信号输入时 MCU 侧的 CS, CLK 和 SDO 波形



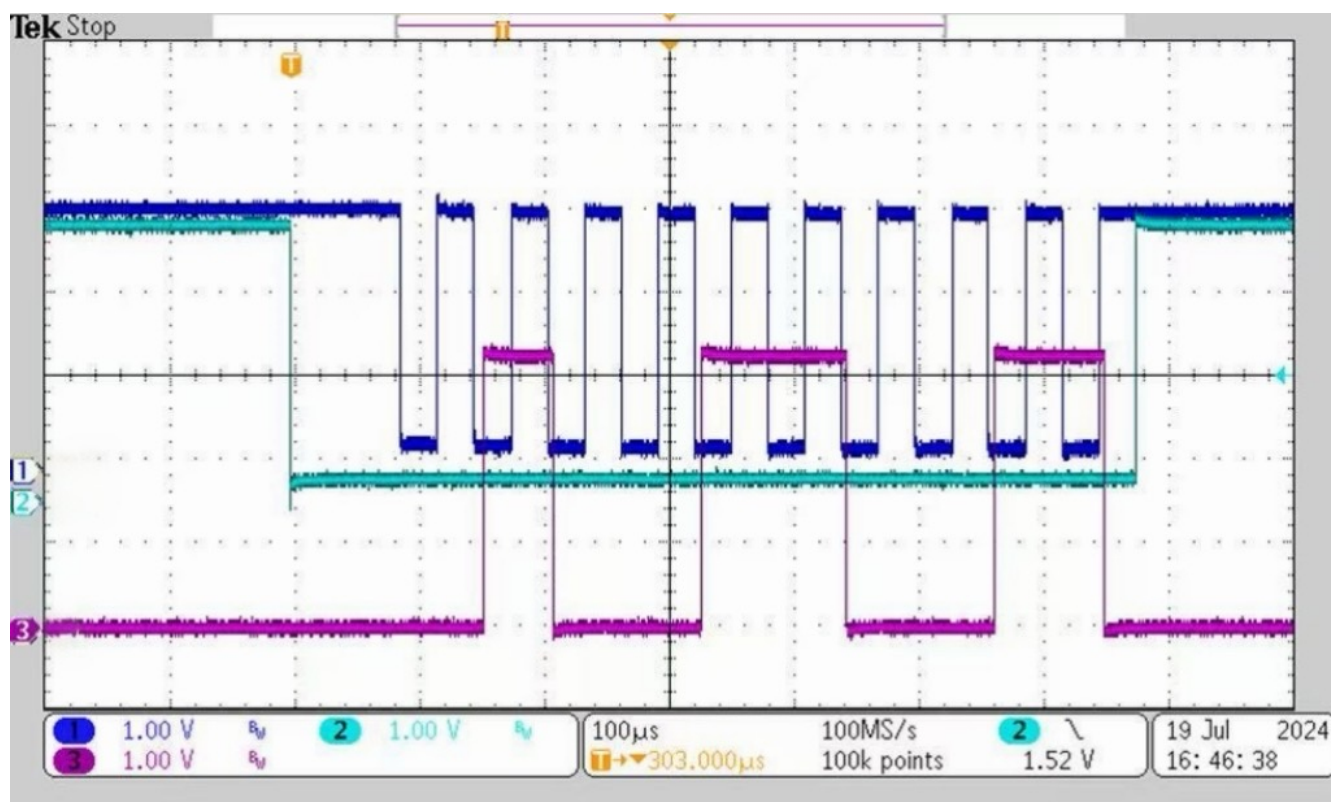


图 7. 6V 信号输入时 MCU 侧的 CS, CLK 和 SDO 波形

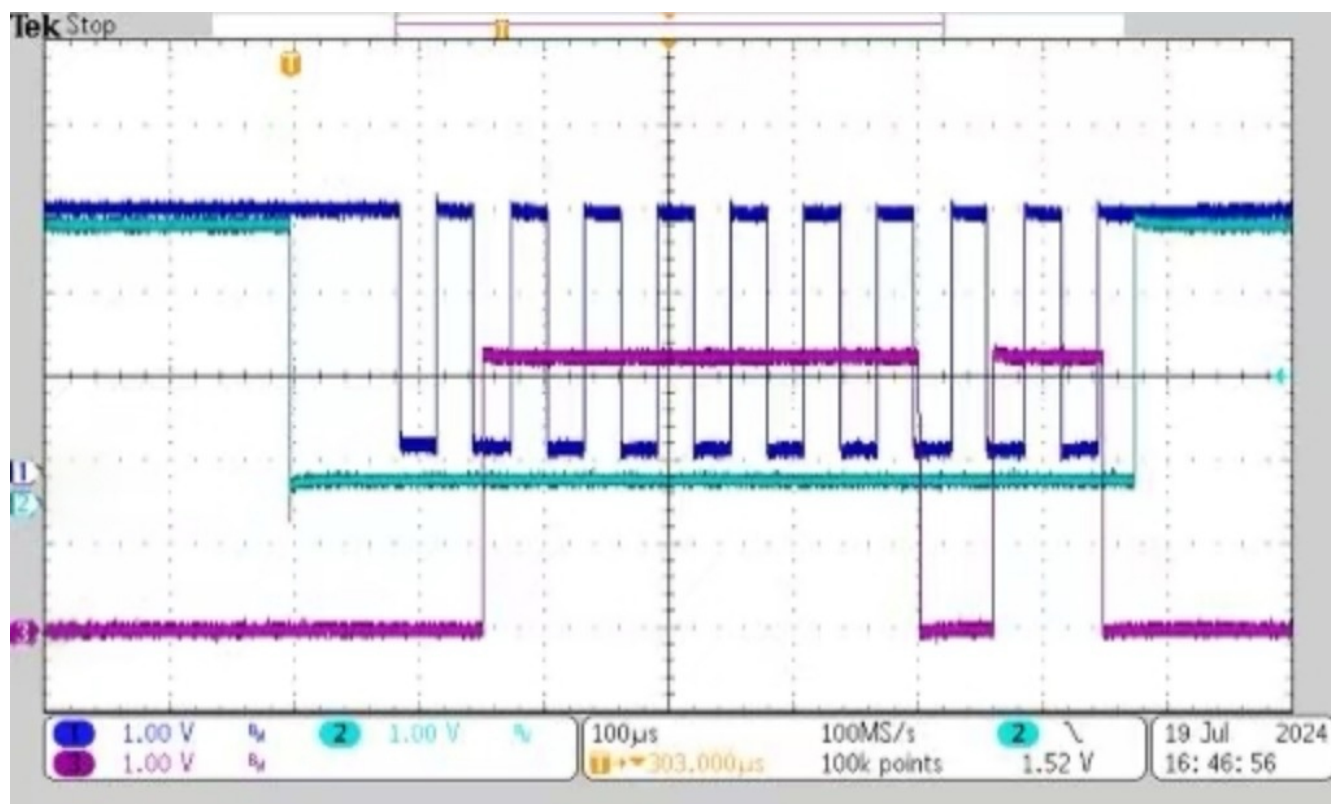


图 8. 10V 信号输入时 MCU 侧的 CS, CLK 和 SDO 波形

从图中可以看到 CLK, SDO 和 CS 的波形都正常，能够正确传递 SPI 信号给 MCU。

同时针对普通光耦，TI 有光耦仿真器 ISOM8110，和目前业界通用的光耦可以 pin 对 pin，并且具有显著的可靠性和性能优势，内部的传输介质是  $\text{SiO}_2$ ，而不是光，因此没有光衰。同时有更宽的温度范围，CTR 在整个工作温度范围保持稳定，高带宽并且低功耗。因此通过 pin 对 pin 替换上述普通光耦，能够得到相同的准确的 SPI 波形。

综上，使用 ADS7040 和 ISOM8110 ( 或者普通光耦 ) 搭配传输 0-10V 模拟信号，可以真正实现隔离，低成本且可靠的 SPI 通信。

## 重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 [TI 销售条款](#)、[TI 通用质量指南](#) 或 [ti.com](#) 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2026，德州仪器 (TI) 公司

最后更新日期：2025 年 10 月