

Power Supply Design Seminar

跨电感稳压器 (TLVR) 简介



Reproduced from
2024 Texas Instruments Power Supply Design Seminar
SEM2600
Topic 3
Matthew Schurmann and Mohamed Ahmed
Literature Number: ZHCP240

Power Supply Design Seminar resources
are available at:
www.ti.com/psds

2019年推出的跨电感稳压器 (TLVR) 拓扑与传统多相降压稳压器拓扑相比，在瞬态响应、功率密度和解决方案成本方面实现了重大改进（在本主题中的设计示例中，电容器减少了40%以上）。本主题涵盖 TLVR 拓扑的工作原理、相对于传统稳压器的性能和成本改进、设计公式以及指南。

引言

在为微处理器、图形处理器、应用特定集成电路和现场可编程门阵列等现代计算器件设计稳压器时，负载瞬态调节性能仍然是一项重要挑战。这些计算器件的技术发展趋势，例如复杂性的快速增加、硅工艺节点的演变、晶体管微缩的物理限制和芯片架构，持续推动对为其供电稳压器的需求加速增长。在一些情况下，高端内核电源轨稳压器的热设计电流大于 1,000A，峰值电流大于 2,000A，上升时间在纳秒范围内，并且稳压输出电压为 $0.7V \pm 3\%$ 。

TLVR 拓扑源自多相半桥降压转换器拓扑，但将每个相位的单绕组电感器替换为双绕组耦合电感器，如图 1 和图 2 所示。与多相降压转换器类似，每个耦合电感器的初级侧连接在每个相位的开关节点和转换器输出电压之间。添加的次级绕组与一个称为补偿电感器 (L_C) 的附加电感器连接在串联环路中。在以下各节中，我们将讨论多相降压转换器在负载瞬态响应方面的局限性、TLVR 拓扑的基本工作原理，以及相关的权衡和实际注意事项。

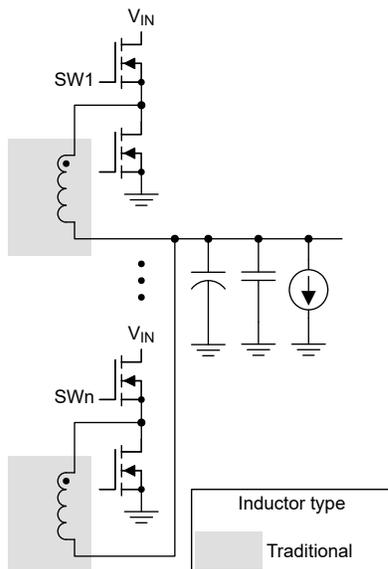


图 1. 多相降压拓扑。

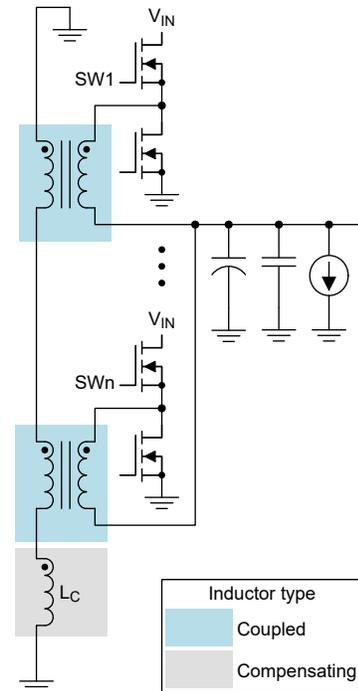


图 2. TLVR 拓扑。

转换器瞬态响应

图 3 显示了受负载瞬态条件影响的稳压器系统的简单方框图。 I_{SUM} 表示转换器每个相位的各个电感器电流之和。 I_{LOAD} 表示负载器件消耗的实际负载电流。只要 I_{LOAD} 发生变化，稳压器就会改变每个相位中开关的有效占空比以进行响应，从而使 I_{SUM} 斜升或斜降以跟踪新的 I_{LOAD} 值。

转换器的输出滤波器（特别是滤波器电感）会限制 I_{SUM} 达到新 I_{LOAD} 值的速度。在 I_{SUM} 斜升或斜降期间，滤波电容器必须在这段时间内提供它们之间的电荷差；这称为电荷 ΔQ 。转换器的输出电压在这段时间内会出现下冲或过冲，而要限制电压偏差 (ΔV)，唯一方法是增加 I_{SUM} 斜坡速率（例如通过减小滤波器电感）或增加滤波器的总输出电容 (C_{OUT})。

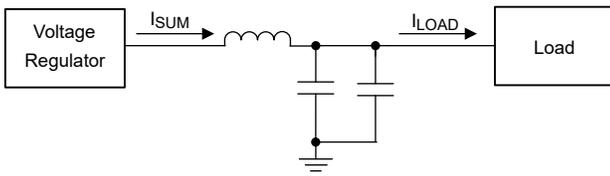


图3. 转换器负载瞬态方框图。

图4展示了传统多相降压转换器中的典型 I_{SUM} 和输出电压波形。

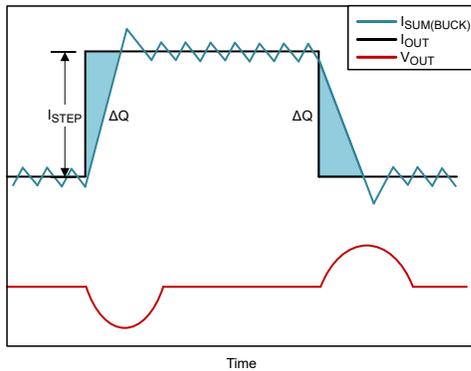


图4. 降压转换器负载瞬态。

方程式1展示了总输出偏差 ΔV 、 C_{OUT} 和转换器电流斜升或斜降的速率（斜率）之间的关系：

$$\Delta V = \frac{\Delta Q}{C_{out}} = \frac{\frac{1}{2} \times t_{resp} \times I_{step}}{C_{out}} = \frac{1}{2} \times \frac{I_{step}^2}{Slope} \quad (1)$$

对于传统的多相降压转换器，此斜率与每个相位的输出滤波器电感直接相关。减小电感值确实会改善转换器的瞬态响应。

但是，仅减小每个相位的输出电感会对转换器的功率损耗及其稳态纹波产生意外的后果。减小电感值会导致更高的电感器电流纹波，进而在转换器输出端产生更大的电压纹波，而输出端通常也对纹波有严格的要求。它还会增加每个相位的均方根 (RMS) 电流，从而降低整体转换器效率。

在多相降压转换器拓扑中，电感值在稳定状态下和瞬态事件期间都是恒定的。因此，选择电感值时需要在瞬态响应、功率损耗以及电压纹波和电流纹波之间进行权衡。使电感非常小并不现实；因此，为了满足规格要求，可能需要使用很大的 C_{OUT} 来限制 ΔV 。

TLVR 拓扑通过在不同条件下提供不同的有效滤波电感来解决这个问题。稳态运行期间的高有效滤波电感值会限制转换器纹波和 RMS 功率损耗。瞬态条件下的低有效电感值会显著减少满足给定瞬态调节规格所需的 C_{OUT} 值。图5展示了 TLVR 转换器的典型负载瞬态响应，在转换器响应期间， I_{SUM} 斜率明显更高。

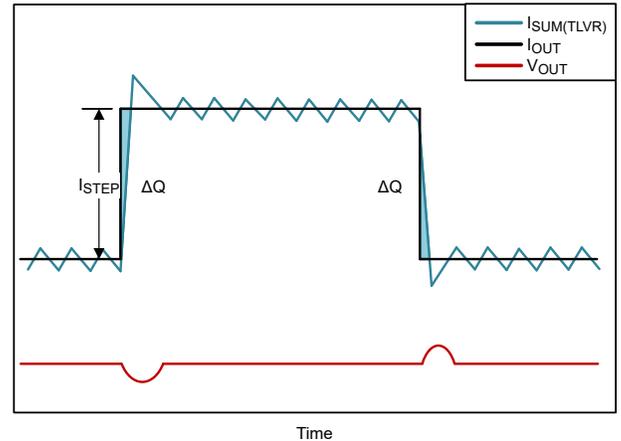


图5. TLVR 负载瞬态。

通过多相降压或 TLVR 拓扑使用直流负载线路 (DCLL)，也称为自适应电压定位技术，可以进一步减小电容。图6展示了该概念。这项技术适用于多相降压转换器或 TLVR 拓扑，并且其基本原理没有改变。

根据规格要求，就负载阶跃大小以及最小和最大允许输出电压而言，无论负载电流如何，转换器通常都会将输出电压调节为恒定值，这称为零负载线路 ($R_{LL} = 0m\Omega$)。而允许的输出电压过冲 ($\Delta V_{overshoot}$) 和下冲 ($\Delta V_{undershoot}$) 均等于总电压规格窗口的 50%。

对于非零负载线路设计，将转换器配置为其输出电压能够根据检测到的负载电流进行调整。零负载下的电压 (V_0) 值配置为接近允许的最大输出电压值。方程式2介绍了使用负载线路时的输出电压：

$$V_{OUT}(I_{OUT}) = V_0 - R_{LL} \times I_{OUT} \quad (2)$$

方程式3根据允许的电压变化 ΔV_{DROOP} 来定义 R_{LL} 值：

$$R_{LL} = \frac{\Delta V_{DROOP}}{\Delta I_{STEP}} \quad (3)$$

方程式 4 和方程式 5 表示 R_{LL} 对所需转换器 C_{OUT} 的影响:

$$C_{OUT(\min, \text{step up})} = \frac{\Delta Q_{\text{under}}}{\Delta V_{\text{under}}} = \frac{\frac{1}{2} \times \frac{I_{\text{STEP}}^2}{\text{Slope}}}{\Delta V_{\text{ac}} + R_{LL} \times I_{\text{step}}} \quad (4)$$

$$C_{OUT(\min, \text{step down})} = \frac{\Delta Q_{\text{over}}}{\Delta V_{\text{over}}} = \frac{\frac{1}{2} \times \frac{I_{\text{step}}^2}{\text{Slope}}}{\Delta V_{\text{ac}} + R_{LL} \times I_{\text{step}}} \quad (5)$$

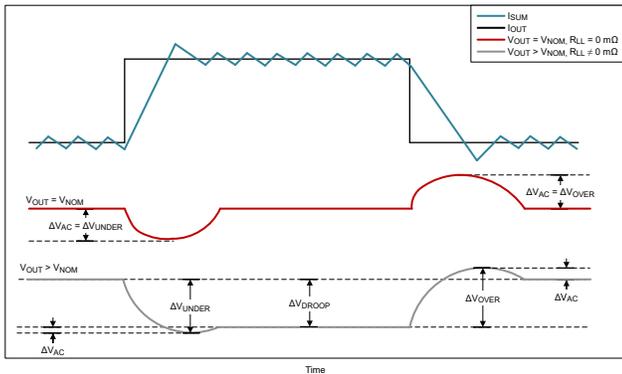


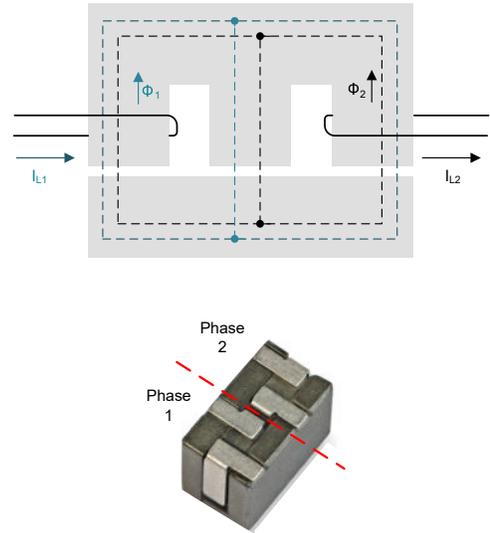
图 6. 直流负载线路或自适应电压定位。

磁性元件

TLVR 拓扑通过在稳态和瞬态条件下提供不同的有效电感值来实现瞬态优势，因此探索其所采用的耦合电感器结构的行为非常有用。这个概念并不是 TLVR 拓扑所特有的。

图 7 展示了传统的两相耦合电感器结构，其中转换器中各个相位的绕组共享一个公共磁芯。一个绕组中的电流会直接在其他绕组中感应出电流，因为磁芯中的磁通量是可叠加的。在负载瞬态期间，一个相位（一个绕组）中的电流变化会直接导致其他相位中相同方向的变化。与相位未耦合的情况相比，此行为使得总转换器 I_{SUM} 能够更快地上升或下降，以满足负载电流需求。

此结构不同绕组之间的耦合系数 (K) 通常介于 0.4 和 0.7 之间。这种耦合由磁芯设计良好控制（在图 7 中，通过中间桥臂的空气间隙控制）。过高的耦合 ($K \cong 1.0$) 是不利的，因为它会增加稳态下转换器的电流纹波。过低的耦合会减少可实现的瞬态优势。

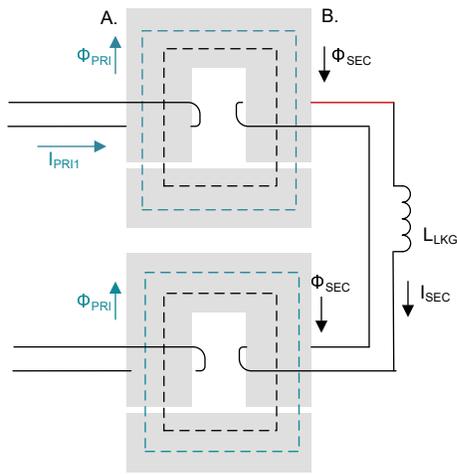


来源: Eaton

图 7. 传统的两相反向耦合电感器。

出于多种原因，在高相位数设计中（超过四相）采用传统耦合电感器受到限制。要将其扩展到更高的相位数，需要复杂的磁芯几何形状来保持耦合对称。该结构还需要对不同设计的电感器进行更多的定制，从而限制了其可扩展性；例如，两相和三相设计需要使用不同的电感器。此外，直到最近，严格的专利保护限制了多来源采购的选择；而 TLVR 拓扑则没有这样的限制。

TLVR 拓扑依赖于类似的原理，但具有不同的磁性结构（称为间接耦合电感器），如图 8 所示。每个相位电感器都有自己的物理磁芯和两个绕组，因此，只需添加更多磁芯即可将该结构轻松扩展到更高的相位数。每个耦合电感器的磁化电感 (L_M) 均提供能量储存和滤波。一个磁芯上两个绕组之间的 K 可能非常高。将相同的次级侧电流传递到所有相位实现了磁芯（相位）之间的耦合，因为它们以环路形式连接。



A. 初级侧（连接到功率级）
B. 次级侧（提供耦合）

图 8. 间接耦合两相电感器。

与传统耦合电感器类似，应该将相位之间的耦合系数 (α) 保持在 0.4 至 0.7 之间。次级环路控制此耦合。次级环路中的电感可能非常低，从而导致高耦合（进而产生较大的稳态电流纹波），或者由于互连和物理结构容差而导致控制可能不够理想。

为了控制相位之间的耦合，TLVR 拓扑通常在次级侧使用单独的物理电感器 L_C ，如图 9 所示。如果次级侧环路中的漏电感与单个耦合电感的磁化电感相比足够大，并且可以通过制造很好地控制，则不需要单独的物理电感 L_C ，尤其是在每相开关频率高于 1MHz 的高频设计中。

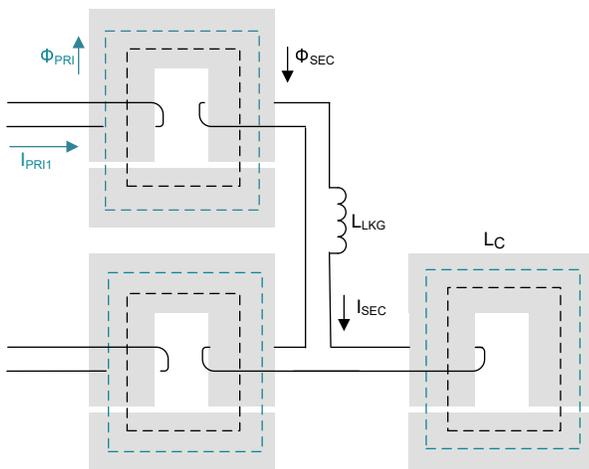
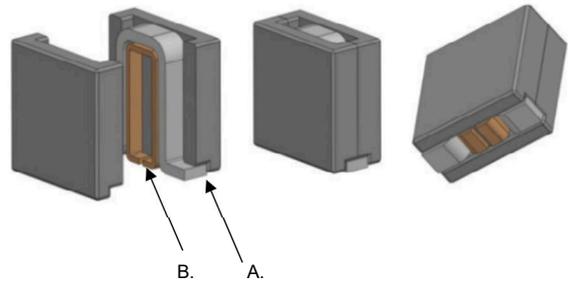


图 9. 带有物理补偿电感器的间接耦合两相电感器。

图 10 显示了 TLVR 电感器的典型结构。电感器尺寸和形状类似于用于多相降压转换器的传统大电流铁氧体磁芯电感器，次级绕组位于初级绕组内。封装底部的焊盘布局支持在同一物理印刷电路板 (PCB) 上共同布局 TLVR 和非 TLVR 设计。



A. 初级绕组
B. 次级绕组

来源: Eaton

图 10. 典型的 TLVR 电感器结构。

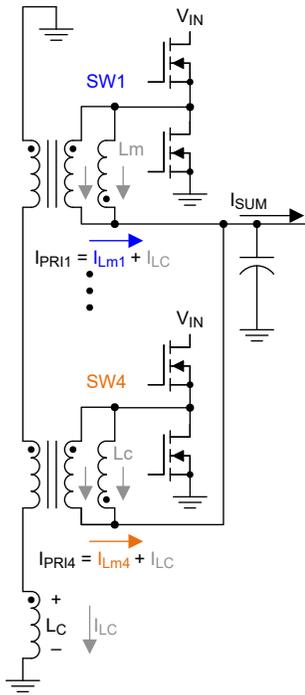
TLVR 拓扑工作原理

稳态运行情况

图 11 显示了典型的 TLVR 转换器原理图，其中标记了重要节点、电压和电流。图 12 展示了 TLVR 转换器的稳态工作波形，其中显示了四个相位。在此示例中，来自相邻相位的脉冲没有随时间变化产生重叠。TLVR 拓扑没有最大占空比要求。同样的原理也适用于脉冲随时间变化重叠的较高占空比应用。

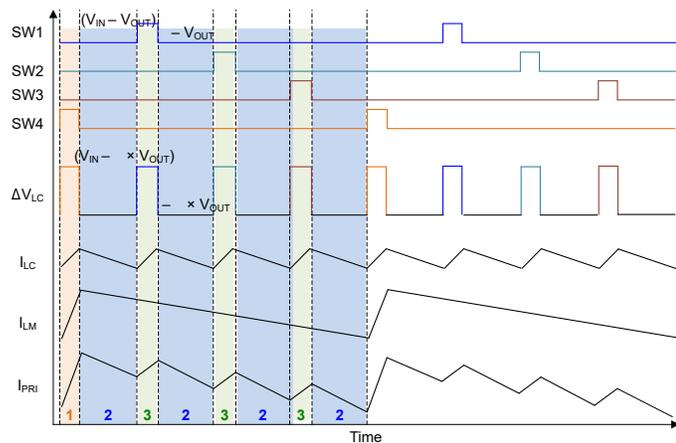
图 12 显示了次级侧环路 L_C 的电压和电流波形、所有四个相位的开关节点和相位 4 的初级侧电流 (I_{PRI4})。为清楚起见，该图标注了三个不同操作状态的标签。

最重要的关系是 L_C 环路及其对 I_{PRI} 和 I_{SUM} 的影响。



四相示例，无脉冲重叠

图 11. 稳态拓扑。



四相，无脉冲重叠

图 12. 稳态波形。

每个相位的磁化电压与降压转换器的磁化电压相似。方程式 6 适用于相位开启，方程式 7 适用于相位关闭。磁化电感始终遵循方程式 8 中所示的基本电感关系：

$$\Delta V_{Lm,i} = V_{IN} \tag{6}$$

$$\Delta V_{Lm,i} = V_{IN} - V_{OUT} \tag{7}$$

$$I_{LM} = \frac{\Delta V_{Lm}}{L_m} \tag{8}$$

L_C 上的电压始终等于所有相位上磁化电压之和，如方程式 9 所示。 L_C 本身始终遵循基本电感关系，如方程式 10 所示：

$$\Delta V_{LC} = V_{Lm1} + V_{Lm2} + \dots \tag{9}$$

$$I_{LC} = \frac{\Delta V_{LC}}{L_C} \tag{10}$$

每个相位的 $I_{PRI,i}$ 等于其磁化电流和 I_{LC} 之和，如方程式 11 所示。 I_{SUM} 是所有相位的初级电流之和，如方程式 12 所示：

$$I_{PRI,i} = I_{Lm,i} + I_{LC} \tag{11}$$

$$I_{SUM} = I_{PRI1} + I_{PRI2} + \dots \tag{12}$$

表 1 汇总了图 12 中所示每个相关电压和电流相对于与图中 I_{PRI4} 推导相关的状态。

参数	状态 1 相位 4 开启、相位 1、2 和 3 关闭	状态 2 所有相位均关闭	状态 3 相位 4 和另外两个相位关闭，其他一个相位开启
V_{SW1}	0V	0V	一个相位等于 V_{IN} ，另两个相位等于 0V
V_{SW2}	0V	0V	
V_{SW3}	0V	0V	- V_{OUT}
V_{SW4}	V_{IN}	0V	
$\Delta V_{Lm1}^{(1)}$	- V_{OUT}	- V_{OUT}	一个相位等于 $V_{IN} - V_{OUT}$ ，另外两个相位等于 - V_{OUT}
$\Delta V_{Lm2}^{(1)}$	- V_{OUT}	- V_{OUT}	
$\Delta V_{Lm3}^{(1)}$	- V_{OUT}	- V_{OUT}	
ΔV_{Lm4}	$V_{IN} - V_{OUT}$	- V_{OUT}	- V_{OUT}
I_{Lm4}	增加 ⁽²⁾	减小 ⁽²⁾	减小 ⁽²⁾
ΔV_{LC}	V_{SW1} 与 V_{SW4} 之和 ⁽⁵⁾	V_{SW1} 与 V_{SW4} 之和 ⁽⁵⁾	V_{SW1} 与 V_{SW4} 之和 ⁽⁵⁾
I_{LC}	增加 ⁽³⁾	减小 ⁽³⁾	增加 ⁽³⁾
I_{PRI4}	增加 ⁽⁴⁾	更快地减小 ⁽⁴⁾	更慢地减小 ⁽⁴⁾

表 1. 四相示例，稳态电压和电流。

- (1) 未在图 12 中。
- (2) $\Delta V_{Lm4}/L_m$
- (3) $\Delta V_{LC}/L_C$
- (4) $I_{Lm4} + I_{LC}$
- (5) $V_{IN} - 4 \times V_{OUT}$

负载升压瞬态

图 13 和图 14 显示了相同负载升压条件下多相降压转换器和 TLVR 设计之间的仿真比较。表 2 总结了仿真参数。这

些是基于 TI TPS536C9T DCAP+™ 恒定导通时间控制器的闭环仿真。

关于图 13 和图 14 的一些观察结果:

- TLVR 设计能够更快地响应瞬态 (I_{SUM} 迅速达到 I_{LOAD})，因为 I_{SUM} 的上升速率更快。因此，输出电压偏差明显更少。
- 在瞬态响应期间，多相降压转换器设计需要的脉冲数量远超过 TLVR 设计，这意味着 TLVR 设计在瞬态事件期间每个脉冲传递的能量更多。
- 由于恒定导通时间控制的特性，瞬态响应期间脉冲出现了重叠。在脉冲重叠运行期间， L_C 电压上升到远高于输入电压的水平，然后在稳态下恢复到正常运行。

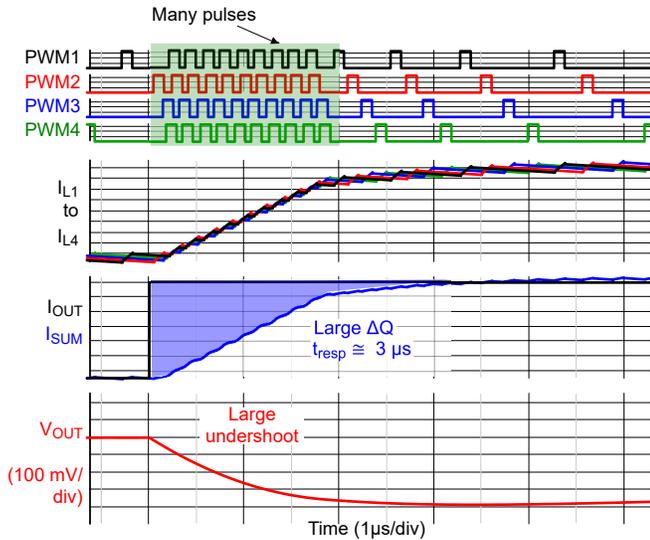


图 13. 多相降压转换器。

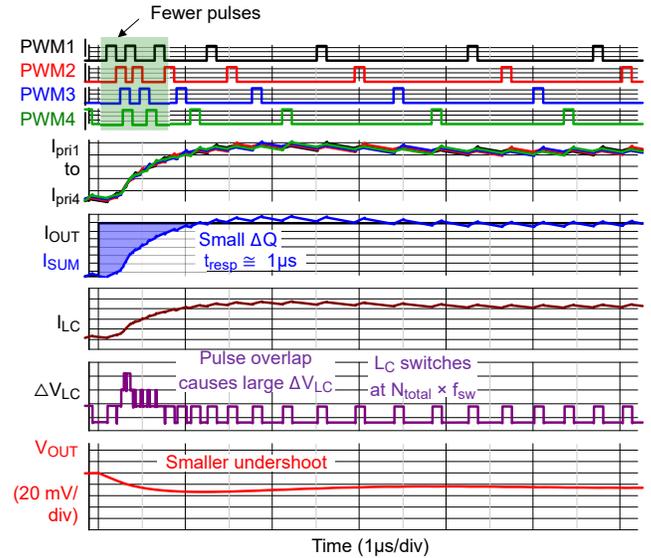


图 14. TLVR。

参数	说明	值
V_{IN}	输入电压	12V
V_{OUT}	输出电压	0.8V
N_{TOTAL}	工作相位总数	4 个相位
f_{SW}	每个相位的开关频率	600kHz
I_{STEP}	负载阶跃大小	25A 至 325A, 瞬时
L_M/L_{BUCK}	磁化电感 L_M (对于 TLVR)、滤波电感 L_{BUCK} (对于降压)	150nH/150nH
L_C	TLVR 的 L_C 值	180nH
C_{OUT}	输出电容	5.0μF, 理想值

表 2. 瞬态负载升压和降压示例的仿真参数。

根据稳态运行情况部分中所述的关系，可以清楚地理解为什么 TLVR 能够比降压转换器更快地斜升其 I_{SUM} ，以及为什么其瞬态响应更出色。

降压转换器的 I_{SUM} 就是其各个电感器电流的总和，如方程式 13 所示。在 TLVR 设计中，除了每个磁化电流 (I_{LM}) 外，每个相位还会增加一次 I_{LC} ，如方程式 14 所示：

$$I_{SUM(buck)} = I_{L1} + I_{L2} + \dots \quad (13)$$

$$I_{SUM(TLVR)} = I_{PRI1} + I_{PRI2} + \dots = (I_{LM1} + I_{LC}) + (I_{LM2} + I_{LC}) + \dots \quad (14)$$

系统中的所有电感器都遵循基本电感器关系。在负载升压的瞬态响应期间，转换器同时打开 N_{ON} 个相位。出于各种原因，可能无法一次打开所有相位，因此还要考虑 N_{OFF}

个相位在任一时间保持关闭。**方程式 15** 和 **方程式 16** 展示了多相降压转换器的 I_{SUM} 上升斜率。这些公式未考虑控制器响应时间，而仅显示了转换器拓扑的限制。

$$\uparrow \text{Slope}_{(\text{buck})} = \frac{\Delta V_{L1}}{L} + \frac{\Delta V_{L2}}{L} + \dots \quad (15)$$

$$\uparrow \text{Slope}_{(\text{buck})} \cong N_{ON} \left(\frac{V_{IN} - V_{OUT}}{L} \right) - N_{OFF} \left(\frac{V_{OUT}}{L} \right) \quad (16)$$

方程式 17 和 **方程式 18** 显示了 TLVR 设计的 I_{SUM} 上升斜率，其中假设 TLVR 磁化电感 L_M 等于降压滤波器电感 L ，以便进行比较：

$$\uparrow \text{Slope}_{(\text{TLVR})} = \left(\frac{\Delta V_{L1}}{L_M} + \frac{\Delta V_{Lc}}{L_C} \right) + \left(\frac{\Delta V_{L2}}{L_M} + \frac{\Delta V_{Lc}}{L_C} \right) + \dots \quad (17)$$

$$\uparrow \text{Slope}_{(\text{TLVR})} \cong \uparrow \text{Slope}_{(\text{buck})} + N_{TOTAL} \times \left(\frac{N_{ON} \times V_{IN} - N_{TOTAL} \times V_{OUT}}{L_C} \right) \quad (18)$$

以这种方式表达，额外的项清楚地显示了 I_{Lc} 的影响，使 TLVR 设计能够比传统多相降压设计更快地响应瞬态变化。

负载降压瞬态

图 15 和 **图 16** 显示了相同负载降压条件下多相降压转换器和 TLVR 设计之间的仿真比较。此仿真使用与**表 2** 中相同的参数。

关于**图 15** 和 **图 16** 的一些观察结果：

- TLVR 设计能够更快地响应瞬态 (I_{SUM} 迅速达到 I_{LOAD})，因为 I_{SUM} 的下降速率更快。因此，输出电压偏差明显更少。
- 在本例中，两种设计关闭的相位数量相同，但 TLVR 设计以更快的速率降低了 I_{SUM} 。

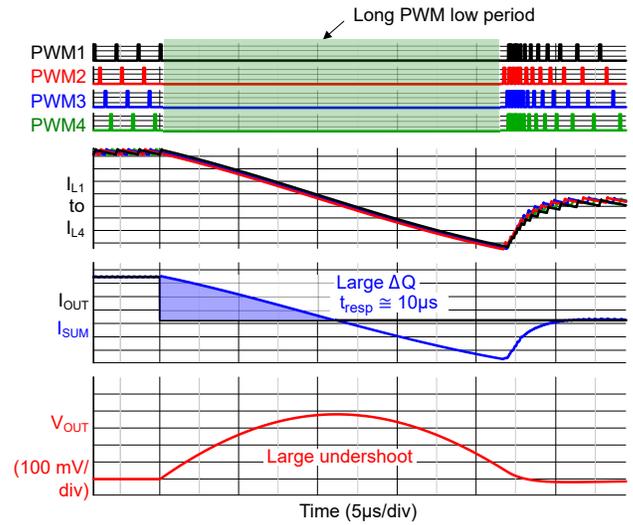


图 15. 多相降压转换器。

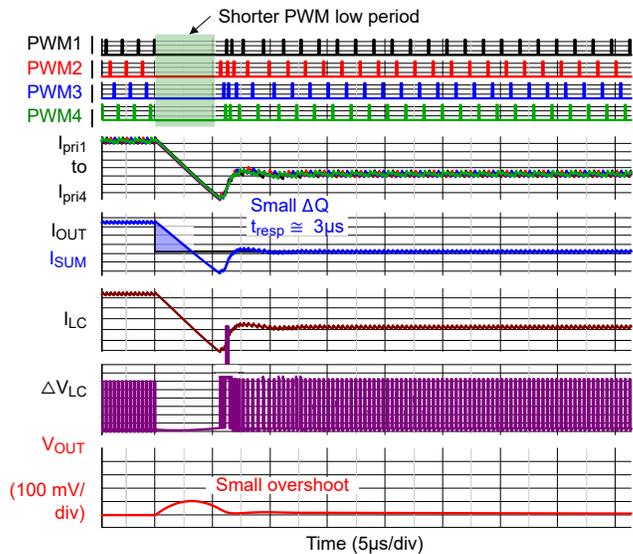


图 16. TLVR。

同样， I_{Lc} 与 I_{SUM} 的关系说明了 TLVR 设计的出色瞬态响应。同样，系统中的所有电感器都遵循基本电感器关系。在负载降压的瞬态响应期间，转换器同时关闭所有相位 N_{TOTAL} 。**方程式 19** 展示了多相降压转换器的 I_{SUM} 下降斜率：

$$\downarrow \text{Slope}_{(\text{buck})} = -N_{TOTAL} \left(\frac{V_{OUT}}{L} \right) \quad (19)$$

通过类似的分析，**方程式 20** 展示了 TLVR 设计的 I_{SUM} 下降斜率，其中假设 TLVR 磁化电感 L_M 等于降压滤波器电感 L ，以便进行比较。由于 L_C 环路的影响，TLVR 设计以

更快的速度降低其 I_{SUM} ，该影响与相位数量 N_{TOTAL} 的平方成正比。

$$\downarrow \text{Slope}_{(TLVR)} \cong \downarrow \text{Slope}_{(buck)} - N_{TOTAL} \times \left(\frac{N_{TOTAL} \times V_{OUT}}{L_C} \right) \quad (20)$$

L_C 电感器选择

与典型直流/直流设计中的其他电感器相比， L_C 有一些独特的要求。确定 L_C 的电感值时需要在电流纹波和瞬态响应优势之间进行权衡。通常，可以从 $L_C = L_M$ 开始，作为一种平衡的权衡方案。在分立式设计中，常见的电感值在 L_M 的 0.8 至 1.5 倍之间。在电源模块等高度集成的设计中，较低的电感值可能更为常见。

在稳态下， L_C 不承载直流电流，仅具有很小的交流电流纹波，这是因为它以高频率（在没有脉冲重叠的情况下，至少为 $N_{TOTAL} \times f_{SW}$ ）进行开关。其电流纹波在稳态下的 RMS 电流中占主导地位，如 **方程式 21** 中所述。可以考虑使用低磁芯损耗材料，如铁氧体磁芯，因为其具有高 f_{SW} 。另一个可以进一步改善瞬态响应的选项是使用软饱和磁芯。

$$I_{rms}(L_C) \approx \frac{\Delta I_{L_C}}{\sqrt{3}} \quad (21)$$

但是，在瞬态事件期间， L_C 仍可以继续积累大量电流，如 **方程式 22** 所示，其中 t_{RESP} 是控制器的响应时间，如 **图 15** 和 **图 16** 中突出显示的那样。因此，应该选择具有高饱和电流的 L_C ，类似于每个相位中使用的耦合电感器。

$$I_{SAT}(L_C) \gg t_{RESP} \times \left(\frac{N_{ON(step)} \times V_{IN} - N_{TOTAL} \times V_{OUT}}{L_C} \right) \quad (22)$$

在积累大量电流后， L_C 电流会自然衰减到零，并具有相对较高的时间常数 τ_{L_C} ，如 **方程式 23** 中所述，这个时间常数由 L_C 和 L_C 环路中的电阻共同决定。在高频重复瞬态期间，由于负载的上下变化会使 I_{L_C} 产生不同方向的波动，因此 I_{L_C} 可能会不完全稳定，但不会出现饱和。**图 17** 和 **图 18** 显示了该行为的仿真：

$$\tau_{L_C} = \frac{L_C}{R_{DCR,L_C} + N_{total} \times R_{DCR,secondary} + R_{routing}} \quad (23)$$

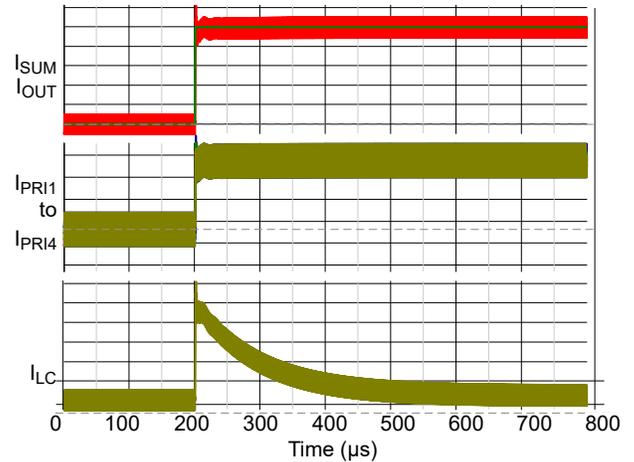


图 17. 低频瞬态事件。

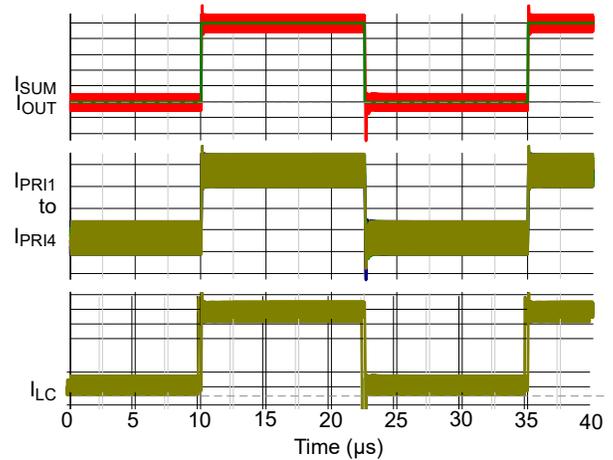


图 18. 高频瞬态事件。

在负载阶跃响应期间， L_C 上的电压 ΔV_{LC} 可能会超过输入电压 V_{IN} 。假设控制器根据负载阶跃启用 N_{ON} 个相位，则可以通过**方程式 24** 计算 ΔV_{LC} ：

$$\Delta V_{LC(max)} = N_{ON(step)} \times V_{IN} - N_{TOTAL} \times V_{OUT} \quad (24)$$

爬电通常不是问题，因为高电压不会持续很长时间。但是，在某些情况下，为了确保应用安全和元件可靠性，了解 L_C 上的高瞬态电压可能很重要。

稳态纹波

基于 TLVR 的设计往往比多相降压转换器具有更大的输出电压纹波。通常，多相转换器具有交错和纹波消除引起的低电压纹波。当每个电感器电流彼此之间具有 $360^\circ / N_{TOTAL}$ 的相位偏移时，转换器能够实现最佳的纹波消除。但是，在 TLVR 设计中，对于每个相位偏移， I_{LC} 会添加一次到 I_{SUM} 。因此，虽然每个磁化电感 I_{LM} 的 I_{SUM} 贡献会因交错而消除，但 I_{LC} 的贡献不会，如**方程式 25** 所示：

$$I_{SUM(TLVR)} = (I_{Lm1} + I_{LC}) + (I_{Lm2} + I_{LC}) + \dots \quad (25)$$

图 19 展示了 I_{SUM} 上纹波与转换器输出电压上纹波之间的关系。通常，转换器和负载由配电网 (PDN) 隔开。 I_{SUM} 由转换器在一个位置生成，然后馈入一定距离外的 PDN。然后，PDN 的阻抗（包括输出电容器）决定输出电压纹波。因此，TLVR 设计中的额外 I_{SUM} 纹波会直接转换为更大的输出电压纹波。

图 20 中的一个示例展示了转换器占空比的影响。当相位完全重叠时 ($N_{TOTAL} \times D = 1, 2, \dots$)， I_{LC} 纹波在某些占空比下仍然会变得非常小。但是，对于典型应用（**图 20** 中以 1.0V、1.2V 和 1.8V 的典型输出电压突出显示），TLVR 设计的 I_{SUM} 纹波通常大出 25% 至 50%，因此输出电压纹波也会增大 25% 至 50%。在许多情况下，这不是问题，因为满足瞬态要求所需的 C_{OUT} 远大于满足设计纹波要求所需的电容。

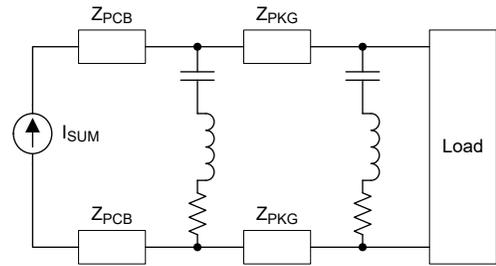


图 19. 输出电压纹波模型。

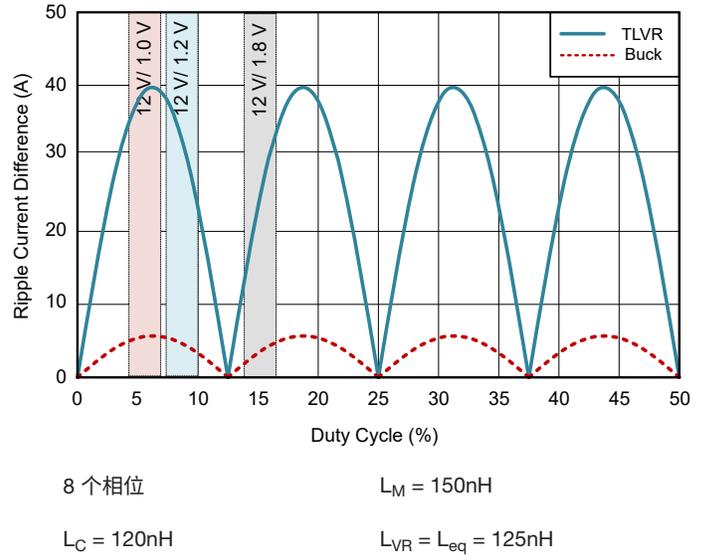


图 20. 输出电压纹波。

在 TLVR 设计中，减少电压纹波的常见技术是使用多个 L_C 环路。**图 21** 展示了一个包含两个 L_C 环路的示例。每个相位的相位触发顺序确保 I_{LC1} 和 I_{LC2} 电流具有 180° 的相位差，从而消除 I_{LC1} 和 I_{LC2} 电流纹波。

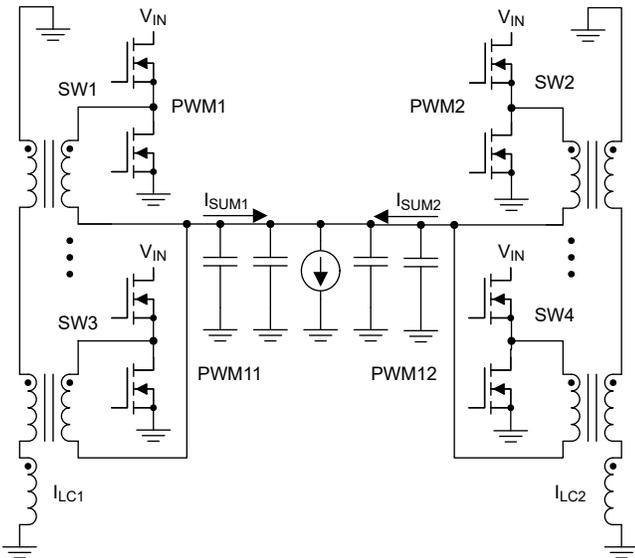


图 21. 交错式 TLVR 设计。

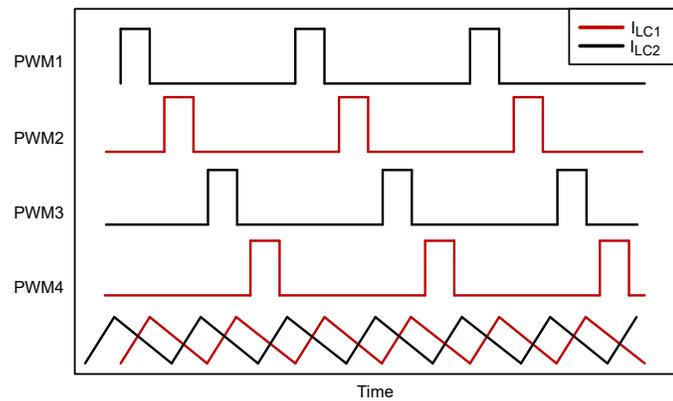


图 22. 双环路交错式 TLVR 波形。

在因电路板布局布线空间受限而无法将相位彼此靠近放置时，交错式设计也是常见的做法。每个 L_C 环路上的相位彼此并置，但 L_C 环路之间可能会相隔一定距离，有时甚至位于负载器件的两侧。虽然在减少输出电压纹波方面效果较差，但 TLVR 设计也可以在每个 L_C 环路上使用相位数不对称的方案。

功率损耗和效率

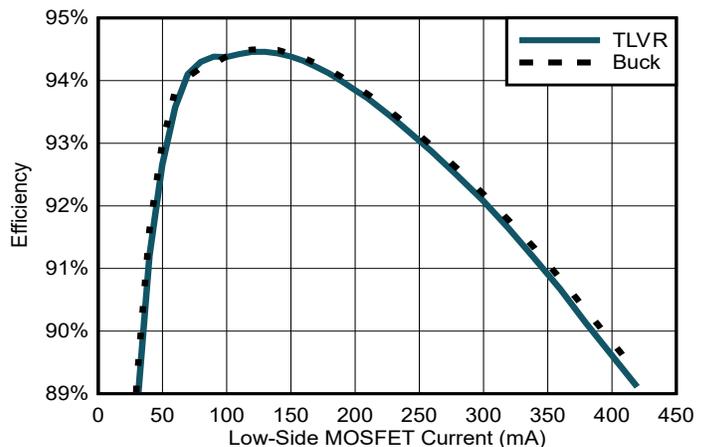
图 23 比较了使用相同元件值设计时多相降压转换器和 TLVR 的功效。这些曲线已经非常相似，但 TLVR 设计在效率方面略低 (0.1%)。

该图用于演示目的，但通常情况下，多相降压和 TLVR 设计具有不同的电感值。降压转换器需要较低的电感值，才能满足相同的瞬态规格，从而进一步降低其功效。实际上，当按照相同的规格设计两个转换器时，多相降压转换器和 TLVR 转换器具有大致等效的效率。在某些情况下，TLVR 设计的效率会稍高。

两种损耗机制使得 TLVR 设计与多相降压转换器存在区别。很显然， L_C 环路损耗仅存在于 TLVR 设计中。之前，方程式 21 展示了 L_C 环路中因其电流纹波而导致的 RMS 电流。因此， L_C 环路中的损耗包括 RMS 导通损耗以及磁芯损耗，由于 L_C 的高开关频率，这些损耗可能会非常显著。公式 25 可用于估算 L_C 环路中的功率损耗：

$$P_{Lc} \cong I_{rms(Lc)}^2 \times (R_{DCR,Lc} + N_{TOTAL} \times R_{DCR,secondary} + R_{routing}) + P_{core(Lc)} \quad (26)$$

此外，需要注意的是， I_{LC} 造成的额外纹波会增加每个功率级中的 RMS 电流，从而会增加导通损耗。图 24 展示了添加 I_{LC} 如何增加每相低侧开关中的峰峰值电流纹波 ΔI_{pp} 。随着相位数减少， I_{LC} 电流纹波会增加，这一额外分量可能会变得相当显著。这就是为什么 TLVR 设计通常保留用于高功率、高相位数（超过六相）设计的原因之一。



$V_{IN} = 12V$

$V_{OUT} = 1.80V$

$f_{sw} = 600\text{kHz}$ $R_{LL} = 0.5\text{m}\Omega$
 $L_M = L_{BUCK} = 120\text{nH}$ $L_C = 120\text{nH}$
 不包括 PDN 导通损耗

图 23. 效率与输出电流的关系。

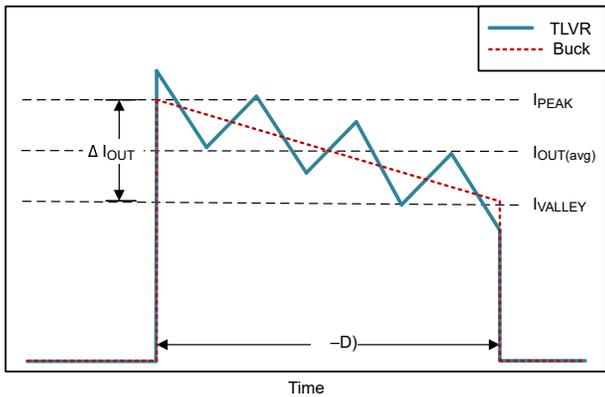


图 24. 向低侧金属氧化物半导体场效应晶体管 (MOSFET) 电流添加 I_{LC} 。

为了理解这种损耗机制，方程式 27 介绍了典型降压转换器设计中电流纹波与低侧 MOSFET RMS 电流之间的关系。TLVR 设计的精确公式更为复杂，但降压转换器公式展示了 ΔI_{PP} 的影响。

$$I_{RMS(LSFET)} = I_{OUT} \times \sqrt{1-D} \times \sqrt{1 + \frac{1}{3} \times \left(\frac{\Delta I_{PP}}{2 \times I_{OUT}}\right)^2} \quad (27)$$

在高相位数设计中，使用动态切相 (DPS) 来提高轻负载效率也很常见。在总输出电流足够低、无需激活所有相位的情况下，切换较少数量的相位有助于减少开关损耗。相位可以处于三种状态之一：高侧 MOSFET 导通、低侧 MOSFET 关断；高侧 MOSFET 关断、低侧 MOSFET 导通；或两个 MOSFET 均关断。通常，非线性控制技术在负载瞬态事件期间会快速增加或减少相位，因此对负载瞬态响应的影响非常小。图 25 显示了每种状态下的电流。

在 TLVR 设计中， L_C 环路在第三状态（两个 MOSFET 都关断）下继续通过体二极管相位导电，而这些相位并不进行开关。非开关相位会因体二极管的压降 V_{diode} 而产生额外的功率损耗。因此，为了使切相具有意义，不开关相位所节省的开关损耗必须大于体二极管损耗所产生的开关损耗。方程式 28 介绍了非开关阶段的功率损耗：

$$P_{cond, HiZ} = I_{LC(rms)} \times V_{diode} \quad (28)$$

图 26 所示为切相打开和关闭时同一设计的测量效果图，表明轻载时 TLVR 设计的效率得到了提升。

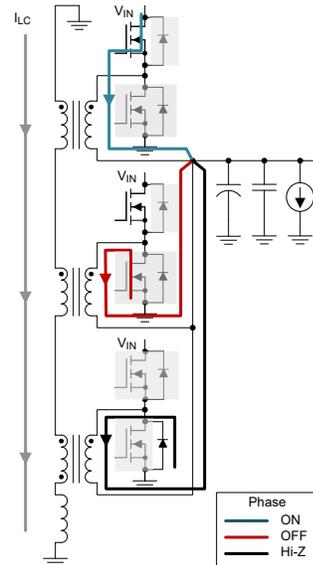
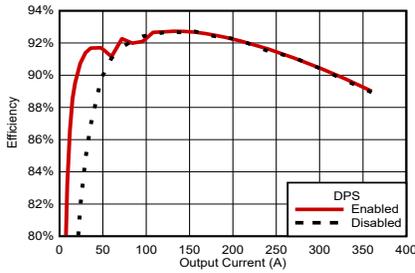


图 25. 动态切相。



$V_{IN} = 12V$ $V_{OUT} = 1.80V$
 $f_{SW} = 90kHz$ $L_M = L_C = 100nH$
 8 个相位 双侧布局
 TLVR CSD08860 (90-A SPS)

图 26. 效率与输出电流的关系。

相位乘法

随着功率要求的持续快速提高，往往需要设计相位数非常高（超过 16 个相位）的电路，但使用的控制器器件没有

足够的独立脉宽调制 (PWM) 输出来单独控制每个相位。相位倍增或相位乘法变得非常常见，即使用同一个控制器 PWM 输出驱动多个功率级。这种做法使得多相设计（无论是降压转换器还是 TLVR）可以轻松扩展到高功率级别。

图 27 展示了相位倍增 TLVR 交错式设计中的 L_C 环路连接。例如，这样的设计可以将一个 12 相设计扩展到 24 或 36 相，而无需不同的控制器器件。对于同一 L_C 环路中的所有相位（双倍或非双倍），次级侧以串联方式连接。对于具有电压源输出电流检测功能的功率级，每个相位的电流反馈线（未在图 27 中显示）可以进行电阻平均处理，而对于具有电流源输出电流检测功能的功率级，则可以简单地进行相加。无论功率级处于哪个 L_C 环路，都可以将每个功率级的温度检测输出（也未在图 27 中显示）连接在一起。

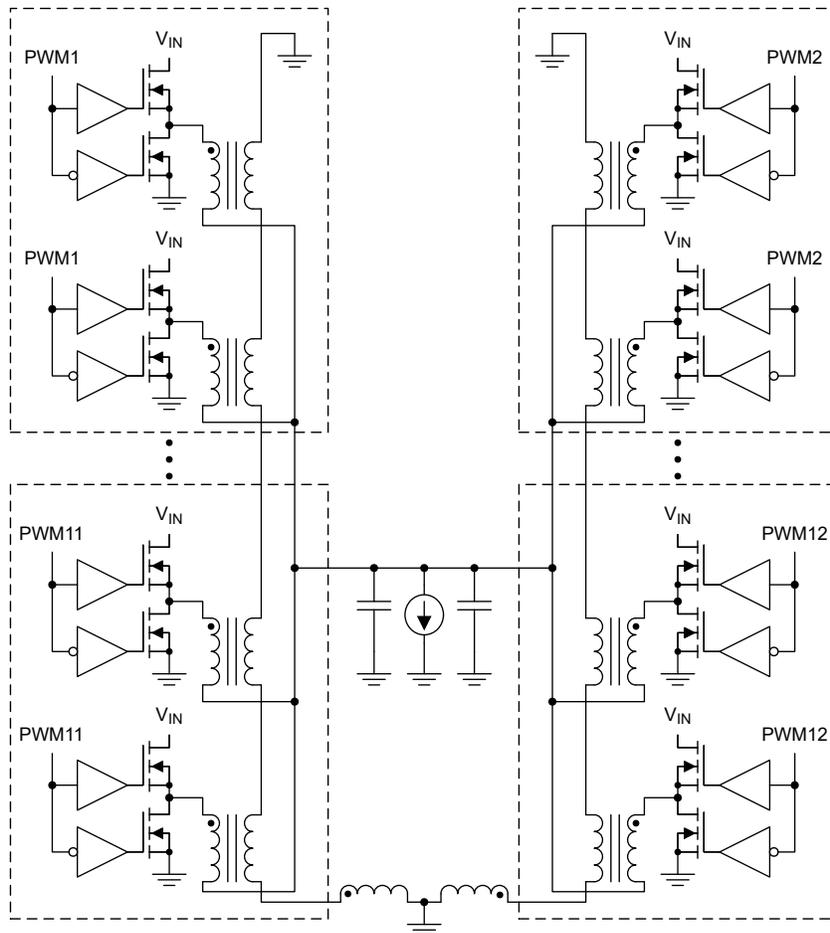


图 27. 交错式相位倍增 TLVR 拓扑结构。

PCB 布局

图 28 展示了 TLVR 设计动力总成的电路板布局布线和元件放置示例。此设计采用 4mm x 6mm 功率级器件和兼容共同布局的 TLVR 电感器，从而实现与典型多相降压设计类似的布局方式。

L_C 环路穿过初级侧焊盘的中间。TLVR 电感器的次级绕组焊盘使得该环路可以在顶层上运行，而无需多个过孔或宽布线。由于 L_C 环路在瞬态事件期间可能会传导高电流，因此布线在间隙规则允许的范围内尽可能宽，但不需要多层平面。内部接地平面将 L_C 环路从动力总成的一侧闭合到另一侧。敏感电路应与 L_C 和 L_C 环路布线之间保留较宽的间隙，以避免噪声耦合和干扰。

L_C 电感器放置在功率级一侧。由于 L_C 可能承受高于 V_{IN} 的电压并会以高频率进行开关，因此高瞬态电压和电磁干扰也可能成为问题。要缓解这种情况（未在图 28 中显示），一种可能方案是将 L_C 分成两个物理电感器（每个电感器的电感为 L_C 的一半），并将它们对称地放在功率级的两侧。这会降低瞬态事件期间每个 L_C 上的最大电压。

将各个相位尽可能彼此靠近放置可以节省空间。但是，相位触发顺序并不是按顺序进行的。通过更改相位触发顺序，可以在时域中分散相位的开关节点，从而帮助减少相位之间的串扰问题。

图 29 展示了一个高相位数布局设计的缩小示例，该设计使用了两个 L_C 环路，将数量加倍的相位彼此相邻放置在同一个 L_C 环路中。每个环路中的相位和 L_C 都遵循图 28 中的示例。这些环路放置在负载的相对两侧（有时称为方位，东侧和西侧），以尽量减少每个电感器输出与负载器件引脚之间的 PDN 布线。负载器件的两侧在顶部保持开路，以便根据设计需要进行高频信号路由。

去耦电容器（未在图 29 中显示）位于负载器件的下方，如果可能，位于其内部。该设计中提供了聚合物大容量电容器的占位符，但某些设计不需要它们。将控制器器件放置在远离动力总成的位置，可以避免噪声问题，并通过长布线将其连接到每个 L_C 环路中的功率级。与所有高功率设计一样，务必要确保控制器的 PWM 输出、电流检测输入和电压检测线路具有良好的信号完整性。

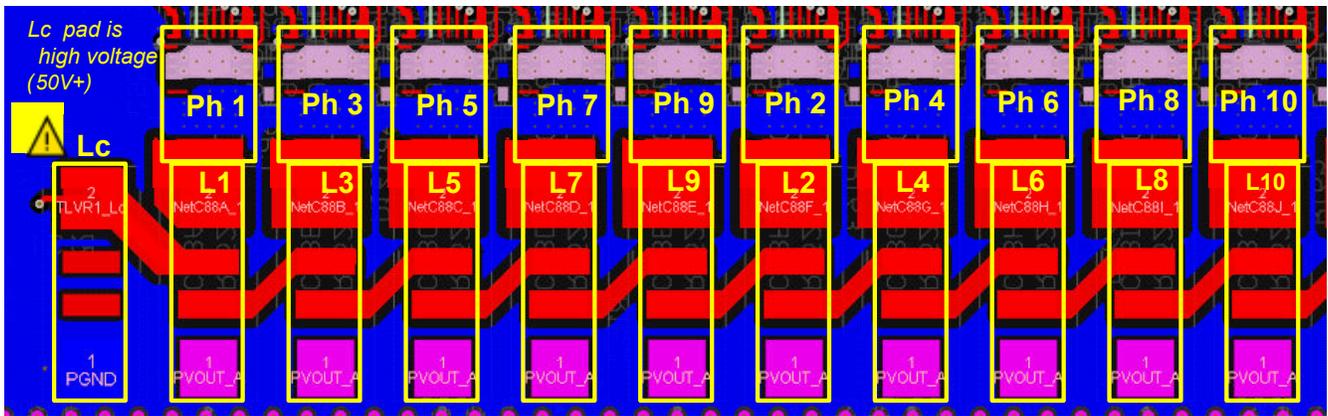


图 28. TLVR 动力总成布局示例。

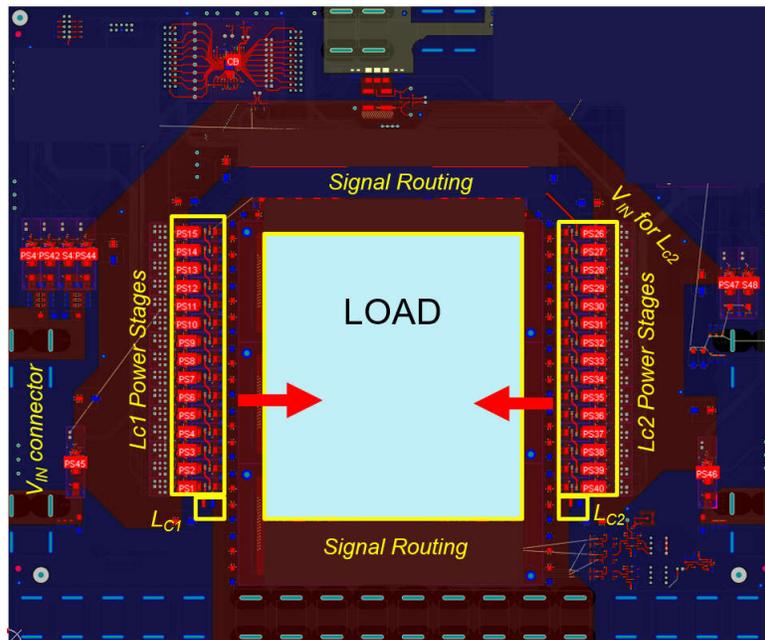


图 29. 相位加倍交错式 TLVR 布局示例。

TLVR 优化型器件

最近，德州仪器 (TI) 等半导体供应商已开始提供针对 TLVR 设计进行优化的多相控制器和功率级。

由于 TLVR 拓扑的高速特性，针对 TLVR 设计进行优化的智能功率级需要更高带宽的电流检测架构。例如，TI 智能功率级的 IOOUT 引脚波形能够跟踪 TLVR 设计中 L_C 环路产生的电流纹波。这要求每个相位的电流检测带宽至少比设计的 f_{SW} 高出一个数量级。TLVR 拓扑还提高了高速过流保护的带宽要求。

针对 TLVR 设计进行优化的智能功率级还必须能够承载越来越高的 RMS 电流，并且能够在短时间内支持接近其 RMS 额定值两倍的峰值电流脉冲，同时兼顾热和电气性能。

控制器通常不需要重新设计架构。TLVR 设计使用专为多相降压设计而设计的相同控制方案。TI 控制器仍然采用 DCAP+ 控制架构，这是一种恒定导通时间谷值电流模式控制形式。它们可能仍需要进行二阶优化，例如适用于 TLVR 动力总成的新增增益和补偿参数。为了支持多个 L_C 环路之间相距更长的距离，同时保持良好的信号完整性，通常需要更强大的 PWM 输出驱动器。针对 L_C 环路开路或短路实施的新保护机制应能缓解可制造性问题。

表 3 和表 4 汇总了撰写本文时 TI 提供的 TLVR 优化型器件，更多器件仍在开发中。

器件型号	电流额定值	封装尺寸 (mm)	I_{MON}
CSD95440	80A 峰值, 40A RMS	5 × 6	电压
CSD95510	90A 峰值, 50A RMS	4 × 6	电压
CSD95560	90A 峰值, 50A RMS	4 × 6	电流
CSD95520	60A 峰值, 30A RMS	4 × 5	电压
CSD95570	60A 峰值, 30A RMS	4 × 5	电流

表 3. TLVR 优化型智能功率级。

器件型号	相位	封装尺寸 (mm)	接口
TPS53685	8	5 × 5	AMD
TPS536C5	12	6 × 6	AMD
TPS53689T	8	5 × 5	Intel
TPS536C9T	12	6 × 6	Intel

表 4. TLVR 优化型控制器。

示例并排设计

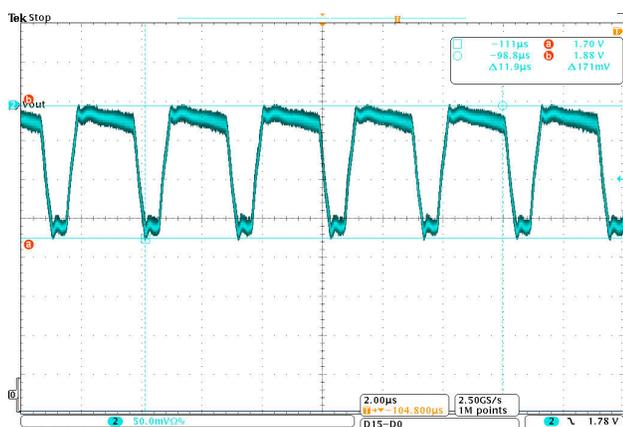
前面几节中的示例说明了使用相同外部元件时多相降压设计和 TLVR 设计之间的差异。不过，这种比较通常并不实用，因为我们无法改变负载要求，而必须更改设计来满足负载要求。如前所述，TLVR 电感器的尺寸与标准单绕组电感器兼容，从而支持使用相同的物理 PCB 布局对这两种设计进行测试。

表 5 总结了一个此类示例。TLVR 设计满足与多相降压转换器设计相同的规格要求，对总体功率损耗几乎没有影响，并且所需的 C_{OUT} 降低了 40% 以上。

图 30 和图 31 展示了该设计在最坏情况下的过冲波形。

参数	多相降压	TLVR
控制器/备用电源	TPS53689、CSD95440	
输入电压 (V_{IN})	12V	
输出电压 (V_{OUT})	1.8V	
最小输出电压 (V_{MIN})	1.59V	
最大输出电压 (V_{MAX})	1.85V	
相位数	8	
开关频率	900kHz	
负载阶跃	60A-430A, 1,000A/ μ s, 1kHz-1MHz	
负载线路	0.5m Ω	
L_M/L_{BUCK}	70nH	120nH
L_C	不适用	100nH
C_{BULK} (聚合物)	5 \times 470 μ F	
多层陶瓷电容器 (MLCC)	80 \times 22 μ F, 0402	80 \times 22 μ F, 0402
	45 \times 47 μ F, 0805	56 \times 47 μ F, 0603
	15 \times 100 μ F, 0805	0 \times 100 μ F, 0805
	8 \times 0.1 μ F, 0402	8 \times 0.1 μ F, 0402
峰值功率效率 (η_{PEAK})	94.0%	93.9%
满载效率 (η_{Full})	88.1%	88.1%
测得的 V_{MIN} (最坏情况)	1.600V (+10mV 裕度), 主要取决于 R_{LL}	
测得的 V_{MAX} (最坏情况)	1.846V (+4mV 裕度)	
总输出电容 (C_{OUT})	7.7mF	4.4mF

表 5. 设计参数。



$V_{MAX} = 1.846V$

$D = 20\%$

$f_{SW} = 330kHz$



$V_{MAX} = 1.839V$

$D = 10\%$

$f_{SW} = 190kHz$

图 30. 最坏情况下的过冲 (多相降压转换器)。

图 31. 最坏情况下的过冲 (TLVR)。

总结

TLVR 拓扑是传统多相降压转换器设计的改进版本，适用于高相位数、低电压非隔离式设计。它能够显著减少输出电容器的使用，因而越来越受欢迎。在本文中，我们介绍了 TLVR 设计人员需要了解的概念、工作原理、权衡、示例设计结果以及实际注意事项。

其他资源

- Technical Disclosure Commons. “[Fast Multi-Phase Trans-Inductor Voltage Regulator](#).” Technical Disclosure Commons Defensive Publications Series, May 9, 2019.
- Radhakrishnan, Kaladhar, and Jonathan Douglas, “Microprocessor Power Delivery Challenges.” APEC 2022, March 22, 2022.
- Parisi, Carmen. “[多相降压设计大全（第 1 部分）](#)”，德州仪器 (TI) 应用报告，文献编号 SLVA882B，2021 年 4 月。
- Dong, Yan, 2009. “[Investigation of Multiphase Coupled-Inductor Buck Converters in Point-of-Load Applications](#).” Ph.D. dissertation, Virginia Polytechnic Institute and State University.
- Qiu, Yang. 2007. “[Coupled Inductors for Power Supplies: Advantages and Compromises](#).” EETimes, June 2007.
- Lu, Zengyi, and Wei Chen. “Multi-Phase Inductor Coupling Scheme with Balancing Winding in VRM Applications.” Published in Proceedings of the 22nd Annual IEEE Applied Power Electronics Conference and Exposition, Feb. 25-March 1, 2007, pp. 680-684.
- Zhu, Feiyang. “Multi-Phase Coupled Inductor Analysis for Multi-Phase Voltage Regulators.” Center for Power Electronics Systems PMC Review, June 2021.
- Jiang, Shuai, Xin Li, Mobashar Yazdani, and Chee Chung. “Driving 48V Technology Innovations Forward – Hybrid Converters and Trans-Inductor Voltage Regulator (TLVR).” Published in 34th Annual IEEE Applied Power Electronics Conference and Exposition, March 15-19, 2020.
- Erickson, Robert W., and Dragan Maksimovic. 2020. “Fundamentals of Power Electronics, Third Edition.” New York: Springer AG.

重要声明和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做任何明示或暗示的担保，包括但不限于对适销性、某特定用途方面的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他功能安全、信息安全、监管或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的应用。严禁对这些资源进行其他复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。您应全额赔偿因在这些资源的使用中对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，TI 对此概不负责。

TI 提供的产品受 [TI 的销售条款](#) 或 [ti.com](#) 上其他适用条款/TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

邮寄地址：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265

Copyright © 2024，德州仪器 (TI) 公司