Application Note

ZHCAG57 – 12. 2025

# *F28P65+DP83826 EtherCAT Link Down 故障排查方法及实例*

*Yunjing Wang, Zane Wei* *North West China FAE team*

## 摘要

EtherCAT 网络以其高实时性、确定性和灵活的拓扑冗余能力著称，因此 EtherCAT 应用对其链路的建立速度和稳定性有着严格的要求。本文针对 EtherCAT 应用 Link down 故障问题，提供了一套系统、深入且高效的故障排查指南，并基于 F28P65+DP83826 EtherCAT 应用案例，给出了详细的故障排查步骤和分析案例，帮助快速定位和解决 Link down 故障，显著提升 EtherCAT 从站设备的开发调试效率与现场可靠性。

**修改记录**

| Version | Date | Author | Notes |
|---|---|---|---|
| 1.0 | Feb 25th 2026 | Yunjing Wang,Zane Wei | First version |

目录

摘要 1
1. EtherCAT 网络及从站结构 ..... 2
2. EtherCAT 链路 Link 多层检测判据 ..... 3
3. EtherCAT 链路 Link Down 故障分层排查方法 ..... 4
3.1 ESC DL 端口状态检查---定位故障位置 ..... 5
3.2 Enhance Link 配置检查 ..... 5
3.3 MI Link 配置检查 ..... 5
3.4 物理层 Link 异常排查 ..... 6
4. F28P65+DP83826 EtherCAT Link Down 故障排查案例 ..... 8
5. 总结 ..... 9
参考文献 ..... 9

图

图 1 EtherCAT 通信过程图 ..... 3
图 2 标准 EtherCAT 从站模块构成 ..... 3
图 3 EtherCAT 链路 Link 多层判断结构 ..... 4
图 4 F28P65 MDIO 接口 ..... 6
图 5 MII 管理接口寄存器 ..... 7
图 6 排查流程和定位过程图 ..... 8
图 7 异常 RST 电压 和 RST 时序 ..... 8
图 8 优化后的 RST 电压和时序 ..... 9

表

表 1 ESC DL 寄存器及其故障指向 ..... 5
表 2 ESC 配置&RX_ERR 寄存器及其故障指向 ..... 5
表 3 DP83826 PHY 关键寄存器及其故障指向 ..... 6

# 1. EtherCAT 网络及从站结构

EtherCAT 网络由一台 EtherCAT 主站和若干从站组成，如图 1 所示，数据帧在通过每个从站时，相关的输入/输出数据被实时地提取或插入，整个过程仅延迟若干纳秒，无需像传统以太网那样存储、解析、再转发整个帧，而每个从站之间链路的建立速度、稳定性和故障反应能力是 EtherCAT 高实时性的基础。

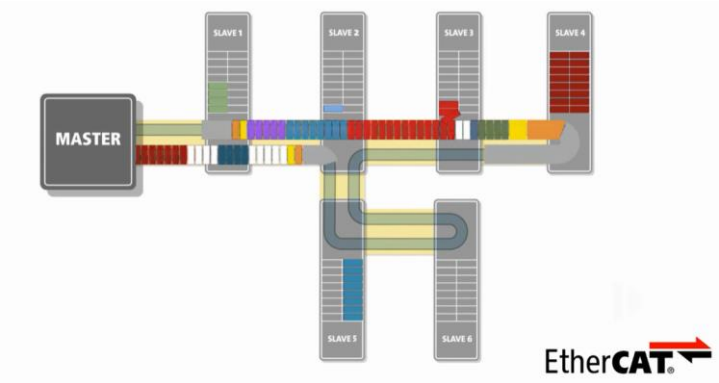


**图 1 EtherCAT 通信过程图**

如图 2 所示，每个 EtherCAT 从站模块主要由从站控制器（ESC）、物理层最小单元（PHY、MII 接口、RJ45、隔离变压器）、外部时钟参考以及供电网络构成。因此，EtherCAT 应用 Link down 故障与从站系统中的 PHY 芯片、PHY 外围设计、ESC 配置都有关系。本文将详细介绍 EtherCAT Link down 故障的分析和排查方法。

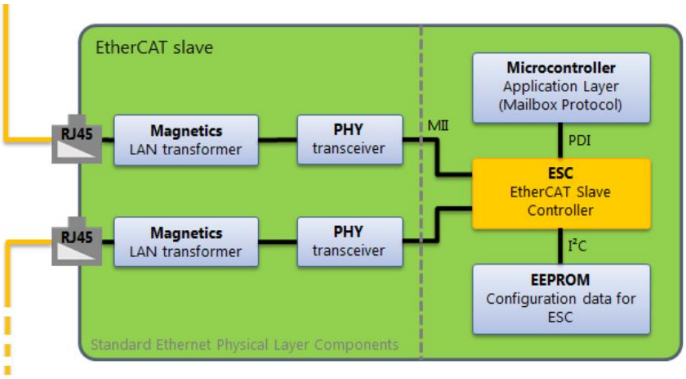


**图 2 标准 EtherCAT 从站模块构成**

## 2. EtherCAT 链路 Link 多层检测判据

EtherCAT 链路 Link 是多层分级判断，理解这个多层判据，是逆向排查 EtherCAT 应用中 Link down 故障的基础。如图 3 为 EtherCAT 链路 Link 多层判断结构。

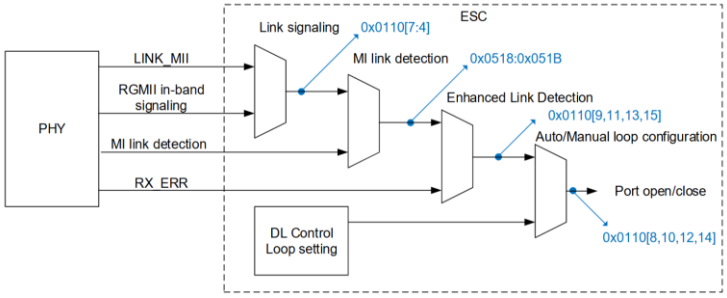


**图 3 EtherCAT 链路 Link 多层判断结构**

**第一层：物理层 Link 检测**

这是最底层的 Link 检测，ESC 直接采样来自 PHY 的 link 信号：LINK_MII 信号为 PHY 提供的专用引脚指示 link 状态，PHY 在物理层 link 建立之后驱动 LINK_MII 信号为有效电平。RGMII In-band 信令指的是 RGMII 接口通过 RXD 信号传递 link 状态指令。LINK_MII 信号优先级高于 RGMII in band 信令。

**第二层：MI Link 检测**

若用户使能了 ESC 的 MI Link 检测(0x0510 MII 管理控制状态寄存器)，则本层检测通过 ESC 的 MDIO（Management Data Input/Output）接口，主动读取 PHY 的内部状态寄存器（Basic Status Register）。ESC 会验证：

1) MDIO 通信是否正常：能否成功读写 PHY。
2) PHY 自协商是否完成：Auto-Negotiation Complete 位是否为 1。
3) 链路速度与双工模式是否正确：是否为 100Mbps Full-Duplex。

将结果记录在 PHY 端口状态寄存器（0x0518:0x051B），并影响最终通信状态判断。

**第三层：Enhance Link 检测**

Enhance link(增强链路检测)是为了提高链路稳定性引入的主动保护机制。启用 Enhance link 检测时，ESC 会监控 PHY 的 RX_ERR 信号。如果在极短的时间窗口（约 10μs）内，RX_ER 有效脉冲超过 32 次，ESC 会判定当前链路质量不可靠，并执行如下操作：

1) 主动关闭本地端口环路（即使物理层信号仍存在）。
2) 通过 MDIO 重启对端 PHY 的自协商，通知对端链路异常。

**第四层：最终决定端口状态**

最终端口的“通信建立状态”（0x0110 Bit 15,13,11,9）和“环路开/闭状态”（Bit 14,12,10,8）是上述各层检测结果的综合，同时，**DL 控制寄存器（0x0100）** 中配置的端口模式（Auto, Manual 等）决定了 ESC 如何根据这些检测结果来执行环路开闭操作。**高层检测可以覆盖低层检测的“链路正常”结果**。例如，即使 Link_MII 信号有效（物理层有链路），但若使能了 Enhance Link 检测并且有大量 RX_ERR 触发，最终通信状态仍会被置为 0（无通信），且端口状态将会被关闭。或者 PHY 模式配置不符合 EtherCAT 要求（例如链路两端的铜口 PHY 都配置为 Force Full Duplex, 100Base-Tx 而非自协商模式），即使物理层 LINK_MII 检测有效（物理层有链路），第二层 MI Link 检测也会判断 link down。

理解了以上 EtherCAT 应用 Link 状态的多层判据，相应地，针对 EtherCAT 链路 link down 故障，可以采用逆向分层的故障排查方式，帮助高效地定位 EtherCAT 应用 Link down 的根本原因，本文第 3 节将对此展开详细介绍。

## 3. EtherCAT 链路 Link Down 故障分层排查方法

如第 2 节所述，排查 EtherCAT 应用中的 Link down 故障，采用从多层 Link 判据的最终表现开始逐层向下反查，能够高效清晰地定位根本原因。本节将基于第 1.2 节错误寄存器和第 2 节 EtherCAT Link 多层检测判据，介绍 Link down 故障的分层排查方法。

### 3.1 ESC DL 端口状态检查---定位故障位置

从站的 ESC DL 状态寄存器（0x0110:0x0111）和 DL 控制寄存器（0x0100:0x0103）可以帮助判断故障从站的位置以及故障从站链路异常所在的故障层级，如表 2 所示。

DL 控制寄存器一般配置所有 Port 为 Auto 模式，从站可以根据链路 Link 状态自主打开或者关闭 Port，因此如果非末端 Port 的 DL 状态寄存器显示端口处于关闭状态，则表示对应从站的 Link 状态出现故障，由于当前从站链路断开，导致环路提前在故障位置回环。

此时，检查 DL 状态寄存器的通信状态(Bit[15],[13],[11],[9])和物理层链路状态(Bit[7], [6], [5], [4])可以判断故障从站链路异常的 Port 位置以及故障层级：

1) **物理链路状态=0， 通信状态=0**：PHY Link 异常，按照 3.4 节排查 PHY 故障因素。
2) **物理链路状态=1， 但通信状态=0**：PHY Link 正常，但 ESC 上层通信异常，按照 3.2 和 3.3 节排查 Enhance Link 增强链路检测或者 MI 链路检测。

**表 1 ESC DL 寄存器及其故障指向**

| ESC 寄存器地址 | ESC 寄存器名称 | 寄存器状态和故障指向 |
|---|---|---|
| **0x0110:0x0111** | **DL 状态寄存器** | **链路与环路状态。**<br>• **Bit 15,13,11,9 (Port 3,2,1,0): 通信建立状态。**这是链路 link 最终判断的结果，综合了物理链路、MI 链路检测、增强链路检测后的状态。1=稳定通信，0=无通信。<br>• **Bit 14,12,10,8: 环路开/闭状态。**1=端口关闭，0=端口打开。**非环路末端若出现端口关闭，则表示此从站链路异常。**<br>• **Bit 7,6,5,4: 物理层链路状态。**直接反映物理层 Link 状态。1=PHY Link 正常，0=PHY Link 异常。<br>• **Bit 2: 增强链路检测使能状态。** |
| **0x0100:0x0103** | **DL 控制寄存器** | **端口环路控制模式配置**。<br>• 为每个端口配置工作模式：**Auto**（端口自动打开或者关闭）、**Auto Close**（端口自动关闭，需要主站确认才闭合）、**Manual Open**（强制打开）、**Manual Close**（强制关闭）。排查时需确认模式符合预期，避免将非末端的端口误配为强制关闭。 |

### 3.2 Enhance Link 配置检查

若 3.1 排查发现物理链路状态 Link 正常，但通信状态异常，应首先检查增强链路检测：读取 ESC 配置寄存器（0x0141），确认 Enhance Link 检测是否被启用，若启用 Enhance Link 则需要检查故障端口 RX 错误计数器（0x0301/3/5/7），如果该计数器数值非 0 或者持续增长，一般是物理层 PHY RX_ERR 过多导致 Enhance Link 检测异常，按照 3.4 节排查物理层问题。也可以通过临时禁用 Enhance Link 检测来观察链路是否恢复稳定，若恢复，则需重点排查导致物理层 RX_ERR 原因；若不恢复，则排查 3.3 MI 检测相关内容。

**表 2 ESC 配置&RX_ERR 寄存器及其故障指向**

| ESC 寄存器地址 | ESC 寄存器名称 | 寄存器状态和故障指向 |
|---|---|---|
| **0x0141** | **ESC 配置寄存器** | Bit[7:4]指示对应 Port3~0 是否使能了 Enhance Link 检测 |
| **0x0301/3/5/7** | **RX ERR 寄存器** | Bit[15:8]为 RX_ERR 计数，指示物理层 RX ERR 数量 |

### 3.3 MI Link 配置检查

若 3.2 Enhance Link 排查并无异常，则需要检查 MI 链路检测状态。查看 0x0510 寄存器是否使能了对应端口的 MI Link 检测，若 MI Link 检测使能，故障端口对应的 0x0518:0x051B 寄存器，对应诊断信息如下。

Bit 3=1（读错误）：表明 ESC 无法通过 MDIO 访问 PHY。检查 PHY 地址配置：对比 ESC PHY 地址寄存器（0x0512）与 PHY 实际地址是否匹配（由 strap 引脚或寄存器设置）。

Bit 1=0（MI Link 异常）：表明 ESC 能读到 PHY，但 PHY 报告的链路状态不符合 EtherCAT 要求。此时需要通过 MDIO 直接读取 PHY BMSR 状态寄存器，检查自协商结果、速度、双工模式是否正确（必须启用自协商且广播 100Mbps 全双工）。

### 3.4 物理层 Link 异常排查

当 ESC 寄存器显示物理链路状态为 0 时(物理层 Link down)，表明 PHY 及其外围电路导致物理层 Link 异常，需要对 PHY 及其外围电路做软硬件排查。

如果系统上下电期间出现物理层 Link down，那首先需要排查供电电源质量和 PHY 上电时序，不符合器件要求的供电电源(异常电压或者纹波过大)和异常上电和复位时序会导致 PHY 出现多种可能故障表现，例如 Link down、寄存器无法读取、不可预知的错误计数等等。因此，无论如何，首先确认供电和上下电时序都是必要的，此操作能够保证 PHY 正确初始化进入正常工作模式，避免供电和上下电问题与其他可疑故障混淆，干扰故障定位思路。

通过 MDIO 读取 PHY 的关键状态和错误寄存器信息，可以帮助快速获取排查方向，如表 3 所示，以 DP83826 为例，列出了 PHY Link 故障的关键寄存器以及故障指向信息。

**表 3 DP83826 PHY 关键寄存器及其故障指向**

| 寄存器地址 | 寄存器名称 | 对应故障指向 |
|---|---|---|
| **0x0001** | **Basic Status** | 检查 Link 状态和自协商能力/状态。<br>若自协商能力异常，检查 0x00hBasic control 配置或硬件 Strap 是否异常。 |
| **0x0010**<br>**0x0019 bit[15]** | **PHY Status**<br>**Auto MDIX** | 检查 Auto-MDIX 使能, Duplex status, Sped status<br>EtherCAT 要求：Auto-nego, 100Mbps Full-duplex, Auto-MDIX |
| **0x0467~0468** | **Strap Status** | PHY 硬件 Strap 配置，是否匹配 *DP83826 EtherCAT 应用文档*<br>PHY 地址配置错误会指向 3.3 ESC 状态寄存器读错误；<br>PHY 工作模式配置错误会指向 3.3 ESC 状态寄存器 MI Link 异常. |
| **0x0017** | **Bit[5] RMII Mode**<br>**Bit[2:3] FIFO ERR** | DP83826 和 ESC 都需要稳定的时钟，并且 ESC 和 PHY 参考时钟需要同源。时钟问题可能导致数据在 MII 接口或 PHY 内部 FIFO 处出错。FIFO 出错一般对应 CLK 故障，检查时钟同源和 25MHz 参考时钟偏移(<25ppm)以及抖动(250<ps)。 |
| **0x0015** | **RX Error Counter** | PHY 从 MDI 接口接收到的数据错误计数值，与 ESC RX_ERR 计数器结合验证外部 MDI 电路是否异常。 |
| **0x0218** | **MSE Link Quality** | 反映物理链路信号质量，MSE>0x33B 则需要排查外围 MDI 电路如变压器、RJ45、网线选型质量和电路设计。 |

F28P65 实时微控制器上通过管理数据接口（MDIO）模块读取以太网 PHY 的寄存器。PHY 寄存器管理是以太网通信初始化、链路状态监控以及故障排查的重要组成部分。F28P65 内部 ESC 子系统集成了一个以太网 MAC 层，该层包含一个管理数据接口（MDIO）模块，也称为管理接口（MII）或串行管理接口（SMI）。该接口符合 IEEE 802.3 标准，用于对连接在串行管理总线上的 PHY 器件进行配置和管理。

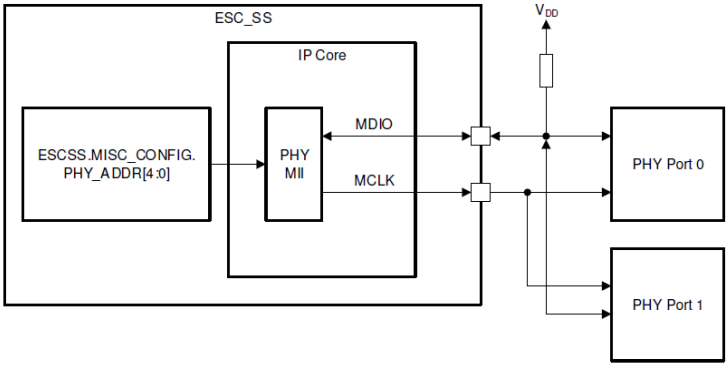


**图 4 F28P65 MDIO 接口**

ESC 通常通过逻辑端口加上 PHY 地址偏移的方式来处理以太网 PHY。以太网的 PHY 地址必须与逻辑端口号相对应，因此使用了 PHY 的地址 0 和 1。可以将 PHY 地址偏移量移动到任意连续的地址范围内。ESC 模块期望逻辑

端口 0 的 PHY 地址 0 加上逻辑地址偏移量，该 PHY 的地址偏移量可以在 ESCSS_MISC_CONFIG.PHY_ADDR[4:0]中选择。

如下为 MII 管理接口的寄存器相关配置，当使用 MDIO 接口访问 PHY 寄存器，主要是操作如下几个寄存器：

| Register Address | Length (Byte) | Description |
|---|---|---|
| 0x0510:0x0511 | 2 | MII Management Control/Status |
| 0x0512 | 1 | PHY Address |
| 0x0513 | 1 | PHY Register Address |
| 0x0514:0x0515 | 2 | PHY Data |
| 0x0516 | 1 | MII Management ECAT Access State |
| 0x0517 | 1 | MII Management PDI Access State |
| 0x0518:0x051B | 4 | PHY Port Status |

**图 5 MII 管理接口寄存器**

如果 MII 管理 PDI 访问状态寄存器 0x0517 位 0 没有被置位，那么 EtherCAT 主站控制 MI 接口。EtherCAT 主站可以阻止对 MI 接口的 PDI 控制，并且能够强制 PDI 释放 MI 接口的控制权。在通电后，PDI 可以无需任何主机操作就接管 MI 接口的控制权。

MI 读写时序：

1. 将 MI 接口控制权移交给 PDI
2. 将 PHY 地址写入 PHY 地址寄存器
3. 将要访问的 PHY 寄存器编号写入 PHY 寄存器地址寄存器（0-31）
4. 仅写入指令：将写入数据写入 PHY 数据寄存器
5. 通过向控制寄存器写入来发出指令：
    a. 对于读指令，将 1 写入指令寄存器 0x0510[8]
    b. 对于写指令，将 1 写入写入使能位 0x510[0]，同时将 1 写入指令寄存器 0x510[9],两个位必须在同一个帧内同时写入
6. 仅读指令：读取数据可在物理数据寄存器中获取，具体可参考如下代码：

```
/* MII Management and PHY Addressing defines */
#define ESC_MII_CTRL_STATUS_1_OFFSET        0x0510
#define ESC_MII_CTRL_STATUS_2_OFFSET        0x0511
#define ESC_PHY_ADDRESS_OFFSET              0x0512
#define ESC_PHY_REG_ADDRESS_OFFSET          0x0513
#define ESC_PHY_DATA_OFFSET                 0x0514
#define ESC_MII_ECAT_ACCESS_OFFSET          0x0516
#define ESC_MII_PDI_ACCESS_OFFSET           0x0517
#define PHY_REG_READ_CMD                    0x01
#define PHY_REG_WRITE_CMD                   0x02
#define PHY0_ADDRESS                        0x00
#define PHY1_ADDRESS                        0x80
#define PHY_REG_ADDRESS                     0x0A

HW_EscWriteByte(0x01,ESC_MII_PDI_ACCESS_OFFSET); // Give PDI access to MII management

HW_EscWriteByte(PHY_REG_ADDRESS,ESC_PHY_REG_ADDRESS_OFFSET); // Set PHY register to read/write
HW_EscWriteByte(PHY1_ADDRESS,ESC_MII_CTRL_STATUS_1_OFFSET); // Read PHY reg
HW_EscWriteByte(PHY_REG_READ_CMD,ESC_MII_CTRL_STATUS_2_OFFSET); // Read PHY reg
HW_EscWriteWord(0x0102,ESC_PHY_DATA_OFFSET); // Set the value to write to register
HW_EscWriteByte(PHY_REG_WRITE_CMD,ESC_MII_CTRL_STATUS_2_OFFSET); // Write PHY reg
HW_EscWriteWord(0x00,ESC_PHY_DATA_OFFSET); // Set the value to write to register, clearing to 0x00
HW_EscWriteByte(0x01,ESC_MII_CTRL_STATUS_2_OFFSET); // Read PHY reg
```

# 4. F28P65+DP83826 EtherCAT Link Down 故障排查案例

1) **故障表现**：客户测试 5 台 EtherCAT 从站机器手拉手通信，ESC 使用 F28P65，PHY 使用 DP83826。上下电循环测试期间，偶发性出现 EtherCAT 链路 Link down，导致环路在故障从站位置提前回环，系统通信故障。
2) **排查流程**：基于第 3 节分析方法，排查流程和定位过程如图 6 所示。

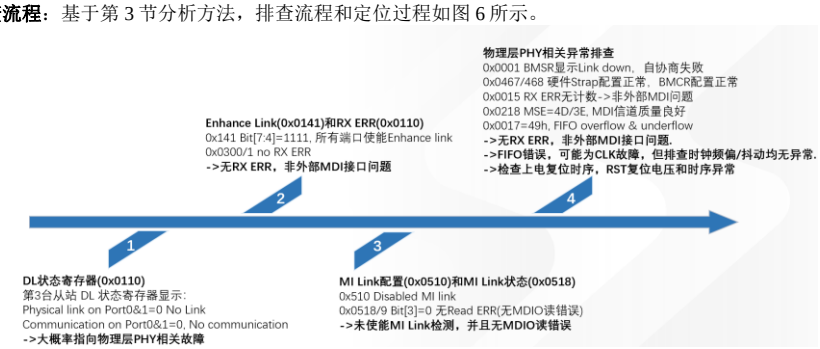


**图 6 排查流程和定位过程图**

3) **故障原因**：
   a) DP83826 RST 引脚外部下拉电阻过大 4.7k-Ohm，通常情况下是能够实现有效下拉的。然而，需要注意器件引脚内部结构，DP83826 RST 引脚内部存在 10k-Ohm 上拉电阻，F28P65 GPIO 内部也存在 10k-Ohm 上拉电阻（在应用程序初始化过程中，F28P65 内部上拉电阻被使能），因此，两个内部上拉电阻均连接到 3.3V，并联后与外部下拉电阻 4.7k-Ohm 分压得到 RST=1.6V，导致上电时刻 RST 复位电压异常(>0.8V $V_{IL_3V3}$)。
   b) DP83826 RST 时序不满足：在 XI 时钟稳定时间 100us 满足之前就释放了 RST。

   如图 7 所示为 a)和 b)所示异常 RST 电压和 RST 时序。

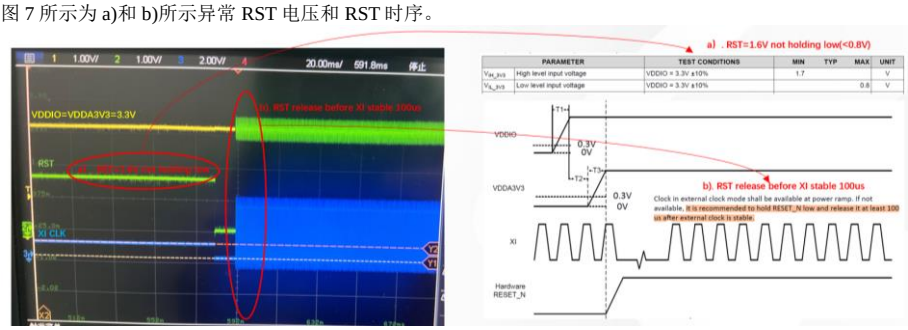


**图 7 异常 RST 电压 和 RST 时序**

优化 RST 外部下拉电阻为 1k-Ohm，延迟 RST 释放时间让其在 XI CLK 稳定 100us 之后再释放(下图使用 10ms 左右，见波形图所示 RST 释放时刻与 XI 上电时刻时间差$\Delta X$)，满足 DP83826 手册时序后，使用如图 8 所示 RST 电压和复位时序，Link down 故障解决。

Commented [ZS1]: 优化后时间是多少，可以结合波形图用文字说明一下

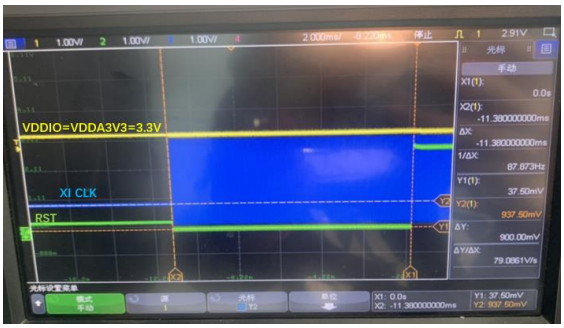


**图 8 优化后的 RST 电压和时序**

本案例也验证了 3.4 节所述，异常时序和电压会导致 PHY 出现多种可能故障表现，例如 Link down、寄存器无法读取、不可预知的错误计数等等。因此，PHY 的故障排查先确认供电和上下电时序都是必要的，避免时序以及电压问题与其他可疑故障混淆，干扰故障定位思路。

## 5. 总结

稳定可靠的 Link 状态是 EtherCAT 应用至关重要的一环，本文针对 EtherCAT 应用 Link down 故障的排查方法进行了详细分析。以 F28P65+DP83826 EtherCAT 应用为例，给出了详细的故障排查流程以及关键寄存器信息对应的故障指向，并提供了实际故障分析案例，为 EtherCAT 应用的 Link down 故障分析提供了详细调试指南和分析方法。

## 参考文献

1. EtherCAT_Diagnosis_For_Developers
2. ethercat_esc_datasheet_sec1_technology_2i3
3. ethercat_esc_datasheet_sec2_registers_3i0
4. ethercat_et1100_datasheet_v2i1
5. F28P65 TRM
6. DP83826 Troubleshooting guidance
7. DP83826 Data sheet
8. How and Why to Use the DP83826 for EtherCAT® Applications (Rev. C)

# 重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做出任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 TI 销售条款)、TI 通用质量指南 或 ti.com 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。 除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2026，德州仪器 (TI) 公司

最后更新日期：2025 年 10 月