

Application Note

AM275x 音频系统设计指南



Erik Friedel

摘要

适用于优质音频应用的德州仪器 (TI) 音频 DSP SoC 具有多通道音频串行端口 (McASP)。该 McASP 的配置选项非常灵活，可实现各种多区域和多通道音频系统。本文档概述了数字音频格式、McASP 配置选项和常见系统实现。

如何使用本文档

本文档旨在让您基本了解音频数据传输、TI 音频外设以及如何将这些外设用于多区域音频系统。本文档介绍了音频系统设计的基础知识，首先详细介绍了如何发送或接收数字音频，并将其应用于 McASP 和 ASRC 配置以支持各种不同的系统用例。

章节概述	章节链接
McASP 支持的数字音频格式基本说明	<a href="#">节 1</a>
McASP 外设以及可用的各种配置选项的基本概述	<a href="#">节 2</a>
针对不同用例的 McASP 实例的 AM275x 特定实现的详细说明	<a href="#">节 3</a>
重点介绍了 McASP 布局设计中的两个重要注意事项	<a href="#">节 4</a>
ASRC 模块的基本概述：实现该模块以获得更高灵活性	<a href="#">节 5</a>
针对涉及外部元件的实际用例的 McASP 和 ASRC 不同配置示例	<a href="#">节 6</a>
关键音频系统设计要点	<a href="#">节 7</a>

内容

如何使用本文档.....	1
1 数字音频格式.....	2
1.1 I <sup>2</sup> S.....	3
1.2 TDM.....	3
2 McASP 概述.....	4
3 AM275x 的 McASP 连接.....	6
3.1 McASP 常见配置.....	6
3.1.1 McASP 作为时钟控制器.....	8
3.1.2 McASP 作为时钟外设.....	12
4 McASP 布局注意事项.....	14
4.1 与引导模式逻辑共享的 McASP 信号.....	14
4.2 单时钟域中多个器件的 McASP 拓扑.....	15
5 ASRC 概述.....	16
6 McASP 实际示例.....	17
6.1 使用两个时钟域的内部音频 PLL 进行音频播放.....	17
6.2 使用外部时钟源和 McASP 同步模式进行音频播放.....	18
6.3 使用 ASRC 桥接两个时钟域的音频播放.....	19
7 关键音频系统设计要点.....	20
8 参考资料.....	21

商标

所有商标均为其各自所有者的财产。

## 1 数字音频格式

数字音频数据以三线制格式传输。音频传输所需的三个信号是位时钟、帧同步和串行音频数据。一个数据帧中包含多个音频时隙。音频通道被分配到唯一时隙，以便通过单总线发送多通道音频。单个音频数据帧包含每个要传输的通道的单采样值。各种数字音频格式将定义如何组织音频数据帧并在设备之间传输。通常，所有音频帧格式均由以下特性定义：

- 帧同步的下降沿或上升沿表示帧开始
- 帧同步边沿和数据传输之间的延迟
- 帧同步宽度
- 每个帧的唯一音频通道数量
- 每个通道的时隙大小，以位为单位
- 每个时隙的字深度，以位为单位
- 位流顺序 (MSB 或 LSB 在前)
- 用于对音频数据进行采样的位时钟极性

### 备注

数字音频信号有许多通用名称。帧同步 (FS) 又可称为 LRCLK、WCLK 或字选择。位时钟又可称为串行时钟或音频时钟。在本文档中，使用帧同步和位时钟的标准命名。

音频时隙的字可能小于时隙位总宽度。当字深度小于时隙大小时，字可以与时隙的左侧或右侧对齐。由于对齐选项不同，务必完全了解如何填充位以解读音频数据。

图 1-1 显示了一个示例音频时隙，它具有最高有效位优先串行位流、24 位字深度 (左对齐) 和 32 位时隙大小。

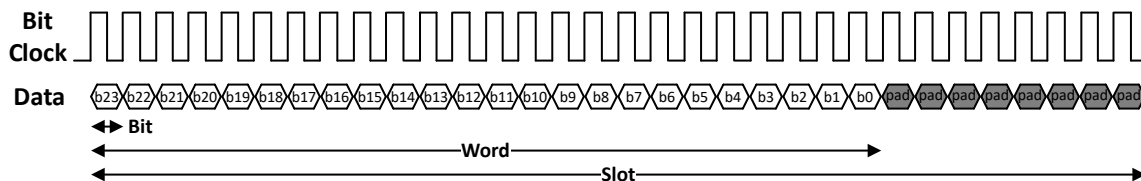


图 1-1. 帧中的位、字和时隙

## 1.1 I<sup>2</sup>S

内部 IC 声音 (I<sup>2</sup>S) 是专为立体声音频定义的标准数字音频协议。立体声音频意味着每个数字音频帧由两个通道组成：左声道和右声道。I<sup>2</sup>S 帧由以下特性定义：

- 帧同步的下降沿表示帧开始
- 帧同步下降沿和数据传输之间的 1 位时钟周期延迟
- 单字帧同步宽度
- 每帧两个通道
- 最高有效位优先串行位流顺序
- 在位时钟的下降沿移出数据
- 在位时钟的上升沿对数据采样

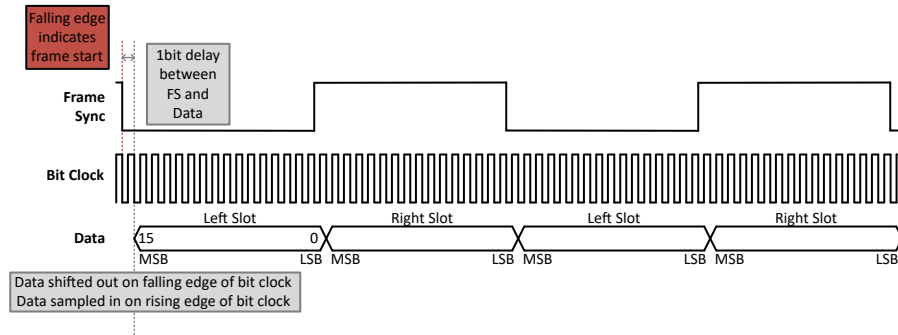


图 1-2. I<sup>2</sup>S 时序图

## 1.2 TDM

时分多路复用 (TDM) 是用于多通道音频传输的标准数字音频协议。通常，TDM 后跟一个数字，指示每个音频帧的通道数，例如 TDM4。TDM 没有标准化格式，但典型的 TDM 帧由以下特性定义：

- 帧同步的上升沿表示帧开始
- 帧同步上升沿和数据传输之间的 1 位时钟周期延迟
- 单比特帧同步宽度
- 最高有效位优先串行位流顺序
- 在位时钟的下降沿移出数据
- 在位时钟的上升沿对数据采样

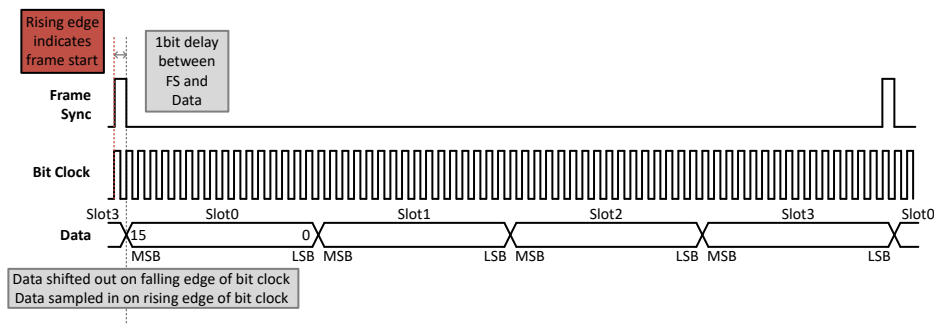


图 1-3. TDM4 时序图

## 2 McASP 概述

多通道音频串行端口 (McASP) 旨在优化多通道和多区域音频通信。McASP 外设由用于发送和接收位时钟 (ACLK[X/R])、发送和接收帧同步 (AFS[X/R]) 以及多达 16 个音频发送/接收串行器 (AXR) 的信号组成。McASP 还具有用于提供根时钟和可编程分频器的内部路径, 可用于生成适当的位时钟和帧同步频率。McASP 有一个 AUXCLK, 可用于生成内部发送和接收高频时钟 (AHCLK[X/R])。高频时钟用于在内部生成位时钟和帧同步。或者, McASP 也可配置为从外部源接收位时钟和/或帧同步。

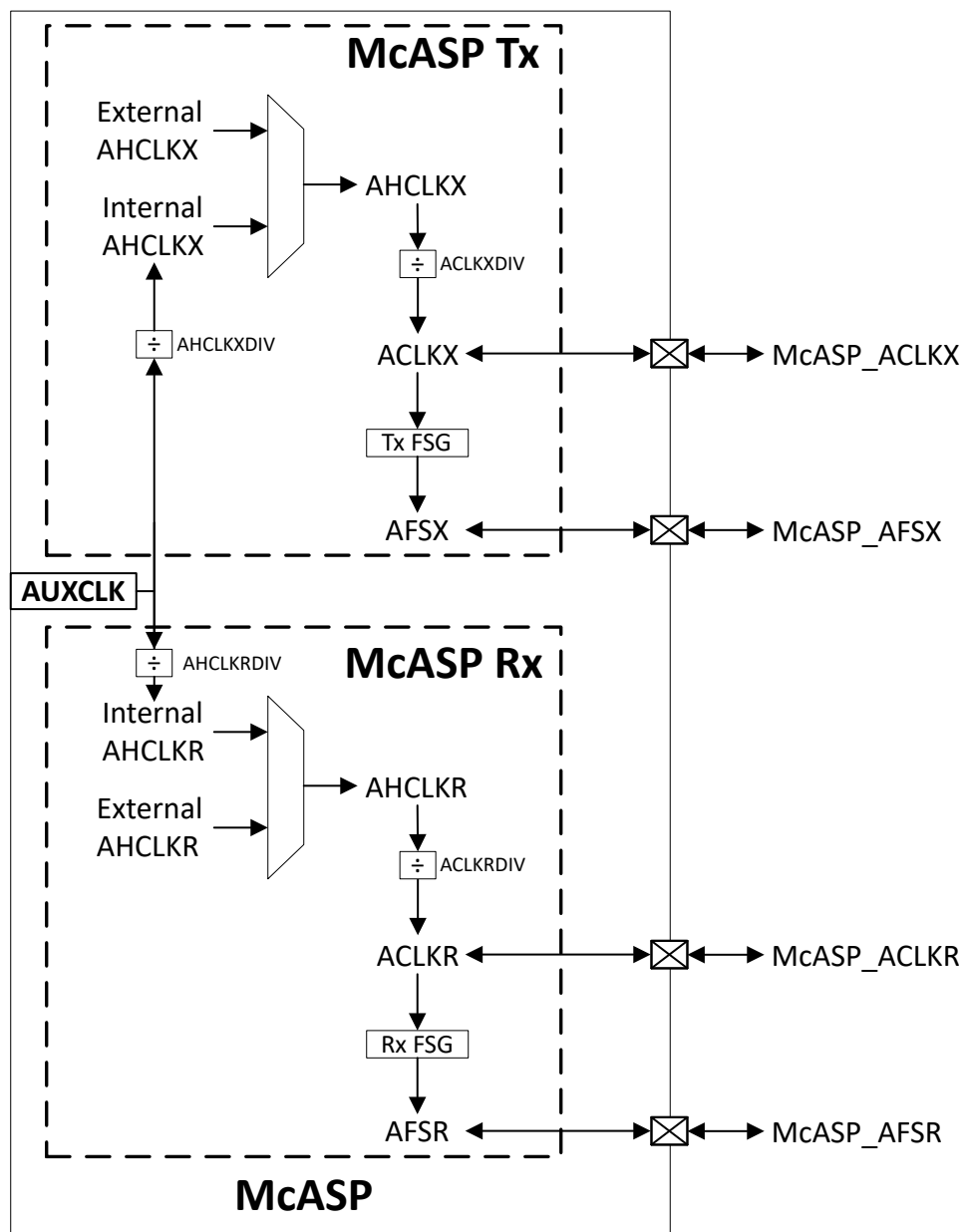


图 2-1. McASP 总体概述

每个 McASP 支持以下特性：

- 采用独立时钟区域的音频数据发送和接收
- 多 16 个用于音频发送和接收的串行器 (AXR)
  - 每个 McASP 实例的串行器数量因 SoC 实现而异。
  - 例如，在 AM275x 上，McASP0 提供了全部 16 个串行器，而 McASP4 仅提供了六个串行器。
- 每个串行器用于发送和接收操作的 32 位缓冲器
- 时钟丢失检测
- 音频帧格式的配置选项
  - 时隙数
  - 时隙大小，以位为单位
  - 小于时隙大小的活动字深度的位屏蔽
  - 活动时隙屏蔽
  - 帧同步到数据延迟（以位时钟周期表示）
  - 帧同步极性和宽度
  - 位时钟极性
  - 串行数据位流顺序

每个 McASP 也可以在同步模式下运行，在该模式下，ACLKX 和 AFSX 在内部路由到 ACLKR 和 AFSR。同步模式支持编解码器等用例，该编解码器有一个用于数据发送和接收的时钟域。

如果 McASP 处于异步模式，则串行器 IO 方向决定用于解读音频数据帧的位时钟和帧同步。

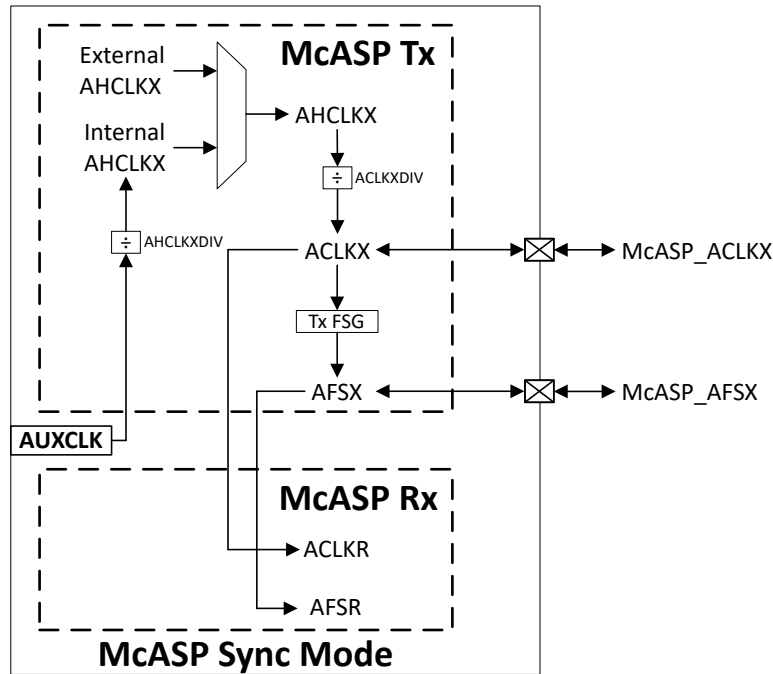


图 2-2. McASP 同步模式

### 3 AM275x 的 McASP 连接

AM275x 是一款基于 Arm 的处理器，具有五个独特的 McASP 以及各种内部连接，可支持不同的时钟场景。内部连接的整个映射如图 3-1 所示。

#### 备注

每个 McASP 都有一个用于发送和接收时钟区域的独立 ACLK 和 AFS，但只有一个 AUXCLK。

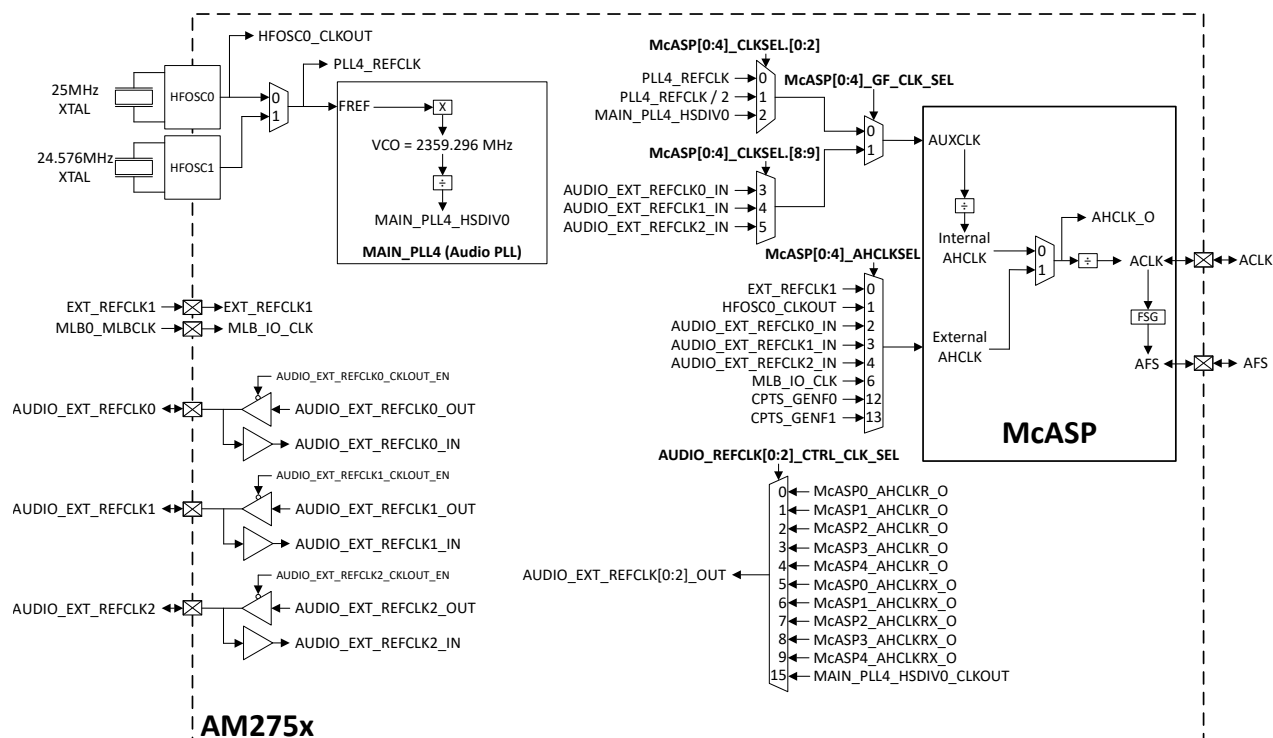


图 3-1. AM275x McASP 连接

#### 3.1 McASP 常见配置

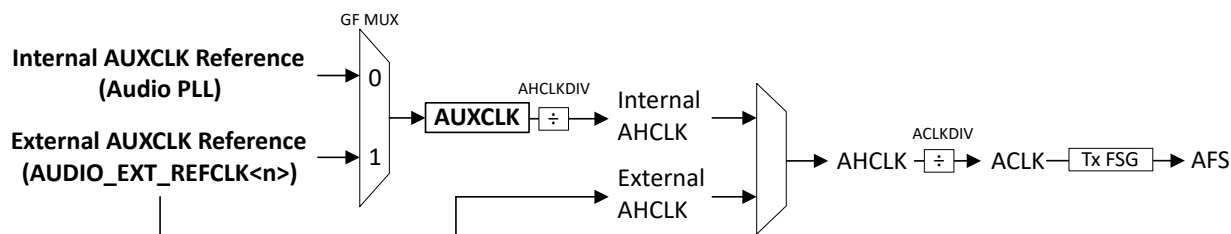


图 3-2. McASP 示意简图

#### 备注

每个 McASP 都有一个发送 (TX) 域和一个接收 (RX) 域。图 3-2 显示了代表 TX 或 RX 域的单个时钟域。

McASP 位时钟 (ACLK) 和帧同步 (AFS) 均为双向，因此 McASP 可以是时钟控制器，也可以是时钟外设。以下各节详细介绍了每种时钟配置的所有可用选项。

表 3-1 列出了配置 McASP 的常见用例。AM275x SoC 提供了许多选项，用于生成、提供和接收音频数据帧格式所需的时钟。

#### 备注

对于位时钟和帧同步，**内部生成**是指在 McASP 时钟控制器应用的 SoC 级别输出的内部基准信号，而**外部生成**则意味着对于 McASP 时钟外设应用，这些信号将配置为 SoC 级别的输入。

表 3-1. McASP 用例矩阵

说明	GF MUX AUXCLK 源	AHCLK	位时钟	帧同步	McASP	示例
具有内部音频 PLL 基准的 McASP 时钟控制器	内部音频 PLL	内部生成	内部生成	内部生成	图 3-5	图 6-1
具有外部 AUXCLK 基准的 McASP 时钟控制器	AUDIO_EXT_REFCLK<n>	内部生成	内部生成	内部生成	图 3-6	
具有外部 AHCLK 基准的 McASP 时钟控制器		外部生成	内部生成	内部生成	图 3-7	
McASP 时钟外设			外部生成	外部生成	图 3-8	
具有外部 AUXCLK 基准的 McASP 时钟外设	AUDIO_EXT_REFCLK<n>	内部生成	外部生成	外部生成	图 3-9	图 6-2

图 3-2 简要概述了 McASP 时钟的不同配置选项，而图 3-3 更详细地展示了可用的选项。

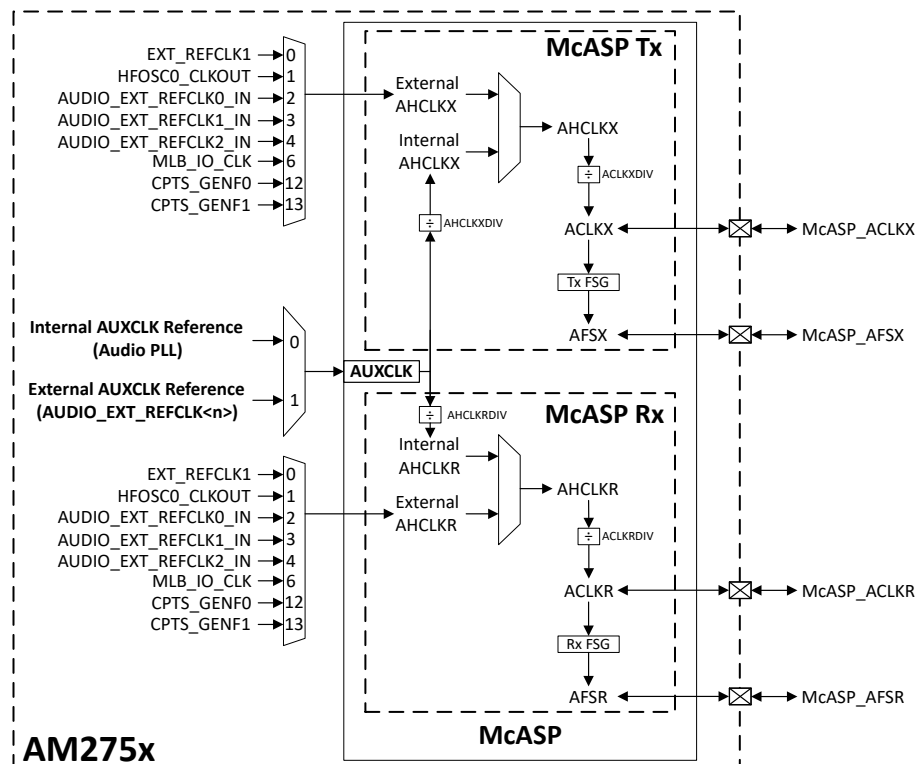


图 3-3. McASP 详细介绍

### 3.1.1 McASP 作为时钟控制器

如果 McASP 配置为时钟控制器，则位时钟和帧同步信号将配置为输出。当源设置为**内部生成**时，SDK 驱动程序将位时钟和帧同步定义为输出。这意味着位时钟由高时钟在内部生成，基于位时钟生成帧同步。TX 或 RX 域的高时钟以及 McASP AUXCLK 提供了许多选项，可更好地满足音频系统要求。

AUXCLK 是单个时钟基准，可以同时提供给 TX 和 RX 域。对于 AM275x，每个 McASP AUXCLK 输入都连接到一个无干扰 (GF) 时钟多路复用器，用于在本地和外部时钟基准之间进行选择。AUXCLK 的本地基准是音频 PLL (PLL4) 时钟输入，或 PLL 的高速分频器输出之一。外部时钟基准是任何 AUDIO\_EXT\_REFCLK 输入。

当 AHCLK 在内部生成时，AHCLK 可以作为任何 AUDIO\_EXT\_REFCLK 引脚上的输出路由，以提供高频基准。

#### 备注

当使用 AUXCLK 生成 AHCLK 时，SDK 将高时钟源 (AHCLK) 称为在**内部生成**。这可能会造成混淆，因为如果为 AUDIO\_EXT\_REFCLK 多路复用器基准选项配置了 GF 多路复用器，AUXCLK 输入可以选择在外部生成。

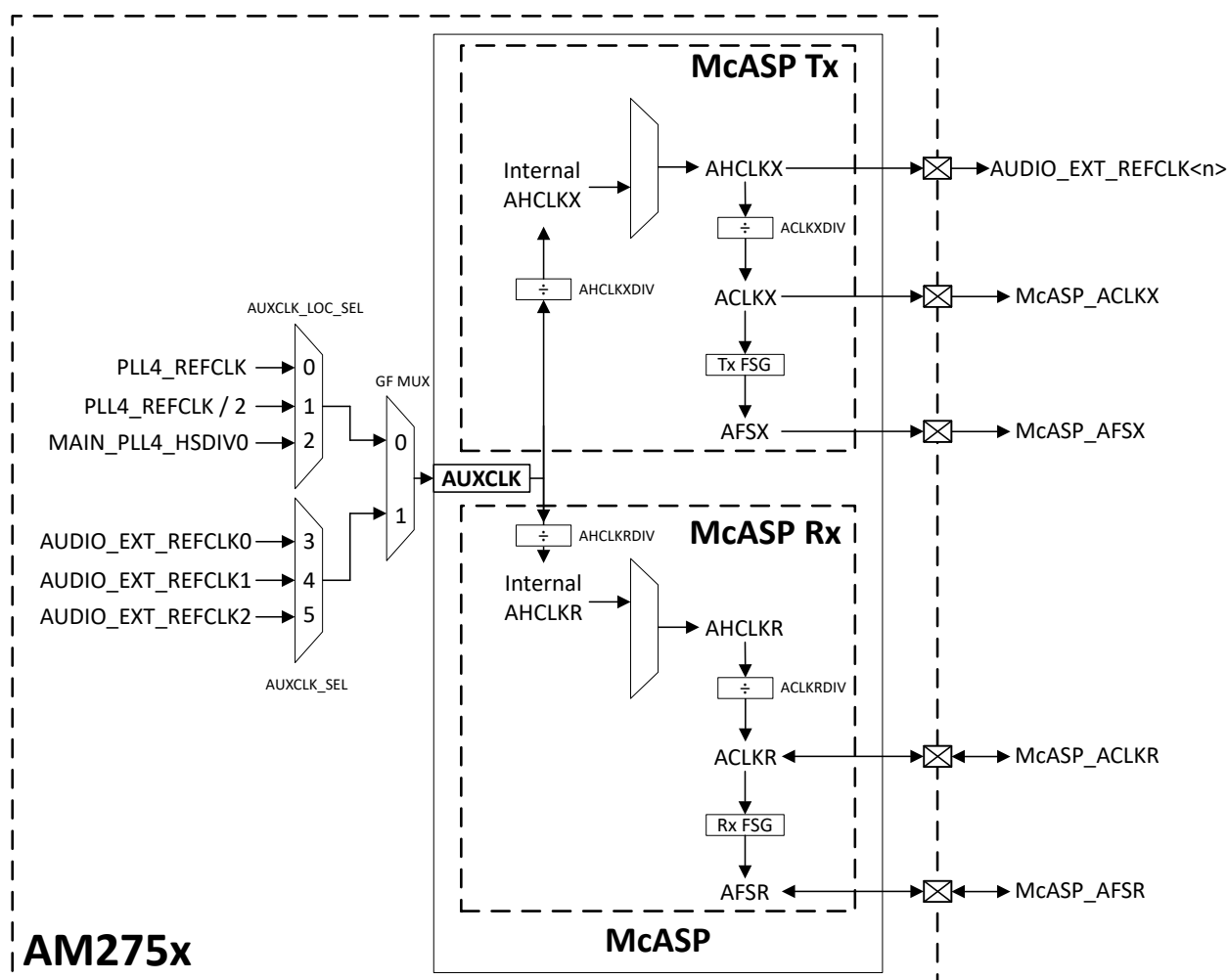


图 3-4. 具有 AUXCLK 源的 McASP 控制器



### 3.1.1.1 使用内部音频 PLL 生成的时钟

下面的部分详细介绍了 McASP 的示例设置，其中位时钟和帧同步配置为输出，并使用内部音频 PLL 作为时钟基准生成。

说明	GF MUX AUXCLK 源	AHCLK	位时钟	帧同步
具有内部音频 PLL 基准的 McASP 时钟控制器	内部音频 PLL	内部生成	内部生成	内部生成

在本例中，McASP 配置为 48kHz 帧同步、TDM8 帧格式且采用 32 位字长，最终位时钟频率为 12.288MHz。GF MUX 配置为指向本地基准多路复用器，该多路复用器选择了 MAIN\_PLL4\_HSDIV0。默认情况下，MAIN\_PLL4\_HSDIV0 设置为 49.152MHz。SDK 驱动程序会根据时隙数、帧同步频率以及帧同步与 AHCLK 之比来设置 AHCLK 和 ACLK 分频器。

当 AHCLK 在内部生成时，可以选择在任何 AUDIO\_EXT\_REFCLK 引脚上输出 AHCLK，以提供系统时钟基准输出。

此外，McASP 的时钟丢失检测功能由通过内部生成的 AHCLK 启用。有关 McASP 的时钟丢失检测的其他信息，请参阅《AM275x 技术参考手册》的 *MCASP 错误报告* 部分中的 *时钟故障检测* 一章。

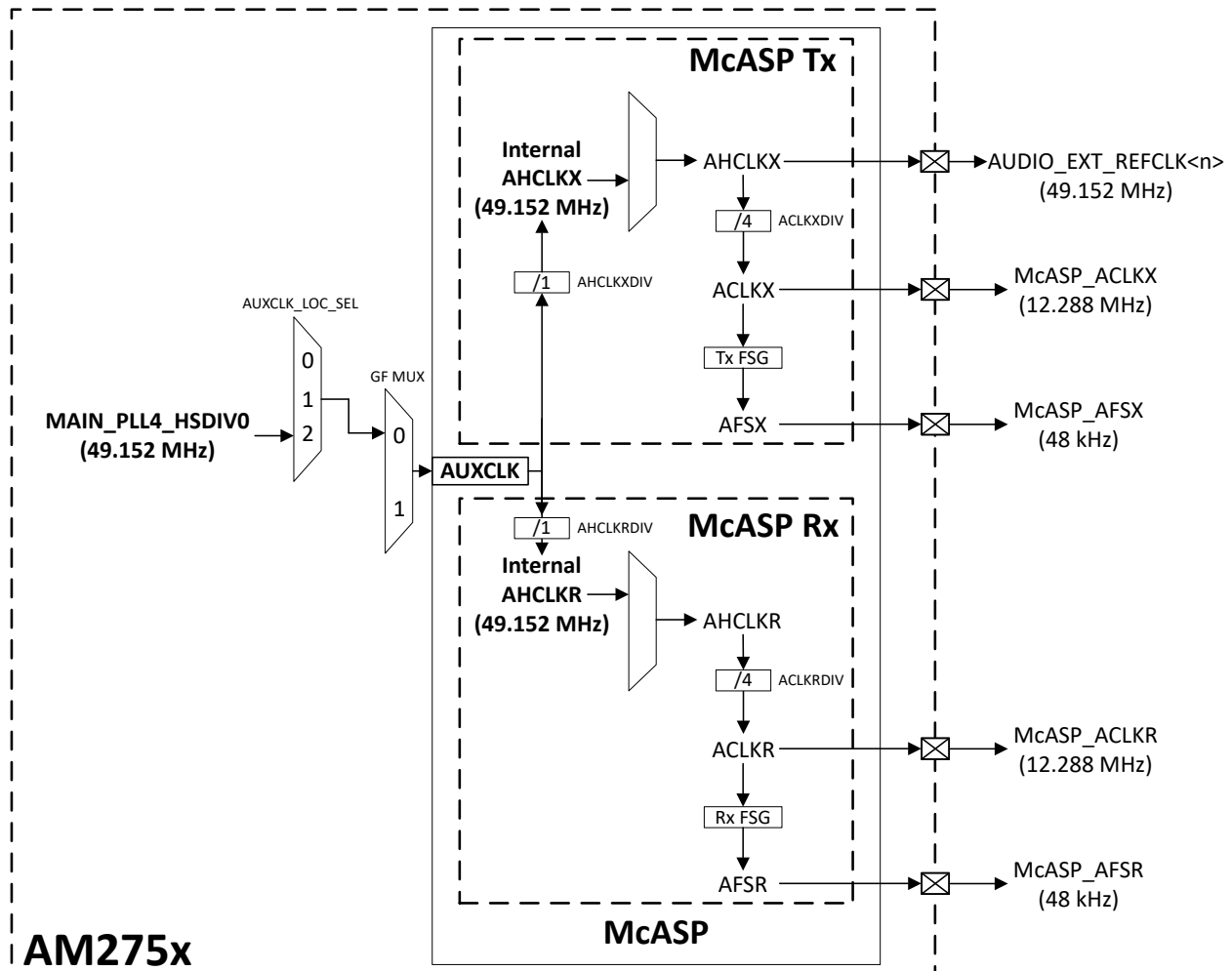


图 3-5. 具有音频 PLL 基准的 McASP 时钟控制器

### 3.1.1.2 使用 AUDIO\_EXT\_REFCLK AUXCLK 源生成的时钟

下面的部分详细介绍了 McASP 的示例设置，其中位时钟和帧同步配置为输出，并使用外部源通过 AUDIO\_EXT\_REFCLK 作为时钟基准生成。

说明	GF MUX AUXCLK 源	AHCLK	位时钟	帧同步
具有外部输入基准的 McASP 时钟控制器	AUDIO_EXT_REFCLK<n>	内部生成	内部生成	内部生成

在本例中，McASP 配置为 48kHz 帧同步、TDM8 帧格式且采用 32 位字长，最终位时钟频率为 12.288MHz。GF MUX 配置为指向外部基准多路复用器，后者选择 24.576MHz 的来自外部驱动器的 AUDIO\_EXT\_REFCLK0 源。SDK 驱动程序会根据时隙数、帧同步频率以及帧同步与 AHCLK 之比来设置 AHCLK 和 ACLK 分频器。

当 AHCLK 在内部生成时，可以选择在任何 AUDIO\_EXT\_REFCLK 引脚上输出 AHCLK，以提供系统时钟基准输出。

此外，McASP 的时钟丢失检测功能由通过内部生成的 AHCLK 启用。有关 McASP 的时钟丢失检测的其他信息，请参阅《AM275x 技术参考手册》的 *MCASP 错误报告* 部分中的 *时钟故障检测* 一章。

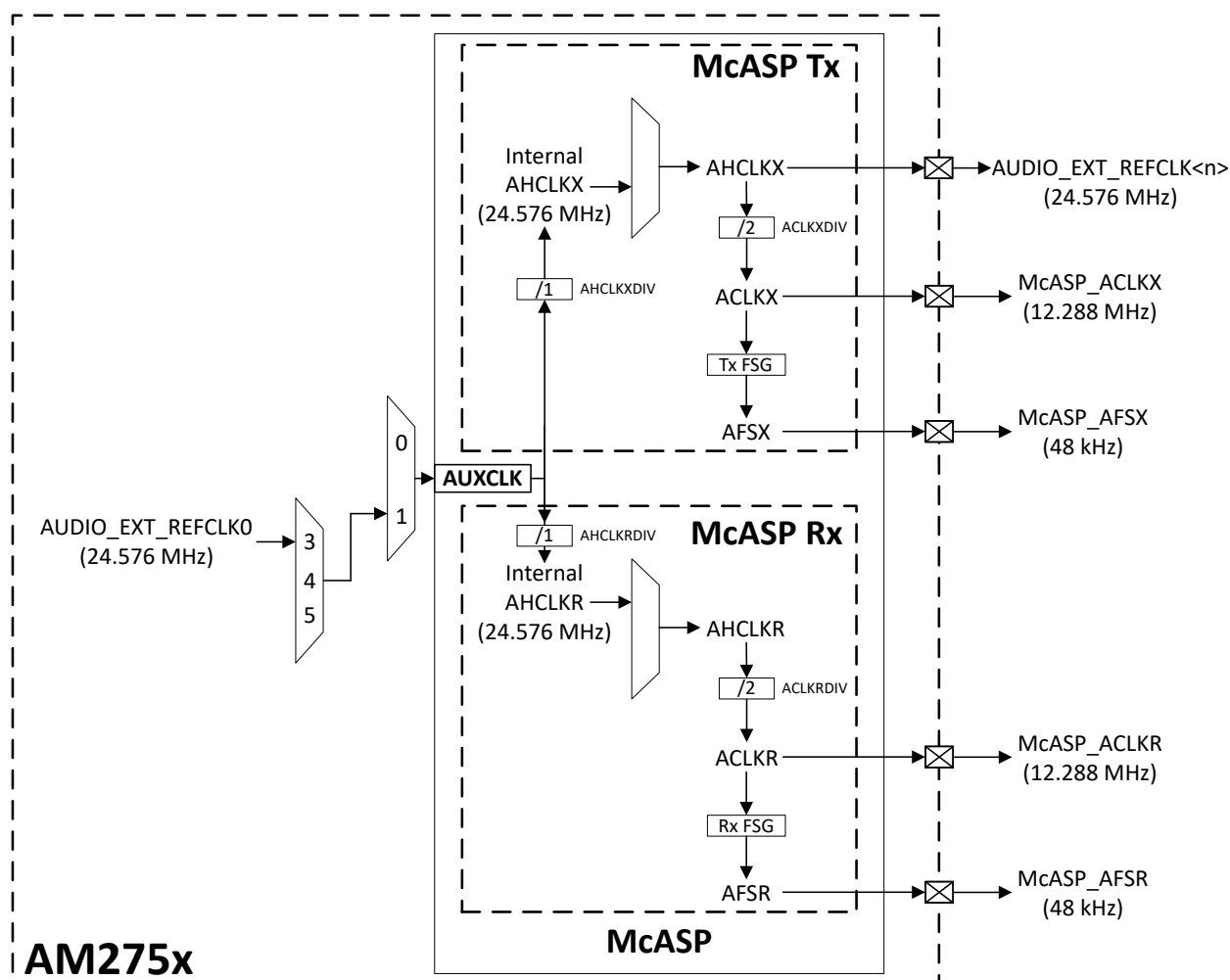


图 3-6. 具有 AUDIO\_EXT\_REFCLK0 AUXCLK 基准的 McASP 时钟控制器

### 3.1.1.3 使用 AUDIO\_EXT\_REFCLK AHCLK 源生成的时钟

下面的部分详细介绍了 McASP 的示例设置，其中位时钟和帧同步配置为输出，并使用外部源通过 AUDIO\_EXT\_REFCLK 直接作为 AHCLK 的时钟基准生成。

说明	GF MUX AUXCLK 源	AHCLK	位时钟	帧同步
具有外部 AHCLK 输入基准的 McASP 时钟控制器		外部生成	内部生成	内部生成

在本例中，McASP 配置为 48kHz 帧同步、TDM8 帧格式且采用 32 位字长，最终位时钟频率为 12.288MHz。当 AHCLK 配置为外部生成时，不考虑 GF MUX 和 AUXCLK。每个 AHCLK 都有唯一的多路复用器，用于选择不同的外部源。AHCLK 多路复用器配置为指向 AUDIO\_EXT\_REFCLK0 源，后者是来自外部驱动器的 24.576MHz 源。SDK 驱动程序会根据时隙数、帧同步频率以及帧同步与 AHCLK 之比来设置 ACLK 分频器。

当 AHCLK 在外部生成时，无法在 AUDIO\_EXT\_REFCLK 上输出 AHCLK。

如果 AHCLK 在外部生成，则时钟丢失检测功能对 McASP 不可用。

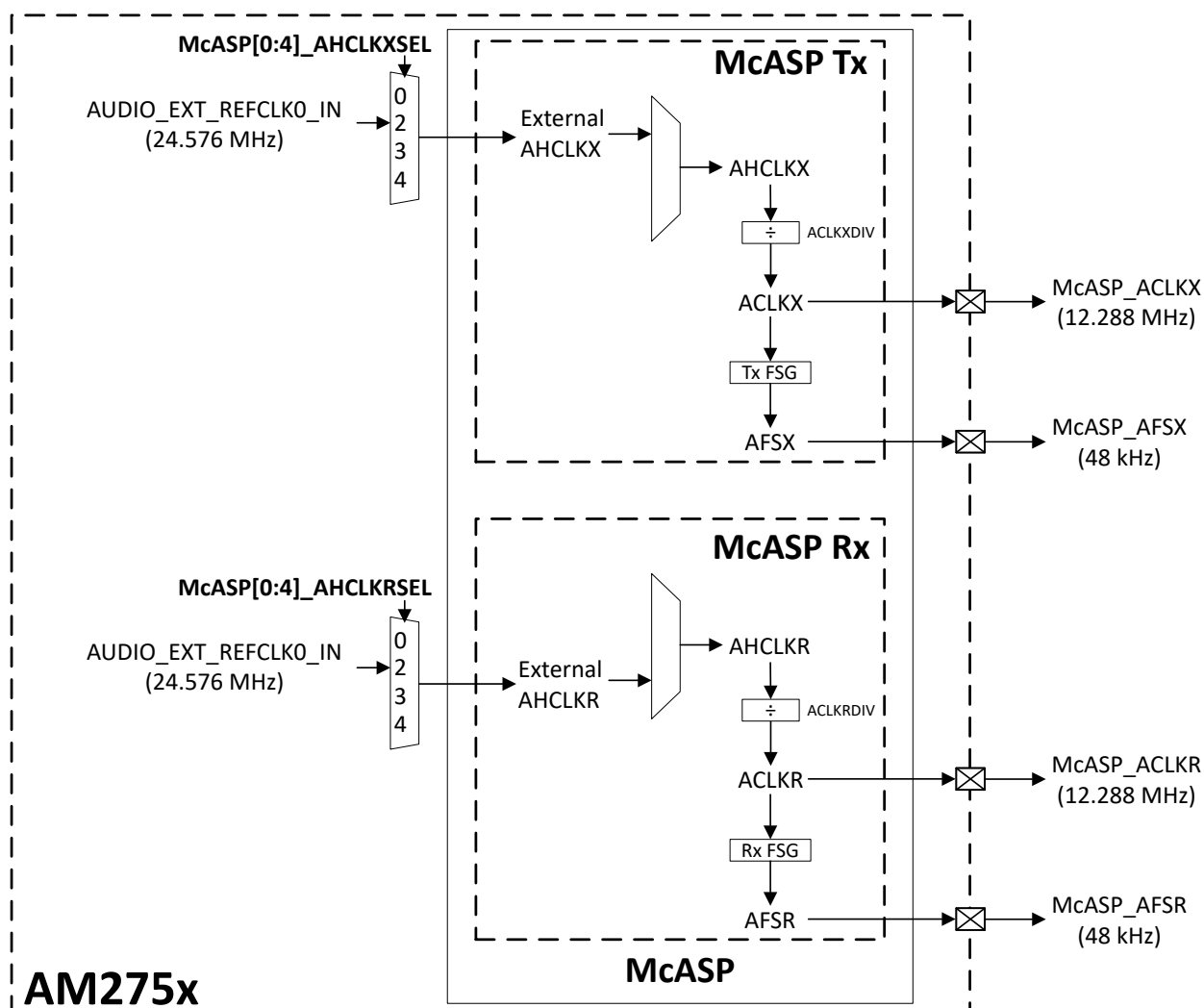


图 3-7. 具有 AUDIO\_EXT\_REFCLK0 AHCLK 基准的 McASP 时钟控制器

### 3.1.2 McASP 作为时钟外设

下面的部分详细介绍了 McASP 的示例设置，其中位时钟和帧同步配置为输入。

说明	GF MUX AUXCLK 源	AHCLK	位时钟	帧同步
McASP 时钟外设			外部生成	外部生成

在本例中，McASP 配置为 48kHz 帧同步、TDM8 帧格式且采用 32 位字长，最终位时钟频率为 12.288MHz。在这种情况下，GF MUX 和 AHCLK 设置无关紧要。为了实现正确的音频数据传输，SDK 驱动程序必须配置为匹配位时钟和帧同步的预期频率。

McASP 不提供时钟丢失检测，除非按照 节 3.1.2.1 中的详细说明使用 AUDIO\_EXT\_REFCLK。

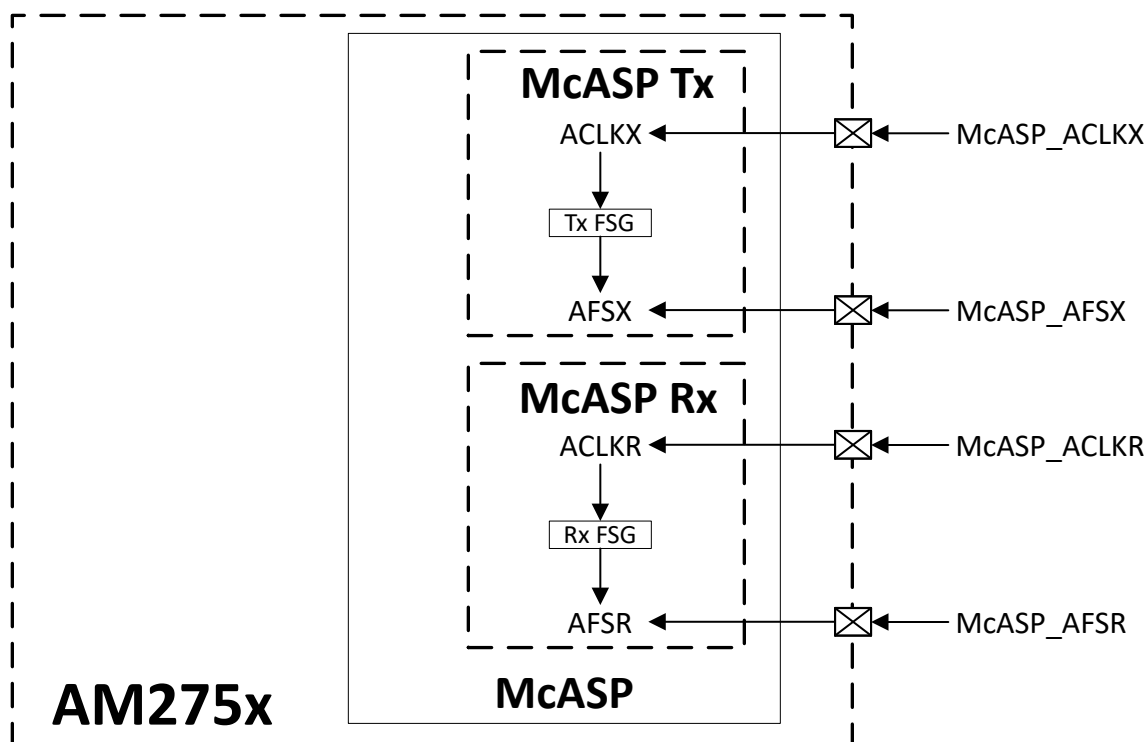


图 3-8. McASP 时钟外设

### 3.1.2.1 通过 AUDIO\_EXT\_REFCLK 输入在外部生成的时钟

下面的部分详细介绍了 McASP 的示例设置，其中位时钟和帧同步配置为输入。

说明	GF MUX AUXCLK 源	AHCLK	位时钟	帧同步
具有外部 AUXCLK 基准的 McASP 时钟外设	AUDIO_EXT_REFCLK<n>	外部生成	外部生成	外部生成

在本例中，McASP 配置为 48kHz 帧同步、TDM8 帧格式且采用 32 位字长，最终位时钟频率为 12.288MHz。GF MUX 配置为指向外部基准多路复用器，后者选择 24.576MHz 的来自外部驱动器的 AUDIO\_EXT\_REFCLK0 源。SDK 驱动程序可设置 AHCLK 和 ACLK 分频器，但它们不用作 ACLK，AFS 由外部驱动。

当 AHCLK 在内部生成时，可以选择在任何 AUDIO\_EXT\_REFCLK 引脚上输出 AHCLK，以提供系统时钟基准输出。

此外，McASP 的时钟丢失检测功能由通过内部生成的 AHCLK 启用。有关 McASP 的时钟丢失检测的其他信息，请参阅《AM275x 技术参考手册》的 *MCASP 错误报告* 部分中的 *时钟故障检测* 一章。

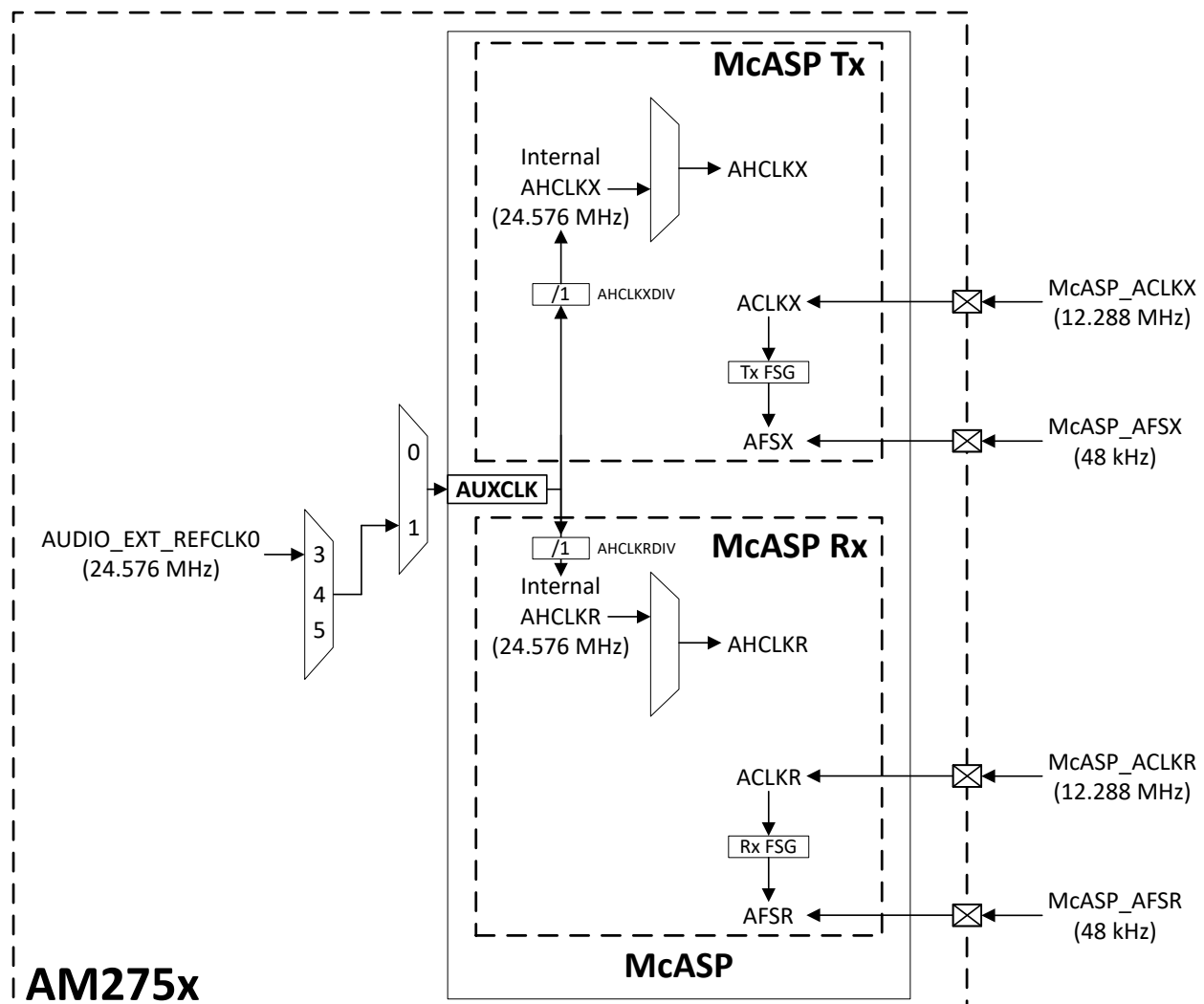


图 3-9. 具有 AUDIO\_EXT\_REFCLK AUXCLK 基准的 McASP 时钟外设

## 4 McASP 布局注意事项

McASP 设计为能够使用单个时钟域同时与多个音频器件连接。但是，时钟和数据信号的信号完整性可能会受到影响，具体取决于布局实现。本章重点介绍了 AM275x 上的 McASP 的两个最重要的布局注意事项。

### 备注

无论布局实现参数如何，McASP 信号布局都应始终进行仿真，以确保时钟和数据信号满足数据表时序要求。

### 4.1 与引导模式逻辑共享的 McASP 信号

AM275x 有 16 个引导模式信号，ROM 使用这些信号来确定用于引导的外设以及其他引导配置参数。16 个引导模式信号连接到 SoC 的特定焊盘，AM275x 将大多数 McASP0 接口焊盘用于引导模式焊盘。

每个引导模式焊盘都需要一个外部上拉或下拉电阻，以便在上电序列期间为相关的引导模式信号定义数字逻辑高电平或低电平状态。

由于与引导模式逻辑共享 McASP0 信号，因此务必检查并确保：

- 在初始上电期间或复位时，连接到 McASP0 接口的音频器件无法驱动引导模式信号。例如，如果 PORz 对 AM275x 有效，则 McASP0 音频器件也应保持复位状态，直到引导序列完成。
  - 在上电或复位期间，引导模式逻辑上的外部驱动器将导致不可预测的引导模式状态。
- 外部拉电阻器应与信号布线成一条直线放置，以使其不会产生残桩。图 4-1 展示了带有和不带布线残桩的拉电阻器示例，在此处应为设计复制绿色实现。
  - 信号布线上的残桩（尤其是位时钟上）将会影响音频数据的可靠性，因为残桩引起的信号反射可能会导致时序错误和信号失真。

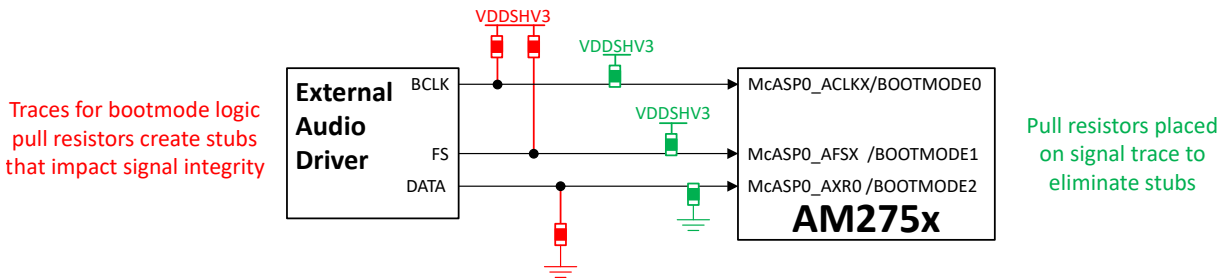


图 4-1. McASP 信号布线残桩

## 4.2 单时钟域中多个器件的 McASP 拓扑

McASP 通常设计为许多音频器件共享单个时钟域的系统。例如，TAS6754 是一款可支持 TDM16 的 4 通道放大器。这意味着单个 McASP 的位时钟、帧同步和数据引脚可由多达 4 个放大器共享。这三个信号的布局设计将会影响接口的性能和可靠性。

图 4-2 展示了将位时钟信号连接到四个不同放大器的三种不同信号拓扑。

- 如果使用飞越拓扑，则总线上每个压降产生的布线残桩应当长度一致且尽可能短，以减少反射。根据时钟频率和布线长度，这种拓扑可能会导致信号完整性问题
- LMK1C1104 之类的时钟扇出缓冲器是在多个器件之间共享时钟信号的推荐方法。通过重新驱动时钟，扇出缓冲器可产生信号完整性与点对点布线性能接近的时钟信号。
- 在平衡 T 形或星形拓扑中，单个总线拆分成长度等效的分支，分别用于各个器件。创建的分支应尽可能短，为器件创建的每个残桩长度一致。

### 备注

无论采用何种拓扑，始终建议在靠近驱动器的所有 McASP 信号上都串联一个终端电阻器，以抑制信号反射并保持信号完整性。

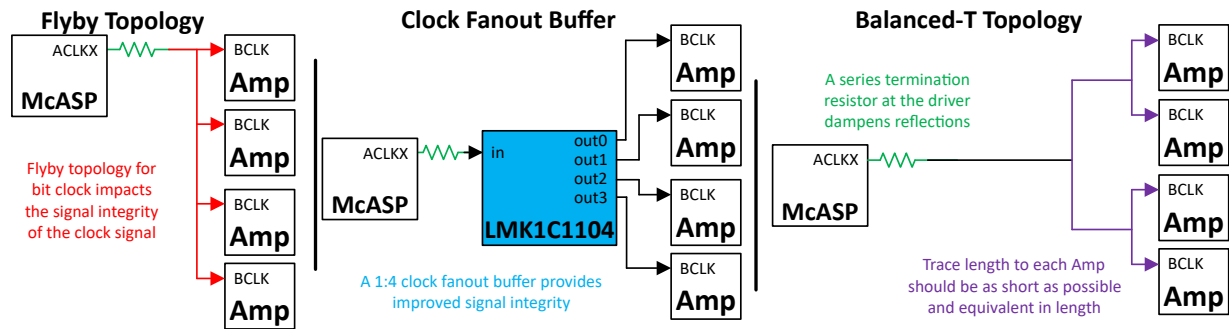


图 4-2. 多器件音频系统的时钟拓扑

## 5 ASRC 概述

复杂的音频系统可能需要具有不同音频时钟的多个音频区域。异步音频采样率转换器 (ASRC) 模块从一个时钟区域获取样本，然后将这些音频数据转换到不同时钟区域，同时保持高信噪比，以确保输出音频质量能够满足各种高端音频算法的要求。此外，ASRC 可用于在两个时钟域之间使用相同的采样率和不同的根时钟进行转换，以消除时钟抖动。有关 ASRC 模块的更多深入信息，请参阅《AM275x 技术参考手册》的 [音频采样率转换器](#) 一章。

AM275x 由两个 ASRC 模块组成，因此可以在最多 32 个独立的音频通道上执行异步采样率转换，前提是每个 SRC 对可用于两个通道。图 6-3 举例说明了如何在音频系统中使用 ASRC。

ASRC 模块具有四个输入 (RXSYNC) 和四个输出 (TXSYNC) 时钟区域，可从 ASRC SYNC 多路复用器中提供的各种采样率选项中进行选择。RXSYNC 和 TXSYNC 时钟区域 0 和 1 都有一个可选分频器，支持在 1 至 8192 之间进行分频。但是，如果这些区域使用分频器，则输入频率必须小于 96MHz。如果不使用时钟区域分频器，则采样率必须介于 8kHz 和 216kHz 之间。此外，任何采样率转换器对的输出时钟区域采样率与输入时钟区域采样率之比必须在 1/16 到 16 之间。

每个 ASRC 模块由 8 个采样率转换器立体声对组成。这些对中的每一对都可以唯一配置为使用 4 个输入和输出时钟区域中的任何一组进行采样率转换，以及对输入和输出字长进行编程。每个 SRC 对都可以配置为单声道、立体声或组通道类型。对于大于两个通道的音频数据流，组通道类型可用于将多个 SRC 对链接在一起，并为输入和输出提供相同的时序环路。

### 备注

TXSYNC/RXSYNC 时钟区域选择以及任何组通道配置在两个 ASRC 模块之间相互独立。

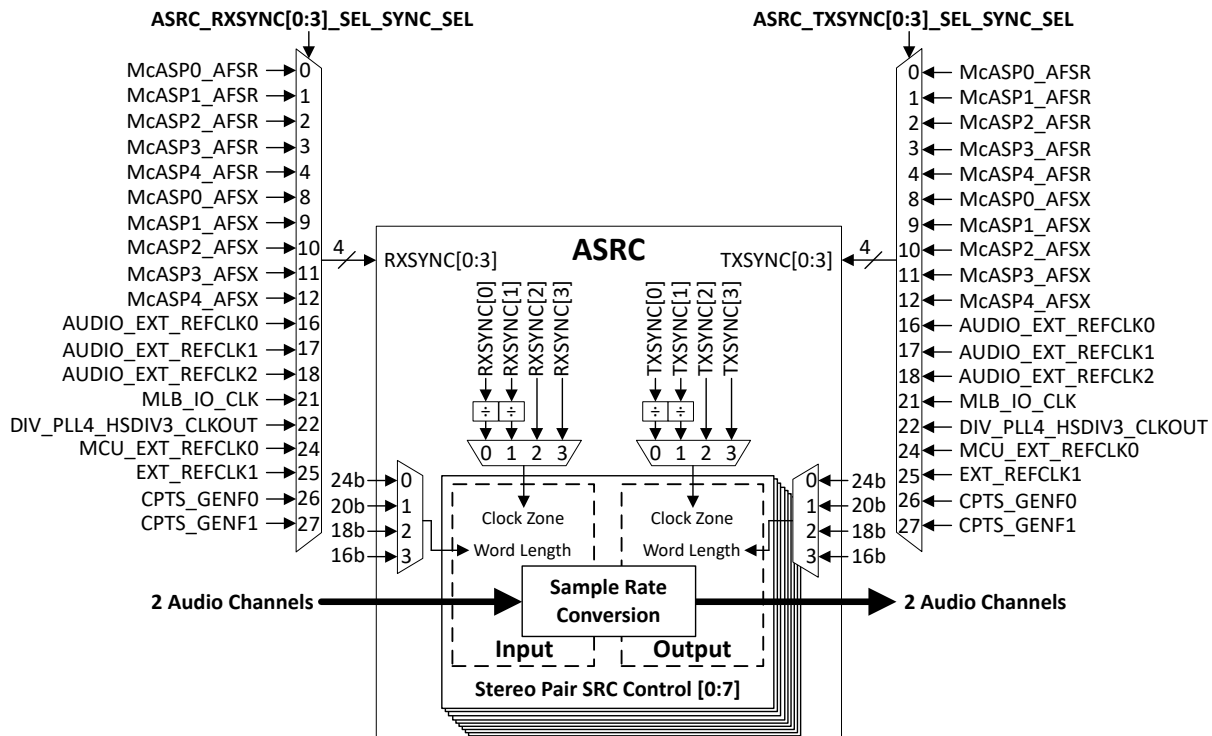


图 5-1. ASRC 方框图



## 6 McASP 实际示例

### 6.1 使用两个时钟域的内部音频 PLL 进行音频播放

图 6-1 展示了一个简单的示例，说明 McASP 如何使用单个内部基准在多个域之间发送和接收音频数据。McASP 以异步模式运行，但由于发送和接收域的根时钟源相同，因此不存在缓冲器溢出或下溢的风险（只要输入和输出上的音频数据帧格式相同）。

对于该系统，音频 PLL 使用 HFOSC1 生成高频音频时钟基准。高速分频器 (PLL4\_HSDIV0) 将 AUXCLK 输入的高频基准分频为 49.152MHz。在这种情况下，TX 域和 RX 域的 AHCLK、ACLK 和 AFS 都配置为在内部生成。

音频数据帧是单个 TDM4 流的四个音频通道，假设字深度为 32 位，那么位时钟可以计算为以 48kHz 采样的 4 个通道（32 位字）的乘积 =  $4 \times 32 \times 48,000 = 6.144\text{MHz}$ 。

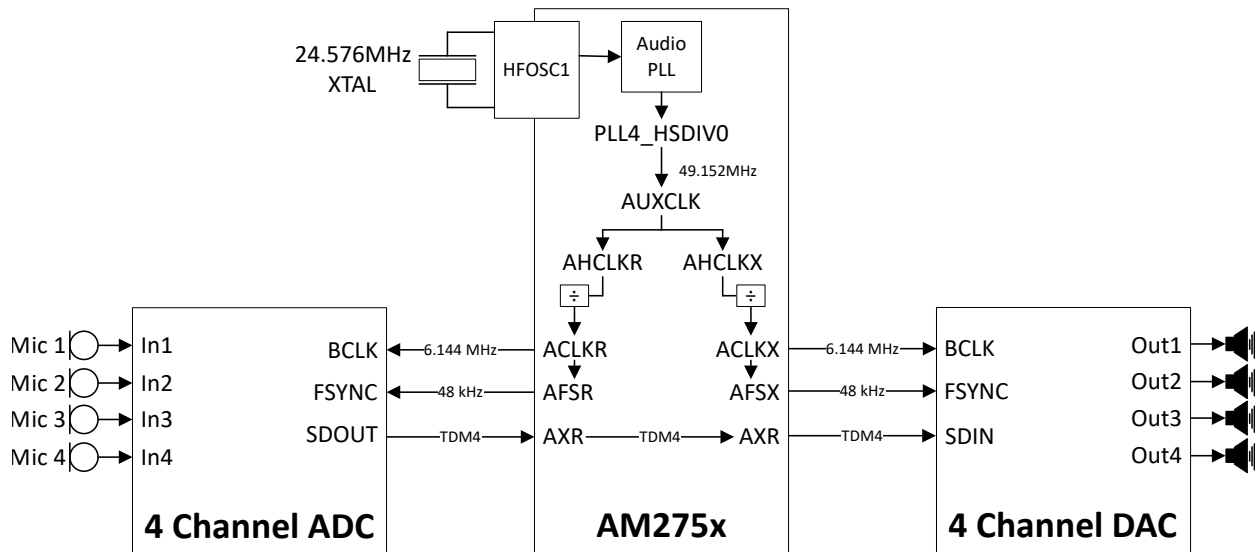


图 6-1. ADC DAC 音频播放

## 6.2 使用外部时钟源和 McASP 同步模式进行音频播放

图 6-2 展示了一个简单的示例，说明 McASP 如何仅使用单个时钟基准发送和接收音频数据。McASP 在同步模式下运行，这意味着发送位时钟和帧同步分别在内部路由到接收位时钟和帧同步。RX 域的内部路由允许单个 McASP 实例拥有用于输入和输出音频数据的串行器，前提是所有音频数据流都采用相同的帧格式。

对于此系统，4 通道编解码器同时作为位时钟和帧同步的时钟控制器。编解码器还有一个 SYSCLK 输出，该输出是更高频率的时钟基准，可由其他 McASP 实例用来生成位时钟和帧同步，以保持音频系统使用单个根时钟源。在这种情况下，TX 和 RX 域处于同步模式，并将 ACLK 和 AFS 配置为在外部生成。如果在外部生成位时钟和帧同步，则 AHCLK 不是运行的必需项，可被视为“无关”值。

音频数据帧是单个 TDM4 流的四个音频通道，假设字深度为 32 位，那么位时钟可以计算为以 48kHz 采样的 4 个通道 (32 位字) 的乘积 =  $4 \times 32 \times 48,000 = 6.144\text{MHz}$ 。

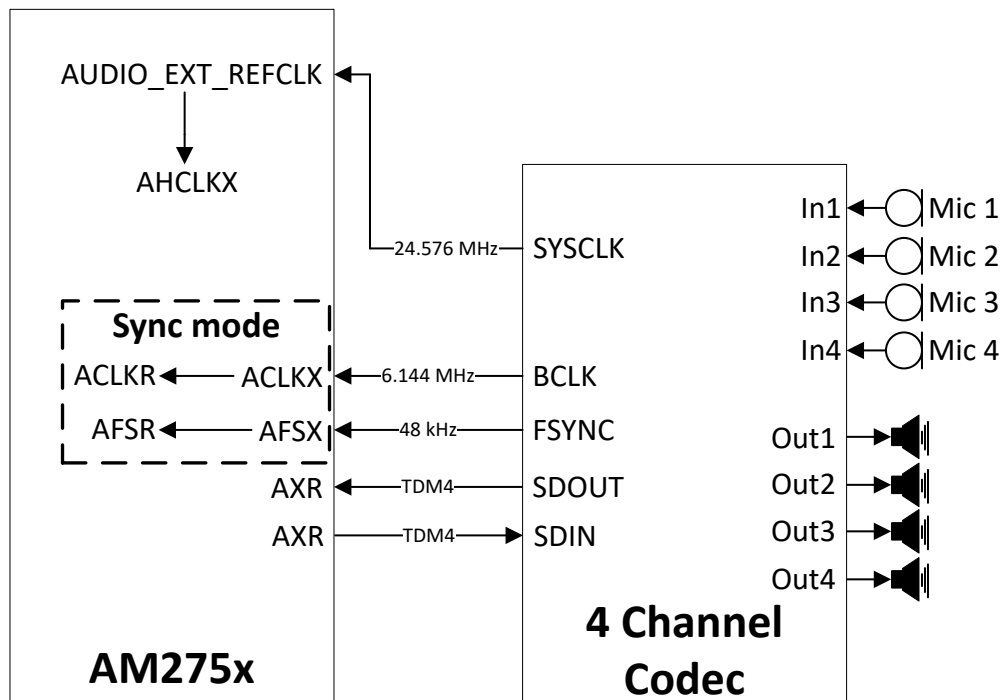


图 6-2. 同步模式下 McASP 作为时钟外设的编解码器回放

### 6.3 使用 ASRC 桥接两个时钟域的音频播放

在音频系统中，可能有些元件必须是时钟控制器，并且对于帧同步还采用了不同的采样率。图 6-3 展示了一个简单的示例，说明如何使用 ASRC 模块将音频数据从一个时钟域转换到另一个时钟域。由于发送和接收音频数据具有不同的时钟，因此 McASP 在异步模式下运行。

在本例中，ASRC 用于将帧同步采样速率从 48kHz 转换为 96kHz。如果本例中的帧同步采样速率相同，则仍需要 ASRC，因为用于生成帧同步的根时钟不匹配。两个根时钟之间的时钟抖动最终会导致 McASP 出现缓冲区溢出或下溢。

对于该系统，外部 ADC 和 DAC 都是时钟控制器。ASRC 配置为将两对立体声 SRC 块进行分组，以将 4 个音频通道的采样率从 48kHz 转换为 96kHz。ASRC 模块内的分组通道允许所有 4 个音频通道共享相同的输入和输出时序环路。

音频数据帧是单个 TDM4 流的四个音频通道，假设字深度为 32 位，那么 ADC 的位时钟可以计算为以 48kHz 采样的 4 个通道 (32 位字) 的乘积 =  $4 \times 32 \times 48,000 = 6.144\text{MHz}$ 。DAC 的位时钟为 12.288MHz，因为对于相同数量的通道和字深度，96kHz 的采样率是 48kHz 的 ADC 采样率的两倍。

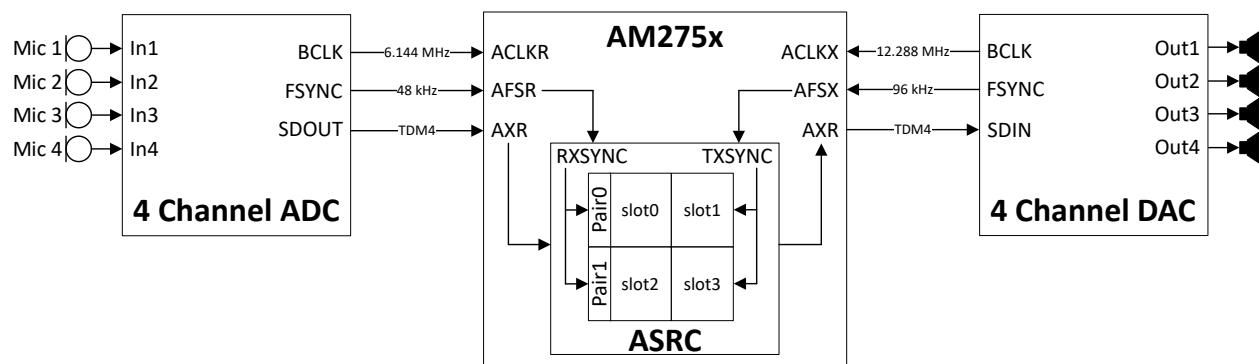


图 6-3. ASRC 音频播放

## 7 关键音频系统设计要点

- McASP 有两种用于时钟同步的工作模式：
  - 同步模式：ACLKX 和 AFSX 信号在内部路由到 ACLKR 和 AFSR，所有音频数据通过单个时钟域发送和接收。
  - 异步模式：TX 和 RX 时钟域相互独立，音频数据时钟域由串行器 IO 方向决定。
- 为了避免音频数据缓冲问题，理想情况下，多区域音频系统对所有生成的位时钟和帧同步都使用一个时钟基准。时钟基准可由内部音频基准或外部源提供。
  - 如果 AM275x 为音频系统提供内部基准，则需要将 McASP 配置为在内部参考音频 PLL，否则必须向外部器件提供音频 PLL 以生成位时钟和帧同步。
  - 如果外部源为音频系统提供音频时钟基准，则 McASP 需要配置为在内部参考 AUDIO\_EXT\_REFCLK 输入，或者它们需要将位时钟和帧同步配置为在外部生成。
    - 如果外部源没有器件级高频基准，则位时钟还必须路由到 AUDIO\_EXT\_REFCLK 输入，以启用具有相同基准的其他 McASP 实例。
- 如果多区域音频系统需要多个音频时钟基准用于不同的域，则即使两个时钟域之间的位时钟和帧同步频率相同，也必须使用 ASRC。如果不使用 ASRC 来桥接两个基准源不同的时钟域，则域之间的时钟抖动将引入音频数据缓冲器溢出或下溢问题。
- 每个 ASRC 模块可以转换最多 16 个通道的采样率。AM275x 中的 ASRC 模块数量取决于器件性能等级。工作性能点为 A 或 B 的 AM275x 只有一个 ASRC，如为 C/D/E/F 则都有两个 ASRC 模块。
- 仔细检查与 McASP 信号共享的所有引导模式信号，以确保时钟或数据信号线上不会引入任何不必要的布线残桩。
- 对于在多个器件之间共享的时钟和数据信号，请确保布局拓扑不会影响信号性能。
  - 始终使用建议的布局拓扑对信号进行仿真，以确保音频数据传输的可靠性和完整性。

## 8 参考资料

- [AM275x 信号处理微控制器](#)
- [AM275x 信号处理微控制器数据表](#)
- [AM275x 信号处理微控制器技术参考手册](#)

## 重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 [TI 销售条款](#)、[TI 通用质量指南](#) 或 [ti.com](#) 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2025，德州仪器 (TI) 公司

最后更新日期：2025 年 10 月