

## Application Note

## PLL 器件的振荡器电源考虑因素



Jennifer Bernal

Clock and Timing Solutions

## 摘要

电源噪声抑制 (PSNR) 较差的振荡器易受噪声电源的影响，可能会降低振荡器输出和模拟锁相环 (APLL) 输出的相位噪声。LMK6Cx 和 CDC6Cx 等振荡器通过集成 LDO 简化电源设计。增强振荡器电源滤波器可进一步降低输出时钟相位噪声。对于电源灵活性有限的系统，LMK5B33216 等高性能网络同步器使用内部 LDO 为振荡器供电，即使在电源噪声较大的情况下也能实现低抖动时钟生成。此外，基于 BAW 的抖动消除器可实现具有窄环路带宽的 APLL 配置，从而更最大限度地减少振荡器对 APLL 输出时钟的影响。

## 内容

1 简介.....	2
2 振荡器噪声对 PLL 性能的影响.....	3
3 考虑因素 1：XO PSNR.....	4
4 考虑因素 2：XO 电源滤波器.....	5
5 考虑因素 3：APLL LBW.....	6
6 不同 XO 电源滤波器的测试结果.....	6
6.1 测试设置.....	6
6.2 对电源性能的影响.....	7
6.3 对 XO 相位噪声性能的影响.....	8
6.4 对 PLL 相位噪声性能的影响.....	10
7 结语.....	12

## 插图清单

图 1-1. 网络同步器通用方框图.....	2
图 2-1. 网络同步器 ( DPLL 和 APLL ) 输出时钟通用相位噪声图.....	3
图 3-1. LMK6C 和 CDC6C 振荡器的功能方框图.....	4
图 4-1. TPS62913 功能框图.....	5
图 6-1. TPS62913 电源性能 ( $C_{NR/SS}$ 变化 ) ..... 7	7
图 6-2. 使用 TPS62913 供电的 XO 相位噪声 ( $C_{NR/SS}$ 变化 ) ..... 8	8
图 6-3. 使用 TPS62913 供电的 XO 测试设置..... 8	8
图 6-4. 使用 LMK5B33216 供电的 XO 相位噪声 ( $C_{NR/SS}$ 变化 ) ..... 9	9
图 6-5. 使用 LMK5B33216 供电的 XO 测试设置..... 9	9
图 6-6. LMK5B33216 相位噪声 ( $C_{NR/SS}$ 变化 ) ( XO 使用 TPS62913 供电 ) ..... 10	10
图 6-7. LMK5B33216 测试设置 ( XO 使用 TPS62913 供电 ) ..... 10	10
图 6-8. LMK5B33216 相位噪声 ( $C_{NR/SS}$ 变化 ) ( XO 使用 LMK5B33216 供电 ) ..... 11	11
图 6-9. LMK5B33216 测试设置 ( XO 使用 LMK5B33216 供电 ) ..... 11	11

## 表格清单

表 3-1. CDC6C 振荡器的 PSNR 特性.....	4
表 6-1. 用于测试的器件.....	6

## 商标

所有商标均为其各自所有者的财产。

## 1 简介

APLL 是一款时钟器件，用于生成与输入同步的输出时钟。通常，APLL 基准由晶体振荡器 (XO)、温控振荡器 (TCXO) 或恒温振荡器 (OCXO) 提供。图 1-1 展示了一个网络同步器的方框图，该同步器由一个数字锁相环 (DPLL) 和 APLL 对组成。APLL 输入时钟可在自由运行或长期保持期间为 PLL 输出时钟提供频率精度和稳定性。

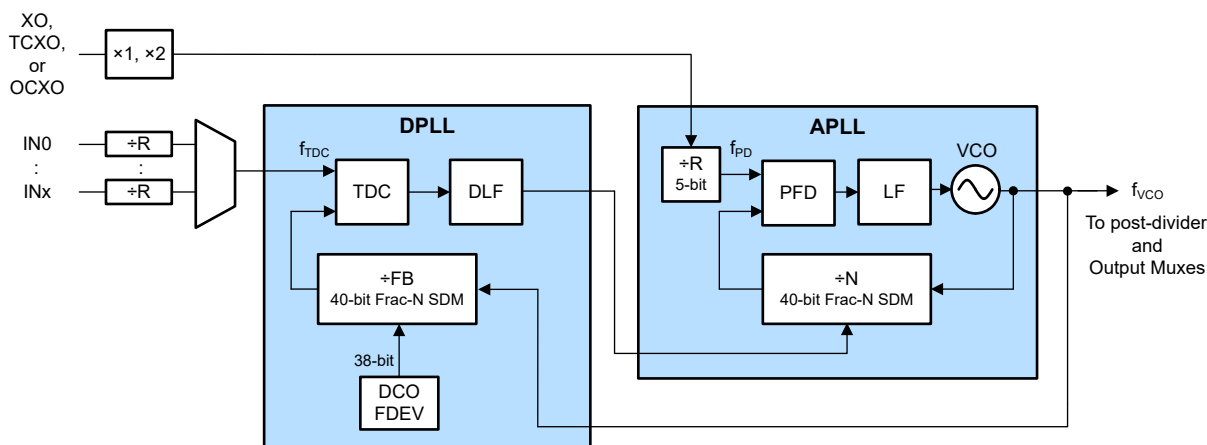


图 1-1. 网络同步器通用方框图

PLL 输出的近端相位噪声 ( $< 10\text{kHz}$  偏移) 取决于 APLL 基准 (XO、TCXO 或 OCXO) 的质量。APLL 基准的电源也会影响输出时钟的质量。如果电源噪声较大，PLL 输出时钟相位噪声可能会变差。接下来的几节将说明振荡器电源如何影响 PLL 性能，以及如何优化时钟设计。

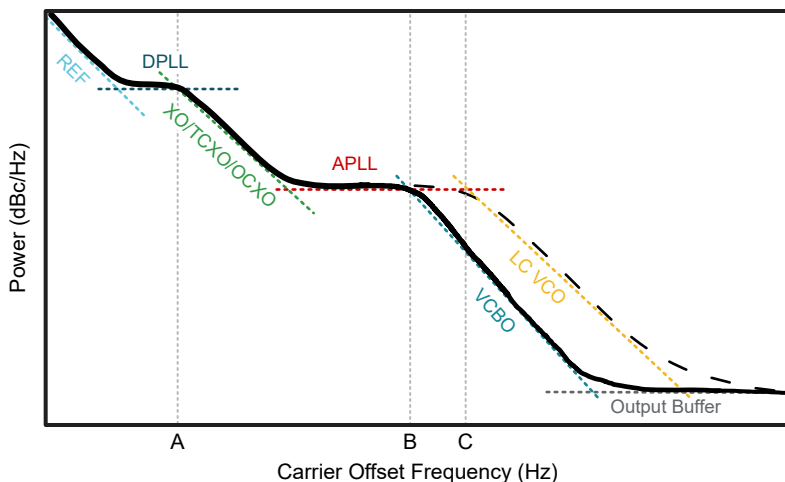
### 备注

在本应用手册的其余部分中，为简便起见将使用术语“XO”，但这些概念适用于任何 XO、TCXO、OCXO 或其他 APLL 基准时钟源。

## 2 振荡器噪声对 PLL 性能的影响

图 2-1 显示了网络同步器输出时钟的相位噪声贡献源。在 APLL 环路带宽 (LBW) 范围内，同步器输出噪声来自 XO 输出噪声和 APLL 噪声。这表示 APLL 输出对低于 APLL LBW ( 标记 B/C ) 的 XO 噪声敏感。XO 输出噪声通常主导 APLL 输出的近端相位噪声。例如，如果 APLL LBW 设置为 5kHz，则低于 5kHz 偏移的 APLL 输出时钟主要受 XO 噪声的影响。高于 5kHz 时，APLL 环路滤波器会降低 XO 噪声。对于具有 DPLL 的器件，XO 噪声和 APLL 噪声在 DPLL LBW 和 APLL LBW 之间 ( 标记 A 和 B/C 之间 ) 占主导地位。

当 XO 噪声特征曲线优于 VCO 噪声时，可将 APLL 配置为更宽的 LBW ( > 10kHz 偏移 ) 来降低 VCO 噪声。对于 XO 噪声劣于 VCO 噪声的大多数应用，请使用窄 LBW ( < 10kHz 偏移 )。



- A. 标记 DPLL LBW ( 在 LMK5B33216 上可配置范围为 1mHz 至 4kHz )
- B. 标记 VCBO 的 APLL LBW ( 在 LMK5B33216 上可配置范围为 1kHz 至 10kHz )
- C. 标记 LC VCO 的 APLL LBW ( 在 LMK5B33216 上可配置范围为 100kHz 至 1MHz )

图 2-1. 网络同步器 ( DPLL 和 APLL ) 输出时钟通用相位噪声图

有关 PLL 输出时钟相位噪声的更多详细信息，请参阅[快速数据中心交换机的 112G 和 224G PAM4 串行器/解串器时钟设置](#)应用手册中的[相位噪声特征曲线](#)一节。

### 3 考虑因素 1 : XO PSNR

PLL 的一个重要设计因素是 XO 的 PSNR 性能。PSNR 决定 XO 输出受电源噪声影响的程度。PSNR 较差的 XO 会导致较高的噪声并使 PLL 输出噪声变差。

建议的做法是将 XO 与良好的 PSNR 或集成式 LDO 搭配使用。例如，LMK6C 和 CDC6C 振荡器包含一个内部 LDO 并具有出色的 PSNR，如图 3-1 和表 3-1 所示。使用具有这些特性的振荡器可降低电源噪声，并提供低噪声输出时钟。这种方法对于早期设计阶段或无法更改电源滤波器的系统非常有用。

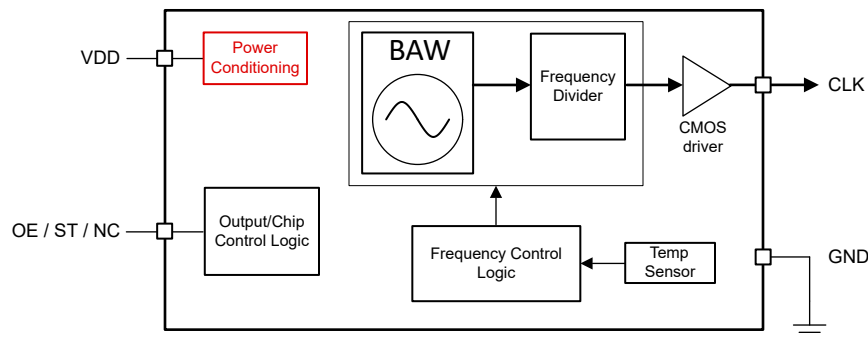


图 3-1. LMK6C 和 CDC6C 振荡器的功能方框图

表 3-1. CDC6C 振荡器的 PSNR 特性

电源纹波频率 <sup>(1)</sup> [kHz]	感应杂散 (典型值) [dBc]	
	LMK6C	CDC6C
50	-72	-80
100	-71	-75
500	-70	-63
1000	-69	-59

(1) 50mV 电源纹波作用于 50MHz LVCMOS 输出时钟引起的杂散，VDD = 2.5V (LMK6C) 或 2.5V/3.3V (CDC6C)，无电源去耦电容器

或者，LMK5B33216 可以为外部 XO 供电，从而在电源噪声较大的情况下提供低抖动输出。LMK5B33216 是一款具有三个 DPLL 和 APLL 对的网络同步器和抖动消除器。每个 VDD 和 VDDO 引脚都包含一个内部 LDO，可提高 PSNR 并更大幅度地降低输出噪声。引脚 22 (CAP1\_APLL2) 是 APLL2 的 LDO 输出，可用于为 XO 供电，提供 2.65V 的标称电压和高达 20mA 的电流。

有关使用 LMK5B33216 对 XO 相位噪声性能的影响测试数据，请参阅相应的章节。结果表明，无论电源滤波器如何，CAP1\_APLL2 都具有出色的 PSNR 并提供低抖动 XO 输出。

## 4 考虑因素 2 : XO 电源滤波器

另一个关键因素是用于 XO 的电源滤波器（例如电容器、铁氧体磁珠）。如果没有进行适当的滤波，XO 相位噪声可能会变差。

建议使用具有降噪 (NR) 引脚的电源以降低 XO 电源噪声。电源可以是 LDO 或开关式 DC/DC 转换器 IC。需要使用 NR 引脚将旁路电容器连接到电源电压基准端。低频 ( $< 10\text{kHz}$ ) 噪声可通过旁路电容器构成的 RC 滤波器来降低。在许多 TI 电源中，电容器标记为  $C_{NR/SS}$  并设置软启动 (SS) 时间。例如，TPS62913 是一款具有 NR 引脚的 DC/DC 转换器。图 4-1 显示方框图并突出显示了 NR 引脚。

有关对 XO 相位噪声性能的影响和对 XO 相位噪声性能的影响测试数据，请参阅相应的章节。结果表明，合理设计的 XO 电源可实现理想的 RMS 抖动性能。

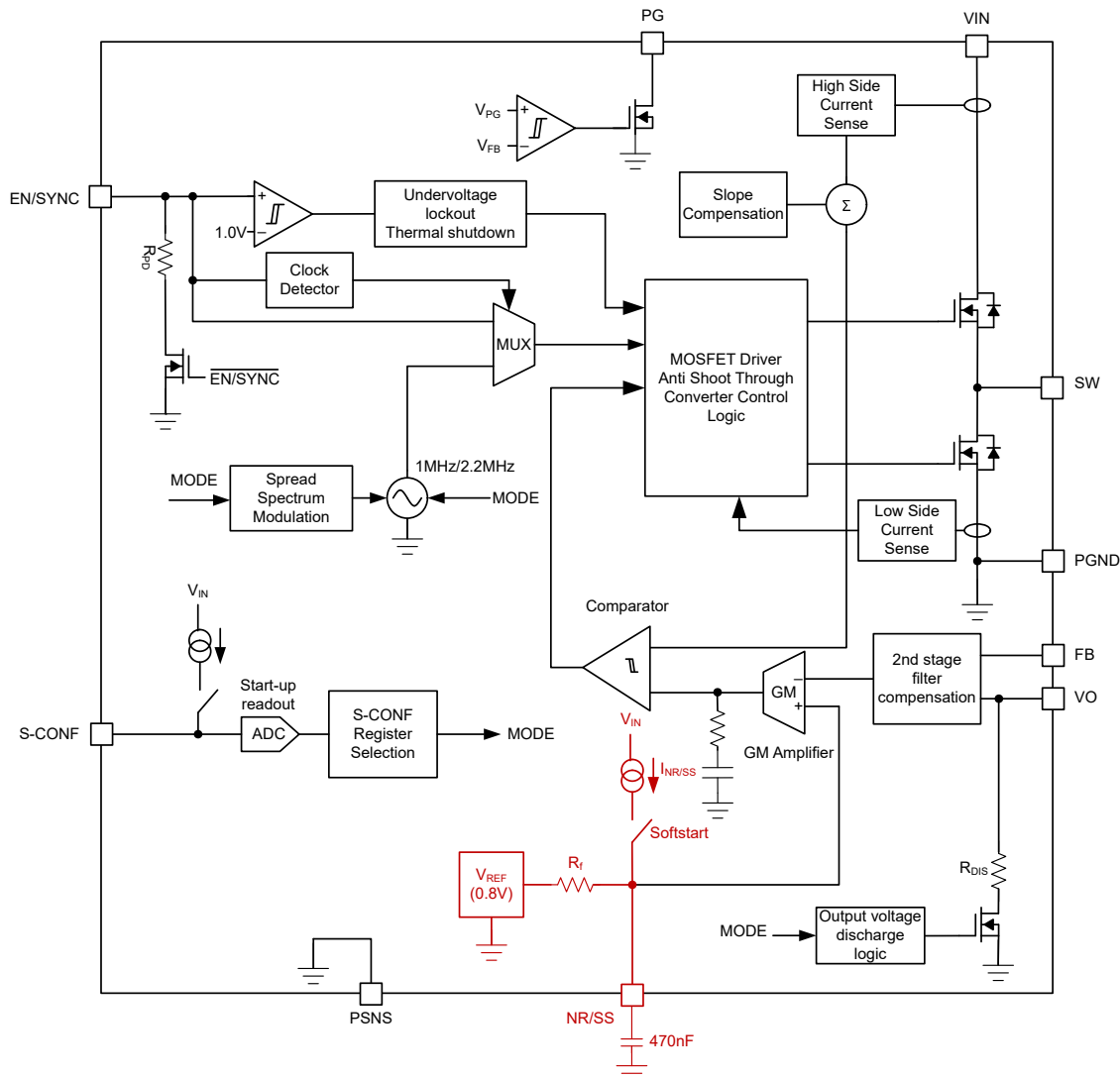


图 4-1. TPS62913 功能框图

## 5 考虑因素 3：APLL LBW

另一个最佳实践是使用具有窄 LBW 的高性能 PLL（例如 [LMK5B33216](#)）以减少噪声较大的 XO 对 PLL 输出的影响。为了进一步优化，请比较 XO、APLL 和 VCO 的噪声特征曲线，以确定理想的 APLL LBW 设置。

该器件可使用压控 BAW 振荡器 (VCBO) 生成具有 47fs 典型 RMS 抖动的 156.25MHz 输出。通过运行具有窄 LBW 的 APLL，使 VCBO 能够在相位噪声偏移 > 8kHz 时占主导地位，可实现低噪声输出。由于 VCBO 的存在，器件可以使用高抖动 XO，而不会使 12kHz 至 20MHz 范围内的 PLL 输出抖动变差。

有关 [对 PLL 相位噪声性能的影响](#) 测试数据，请参阅相应的章节。结果表明，使用噪声较大的 XO 时，窄 LBW 设置仍可实现理想的 RMS 抖动性能。或者，使用 LMK5B33216 为 XO 供电时，无论环路带宽如何，都可以实现干净的 XO 输出。

## 6 不同 XO 电源滤波器的测试结果

以下小节提供了三种测试条件的测试结果：

1. 不同 XO 电源滤波器 [对电源性能的影响](#)。
2. 不同 XO 电源滤波器 [对 XO 相位噪声性能的影响](#)。
3. 不同 XO 电源滤波器 [对 PLL 相位噪声性能的影响](#)。

### 6.1 测试设置

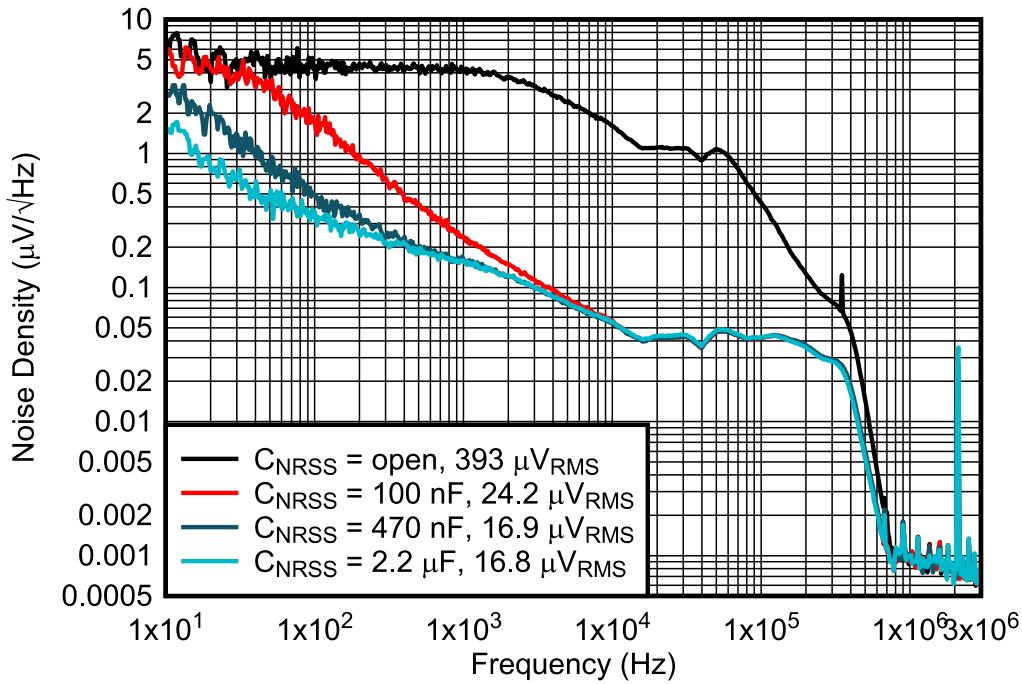
每次测试都会调整  $C_{NR/SS}$  值，以模拟不同的 XO 电源滤波器。每个值都会产生唯一的 XO 噪声特征曲线。[表 6-1](#) 列出了测试中使用的器件。

**表 6-1. 用于测试的器件**

供应商	器件型号	说明	输入电源电压 (v)	输出电源电压 (v)	输出时钟摆幅 (v)	频率 [MHz]
TI	TPS62913	DC/DC 电源	12	3.3	—	2.2 ( $f_{SW}$ )
TXC	8W48070009	XO	1.8 至 3.3	—	3.3	48 ( $f_{OUT}$ )
TI	LMK5B33216	网络同步器	3.3	—	0.8 ( $V_{OH} - V_{OL}$ )	156.25 ( $f_{OUT}$ )

## 6.2 对电源性能的影响

通过合理设计 XO 电源滤波器可降低低频噪声，从而实现理想的 XO 和 PLL 输出性能。图 6-1 展示不同噪声特征曲线的输出电源噪声密度。缺少 XO 电源滤波器（无  $C_{NR/SS}$ ）时，噪声会在 100Hz 到 100kHz 之间显著增加。采用推荐的 470nF 滤波器值时，电源噪声可改善至  $4.6\mu V/\sqrt{Hz}$ 。



$L = 2.2 \mu H$ ,  $f_{SW} = 2.2 \text{ MHz}$ ,  $BW = 100 \text{ Hz}$  至  $100 \text{ kHz}$

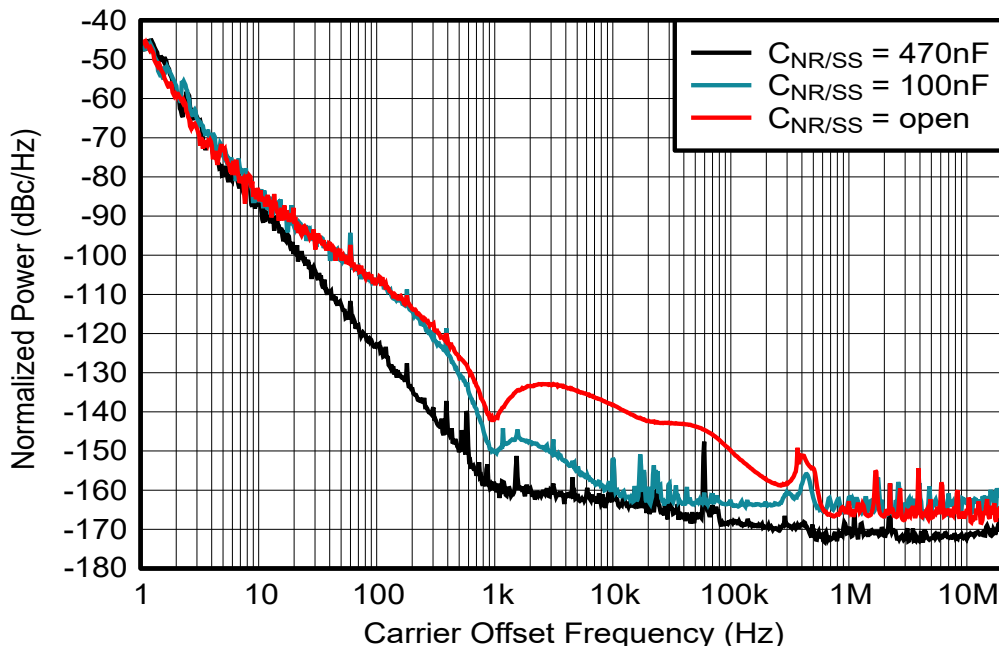
数据在电源输入电压为 12V 且输出电压为 3.3V 时采集。

噪声是在 TPS62913 的  $V_{OUT}$  铁氧体磁珠滤波器之后测量。

图 6-1. TPS62913 电源性能 ( $C_{NR/SS}$  变化)

### 6.3 对 XO 相位噪声性能的影响

通过测量 XO 输出时钟的相位噪声，可以进一步研究 XO 电源滤波器的影响。图 6-2 显示不同噪声特征曲线的相位噪声，图 6-3 提供测量设置。在几乎没有电源滤波的情况下，RMS 抖动会增加一倍以上。采用推荐的 470nF 滤波器值时，XO 相位噪声底在 1kHz 至 100kHz 偏移范围内降低了 20dB。



$C_{NR/SS}$ (nF)	12kHz 至 20MHz 范围内的 RMS 抖动 (典型值) (fs)
470	62
100	152
0 (开路)	158

图 6-2. 使用 TPS62913 供电的 XO 相位噪声 ( $C_{NR/SS}$  变化)

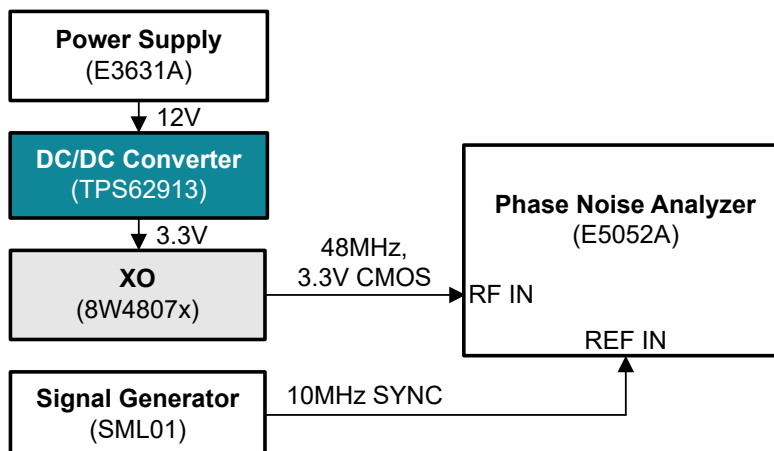
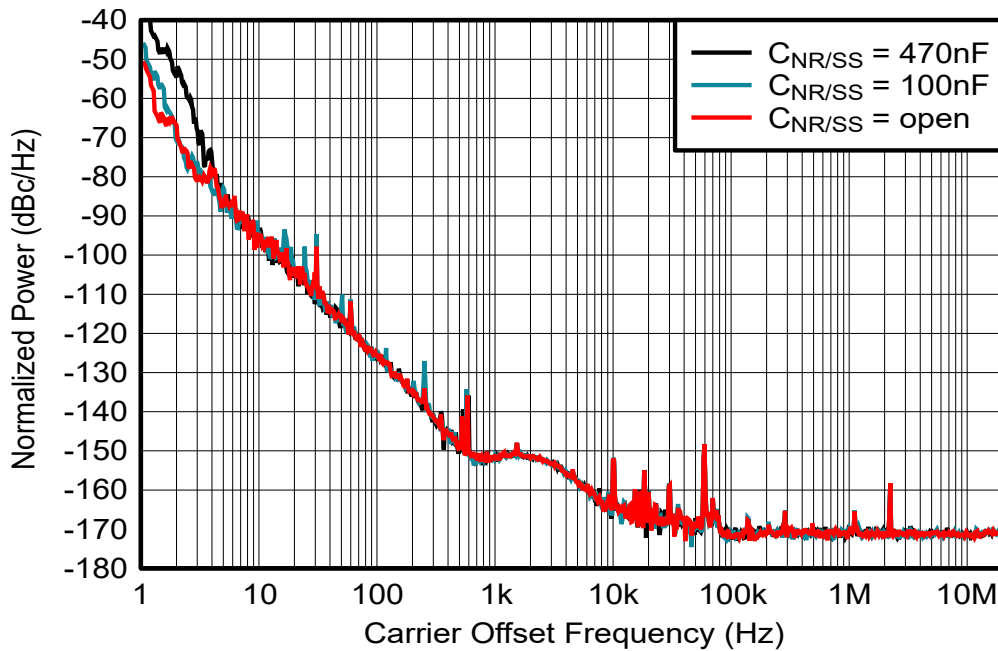


图 6-3. 使用 TPS62913 供电的 XO 测试设置



使用 LMK5B33216 为 XO 供电时，无论电源滤波器如何，都可以实现低噪声 XO 输出。图 6-4 显示由 LMK5B33216 供电时的 XO 相位噪声，图 6-5 提供测试设置。



$C_{NR/SS}$ [nF]	12kHz 至 20MHz 范围内的 RMS 抖动 (典型值) [fs]
470	61
100	61
0 (开路)	61

图 6-4. 使用 LMK5B33216 供电的 XO 相位噪声 ( $C_{NR/SS}$  变化)

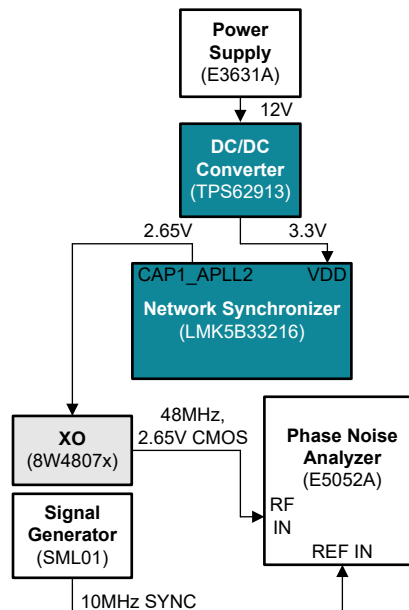
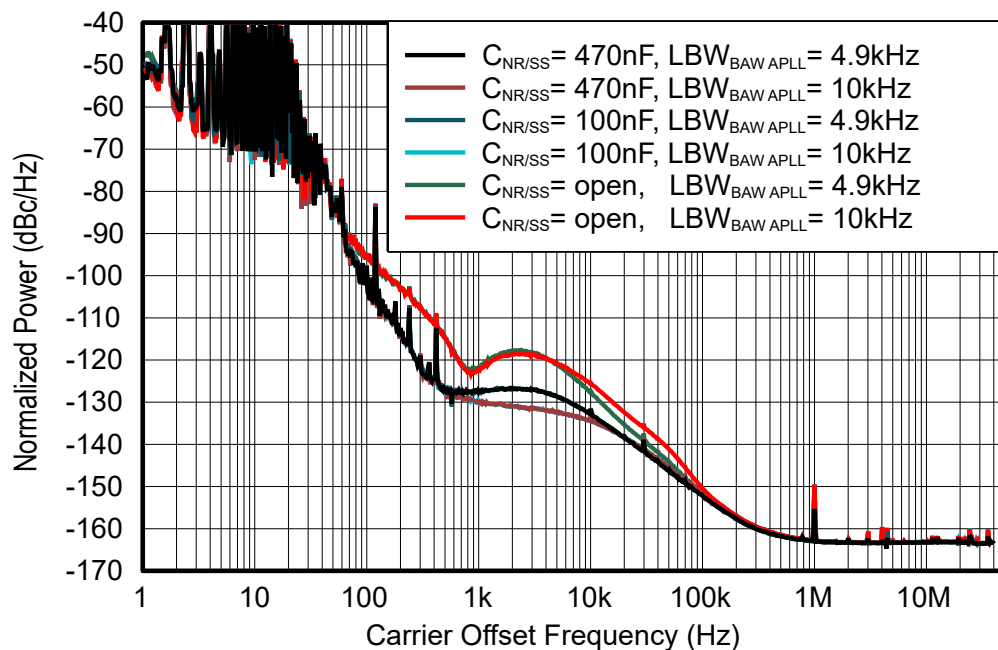


图 6-5. 使用 LMK5B33216 供电的 XO 测试设置

## 6.4 对 PLL 相位噪声性能的影响

图 6-6 展示了当 APLL 具有窄 APLL LBW 时，RMS 抖动几乎不受噪声较大的 XO 电源 ( $C_{NR/SS}$  = 开路) 影响。  
图 6-7 提供测量设置。使用适当的 XO 电源滤波器后，PLL 输出噪声得到进一步改善 (降低 20fs)。



$C_{NR/SS}$ (nF)	$LBW_{BAW\ APLL}$ (kHz)	12kHz 至 20MHz 范围内的 RMS 抖动 (典型值) (fs)
470	4.9	54
470	10	56
100	4.9	54
100	10	56
0 (开路)	4.9	62
0 (开路)	10	75

图 6-6. LMK5B33216 相位噪声 ( $C_{NR/SS}$  变化) (XO 使用 TPS62913 供电)

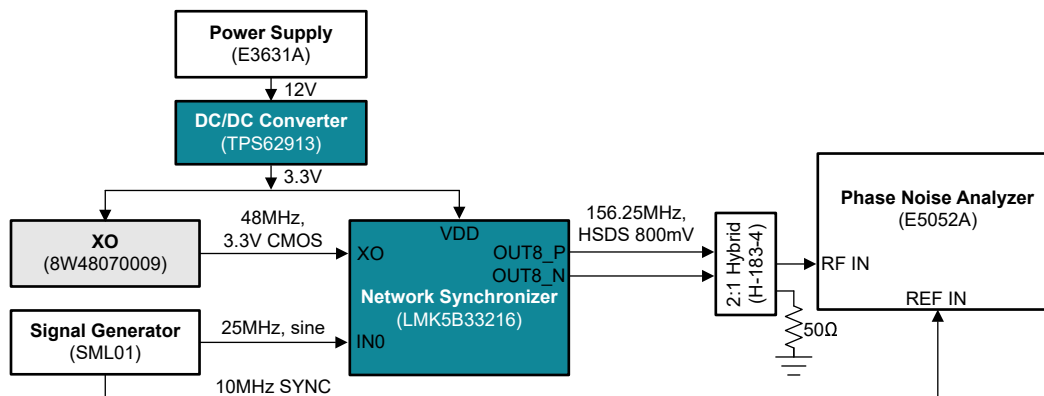
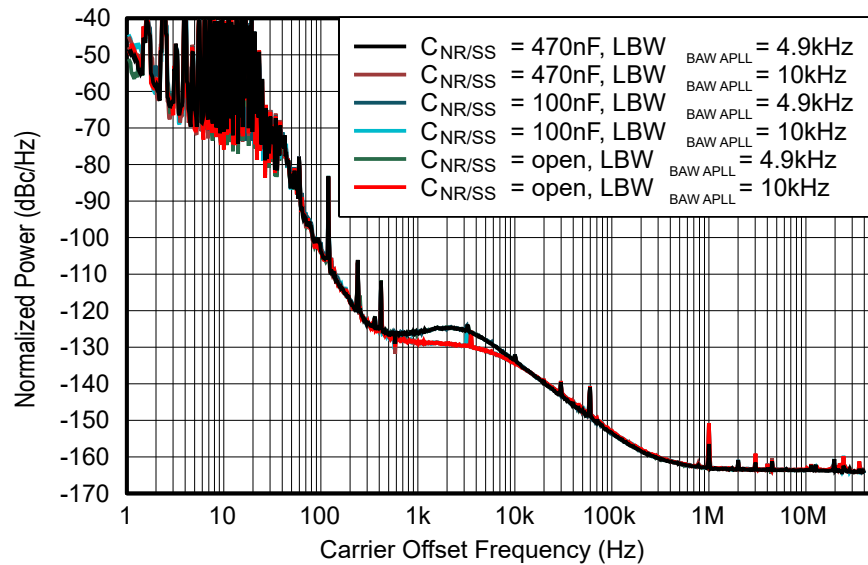


图 6-7. LMK5B33216 测试设置 (XO 使用 TPS62913 供电)

使用 LMK5B33216 为 XO 供电时，无论电源滤波器或环路带宽设置如何，都可以实现低噪声 PLL 输出。图 6-8 显示由 LMK5B33216 供电时的 LMK5B33216 相位噪声，图 6-9 提供测试设置。结果表明，即使使用性能较差的电源滤波器，对 PLL 输出抖动（12kHz 至 20MHz 偏移范围内）的影响也可以忽略不计。



C <sub>NR/SS</sub> [nF]	LBW <sub>BAW APLL</sub> [kHz]	12kHz 至 20MHz 范围内的 RMS 抖动 (典型值) [fs]
470	4.9	51
470	10	52
100	4.9	51
100	10	52
0 (开路)	4.9	51
0 (开路)	10	52

图 6-8. LMK5B33216 相位噪声 (C<sub>NR/SS</sub> 变化) (XO 使用 LMK5B33216 供电)

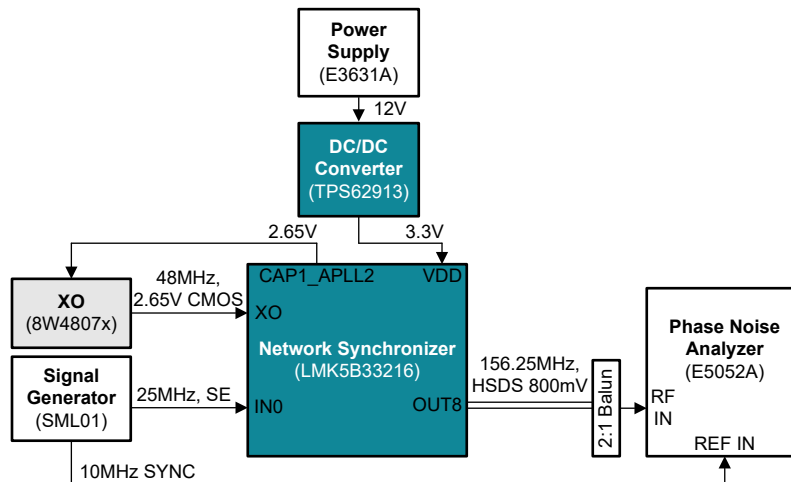


图 6-9. LMK5B33216 测试设置 (XO 使用 LMK5B33216 供电)

## 7 结语

XO 电源噪声在 PLL 时钟设计中起着重要作用。XO PSNR、XO 电源滤波器和 APLL LBW 均对 PLL 输出相位噪声有很大影响。当无法避免噪声较大的 XO 电源时，强烈建议使用具有集成式 LDO 的 XO，例如 CDC6C 或 LMK6C。具有集成 BAW VCO 的 PLL（例如 LMK5B33216）可与窄 LBW 配合使用，以减轻 XO 噪声的影响。为实现无缝设计，请使用 LMK5B33216 为外部 XO 供电并生成低抖动输出，而不受 XO PSNR、电源滤波器和 APLL LBW 的影响。

## 重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 [TI 销售条款](#)、[TI 通用质量指南](#) 或 [ti.com](#) 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2025，德州仪器 (TI) 公司

最后更新日期：2025 年 10 月