



Kai Lai

摘要

HDMI 2.0 支持高达 18Gbps 的总带宽 (每通道 6Gbps , 共三条 TMDs 数据链路)。插入损耗预算通常针对整个传输路径进行计算, 包括主板 PCB 板载、过孔、连接器、电缆的损耗, 以及接收端的均衡能力。在设计过程中, 如果总插入损耗超过 HDMI 源和接收器的补偿能力, 则需考虑添加转接驱动器或重定时器设计方案。在这两者之间, 由于成本优势, 转接驱动器在经济型设计项目中更为常用。本应用手册介绍并使用最新的 HDMI 2.0 转接驱动器 (TDP0604), 讨论并分享在执行 HDMI 合规性测试时如何进行正确调整以达到通过测试的结果。

内容

1 简介	2
2 测试设置	2
2.1 方框图.....	2
2.2 Aardvark I2C 和 SPI 控制器.....	3
2.3 EDID 仿真器.....	5
2.4 在 I2C 模式下启用 TDP0604 并设置目标 I2C 地址.....	5
3 用于 HDMI 合规性测试的 TDP0604 控制	6
3.1 不同 EQ 下的数据眼图.....	6
3.2 会导致不同转换率的上升和下降.....	9
3.3 VL 和 VSwing.....	12
3.4 HDMI1.4-2.0 合规性测试结果.....	19
4 提示	21
5 总结	22
6 参考资料	22

商标

所有商标均为其各自所有者的财产。

1 简介

本应用手册介绍了如何进行 HDMI 电气规范测试，并通过调整 TDP0604 的多个寄存器，例如均衡 (EQ)、差分输出电压 (VoD) 和转换率，以获得不同的测试结果并最终实现合规通过。本应用手册还提供了 TDP0604 I2C 控制脚本示例。

2 测试设置

2.1 方框图

DUT 为一块搭载 TDP0604 的主板 (MB)，使用 Aardvark I2C/SPI 控制器作为 I2C 主机对 TDP0604 进行配置，MB HDMI 端口用于连接到测试装置。该测试装置将 HDMI 的三条 TMDS 数据通道、一条时钟通道以及 DDC 总线分离出来。其中三条 TMDS 数据通道和时钟通道连接到示波器，用于进行电气规范测试。DDC 总线连接到 EDID 仿真器，仿真器作为 HDMI 受电方，使 MB 能够检测到其为显示器，并输出显示信号。

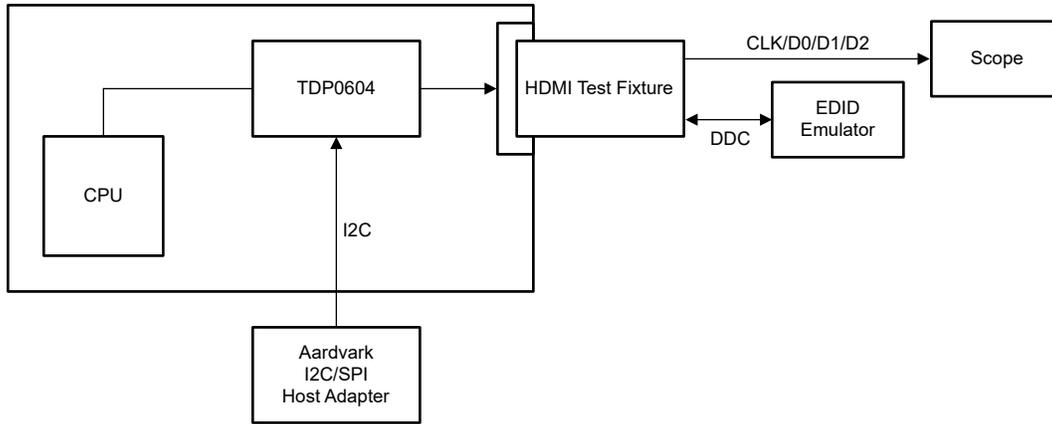


图 2-1. 测试平台的方框图

TDP0604 [从设备地址 = 5Eh (7 位)] 的批处理脚本示例如下所示 :

```

<aardvark>
<configure i2c="1" spi="1" gpio="0" tpower="1" pullups="0"/>
<i2c_bitrate khz="100"/>

=====Rate snoop enabled, TXFFE snoop enabled. Enable SWAP=====
<i2c_write addr="0x5E" count="1" radix="16">0A 08</i2c_write>/>

=====3G and 6G TX slew rate control=====
<i2c_write addr="0x5E" count="1" radix="16">0B 31</i2c_write>/>

=====Clock and 8G10G10G TX slew rate control=====
<i2c_write addr="0x5E" count="1" radix="16">0C 71</i2c_write>/>

=====Linear, DC-coupled, 0dB DCG, TERM Auto, Disable CTLE bypass. HDMI14 open=====
<i2c_write addr="0x5E" count="1" radix="16">0D 22</i2c_write>/>

=====HDMI14, HDMI20, and HDMI21 CTLE Selection=====
<i2c_write addr="0x5E" count="1" radix="16">0E 3F</i2c_write>/>

=====Enable DDC Buffer=====
<i2c_write addr="0x5E" count="1" radix="16">10 03</i2c_write>/>

=====Lane enable HDMI1P4_2P0_VOD enable=====
<i2c_write addr="0x5E" count="1" radix="16">11 5F</i2c_write>/>

=====CLOCK VOD and TXFFE=====
<i2c_write addr="0x5E" count="1" radix="16">12 03</i2c_write>/>

=====CLOCK EQ=====
<i2c_write addr="0x5E" count="1" radix="16">13 00</i2c_write>/>

=====D0 VOD and TXFFE=====
<i2c_write addr="0x5E" count="1" radix="16">14 03</i2c_write>/>

=====D0 EQ=====
<i2c_write addr="0x5E" count="1" radix="16">15 04</i2c_write>/>

=====D1 VOD and TXFFE=====
<i2c_write addr="0x5E" count="1" radix="16">16 03</i2c_write>/>

=====D1 EQ=====
<i2c_write addr="0x5E" count="1" radix="16">17 04</i2c_write>/>

=====D2 VOD and TXFFE=====
<i2c_write addr="0x5E" count="1" radix="16">18 03</i2c_write>/>

=====D2 EQ=====
<i2c_write addr="0x5E" count="1" radix="16">19 04</i2c_write>/>

=====Read 0x20 to know HDMI1P4_2P0 TMDS_CLK_RATIO =====
<i2c_write addr="0x5E" count="1" radix="16">20</i2c_write>/>
<i2c_read addr="0x5E" count="1"/>

=====Take out of Power down mode. HPD_OUT is asserted high if HPD_IN is high=====
<i2c_write addr="0x5E" count="1" radix="16">09 02</i2c_write>/>
<aardvark>
    
```

2.3 EDID 仿真器

EDID 仿真器作为 HDMI 受电方，提供相应的 EDID 和 SCDC 寄存器，使 HDMI 源能够配置为不同的分辨率。例如，在进行 HDMI2.0 电气合规性测试时，EDID 仿真器会模拟 4K 分辨率 (4096 × 2160, 60Hz)，使系统能够识别该 EDID 并输出 4K 分辨率的显示信号进行测试。

2.4 在 I2C 模式下启用 TDP0604 并设置目标 I2C 地址

本应用手册使用 Aardvark 作为 I2C 主机来配置 TDP0604 寄存器设置。因此，寄存器设置需要在 I2C 模式下使用 TDP0604。TDP0604 具有 4 电平输入引脚，可用于控制接收器均衡增益、发送器电压摆幅和预加重，并可将 TDP0604 置于不同的工作模式。使用 [表 2-1](#) 并设置 F 电平输入的 MODE 引脚，从而将引脚悬空在硬件中。

表 2-1. 电平控制引脚设置

电平	设置
0	将 1kΩ 5% 连接至 GND
R	将 20kΩ 5% 连接至 GND
F	悬空 (使引脚保持开路状态)
1	将 1kΩ 5% 连接至 V _{CC}

表 2-2. 模式引脚功能

模式引脚功能	说明
0	启用 DDC 缓冲器时的引脚配置
R	禁用 DDC 缓冲器时的引脚配置
F	I2C 模式
1	保留

除了启用 I2C 模式之外，I2C 总线上的 TDP0604 还需要一个目标 I2C 地址。当 TDP0604 配置为 I2C 模式时，TDP0604 具备一个 ADDR/EQ0 引脚，可用于表示用于 I2C 编程的地址位。因此在本应用手册中，提供了一个示例，通过在该引脚与 GND 之间串联 1kΩ 电阻，将其设置为 0 电平。[表 2-3](#) 中列出的级别 0 会使目标 I2C 地址 0xBCh (读取/8 位) /BDh (写入/8 位) 或等于 0x5E (7 位)。

表 2-3. TDP0604 I2C 器件地址说明

ADDR/EQ0 引脚	位 7 (MSB)	位 6	位 5	位 4	位 3	位 2	位 1	位 0 (W/R)	十六进制
0	1	0	1	1	1	1	0	0/1	BC/BD
R	1	0	1	1	1	0	1	0/1	BA/BB
F	1	0	1	1	1	0	0	0/1	B8/B9
1	1	0	1	1	0	1	1	0/1	B6/B7

3 用于 HDMI 合规性测试的 TDP0604 控制

本节提供了几个示例，通过调整不同设置，展示在不同 HDMI1.4/2.0 分辨率下得到的多种测试结果。通过观察这些结果，可以找到合适的调整值，从而确保测试通过。

3.1 不同 EQ 下的数据眼图

3.1.1 分辨率为 4096 × 2160_60p_8bit_444 时的 HDMI2.0 测试

3.1.1.1 D1 NegativeLane , EQ = 0

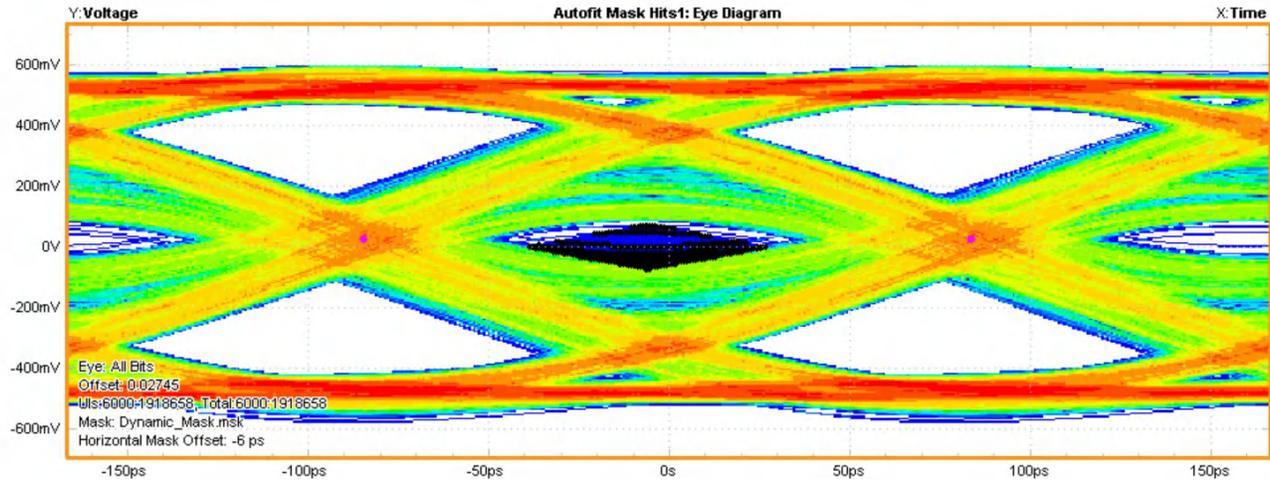


图 3-1. HDMI2.0_4K_60fps 测试眼图掩码 (EQ = 0)

3.1.1.2 D1 NegativeLane , EQ = 4

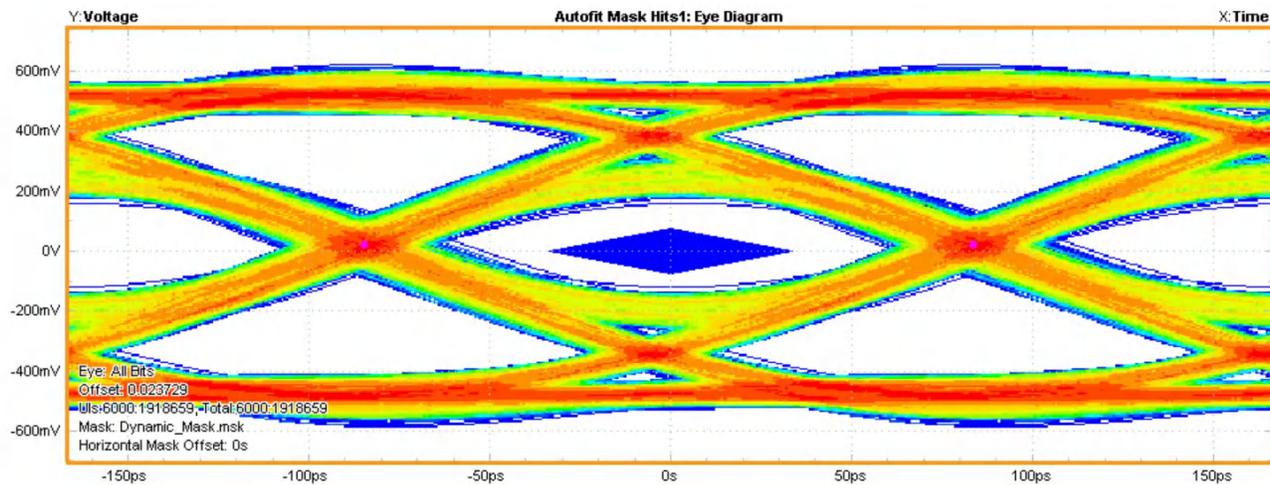


图 3-2. HDMI2.0_4K_60fps 测试眼图掩码 (EQ = 4)

3.1.1.3 D1 NegativeLane , EQ = F

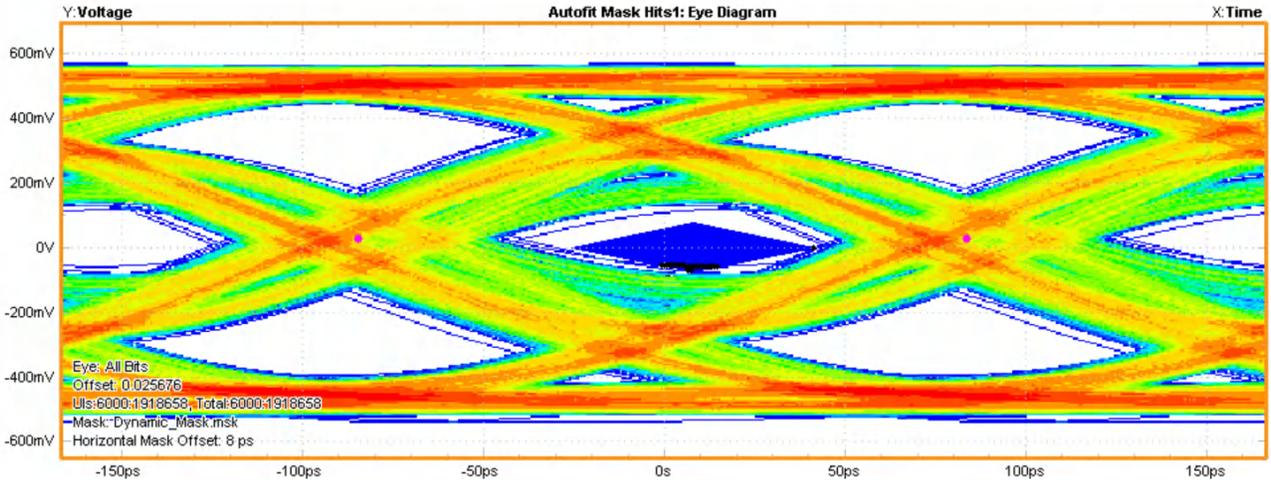


图 3-3. HDMI2.0_4K_60fps 测试眼图掩码 (EQ = F)

3.1.2 分辨率为 4096 × 2160_30p_8bit_444 时的 HDMI1.4 测试

3.1.2.1 源眼图：CK - D1 , EQ = 0

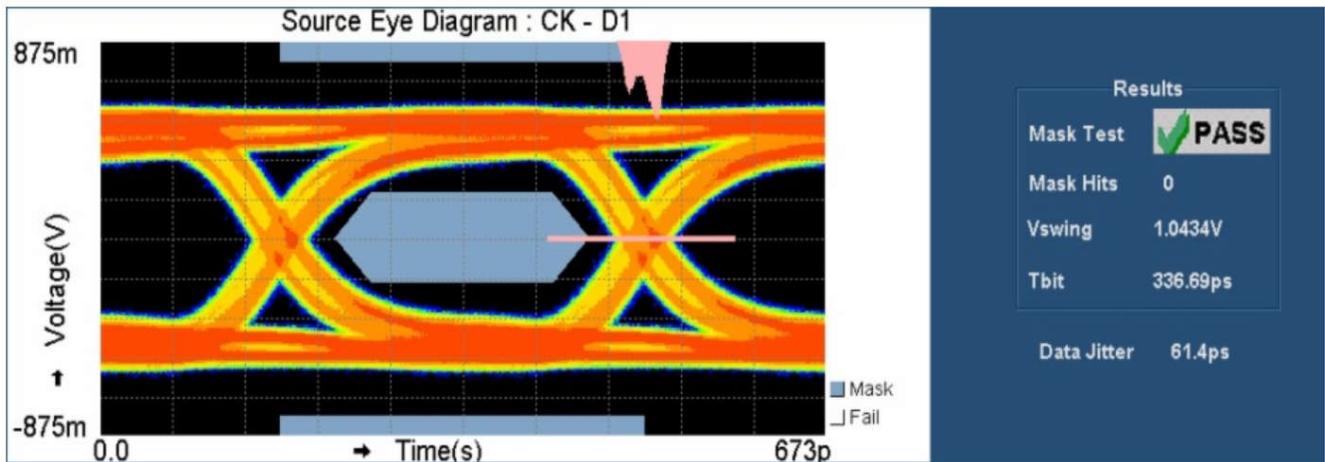


图 3-4. HDMI1.4_4K_30fps 测试眼图掩码 (EQ = 0)

3.1.2.2 源眼图：CK - D1 , EQ = 4

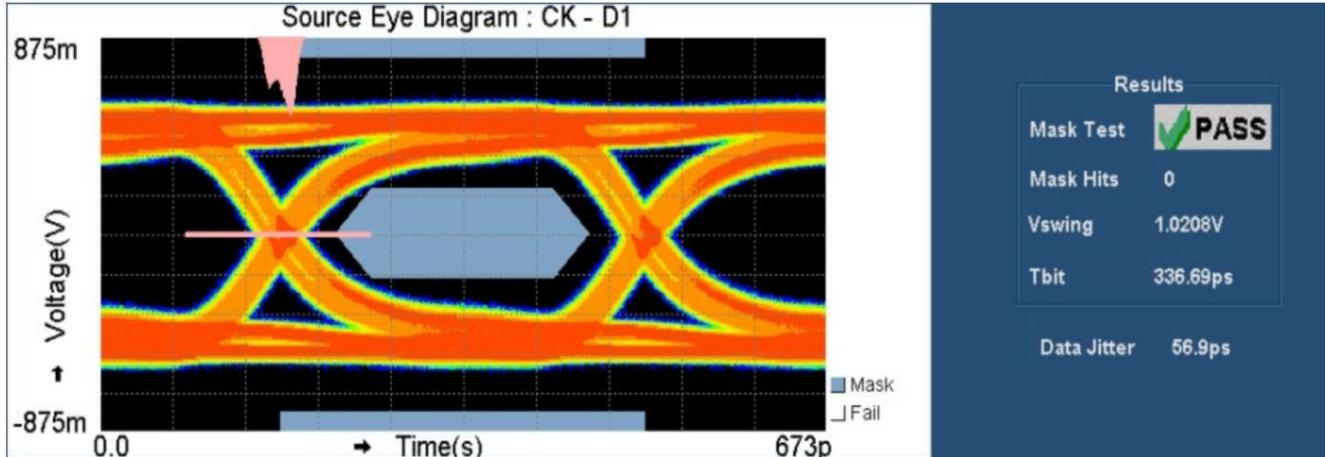


图 3-5. HDMI1.4_4K_30fps 测试眼图掩码 (EQ = 4)

3.1.2.3 源眼图：CK - D1 , EQ = F

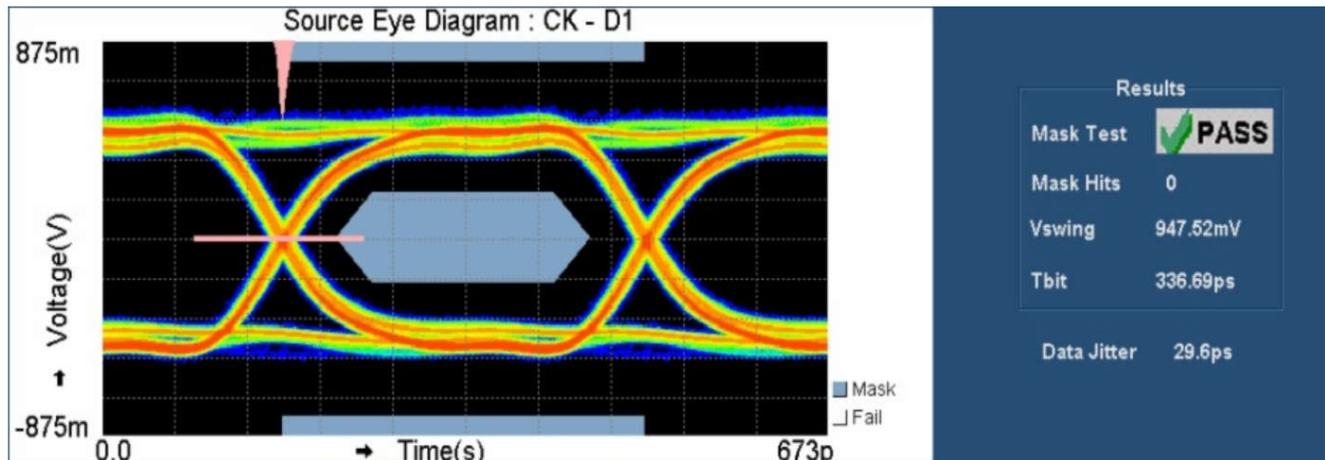


图 3-6. HDMI1.4_4K_30fps 测试眼图掩码 (EQ = F)

3.1.3 分辨率为 720 × 480_60p_8bit_444 时的 HDMI1.4 测试

3.1.3.1 源眼图：CK - D1 , EQ = 0

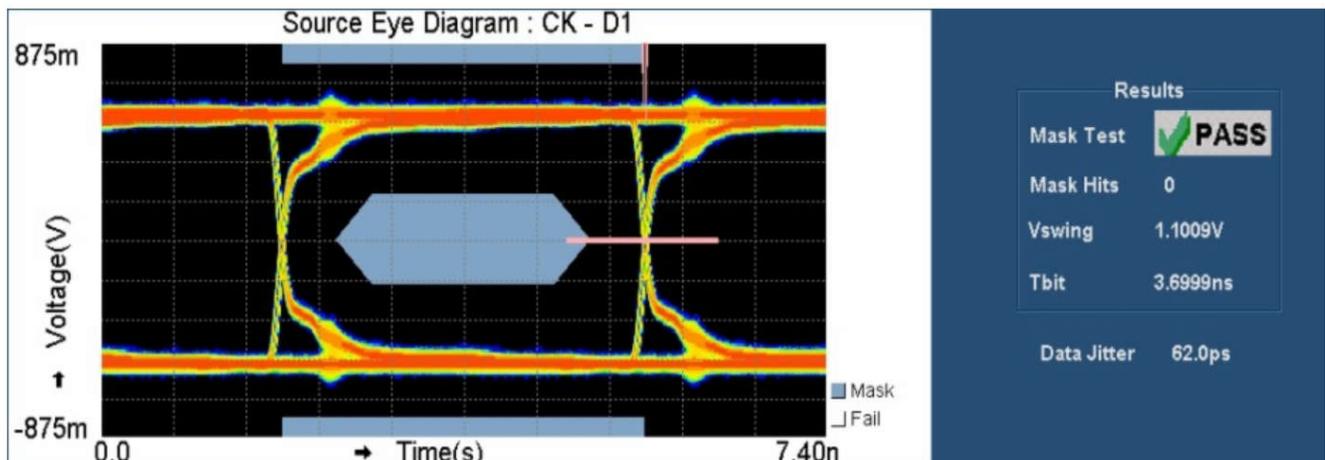


图 3-7. HDMI1.4_480p_60fps 测试眼图掩码 (EQ = 0)

3.1.3.2 源眼图 : CK - D1 , EQ = 4

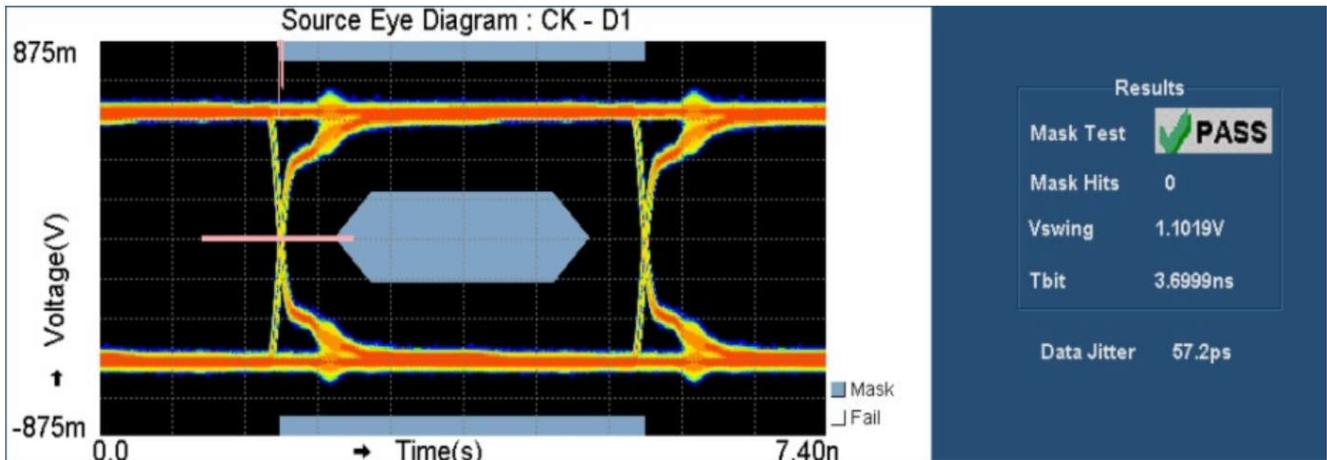


图 3-8. HDMI1.4_480p_60fps 测试眼图掩码 (EQ = 4)

3.1.3.3 源眼图 : CK - D1 , EQ = F

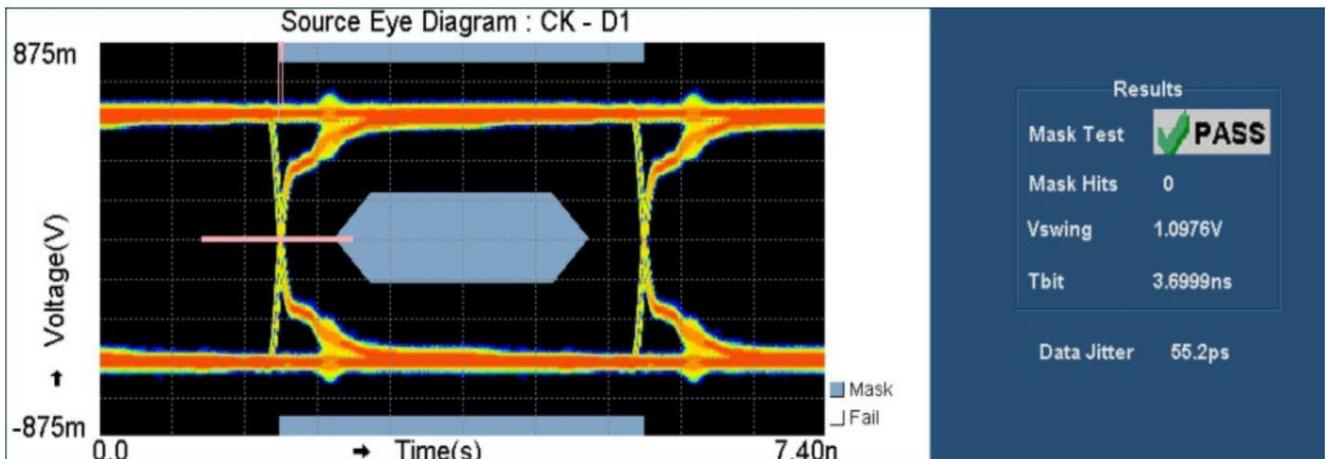


图 3-9. HDMI1.4_480p_60fps 测试眼图掩码 (EQ = F)

3.2 会导致不同转换率的上升和下降

3.2.1 分辨率为 4096 × 2160_60p_8bit_444 时的 HDMI2.0 测试

3.2.1.1 SLEW_3G = 3h、SLEW_6G = 0h、SLEW_CLK 0 = 0h 时的 TRISE、TFALL

HF1-2- TRISE, TFALL										
Lane Name	Measurement Details	Measured Value	Units	TBit	Data Rate	Test Result	Margin	Low Limit	High Limit	Comments
Clock	Clock Rise Time	179.7593	ps	168.3460 ps	5.94 Gbps	Pass	104.7593	75.0000	-	
Clock	Clock Fall Time	179.6075	ps	168.3460 ps	5.94 Gbps	Pass	104.6075	75.0000	-	
D0	D0 Rise Time	80.6127	ps	168.3460 ps	5.94 Gbps	Pass	38.1127	42.5000	-	
D0	D0 Fall Time	79.8119	ps	168.3460 ps	5.94 Gbps	Pass	37.3119	42.5000	-	
D1	D1 Rise Time	77.4813	ps	168.3460 ps	5.94 Gbps	Pass	34.9813	42.5000	-	
D1	D1 Fall Time	76.8607	ps	168.3460 ps	5.94 Gbps	Pass	34.3607	42.5000	-	
D2	D2 Rise Time	82.4868	ps	168.3460 ps	5.94 Gbps	Pass	39.9868	42.5000	-	
D2	D2 Fall Time	82.8182	ps	168.3460 ps	5.94 Gbps	Pass	40.3182	42.5000	-	
COMMENTS										

图 3-10. HDMI2.0_4K_60fps 测试转换率 (SLEW_3G = 3h、SLEW_6G = 0h、SLEW_CLK = 0h)

3.2.1.2 SLEW_3G = 3h、SLEW_6G = 1h、SLEW_CLK 0 = 1h 时的 TRISE、TFALL

HF1-2- TRISE, TFALL										
Lane Name	Measurement Details	Measured Value	Units	TBit	Data Rate	Test Result	Margin	Low Limit	High Limit	Comments
Clock	Clock Rise Time	170.7983	ps	168.3458 ps	5.94 Gbps	Pass	95.7983	75.0000	-	
Clock	Clock Fall Time	171.7427	ps	168.3458 ps	5.94 Gbps	Pass	96.7427	75.0000	-	
D0	D0 Rise Time	80.2006	ps	168.3458 ps	5.94 Gbps	Pass	37.7006	42.5000	-	
D0	D0 Fall Time	78.9200	ps	168.3458 ps	5.94 Gbps	Pass	36.4200	42.5000	-	
D1	D1 Rise Time	77.9838	ps	168.3458 ps	5.94 Gbps	Pass	35.4838	42.5000	-	
D1	D1 Fall Time	77.0102	ps	168.3458 ps	5.94 Gbps	Pass	34.5102	42.5000	-	
D2	D2 Rise Time	86.0967	ps	168.3458 ps	5.94 Gbps	Pass	43.5967	42.5000	-	
D2	D2 Fall Time	86.0807	ps	168.3458 ps	5.94 Gbps	Pass	43.5807	42.5000	-	
COMMENTS										

图 3-11. HDMI2.0_4K_60fps 测试转换率 (SLEW_3G = 3h、SLEW_6G = 1h、SLEW_CLK = 1h)

3.2.1.3 SLEW_3G = 3h、SLEW_6G = 7h、SLEW_CLK 0 = 7h 时的 TRISE、TFALL

HF1-2- TRISE, TFALL										
Lane Name	Measurement Details	Measured Value	Units	TBit	Data Rate	Test Result	Margin	Low Limit	High Limit	Comments
Clock	Clock Rise Time	82.3938	ps	168.3460 ps	5.94 Gbps	Pass	7.3938	75.0000	-	
Clock	Clock Fall Time	76.7717	ps	168.3460 ps	5.94 Gbps	Pass	1.7717	75.0000	-	
D0	D0 Rise Time	57.2870	ps	168.3460 ps	5.94 Gbps	Pass	14.7870	42.5000	-	
D0	D0 Fall Time	55.0670	ps	168.3460 ps	5.94 Gbps	Pass	12.5670	42.5000	-	
D1	D1 Rise Time	58.0699	ps	168.3460 ps	5.94 Gbps	Pass	15.5699	42.5000	-	
D1	D1 Fall Time	57.2474	ps	168.3460 ps	5.94 Gbps	Pass	14.7474	42.5000	-	
D2	D2 Rise Time	58.4076	ps	168.3460 ps	5.94 Gbps	Pass	15.9076	42.5000	-	
D2	D2 Fall Time	57.5933	ps	168.3460 ps	5.94 Gbps	Pass	15.0933	42.5000	-	
COMMENTS										

图 3-12. HDMI2.0_4K_60fps 测试转换率 (SLEW_3G = 3h、SLEW_6G = 7h、SLEW_CLK = 7h)

3.2.2 分辨率为 4096 × 2160_30p_8bit_444 时的 HDMI1.4 测试
3.2.3 SLEW_3G = 0h、SLEW_6G = 1h、SLEW_CLK 0 = 0h 时的 TRISE、TFALL

表 3-1. HDMI1.4_4K_30fps 测试转换率 (SLEW_3G = 0h、SLEW_6G = 1h、SLEW_CLK = 0h)

索引	测试名称	通道数	规格范围	测量值	结果
1	7-4 : 源上升时间	CK	75.00ps < TRISE	177.27ps	通过
2	7-4 : 源上升时间	D0	75.00ps < TRISE	184.82ps	通过
3	7-4 : 源上升时间	D1	75.00ps < TRISE	176.23ps	通过
4	7-4 : 源上升时间	D2	75.00ps < TRISE	167.89ps	通过
5	7-4 : 源下降时间	CK	75.00ps < TFALL	180.77ps	通过
6	7-4 : 源下降时间	D0	75.00ps < TFALL	181.37ps	通过
7	7-4 : 源下降时间	D1	75.00ps < TFALL	170.22ps	通过
8	7-4 : 源下降时间	D2	75.00ps < TFALL	176.58ps	通过

3.2.4 SLEW_3G = 3h、SLEW_6G = 1h、SLEW_CLK 0 = 1h 时的 TRISE、TFALL

表 3-2. HDMI1.4_4K_30fps 测试转换率 (SLEW_3G = 3h、SLEW_6G = 1h、SLEW_CLK = 1h)

索引	测试名称	通道数	规格范围	测量值	结果
8	7-4 : 源上升时间	CK	75.00ps < TRISE	162.29ps	通过
9	7-4 : 源上升时间	D0	75.00ps < TRISE	129.76ps	通过
10	7-4 : 源上升时间	D1	75.00ps < TRISE	128.04ps	通过
11	7-4 : 源上升时间	D2	75.00ps < TRISE	125.23ps	通过
12	7-4 : 源下降时间	CK	75.00ps < TFALL	167.05ps	通过
13	7-4 : 源下降时间	D0	75.00ps < TFALL	126.26ps	通过
14	7-4 : 源下降时间	D1	75.00ps < TFALL	126.12ps	通过
15	7-4 : 源下降时间	D2	75.00ps < TFALL	126.50ps	通过

3.2.5 SLEW_3G = 7h、SLEW_6G = 1h、SLEW_CLK 0 = 7h 时的 TRISE、TFALL

表 3-3. HDMI1.4_4K_30fps 测试转换率 (SLEW_3G = 7h、SLEW_6G = 1h、SLEW_CLK = 7h)

索引	测试名称	通道数	规格范围	测量值	结果
1	7-4 : 源上升时间	CK	75.00 < TRISE ;	123.10	通过
2	7-4 : 源上升时间	D0	75.00 < TRISE ;	114.85	通过
3	7-4 : 源上升时间	D1	75.00 < TRISE ;	109.25	通过
4	7-4 : 源上升时间	D2	75.00 < TRISE ;	105.19	通过
5	7-4 : 源下降时间	CK	75.00 < TFALL ;	123.90	通过
6	7-4 : 源下降时间	D0	75.00 < TFALL ;	112.03	通过
7	7-4 : 源下降时间	D1	75.00 < TFALL ;	104.05	通过
8	7-4 : 源下降时间	D2	75.00 < TFALL ;	103.77	通过

3.2.6 分辨率为 720 × 480_60p_8bit_444 时的 HDMI1.4 测试

3.2.6.1 SLEW_3G = 0h、SLEW_6G = 1h、SLEW_CLK 0 = 0h 时的 TRISE、TFALL

表 3-4. HDMI1.4_480p_60fps 测试转换率 (SLEW_3G = 0h、SLEW_6G = 1h、SLEW_CLK = 0h)

索引	测试名称	通道数	规范范围	测量值	结果
1	7-4 : 源上升时间	CK	75.00ps < TRISE ;	313.55ps	通过
2	7-4 : 源上升时间	D0	75.00ps < TRISE ;	348.17ps	通过
3	7-4 : 源上升时间	D1	75.00ps < TRISE ;	352.35ps	通过
4	7-4 : 源上升时间	D2	75.00ps < TRISE ;	288.24ps	通过
5	7-4 : 源上升时间	CK	75.00ps < TFALL ;	307.47ps	通过
6	7-4 : 源上升时间	D0	75.00ps < TFALL ;	332.91ps	通过
7	7-4 : 源上升时间	D1	75.00ps < TFALL ;	328.74ps	通过
8	7-4 : 源上升时间	D2	75.00ps < TFALL ;	301.89ps	通过

3.2.6.2 SLEW_3G = 3h、SLEW_6G = 1h、SLEW_CLK 0 = 1h 时的 TRISE、TFALL

表 3-5. HDMI1.4_480p_60fps 测试转换率 (SLEW_3G = 3h、SLEW_6G = 1h、SLEW_CLK = 1h)

索引	测试名称	通道数	规范范围	测量值	结果
8	7-4 : 源上升时间	CK	75.00ps < TRISE ;	291.51	通过
9	7-4 : 源上升时间	D0	75.00ps < TRISE ;	281.89	通过
10	7-4 : 源上升时间	D1	75.00ps < TRISE ;	293.08	通过
11	7-4 : 源上升时间	D2	75.00ps < TRISE ;	188.39	通过
12	7-4 : 源上升时间	CK	75.00ps < TFALL ;	281.31	通过
13	7-4 : 源上升时间	D0	75.00ps < TFALL ;	255.71	通过
14	7-4 : 源上升时间	D1	75.00ps < TFALL ;	263.85	通过
15	7-4 : 源上升时间	D2	75.00ps < TFALL ;	218.30	通过

3.2.6.3 SLEW_3G = 7h、SLEW_6G = 1h、SLEW_CLK 0 = 7h 时的 TRISE、TFALL

表 3-6. HDMI1.4_480p_60fps 测试转换率 (SLEW_3G = 7h、SLEW_6G = 1h、SLEW_CLK = 7h)

索引	测试名称	通道数	规格范围	测量值	结果
1	7-4 : 源上升时间	CK	75.00ps < TRISE ;	184.29	通过
2	7-4 : 源上升时间	D0	75.00ps < TRISE ;	262.69	通过
3	7-4 : 源上升时间	D1	75.00ps < TRISE ;	267.06	通过
4	7-4 : 源上升时间	D2	75.00ps < TRISE ;	132.94	通过
5	7-4 : 源上升时间	CK	75.00ps < TFALL ;	186.67	通过
6	7-4 : 源上升时间	D0	75.00ps < TFALL ;	249.81	通过
7	7-4 : 源上升时间	D1	75.00ps < TFALL ;	249.70	通过
8	7-4 : 源上升时间	D2	75.00ps < TFALL ;	131.29	通过

3.3 VL 和 VSwing

3.3.1 分辨率为 4096 × 2160_60p_8bit_444 时的 HDMI2.0 测试

3.3.1.1 HDMI20_VOD = 0h 且 HDMI14_VOD = 0h 时的 VL 和 VSwing

HF1-1- VL and VSwing										
Lane Name	Measurement Details	Measured Value	Units	TBit	Data Rate	Test Result	Margin	Low Limit	High Limit	Comments
Clock	TMDS VLow for Clock+	2.6520	V	168.3460 ps	5.94 Gbps	Pass	0.3520 & 0.4480	2.3	3.1	
Clock	TMDS VLow for Clock-	2.6469	V	168.3460 ps	5.94 Gbps	Pass	0.3469 & 0.4531	2.3	3.1	
Clock	VSwing for Clock+	383.0958	mV	168.3460 ps	5.94 Gbps	Pass	183.0958 & 216.9042	200	600	
Clock	VSwing for Clock-	381.6901	mV	168.3460 ps	5.94 Gbps	Pass	181.6901 & 218.3099	200	600	
D0	TMDS VLow for D0+	2.5759	V	168.3460 ps	5.94 Gbps	Pass	0.2759 & 0.3241	2.3	2.9	
D0	TMDS VLow for D0-	2.5458	V	168.3460 ps	5.94 Gbps	Pass	0.2458 & 0.3542	2.3	2.9	
D0	VSwing for D0+	414.5904	mV	168.3460 ps	5.94 Gbps	Pass	14.5904 & 185.4096	400	600	
D0	VSwing for D0-	404.7286	mV	168.3460 ps	5.94 Gbps	Pass	4.7286 & 195.2714	400	600	
D1	TMDS VLow for D1+	2.5156	V	168.3460 ps	5.94 Gbps	Pass	0.2156 & 0.3844	2.3	2.9	
D1	TMDS VLow for D1-	2.5022	V	168.3460 ps	5.94 Gbps	Pass	0.2022 & 0.3978	2.3	2.9	
D1	VSwing for D1+	442.1562	mV	168.3460 ps	5.94 Gbps	Pass	42.1562 & 157.8438	400	600	
D1	VSwing for D1-	461.6746	mV	168.3460 ps	5.94 Gbps	Pass	61.6746 & 138.3254	400	600	
D2	TMDS VLow for D2+	2.5806	V	168.3460 ps	5.94 Gbps	Pass	0.2806 & 0.3194	2.3	2.9	
D2	TMDS VLow for D2-	2.5565	V	168.3460 ps	5.94 Gbps	Pass	0.2565 & 0.3435	2.3	2.9	
D2	VSwing for D2+	419.7817	mV	168.3460 ps	5.94 Gbps	Pass	19.7817 & 180.2183	400	600	
D2	VSwing for D2-	389.1233	mV	168.3460 ps	5.94 Gbps	Fail	-10.8767 & 210.8767	400	600	

图 3-13. HDMI2.0_4K_60fps 测试下的 VL 和 VSwing (HDMI20_VOD = 0h , HDMI14_VOD = 0h , CLK_VOD、D0_VOD、D1_VOD 和 D2_VOD = 0h)

3.3.1.2 HDMI20_VOD = 1h (默认值为 1000mV) 且 HDMI14_VOD = 1h (默认值为 1000mV) 时的 VL 和 VSwing

HF1-1- VL and VSwing										
Lane Name	Measurement Details	Measured Value	Units	TBit	Data Rate	Test Result	Margin	Low Limit	High Limit	Comments
Clock	TMDS VLow for Clock+	2.5862	V	168.3456 ps	5.94 Gbps	Pass	0.2862 & 0.5138	2.3	3.1	
Clock	TMDS VLow for Clock-	2.5866	V	168.3456 ps	5.94 Gbps	Pass	0.2866 & 0.5134	2.3	3.1	
Clock	VSwing for Clock+	414.4800	mV	168.3456 ps	5.94 Gbps	Pass	214.4800 & 185.5200	200	600	
Clock	VSwing for Clock-	419.2105	mV	168.3456 ps	5.94 Gbps	Pass	219.2105 & 180.7895	200	600	
D0	TMDS VLow for D0+	2.5000	V	168.3456 ps	5.94 Gbps	Pass	0.2000 & 0.4000	2.3	2.9	
D0	TMDS VLow for D0-	2.4717	V	168.3456 ps	5.94 Gbps	Pass	0.1717 & 0.4283	2.3	2.9	
D0	VSwing for D0+	468.3807	mV	168.3456 ps	5.94 Gbps	Pass	68.3807 & 131.6193	400	600	
D0	VSwing for D0-	445.6433	mV	168.3456 ps	5.94 Gbps	Pass	45.6433 & 154.3567	400	600	
D1	TMDS VLow for D1+	2.4409	V	168.3456 ps	5.94 Gbps	Pass	0.1409 & 0.4591	2.3	2.9	
D1	TMDS VLow for D1-	2.4206	V	168.3456 ps	5.94 Gbps	Pass	0.1206 & 0.4794	2.3	2.9	
D1	VSwing for D1+	480.8352	mV	168.3456 ps	5.94 Gbps	Pass	80.8352 & 119.1648	400	600	
D1	VSwing for D1-	511.8712	mV	168.3456 ps	5.94 Gbps	Pass	111.8712 & 88.1288	400	600	
D2	TMDS VLow for D2+	2.4943	V	168.3456 ps	5.94 Gbps	Pass	0.1943 & 0.4057	2.3	2.9	
D2	TMDS VLow for D2-	2.4844	V	168.3456 ps	5.94 Gbps	Pass	0.1844 & 0.4156	2.3	2.9	
D2	VSwing for D2+	474.6607	mV	168.3456 ps	5.94 Gbps	Pass	74.6607 & 125.3393	400	600	
D2	VSwing for D2-	436.2706	mV	168.3456 ps	5.94 Gbps	Pass	36.2706 & 163.7294	400	600	

图 3-14. HDMI2.0_4K_60fps 测试下的 VL 和 VSwing (HDMI20_VOD = 1h、HDMI14_VOD = 1h)

3.3.1.3 HDMI20_VOD = 0h 且 HDMI14_VOD = 0h 时的 VL 和 VSwing

HF1-1- VL and VSwing										
Lane Name	Measurement Details	Measured Value	Units	TBit	Data Rate	Test Result	Margin	Low Limit	High Limit	Comments
Clock	TMDS VLow for Clock+	2.4915	V	168.3459 ps	5.94 Gbps	Pass	0.1915 & 0.6085	2.3	3.1	
Clock	TMDS VLow for Clock-	2.4899	V	168.3459 ps	5.94 Gbps	Pass	0.1899 & 0.6101	2.3	3.1	
Clock	VSwing for Clock+	482.8657	mV	168.3459 ps	5.94 Gbps	Pass	282.8657 & 117.1343	200	600	
Clock	VSwing for Clock-	488.1558	mV	168.3459 ps	5.94 Gbps	Pass	288.1558 & 111.8442	200	600	
D0	TMDS VLow for D0+	2.3917	V	168.3459 ps	5.94 Gbps	Pass	0.0917 & 0.5083	2.3	2.9	
D0	TMDS VLow for D0-	2.3681	V	168.3459 ps	5.94 Gbps	Pass	0.0681 & 0.5319	2.3	2.9	
D0	VSwing for D0+	532.3578	mV	168.3459 ps	5.94 Gbps	Pass	132.3578 & 67.6422	400	600	
D0	VSwing for D0-	512.2132	mV	168.3459 ps	5.94 Gbps	Pass	112.2132 & 87.7868	400	600	
D1	TMDS VLow for D1+	2.3357	V	168.3459 ps	5.94 Gbps	Pass	0.0357 & 0.5643	2.3	2.9	
D1	TMDS VLow for D1-	2.3060	V	168.3459 ps	5.94 Gbps	Pass	0.0060 & 0.5940	2.3	2.9	
D1	VSwing for D1+	563.9695	mV	168.3459 ps	5.94 Gbps	Pass	163.9695 & 36.0305	400	600	
D1	VSwing for D1-	595.9603	mV	168.3459 ps	5.94 Gbps	Pass	195.9603 & 4.0397	400	600	
D2	TMDS VLow for D2+	2.3966	V	168.3459 ps	5.94 Gbps	Pass	0.0966 & 0.5034	2.3	2.9	
D2	TMDS VLow for D2-	2.3826	V	168.3459 ps	5.94 Gbps	Pass	0.0826 & 0.5174	2.3	2.9	
D2	VSwing for D2+	536.1971	mV	168.3459 ps	5.94 Gbps	Pass	136.1971 & 63.8029	400	600	
D2	VSwing for D2-	502.7240	mV	168.3459 ps	5.94 Gbps	Pass	102.7240 & 97.2760	400	600	

图 3-15. HDMI2.0_4K_60fps 测试下的 VL 和 VSwing (HDMI20_VOD = 0h , HDMI14_VOD = 0h , CLK_VOD、D0_VOD、D1_VOD 和 D2_VOD = 7h)

3.3.2 分辨率为 4096 x 2160_30p_8bit_444 时的 HDMI1.4 测试

3.3.2.1 HDMI20_VOD = 0h、HDMI14_VOD = 0h , 且 CLK_VOD、D0_VOD、D1_VOD 和 D2_VOD = 0h 时的 VL 和 VSwing (限幅模式, -15% 容差)

表 3-7. HDMI1.4_4K_30fps 测试下的 VL 和 VSwing (HDMI20_VOD = 0h , HDMI14_VOD = 0h , CLK_VOD、D0_VOD、D1_VOD 和 D2_VOD = 0h)

索引	测试名称	通道数	规范范围	测量值	结果
1	7-2 : 源端低幅度 + (支持的受电方频率 ≤ 165MHz)	D1+	2.700V < VL < 2.900V	2.7465V	通过
2	7-2 : 源端低幅度 + (支持的受电方频率 ≤ 165MHz)	D2+	2.700V < VL < 2.900V	2.7939V	通过
3	7-2 : 源端低幅度 + (支持的受电方频率 ≤ 165MHz)	D1-	2.700V < VL < 2.900V	2.7366V	通过
4	7-2 : 源端低幅度 + (支持的受电方频率 ≤ 165MHz)	D2-	2.700V < VL < 2.900V	2.8848V	通过
5	7-2 : 源端低幅度 + (支持的受电方频率 ≤ 165MHz)	D1+	2.600V < VL < 2.900V	2.7465V	通过
6	7-2 : 源端低幅度 + (支持的受电方频率 ≤ 165MHz)	D2+	2.600V < VL < 2.900V	2.7939V	通过
7	7-2 : 源端低幅度 + (支持的受电方频率 ≤ 165MHz)	D1-	2.600V < VL < 2.900V	2.7366V	通过
8	7-2 : 源端低幅度 + (支持的受电方频率 ≤ 165MHz)	D2-	2.600V < VL < 2.900V	2.8848V	通过
9	7-2 : 源端低幅度 + (支持的受电方频率 ≤ 165MHz)	CK+	2.700V < VL < 2.900V	2.7801V	通过

表 3-7. HDMI1.4_4K_30fps 测试下的 VL 和 VSwing (HDMI20_VOD = 0h , HDMI14_VOD = 0h , CLK_VOD、D0_VOD、D1_VOD 和 D2_VOD = 0h) (续)

索引	测试名称	通道数	规范范围	测量值	结果
10	7-2 : 源端低幅度 + (支持的受电方频率 ≤ 165MHz)	D0+	2.700V < VL < 2.900V	2.7966V	通过
11	7-2 : 源端低幅度 + (支持的受电方频率 ≤ 165MHz)	CK-	2.700V < VL < 2.900V	2.7634V	通过
12	7-2 : 源端低幅度 + (支持的受电方频率 ≤ 165MHz)	D0-	2.700V < VL < 2.900V	2.7665V	通过
13	7-2 : 源端低幅度 + (支持的受电方频率 ≤ 165MHz)	CK+	2.600V < VL < 2.900V	2.7803V	通过
14	7-2 : 源端低幅度 + (支持的受电方频率 ≤ 165MHz)	D0+	2.600V < VL < 2.900V	2.7966V	通过
15	7-2 : 源端低幅度 + (支持的受电方频率 ≤ 165MHz)	CK-	2.600V < VL < 2.900V	2.7699V	通过
16	7-2 : 源端低幅度 + (支持的受电方频率 ≤ 165MHz)	D0-	2.600V < VL < 2.900V	2.7633V	通过

3.3.2.2 HDMI20_VOD = 1h (默认值为 1000mV) 且 HDMI14_VOD = 1h (默认值为 1000mV) 时的 VL 和 VSwing

表 3-8. HDMI1.4_4K_30fps 测试下的 VL 和 VSwing (HDMI20_VOD = 1h、HDMI14_VOD = 1h)

索引	测试名称	通道数	规范范围	测量值	结果
18	7-2 : 源端低幅度 + (支持的受电方频率 ≤ 165MHz)	D1+	2.700V < VL < 2900V	2.7395V	通过
19	7-2 : 源端低幅度 + (支持的受电方频率 ≤ 165MHz)	D2+	2.700V < VL < 2900V	2.7613V	通过
20	7-2 : 源端低幅度 + (支持的受电方频率 ≤ 165MHz)	D1-	2.700V < VL < 2900V	2.7055V	通过
21	7-2 : 源端低幅度 + (支持的受电方频率 ≤ 165MHz)	D2-	2.700V < VL < 2900V	2.7587V	通过
22	7-2 : 源端低幅度 + (支持的受电方频率 > 165MHz)	D1+	2.600V < VL < 2900V	2.7395V	通过
23	7-2 : 源端低幅度 + (支持的受电方频率 > 165MHz)	D2+	2.600V < VL < 2900V	2.7649V	通过
24	7-2 : 源端低幅度 + (支持的受电方频率 > 165MHz)	D1-	2.600V < VL < 2900V	2.7055V	通过
25	7-2 : 源端低幅度 + (支持的受电方频率 > 165MHz)	D2-	2.600V < VL < 2900V	2.7587V	通过
26	7-2 : 源端低幅度 + (支持的受电方频率 ≤ 165MHz)	CK+	2.600V < VL < 2900V	2.7237V	通过
27	7-2 : 源端低幅度 + (支持的受电方频率 ≤ 165MHz)	D0+	2.700V < VL < 2900V	2.7372V	通过
28	7-2 : 源端低幅度 + (支持的受电方频率 ≤ 165MHz)	CK-	2.700V < VL < 2900V	2.7075V	通过
29	7-2 : 源端低幅度 + (支持的受电方频率 ≤ 165MHz)	D0-	2.700V < VL < 2900V	2.7155V	通过
30	7-2 : 源端低幅度 + (支持的受电方频率 > 165MHz)	CK+	2.600V < VL < 2900V	2.7240V	通过
31	7-2 : 源端低幅度 + (支持的受电方频率 > 165MHz)	D0+	2.600V < VL < 2900V	2.7372V	通过
32	7-2 : 源端低幅度 + (支持的受电方频率 > 165MHz)	CK-	2.600V < VL < 2900V	2.7075V	通过
33	7-2 : 源端低幅度 + (支持的受电方频率 > 165MHz)	D0-	2.600V < VL < 2900V	2.7155V	通过

3.3.2.3 HDMI20_VOD = 0h、HDMI14_VOD = 0h，且 CLK_VOD、D0_VOD、D1_VOD 和 D2_VOD = 7h 时的 VL 和 VSwing (限幅模式，+20% 容差)
表 3-9. HDMI1.4_4K_30fps 测试下的 VL 和 VSwing (HDMI20_VOD = 0h，HDMI14_VOD = 0h，CLK_VOD、D0_VOD、D1_VOD 和 D2_VOD = 7h)

索引	测试名称	通道数	规范范围	测量值	结果
1	7-2：源端低幅度 + (支持的受电方频率 ≤ 165MHz)	D1+	2.700V < VL < 2.900V	2.6334V	失败
2	7-2：源端低幅度 + (支持的受电方频率 ≤ 165MHz)	D2+	2.700V < VL < 2.900V	2.6755V	失败
3	7-2：源端低幅度 + (支持的受电方频率 ≤ 165MHz)	D1-	2.700V < VL < 2.900V	2.6125V	失败
4	7-2：源端低幅度 + (支持的受电方频率 ≤ 165MHz)	D2-	2.700V < VL < 2.900V	2.6654V	失败
5	7-2：源端低幅度 + (支持的受电方频率 > 165MHz)	D1+	2.600V < VL < 2.900V	2.6334V	通过
6	7-2：源端低幅度 + (支持的受电方频率 > 165MHz)	D2+	2.600V < VL < 2.900V	2.6755V	通过
7	7-2：源端低幅度 + (支持的受电方频率 > 165MHz)	D1-	2.600V < VL < 2.900V	2.6125V	通过
8	7-2：源端低幅度 + (支持的受电方频率 > 165MHz)	D2-	2.600V < VL < 2.900V	2.6654V	通过
9	7-2：源端低幅度 + (支持的受电方频率 ≤ 165MHz)	CK+	2.700V < VL < 2.900V	2.6500V	失败
10	7-2：源端低幅度 + (支持的受电方频率 ≤ 165MHz)	D0+	2.700V < VL < 2.900V	2.6750V	失败
11	7-2：源端低幅度 + (支持的受电方频率 ≤ 165MHz)	CK-	2.700V < VL < 2.900V	2.6328V	失败
12	7-2：源端低幅度 + (支持的受电方频率 ≤ 165MHz)	D0-	2.700V < VL < 2.900V	2.6392V	失败
13	7-2：源端低幅度 + (支持的受电方频率 > 165MHz)	CK+	2.600V < VL < 2.900V	2.6483V	通过
14	7-2：源端低幅度 + (支持的受电方频率 > 165MHz)	D0+	2.600V < VL < 2.900V	2.6750V	通过
15	7-2：源端低幅度 + (支持的受电方频率 > 165MHz)	CK-	2.600V < VL < 2.900V	2.6328V	通过
16	7-2：源端低幅度 + (支持的受电方频率 > 165MHz)	D0-	2.600V < VL < 2.900V	2.6392V	通过

3.3.3 分辨率为 720 x 480_60p_8bit_444 时的 HDMI1.4 测试
3.3.3.1 HDMI20_VOD = 0h、HDMI14_VOD = 0h，且 CLK_VOD、D0_VOD、D1_VOD 和 D2_VOD = 0h 时的 VL 和 VSwing (限幅模式，-15% 容差)
表 3-10. HDMI1.4_480p_60fps 测试下的 VL 和 VSwing (HDMI20_VOD = 0h，HDMI14_VOD = 0h，CLK_VOD、D0_VOD、D1_VOD 和 D2_VOD = 0h)

索引	测试名称	通道数	规范范围	测量值	结果
1	7-2：源端低幅度 + (支持的受电方频率 ≤ 165MHz)	D1+	2.700V < VL < 2.900V；	2.8169V	通过

表 3-10. HDMI1.4_480p_60fps 测试下的 VL 和 VSwing (HDMI20_VOD = 0h , HDMI14_VOD = 0h , CLK_VOD、D0_VOD、D1_VOD 和 D2_VOD = 0h) (续)

索引	测试名称	通道数	规范范围	测量值	结果
2	7-2 : 源端低幅度 + (支持的受电方频率 ≤ 165MHz)	D2+	2.700V < VL < 2.900V ;	2.8570V	通过
3	7-2 : 源端低幅度 + (支持的受电方频率 ≤ 165MHz)	D1-	2.700V < VL < 2.900V ;	2.8077V	通过
4	7-2 : 源端低幅度 + (支持的受电方频率 ≤ 165MHz)	D2-	2.700V < VL < 2.900V ;	2.8340V	通过
5	7-2 : 源端低幅度 + (支持的受电方频率 ≤ 165MHz)	CK+	2.700V < VL < 2.900V ;	2.8318V	通过
6	7-2 : 源端低幅度 + (支持的受电方频率 ≤ 165MHz)	D0+	2.700V < VL < 2.900V ;	2.8431V	通过
7	7-2 : 源端低幅度 + (支持的受电方频率 ≤ 165MHz)	CK-	2.700V < VL < 2.900V ;	2.8260V	通过
8	7-2 : 源端低幅度 + (支持的受电方频率 ≤ 165MHz)	D0-	2.700V < VL < 2.900V ;	2.8279	通过

3.3.3.2 HDMI20_VOD = 1h (默认值为 1000mV) 且 HDMI14_VOD = 1h (默认值为 1000mV) 时的 VL 和 VSwing

表 3-11. HDMI1.4_480p_60fps 测试下的 VL 和 VSwing (HDMI20_VOD = 1h、HDMI14_VOD = 1h)

索引	测试名称	通道数	规范范围	测量值	结果
18	7-2 : 源端低幅度 + (支持的受电方频率 ≤ 165MHz)	CK+	2.700V < VL < 2.900V	2.7825V	通过
19	7-2 : 源端低幅度 + (支持的受电方频率 ≤ 165MHz)	D0+	2.700V < VL < 2.900V	2.7928V	通过
20	7-2 : 源端低幅度 + (支持的受电方频率 ≤ 165MHz)	CK-	2.700V < VL < 2.900V	2.7701V	通过
21	7-2 : 源端低幅度 + (支持的受电方频率 ≤ 165MHz)	D0-	2.700V < VL < 2.900V	2.7768V	通过
22	7-2 : 源端低幅度 + (支持的受电方频率 ≤ 165MHz)	D1+	2.700V < VL < 2.900V	2.7574V	通过
23	7-2 : 源端低幅度 + (支持的受电方频率 ≤ 165MHz)	D2+	2.700V < VL < 2.900V	2.8016V	通过
24	7-2 : 源端低幅度 + (支持的受电方频率 ≤ 165MHz)	D1-	2.700V < VL < 2.900V	2.7452V	通过
25	7-2 : 源端低幅度 + (支持的受电方频率 ≤ 165MHz)	D2-	2.700V < VL < 2.900V	2.7793V	通过

3.3.3.3 HDMI20_VOD = 0h、HDMI14_VOD = 0h , 且 CLK_VOD、D0_VOD、D1_VOD 和 D2_VOD = 7h 时的 VL 和 VSwing (限幅模式 , +20% 容差)

表 3-12. HDMI1.4_480p_60fps 测试下的 VL 和 VSwing (HDMI20_VOD = 0h , HDMI14_VOD = 0h , CLK_VOD、D0_VOD、D1_VOD 和 D2_VOD = 7h)

索引	测试名称	通道数	规格范围	测量值	结果
1	7-2 : 源端低幅度 + (支持的受电方频率 ≤ 165MHz)	D1+	2.700V < VL < 2.900V	2.6945V	失败

表 3-12. HDMI1.4_480p_60fps 测试下的 VL 和 VSwing (HDMI20_VOD = 0h , HDMI14_VOD = 0h , CLK_VOD、D0_VOD、D1_VOD 和 D2_VOD = 7h) (续)

索引	测试名称	通道数	规格范围	测量值	结果
2	7-2 : 源端低幅度 + (支持的受电方频率 \leq 165MHz)	D2+	2.700V < VL < 2.900V	2.7438V	通过
3	7-2 : 源端低幅度 + (支持的受电方频率 \leq 165MHz)	D1-	2.700V < VL < 2.900V	2.6834V	失败
4	7-2 : 源端低幅度 + (支持的受电方频率 \leq 165MHz)	D2-	2.700V < VL < 2.900V	2.7200	通过
5	7-2 : 源端低幅度 + (支持的受电方频率 \leq 165MHz)	CK+	2.700V < VL < 2.900V	2.7054V	通过
6	7-2 : 源端低幅度 + (支持的受电方频率 \leq 165MHz)	D0+	2.700V < VL < 2.900V	2.7282V	通过
7	7-2 : 源端低幅度 + (支持的受电方频率 \leq 165MHz)	CK-	2.700V < VL < 2.900V	2.7028V	通过
8	7-2 : 源端低幅度 + (支持的受电方频率 \leq 165MHz)	D0-	2.700V < VL < 2.900V	2.7074V	通过

注意：在 HDMI 1.4 中，不同分辨率下的 VL 规格各不相同。

单端低电平输出电压，VL

如果所连接的受电方仅支持 \leq 165MHz : $(AV_{cc}-600mV) \leq VL \leq (AV_{cc}-400mV)$

如果所连接的受电方仅支持 $>$ 165MHz : $(AV_{cc}-700mV) \leq VL \leq (AV_{cc}-400mV)$

3.4 HDMI1.4-2.0 合规性测试结果

3.4.1 分辨率为 4096x2160_60p_8bit_444 时的 HDMI2.0 测试

 TekExpress HDM Source Test Report			
Setup Information			
DUT ID	DUT001	Scope Model	DPO73304SX
Date/Time	2025-03-21 17:14:26	Scope Serial Number	B010266
Device Type	HDM Physical Layer Solution	SPC, FactoryCalibration	PASS:PASS
App Version	10.3.5.6	Scope F/W Version	10.14.1 Build 15
TekExpress Version	4.16.0.20	DPOJET Version	10.5.0.9
Spec Version	CTS 2.0	Ch1 Deskew Time (s)	0.000000
Overall Compliance Mode	Yes	Ch2 Deskew Time (s)	0.000000
Execution Mode	Live	Ch3 Deskew Time (s)	0.000000
Overall Execution Time	0:47:10	Ch4 Deskew Time (s)	0.000000
Overall Test Result	Pass	Probe1 Model	P7313SMA
		Probe1 Serial Number	B022547
		Probe2 Model	P7313SMA
		Probe2 Serial Number	B010379
		Probe3 Model	P7313SMA
		Probe3 Serial Number	B022271
		Probe4 Model	P7313SMA
		Probe4 Serial Number	B022549
DUT COMMENT:	General Comment - HDM2.0 Source		

Test Name Summary Table		
Test Name	Result	Execution Time
HF1-2- TRISE, TFALL	Pass	0:09:19
HF1-5- Differential Voltage	Pass	0:06:20
HF1-6- Clock Duty Cycle and Clock Rate	Pass	0:02:01
HF1-3- Inter-Pair Skew	Pass	0:31:18
HF1-7- Clock Jitter	Pass	0:01:02
HF1-1- VL and VSwing	Pass	0:18:20
HF1-4- Intra-Pair Skew	Pass	0:12:57
HF1-8- Data Eye Diagram	Pass	0:15:46

图 3-16. HDMI2.0_4K_60fps 总体通过结果

3.4.2 分辨率为 4096 × 2160_30p_8bit_444 时的 HDMI1.4 测试

HDMI Compliance Test Software: Measurement Report


Enabling Innovation

Fri Mar 28 08:52:14 GMT 2025

Source Tests Report

Configuration

Setup Configuration

Oscilloscope Info	DPO73304S - 10.14.1 Build 15
TDSHT3 Version	5.4.0 Build 8

Device Configuration

Device Details	HDMI Device
Clock Frequency(Mhz)	297.077
Resolution	4096x2160
Refresh Rate	30Hz

Compliance Summary

Total Tests Supported	9
Tests Completed	37
Pass	37
Fail	0

图 3-17. HDMI1.4_4K_30fps 总体通过结果

3.4.3 分辨率为 720 x 480_60p_8bit_444 时的 HDMI1.4 测试

HDMI Compliance Test Software: Measurement Report


Enabling Innovation

Wed Apr 02 07:23:26 GMT 2025

Source Tests Report

Configuration

Setup Configuration

Oscilloscope Info	DPO73304S - 10.14.1 Build 15
TDSHT3 Version	5.4.0 Build 8

Device Configuration

Device Details	HDMI Device
Clock Frequency(Mhz)	27.0288
Resolution	720x480p
Refresh Rate	60Hz

Compliance Summary

Total Tests Supported	9
Tests Completed	29
Pass	29
Fail	0

图 3-18. HDMI1.4_480p_60fps 总体通过结果

4 提示

TDP0604 通过 DDC 读取/写入或 I2C 写入读取检测到的最后一个值。使用 I2C 主机读取 SCDC_TMDS_CONFIG 寄存器 (偏移 = 20h) 中的 TMDS_CLK_RATIO [1]位, 以找到正确的 TMDS 时钟周期比。

表 4-1. TMDS_CLK_Ratio 位

位	字段	类型	复位	说明
7-2	RESERVED	R	0h	保留
1	TMDS_CLK_RATIO	RH/W	0h	TMDS 位周期与 TMDS 时钟周期比率。通过 DC 读取/写入或 I2C 写入来读取最后一个值
0	RESERVED	R	0h	保留

读取为 HDMI2.0 时钟比率时 :

2025-03-28 19:30:46.191	I2C	ReqW	M	---	100	0X5E	1	20 (Req. Address)
2025-03-28 19:30:46.191	I2C	ReqR	M	---	100	0X5E	1	02

图 4-1. TMDS_CLK_RATIO = 1

回读为 HDMI1.4 时钟比率时 :

2025-03-27 19:51:40.611	I2C	ReqW	M	---	100	0X5E	1	20 (Req. Address)
2025-03-27 19:51:40.611	I2C	ReqR	M	---	100	0X5E	1	00

图 4-2. TMDS_CLK_RATIO = 0

5 总结

TDP0604 是一款混合转接驱动器，同时支持发送端和接收端应用。混合转接驱动器可用作线性转接驱动器，也可用作限幅转接驱动器。该器件还具有丰富且灵活的调节功能，可针对每条高速通道及不同的数据速率（HDMI1.4 或 2.0）进行精细调节，包括 EQ、上升和下降转换率、VL 和 VSwing 等。

本文通过实际调整示例展示了在测试过程中不同参数调整所产生的结果与影响，帮助读者理解在遇到测试失败时，哪些参数可以或必须进行调节，以顺利通过认证测试。

6 参考资料

1. 德州仪器 (TI), [TDP0604 6Gbps、直流或交流耦合至 HDMI 2.0 电平转换器混合转接驱动器](#) 数据表。

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 [TI 销售条款](#)、[TI 通用质量指南](#) 或 [ti.com](#) 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2025，德州仪器 (TI) 公司

最后更新日期：2025 年 10 月