

Application Note

AM62Lx 电源实现方案



Brenda Diaz

摘要

本应用手册介绍了针对不同用例和低功耗模式的 AM62L 电源实现方案。本文中所述的供电网络 (PDN) 可用于指导如何将 PMIC 或分立式电源设计集成到使用德州仪器 (TI) AM62L Sitara 处理器的应用中。提供了示例电源图和数字图，以协助执行设计过程。如有任何问题或需要技术支持来帮助完成设计过程，请访问 [TI E2E™](#) 设计支持论坛。

内容

1 引言.....	3
2 电源管理 IC (PMIC) 概述.....	4
3 低功耗模式和电源优化.....	5
3.1 PDN#1：针对 BOM 尺寸和成本优化电源设计.....	6
3.2 PDN#2：针对最低挂起功耗优化的电源设计.....	8
3.3 PDN#3：完全灵活的电源设计.....	11
3.4 PDN#4：DDR4 的电源实现方案.....	13
4 上电序列.....	16
5 下电序列.....	17
6 总结.....	18
7 参考资料.....	18
A 附录 A：PDN#1 的分立式电源实现方案.....	19
B 修订历史记录.....	21

插图清单

图 2-1. TPS65214 功能框图.....	4
图 3-1. AM62L PDN 针对 BOM 尺寸和成本进行了优化.....	6
图 3-2. SoC - PDN#1 的 PMIC 数字连接.....	7
图 3-3. PMIC BOM 示例.....	7
图 3-4. AM62L PDN 针对最低挂起功耗进行了优化.....	8
图 3-5. SoC - PDN#2 的 PMIC 数字连接.....	9
图 3-6. AM62L 完全灵活的 PDN.....	11
图 3-7. SoC - PDN#3 的 PMIC 数字连接.....	12
图 3-8. DDR4 的电源实现方案.....	13
图 3-9. DDR4 数字连接用例.....	14
图 4-1. AM62L 上电序列.....	16
图 5-1. AM62L 断电序列.....	17
图 A-1. 针对 BOM 尺寸和成本优化的 PDN - 分立式实现方案.....	19
图 A-2. 分立式 BOM 示例.....	20
图 A-3. 逻辑实现方案 - 示例.....	20

表格清单

表 1-1. AM62L 电源特性.....	3
表 3-1. AM62L 供电网络 (PDN).....	5
表 3-2. TPS6521401 数字配置.....	10
表 3-3. TPS6521402 数字配置.....	15

商标

TI E2E™ is a trademark of Texas Instruments.

所有商标均为其各自所有者的财产。

1 引言

AM62L 基于 Arm 的处理器是一款低成本、高能效的片上系统 (SoC)，设计用于各种工业和通用应用。AM62L 处理器搭载两个 Arm Cortex-A53 内核，可提供强大的算力和安全启动等安全功能。凭借可扩展的软件开发工具包 (SDK) 和开源硬件及设计工具，该器件能实现快速且高效的开发。这款 SoC 适用于智能计量、电动汽车 (EV) 充电、物联网 (IOT) 网关、工业人机界面 (HMI)、患者监护等应用。

AM62L 采用电源管理架构开发，可实现更低的功率耗散、更低的 BOM 成本和灵活的电源设计。在这种电源架构中，需要 4-5 个外部稳压器来为主内核 (VDD_CORE)、RAM (VDDR_CORE)、DDR PHY IO (VDDS_DDR)、VDDA 模拟电源 (可通过适当的滤波与 1.8V IO 进行组合) 和 1.8V/3.3V IO 电源供电。表 1-1 突出显示了这种 SoC 电源架构的部分优势。

备注

如果用户指南、应用报告或其他参考资料之间存在任何不一致的地方，应以数据表规格为准。

表 1-1. AM62L 电源特性

电源架构特性	优势
✓ 低功耗模式	4 种低功耗模式 (仅 RTC、RTC + IO + DDR、DeepSleep 和待机) 显著降低了功耗，并实现了更高的能效和更长的电池续航时间。
✓ 有功功率	在低活动用例中，低有功功率和 OS 空闲模有助于降低功耗。
✓ 内核电压	通过 0.75V 固定内核电压电源，实现差异化的低功耗功能，支持高达 1.25GHz 的双路 A53。
✓ 电压域	单核电压域可实现低成本电源设计，并简化电源管理的软件控制流程。
✓ 内部双电压 LDO	集成了一个 3.3V LDO (SDIO)，可切换到 1.8V 来为 SD 卡接口供电，并支持 UHS-I 速度。这种内部 LDO 使设计人员不再需要外部双电压 LDO，从而能够减小 BOM 的尺寸并降低成本。
✓ 电源实现方案	灵活的电源时序和电源整合，简化了 PMIC 或分立电源实现方案，并允许进行优化以降低 BOM 尺寸和成本。
✓ 配套 PMIC	TPS65214 是一款 3.5mm x 3.5mm 电源管理 IC (PMIC)，针对成本和空间进行了优化，专门用于为 AM62L 供电。该器件集成了监控器和序列发生器，可监测所有电源轨并完全控制时序。

2 电源管理 IC (PMIC) 概述

TPS65214 PMIC 包含五个稳压器：3 个降压稳压器和 2 个低压降压稳压器 (LDO)。Buck1 降压转换器能够支持高达 2A 的电流，其余的降压稳压器每个可支持 1A 电流。LDO1 可支持 300mA 的最大输出电流，LDO2 可支持 500mA 的最大输出电流。两个 LDO 都可以配置为负载开关。PMIC 的 VIN 范围在 2.5V 至 5.5V 之间，可以支持通用的 3.3V 或 5V 系统电压。图 2-1 汇总了每个模拟资源的电压和电流能力。TPS65214 PMIC 具有一个 I2C 接口、两个 GPIO 引脚和三个多功能引脚，可提供完整的电源组，为 AM62L SoC 和主要外设供电。

TPS65214 器件有多个不同的可订购器件型号 (OPN)，具有独特的 OTP 设置，以支持不同的应用。每个 TPS65214 PMIC 器件可通过器件型号和 TI_DEV_ID / NVM_ID 寄存器字段进行区分。器件型号的数字 #9-10 代表默认 OTP 配置。例如，TPS6521401 具有独特的 OTP 设置，以支持 AM62L SoC 的电压和时序控制要求。

备注

TPS6521401 用于 AM62L EVM

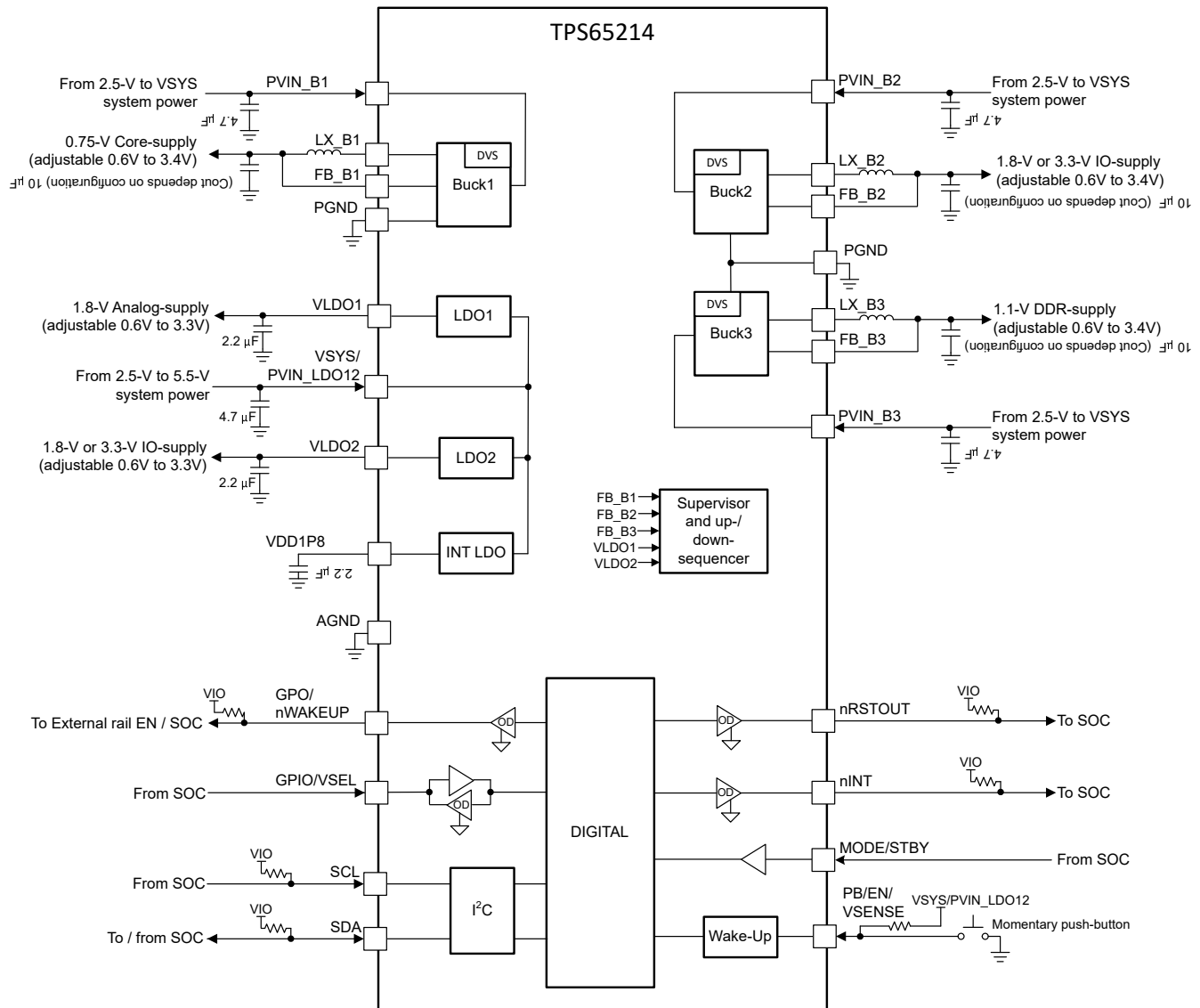


图 2-1. TPS65214 功能框图

3 低功耗模式和电源优化

AM62L 提供以下几种低功耗模式：仅 RTC、RTC + IO + DDR、DeepSleep 和待机。有关每种低功耗模式和支持的唤醒源的详细说明，请参阅 *AM62L 技术参考手册* 的“电源”部分。总体来说，在仅 *RTC* 期间，*RTC* 电源轨 (*VDDS_RTC* / *VDD_RTC*) 保持开启状态，其余电源轨将关闭。在 *RTC + IO + DDR* 期间，主内核 (*VDD_CORE*) 和 1.8V 模拟 (*VDDA*) 关闭，其余电源轨保持开启状态。而在 *DeepSleep* 和待机时，所有外部电源轨都保持开启状态。表 3-1 显示了三个 PDN，用于根据所需的低功耗模式为 AM62L+LPDDR4 供电，实现不同的功率优化。此表还包括一个用于 DDR4 电源实现的 PDN。

对于不使用低功耗模式的应用：如果 3.3V 总 IO 电流低于 500mA，建议使用 PDN#1。如果 3.3V 总 IO 电流高于 500mA，建议使用 PDN#2。

表 3-1. AM62L 供电网络 (PDN)

电源优化	内存	支持的低功耗模式			
		仅限 RTC	RTC + IO + DDR	DeepSleep	待机
最低 BOM 尺寸、成本 (PDN#1) ⁽¹⁾	LPDDR4			✓	✓
最低挂起功耗 (PDN#2) ⁽²⁾	LPDDR4		✓	✓	✓
完全灵活的设计 (PDN#3) ⁽²⁾	LPDDR4	✓	✓	✓	✓
DDR4 电源示意图 (PDN#4) ⁽³⁾	DDR4	✓	✓	✓	✓

(1) PDN#1 使用自定义 PMIC 配置，可应要求为大批量应用提供。

(2) PDN#2 和 PDN#3 使用 TPS6521401 PMIC 配置。

(3) PDN#4 使用 TPS6521402 PMIC 配置。

3.1 PDN#1：针对 BOM 尺寸和成本优化电源设计

本节中所述的供电网络 (PDN) 提供了优化的电源设计，可实现更小的 BOM 尺寸和更低的成本。该设计使用单个 3.5mm × 3.5mm 电源管理 IC (PMIC) 为所有 SoC 电源域供电。或者，可以使用分立式组件来实现电源设计。图 3-1 展示了 PMIC 实现。此 PDN 可用于不使用仅 *RTC* 模式和 *RTC + IO + DDR* 低功耗模式的应用。

亮点：

- 估计的 BOM 尺寸：**36.97mm²** (不包括 PCB 间隙)。
- 如果 3.3V IO (包括 AM62L + 外设) 上的总电流低于 500mA，则所有 SoC 电压域都由单个 PMIC 供电。
- 如果 3.3V IO (包括 AM62L + 外设) 上的总电流高于 500mA，请参阅 节 3.2
- 使用 3.3V 输入电源 (最低功耗) 时，PMIC LDO2 配置为 3.3V 负载开关。
- 当使用 4V - 5V 输入电源时，PMIC LDO2 配置为 3.3V LDO。

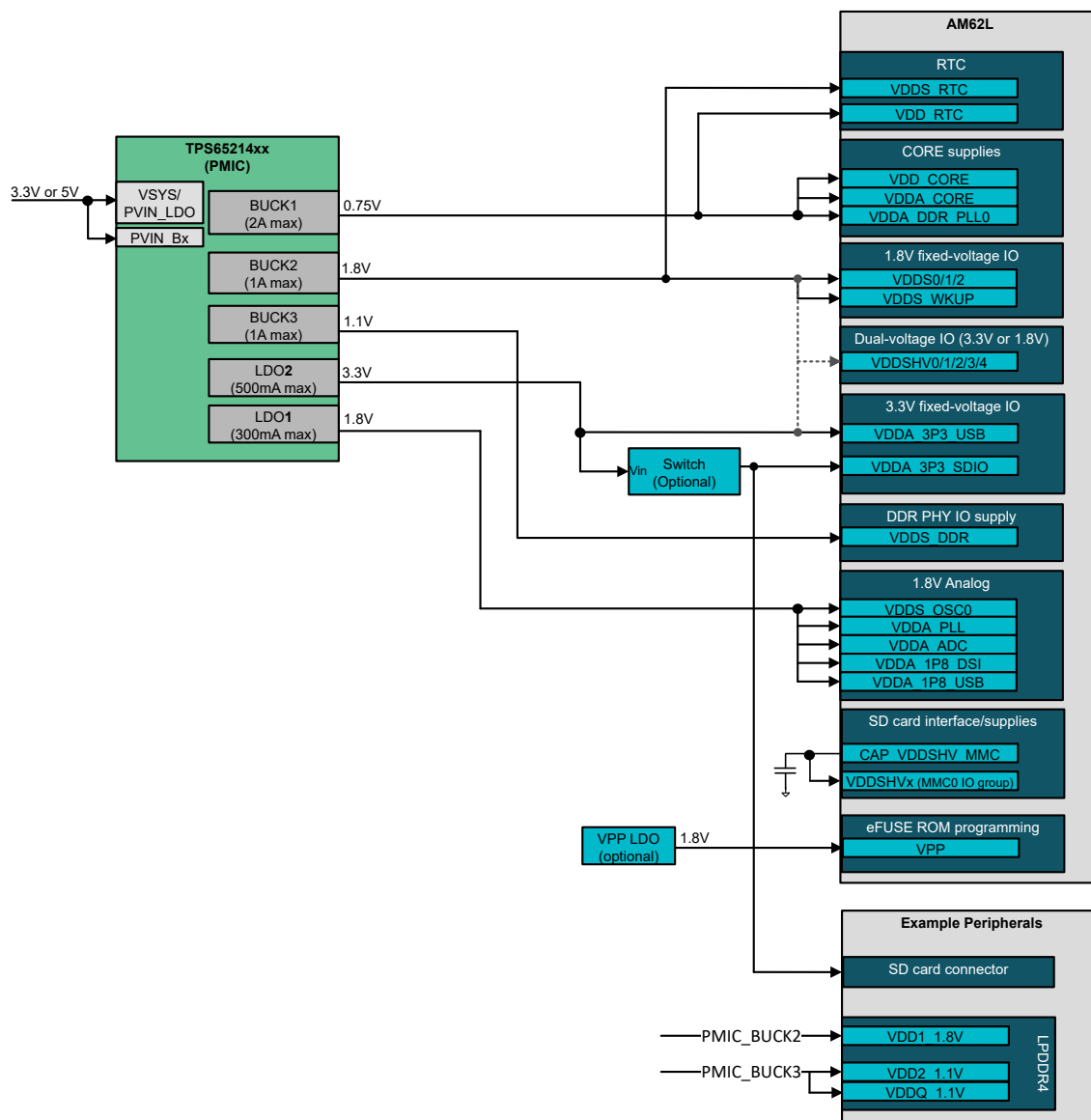


图 3-1. AM62L PDN 针对 BOM 尺寸和成本进行了优化

备注

连接到 VDDA_3P3_SDIO 的电源开关是可选的，仅在应用中使用 SD 卡时才需要。VPP 1.8V LDO 是可选的，仅在需要板载 eFuse 编程时才需要。有关分立式实现方案的示例，请参阅 附录 A。

图 3-2 显示了 PDN#1 的 SoC 和 PMIC 之间的数字连接。图中还显示了需要外部上拉电阻器的数字引脚。可以使用前置稳压器的电源正常信号来驱动 PMIC 使能引脚 (EN/PB/VSENSE)。或者，如果前置稳压器未集成电源正常信号，则可以将该信号上拉至 PMIC_VSYS。PMIC nRSTOUT 可驱动 RTC 上电复位 (RTC_PORz) 和 SoC 主复位 (PORz)。当不支持仅 RTC 模式和 RTC + IO + DDR 低功耗模式时，允许这样做。PMIC_LPM_EN0 可驱动 PMIC MODE/STBY 引脚，将 DC/DC 开关模式从强制 PWM 切换到自动 PFM，并在 DeepSleep 和待机/OS 空闲低功耗模式期间提高电源效率。这是可选的，需要将 PMIC MODE/STBY 引脚配置为“MODE”。

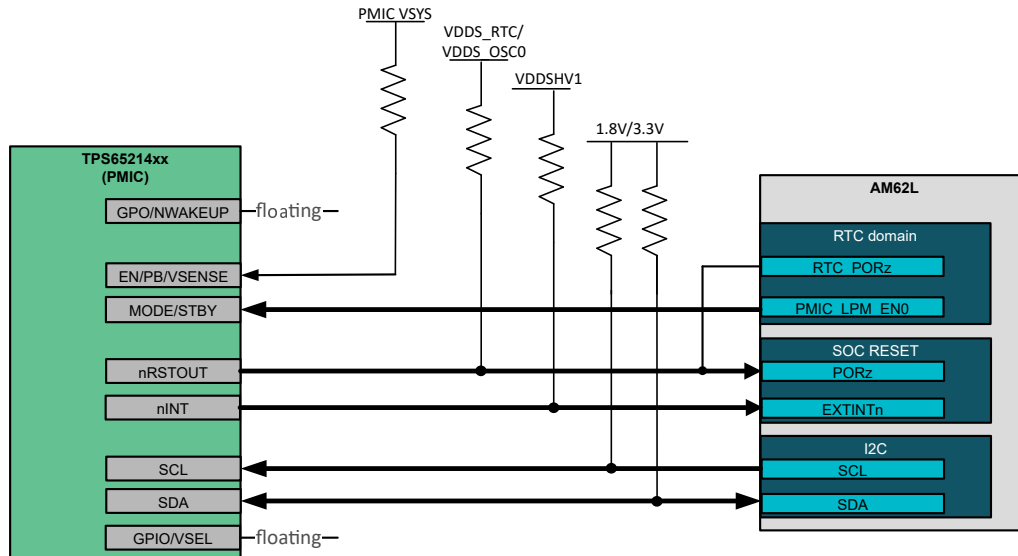


图 3-2. SoC - PDN#1 的 PMIC 数字连接

备注

PMIC_LPM_EN0 不需要外部上拉电阻器；SoC 具有一个内部上拉电阻器，可以在 VDDS_RTC 通电时将信号驱动为高电平。PORz 可耐受 3.3V 电压，并且只要 VDDS_OSC0 通电，外部上拉电阻器就可以连接到 1.8V 电源或 3.3V 电源。

AM62L	Power Supply	Qty	Example component	Component Value	Length (mm)	Width (mm)	Area (mm ²)
NA	PMIC IC package	1	TPS65214	N/A	3.5	3.5	12.25
	VSYS/PVIN_LDO	1	C1608X7S1A475K080AC	4.7uF	1.6	0.8	1.28
	VDD1P8 - Cout	1	C1005X7S1A225K050BC	2.2uF	1	0.5	0.5
VDD_CORE VDD_RTC	BUCK1-L	1	TFM201208BLE-R47MTCF	0.47uH	2	1.2	2.4
	BUCK1-Cin	1	C1608X7S1A475K080AC	4.7uF	1.6	0.8	1.28
	BUCK1-Cout	2	GRM21BZ71A226ME15L	22uF	2	1.25	5
VDDS_DDR	BUCK3-L	1	TFM201208BLE-R47MTCF	0.47uH	2	1.2	2.4
	BUCK3-Cin	1	C1608X7S1A475K080AC	4.7uF	1.6	0.8	1.28
	BUCK3-Cout	1	GRM21BZ71A226ME15L	22uF	2	1.25	2.5
1.8V IO	BUCK2-L	1	TFM201208BLE-R47MTCF	0.47uH	2	1.2	2.4
	BUCK2-Cin	1	C1608X7S1A475K080AC	4.7uF	1.6	0.8	1.28
	BUCK2-Cout	1	GRM21BZ71A226ME15L	22uF	2	1.25	2.5
3.3V IO	LDO1-Cin	0	shares Cin with VSYS	NA	0	0	0
	LDO1-Cout	1	C1005X7S1A225K050BC	2.2uF	1	0.5	0.5
	LDO2-Cin	0	shares Cin with VSYS	NA	0	0	0
VDDA (1.8V analog)	LDO2-Cout	1	C1005X7S1A225K050BC	2.2uF	1	0.5	0.5
Resistors	Digital Pull-up Res	5	Example: 0201 10K pull-ups	NA	0.6	0.3	0.9
Total Size							36.97

图 3-3. PMIC BOM 示例

3.2 PDN#2：针对最低挂起功耗优化的电源设计

本节介绍的供电网络 (PDN) 针对最低挂起功耗进行了优化，支持除仅 *RTC* 模式之外的所有低功耗模式。该 PDN 使用 3.5mm x 3.5mm PMIC 和外部 3.3V 分立式稳压器来为所有 SoC 电源域供电。对于使用 *RTC + IO + DDR* 低功耗模式的应用或在 3.3V IO 上需要超过 500mA 电流的应用，建议使用此 PDN。此 PDN 可在进入 *RTC + IO + DDR* 低功耗模式时关闭 VDD_CORE 和 VDDA，以降低功耗。图 3-4 显示了使用 TPS6521401 配置的 PMIC 实现方案。

亮点：

- 使用 TPS6521401 PMIC。AM62L EVM 中使用了此 PMIC 配置。提供相应的硬件设计文件。
- 3.3V 输入电源 (PMIC + 3.3V 电源开关) 的 BOM 尺寸估计值：**41.69mm²** (不包括 PCB 间隙)。电源开关示例：TPS22954。
- 4V - 5V 输入电源 (PMIC + 3.3V 降压转换器) 的 BOM 估算值：**58.68mm²** (不包括 PCB 间隙)。降压示例：TPS62A01。
- 外部 3.3V 分立式稳压器可根据 3.3V IO (包括 SoC + 外设) 所需的总电流进行扩展。

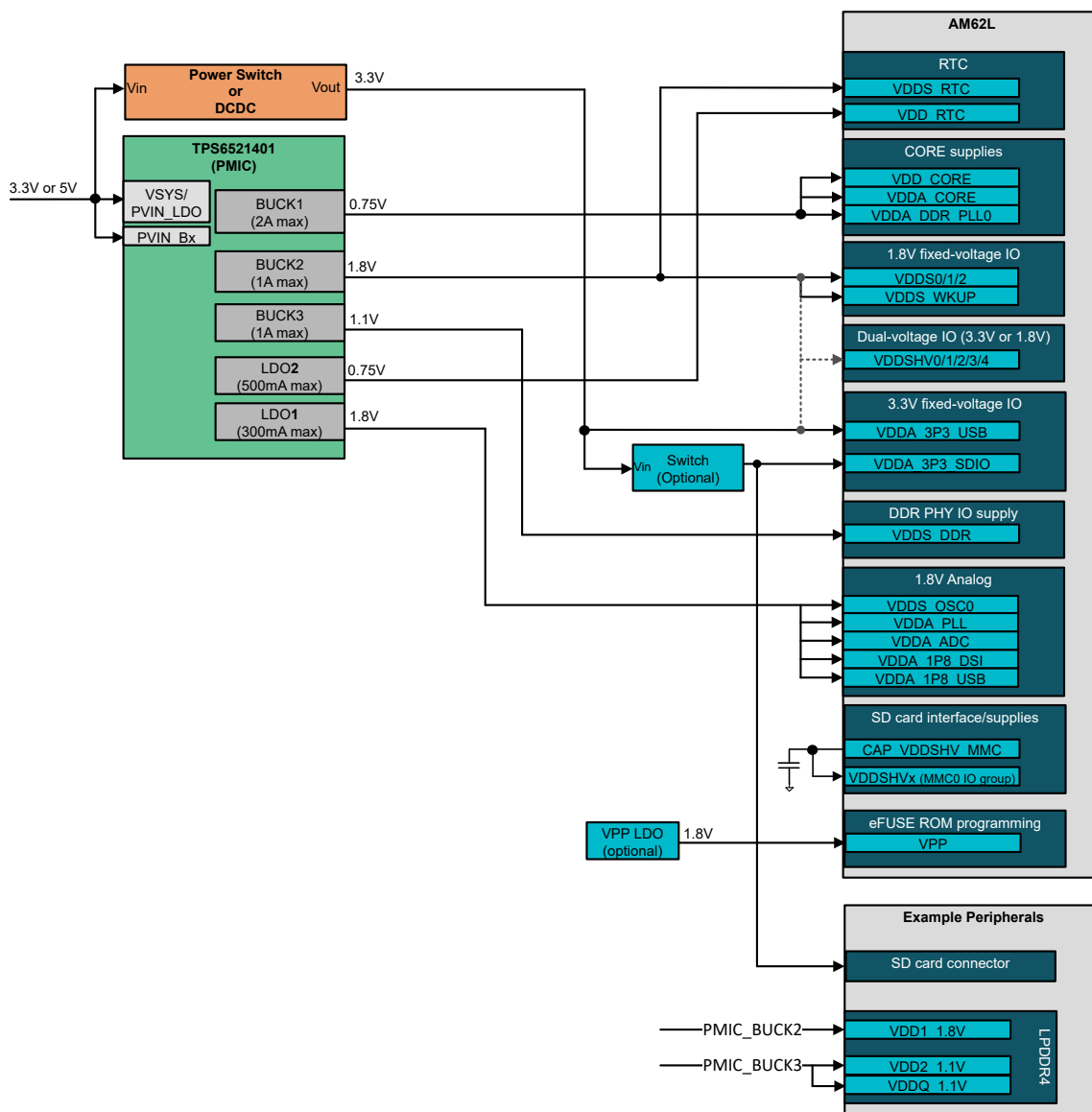


图 3-4. AM62L PDN 针对最低挂起功耗进行了优化

备注

连接到 VDDA_3P3_SDIO 的电源开关是可选的，仅在应用中使用 SD 卡时才需要。VPP 1.8V LDO 是可选的，仅在需要板载 eFuse 编程时才需要。

图 3-5 展示了 PDN#2 的 SoC 和 PMIC 之间的数字连接。图中还显示了需要外部上拉电阻器的数字信号。可以使用前置稳压器的电源正常信号来驱动 PMIC 使能引脚 (EN/PB/VSENSE)。或者，如果前置稳压器未集成电源正常信号，则可以将该信号上拉至 PMIC_VSYS。PMIC nRSTOUT 和 3.3V IO 的电源正常信号驱动主 SoC 复位 (PORz)。PMIC GPO 配置为用作 RTC 电源轨 (BUCK2 和 LDO2) 的电源正常信号，并驱动 RTC 上电复位 (RTC_PORz)。在进入“RTC + IO + DDR”低功耗模式时，PMIC_LPM_EN0 会驱动 PMIC MODE/STBY 引脚，以将 PORz 拉至低电平并关闭 VDD_CORE (BUCK1) 以及 VDDA (LDO1)。

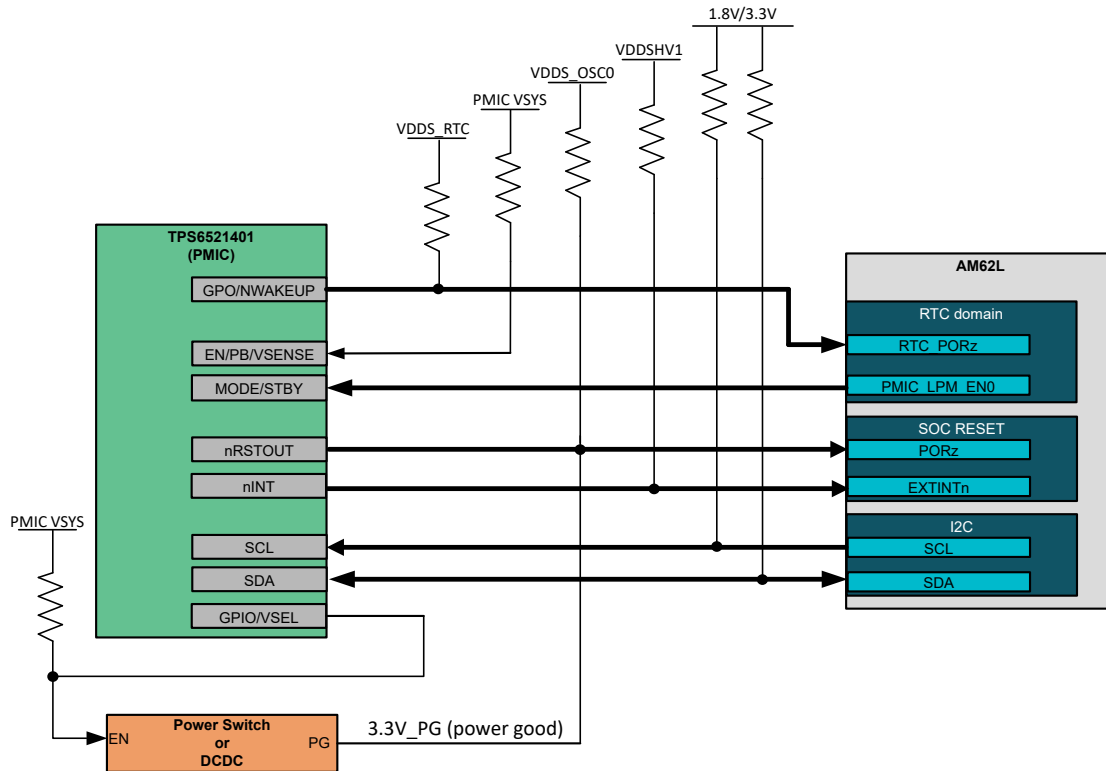


图 3-5. SoC - PDN#2 的 PMIC 数字连接

备注

PMIC_LPM_EN0 不需要外部上拉电阻器；SoC 具有一个内部上拉电阻器，可以在 VDDA_RTC 通电时将信号驱动为高电平。PORz 可耐受 3.3V 电压，并且只要 VDDA_OSC0 通电，外部上拉电阻器就可以连接到 1.8V 电源或 3.3V 电源。

表 3-2. TPS6521401 数字配置

	OTP Config	极性
EN/PB/VSENSE	配置为 <i>使能</i>	- 高电平：PMIC 执行上电序列。 - 低电平：PMIC 执行断电序列。
MODE/STBY	模式和待机	- 高电平：PMIC 处于工作状态。启用所有电源轨。降压稳压器在强制 PWM 模式下运行。 - 低电平：处于待机状态的 PMIC。Buck1 和 LDO1 关闭。降压稳压器在自动 PFM 模式下运行。
GPIO/nWAKEUP	漏极开路 GPO	配置为用作 Buck2 和 LDO2 的 <i>电源正常</i> 信号。当 PMIC 进入待机状态时，该数字引脚驱动 RTC_PORz 并保持高电平/高阻态，以支持 AM62L RTC+DDR 低功耗模式。
GPIO/SEL	漏极开路 GPO	配置为启用/禁用外部 3.3V 分立式器件。

备注

请参阅 [TPS6521401 技术参考手册](#)，获取默认 PMIC OTP 寄存器设置的完整列表。

3.3 PDN#3：完全灵活的电源设计

本节中介绍的供电网络 (PDN) 提供了一种灵活的 PMIC + 分立式电源设计，可支持所有 SoC 低功耗模式。此 PDN 通过将 VDDSD_RTC (1.8V) 和 VDD_RTC (0.75V) 与其余电源轨隔离开来，从而支持仅 *RTC* 低功耗模式。通过为 *RTC* 域提供常开型分立式器件，可以在仅 *RTC* 低功耗模式期间，关闭整个 PMIC 和外部 3.3V 分立式器件，同时仅保持 *RTC* 电源轨开启，以此显著降低功耗。当进入仅 *RTC* 低功耗模式时，AM62L PMIC_LPM_EN 信号会将 PMIC 使能引脚驱动为低电平。图 3-6 所示为 PMIC + 分立式电源的实现方案。

亮点：

- 此 PDN 可通过 TPS6521401 PMIC 实现 (即 AM62L EVM 中使用的 PMIC OTP 配置)。
- 支持 所有 AM62L 低功耗模式。
- BOM 尺寸极其依赖于针对 *RTC* 电源轨和 3.3V IO 所选择的分立器件。
- 使用 3.3V 输入电源 (更低功耗) 时，会使用外部 3.3V 电源开关。示例 IC：TPS22954。
- 当使用 4V - 5V 输入电源时，需要使用外部 3.3V DCDC。示例 IC：TPS62A01。
- 外部 3.3V 离散电流额定值可根据 3.3V IO 所需的总电流来扩展。

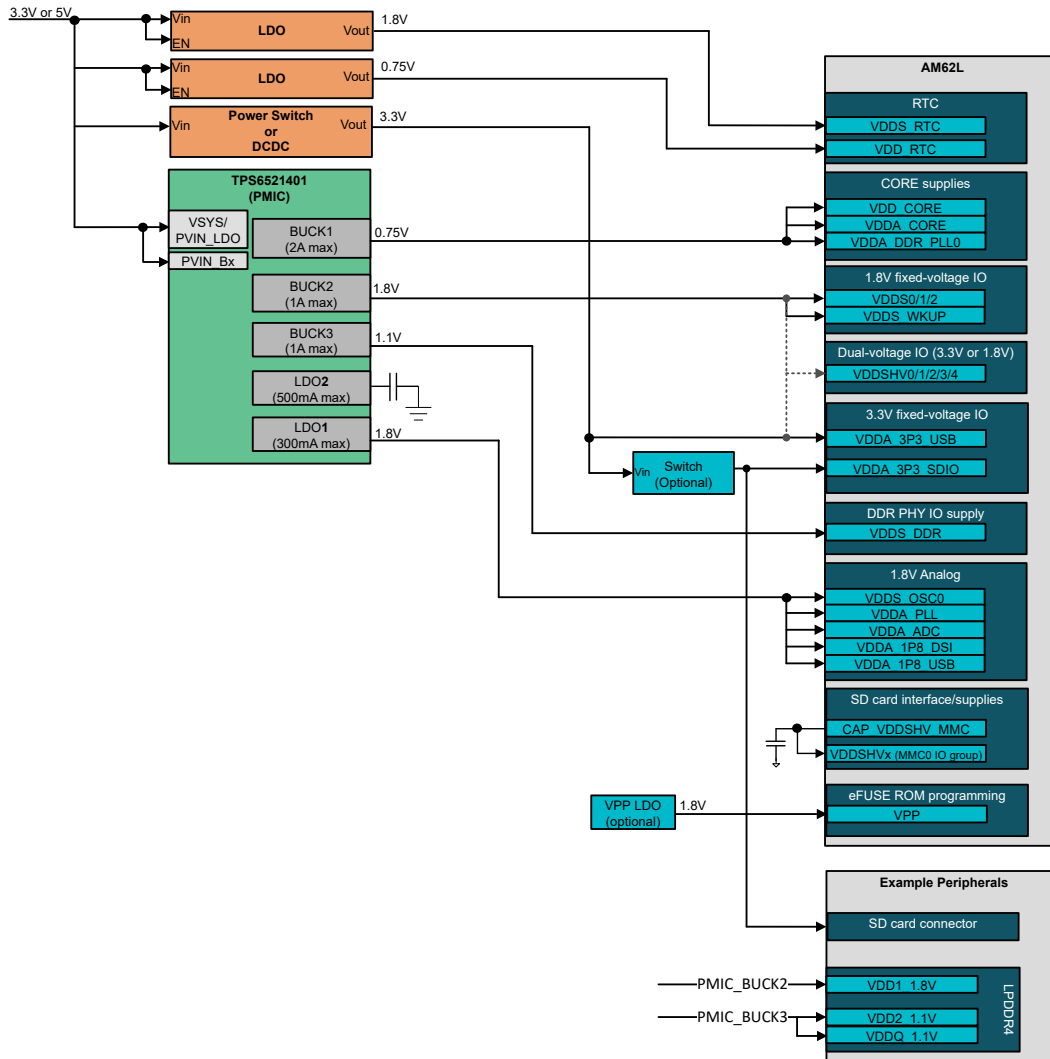


图 3-6. AM62L 完全灵活的 PDN

备注

连接到 VDDA_3P3_SDIO 的电源开关是可选的，仅在应用中使用 SD 卡时才需要。VPP 1.8V LDO 是可选的，仅在需要板载 eFuse 编程时才需要。

图 3-7. SoC - PDN#3 的 PMIC 数字连接

PMIC_LPM_EN0 不需要外部上拉电阻器；SoC 具有一个内部上拉电阻器，可以在 VDDS_RTC 通电时将信号驱动为高电平。PORz 可耐受 3.3V 电压，并且只要 VDDS_OSC0 通电，外部上拉电阻器就可以连接到 1.8V 电源或 3.3V 电源。

3.4 PDN#4 : DDR4 的电源实现方案

本节中介绍的供电网络 (PDN) 支持 AM62L + DDR4。如果不需要 仅 *RTC* 模式或 *RTC+IO+DDR* 低功耗模式，VDD_RTC 可以连接到 VDD_CORE (Buck1)，而 VDDS_RTC 可以连接到 1.8V IO (Buck2)。图 3-8 显示了使用 TPS6521402 配置的 PMIC 实现方案。

亮点：

- 使用 TPS6521402 PMIC。
- 只有在应用启用 仅 *RTC* 模式或 *RTC+IO+DDR* 低功耗模式时，才需要两个外部的 1.8V/0.75V 分立式 LDO。
- BOM 尺寸极其依赖于针对 *RTC* 电源轨和 3.3V IO 所选择的分立器件。
- 使用 3.3V 输入电源 (更低功耗) 时，会使用外部 3.3V 电源开关。示例 IC：TPS22954。
- 当使用 4V - 5V 输入电源时，需要使用外部 3.3V DCDC。示例 IC：TPS62A01。
- 外部 3.3V 离散电流额定值可根据 3.3V IO 所需的总电流来扩展。

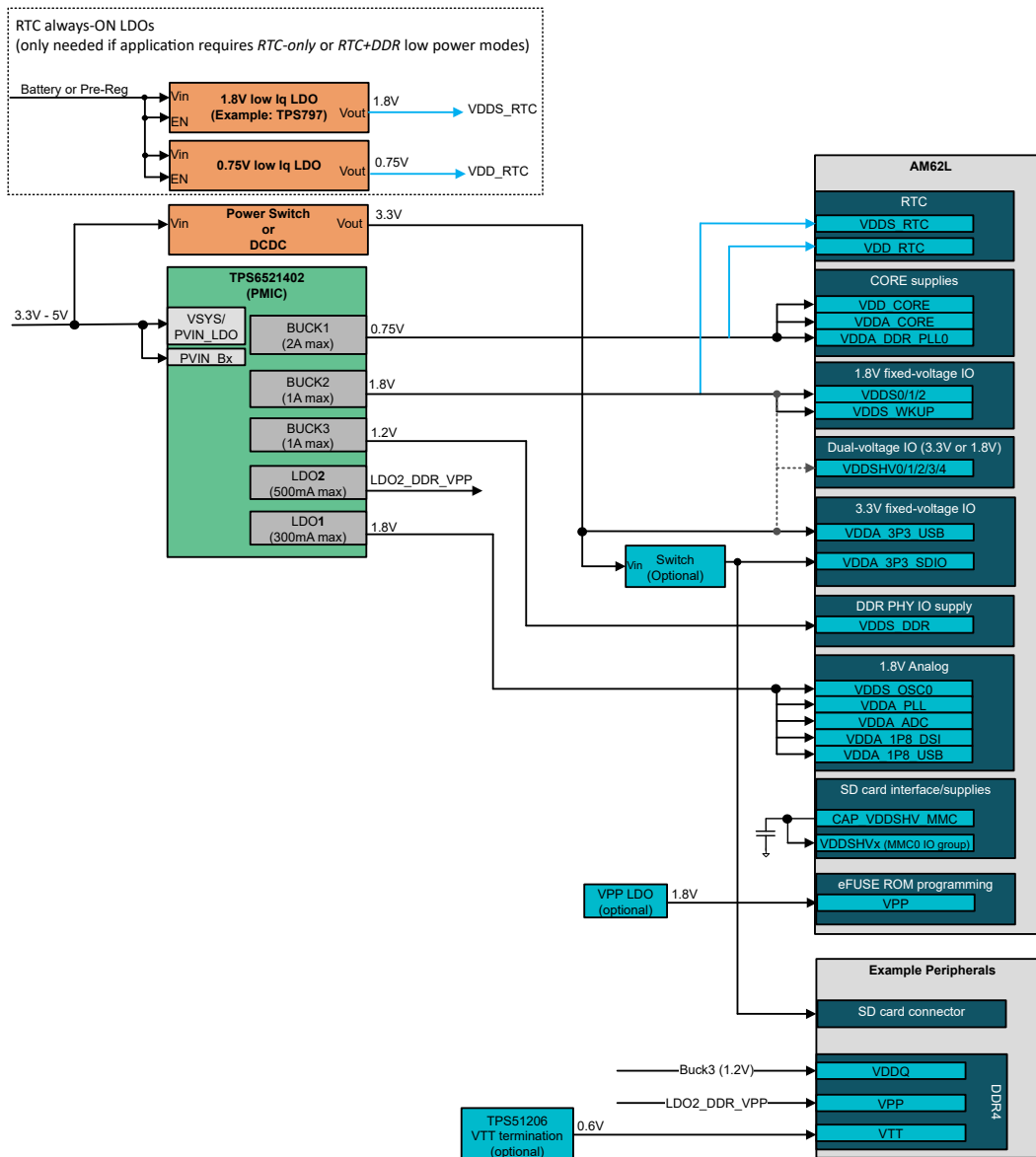


图 3-8. DDR4 的电源实现方案

备注

连接到 VDDA_3P3_SDIO 的电源开关是可选的，仅在应用中使用 SD 卡时才需要。VPP 1.8V LDO 是可选的，仅在需要板载 eFuse 编程时才需要。如果应用程序启用了需要关闭外部电源的低功耗模式（即仅 RTC 模式或 RTC+DDR 低功耗模式），则 VDD5_RTC 和 VDD_RTC 必须由分立式的常开稳压器供电。这是 AM62L + DDR4 PDN 的设计要求。

图 3-9 显示了 SoC 与 PMIC 之间的数字连接及所需的上拉电阻器。当系统进入 仅 RTC 低功耗模式时，SoC PMIC_LPM_EN0 会驱动 PMIC 的使能引脚 (EN/PB/VSENSE)。否则，该信号会驱动 PMIC MODE/STBY 引脚。

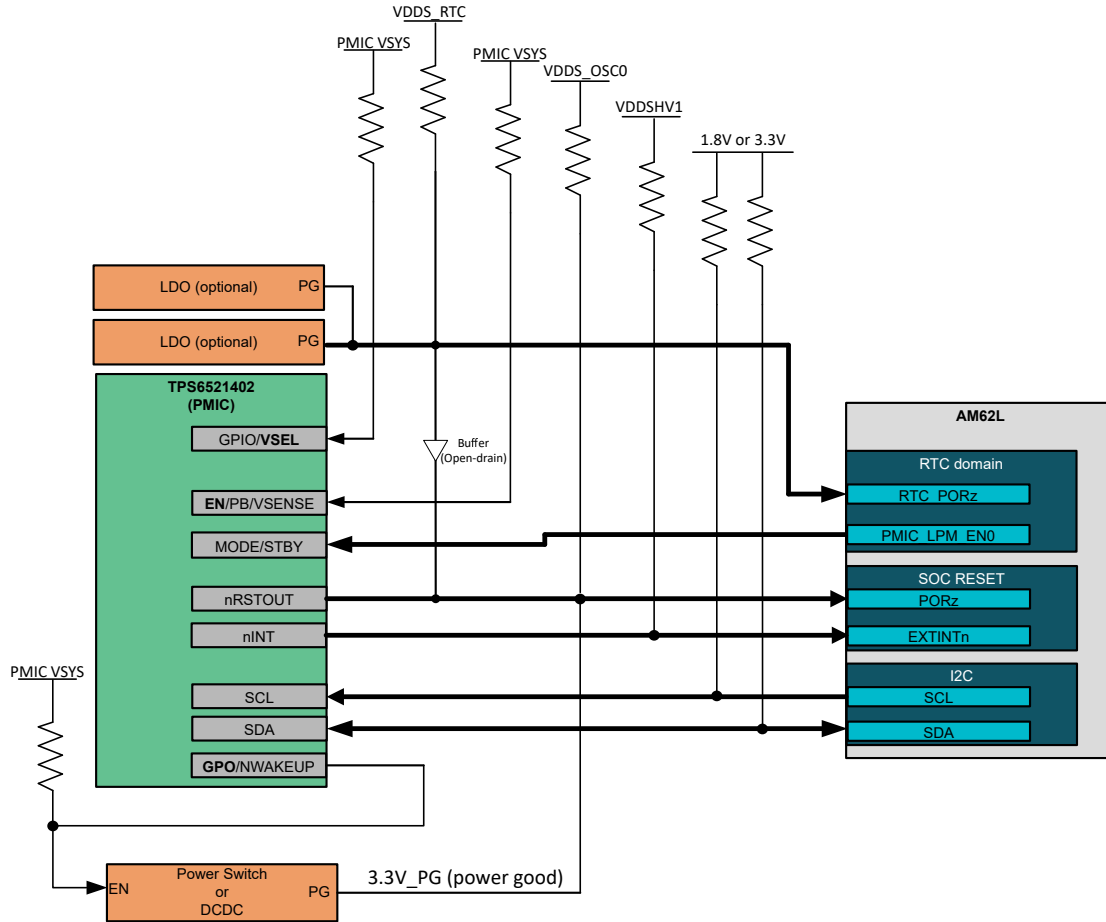


图 3-9. DDR4 数字连接用例

表 3-3. TPS6521402 数字配置

	OTP Config	极性
EN/PB/VSENSE	配置为 <i>使能</i>	- 高电平：PMIC 执行上电序列。 - 低电平：PMIC 执行断电序列。
MODE/STBY	模式和待机	- 高电平：PMIC 处于工作状态。启用所有电源轨。降压稳压器在强制 PWM 模式下运行。 - 低电平：处于待机状态的 PMIC。Buck1 和 LDO1 关闭。降压稳压器在自动 PFM 模式下运行。
GPIO/nWAKEUP	漏极开路 GPO	配置为启用/禁用外部 3.3V 分立式器件。
GPIO/SEL	漏极开路 GPO	该引脚配置为设置 BUCK3 上的电压，并需要上拉以输出 DDR4 的 1.2V。

备注

请参阅 [TPS6521402 技术参考手册](#)，获取默认 PMIC OTP 寄存器设置的完整列表。

4 上电序列

图 4-1 显示了以 TPS6521401 OTP 配置作为参考的上电时序。有关详细的时序波形和要求，请参阅 AM62L 数据表。

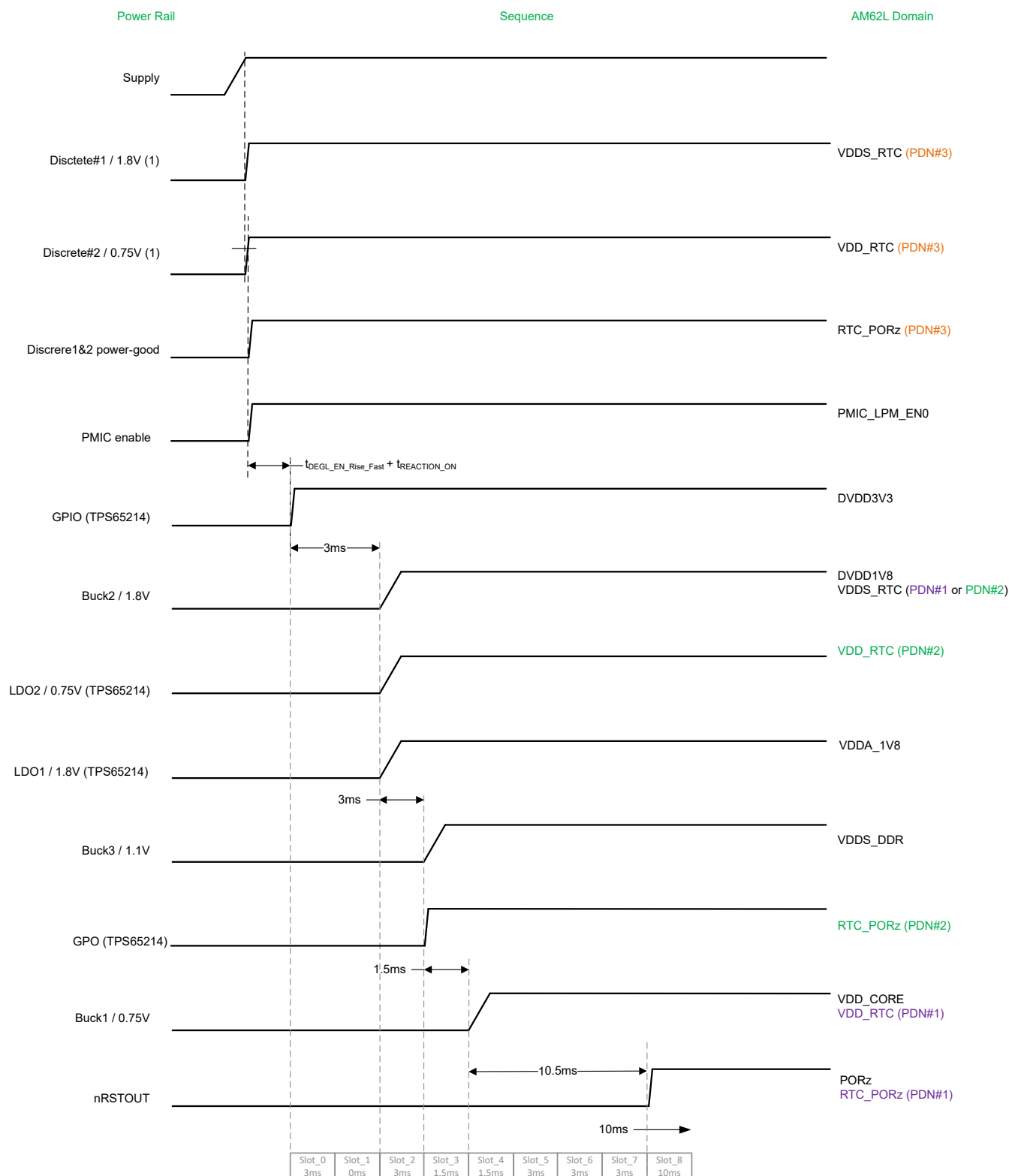


图 4-1. AM62L 上电序列

5 下电序列

图 5-1 显示了以 TPS6521401 OTP 配置作为参考的断电时序。此断电时序不包括从工作模式到低功耗模式的 SoC 时序。该图仅展示了当通过硬件（将使能引脚拉至低电平）或软件（I2C OFF 请求）向 PMIC 发送关闭请求时的断电时序。有关详细的时序波形和要求，请参阅 AM62L 数据表。

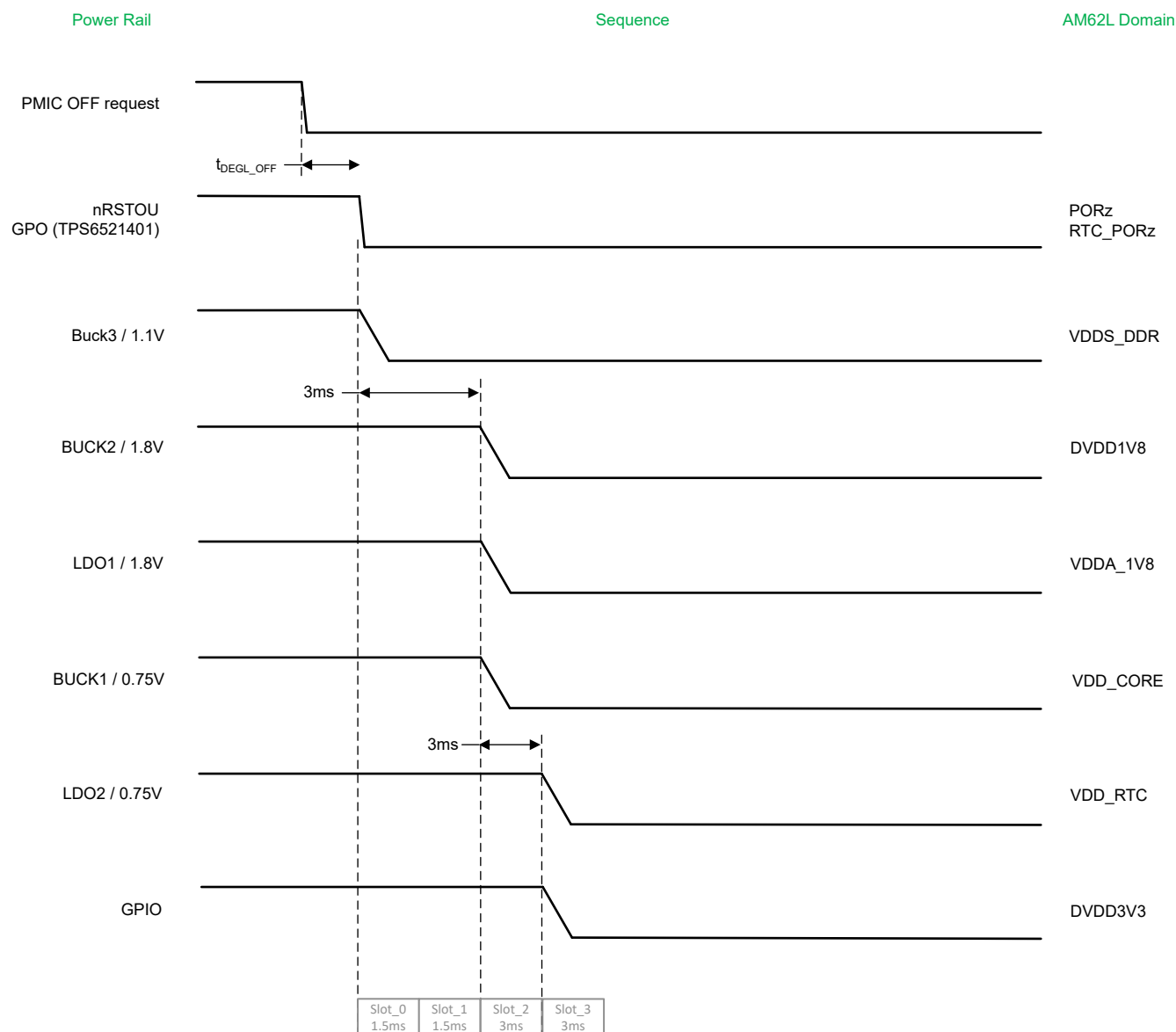


图 5-1. AM62L 断电序列

6 总结

AM62L 电源架构的开发融入了诸多特性，使设计人员能够降低功耗及 BOM 面积和成本。本应用手册中介绍了三种供电网络 (PDN)，并通过一些示例说明了如何优化电源设计以满足系统级要求，包括在低活动状态下减少 BOM 面积、成本和功耗。

7 参考资料

- 德州仪器 (TI)，[AM62Lx Sitara™ 处理器](#)，数据表。
- 德州仪器 (TI)，[AM62L 技术参考手册](#)，技术参考手册。
- 德州仪器 (TI)，[TPS65214 集成电源管理 IC 处理器](#) 数据表。
- 德州仪器 (TI)，[TPS6521401 技术参考手册](#)，技术参考手册。
- 德州仪器 (TI)，[TPS6521402 技术参考手册](#)，技术参考手册。

A 附录 A : PDN#1 的分立式电源实现方案

本节介绍 PDN#1 的分立式电源实现方案。对于针对 BOM 尺寸和成本的优化电源解决方案，也可以使用具有与下列器件等效的属性的分立式组件来实现。图 A-1 显示了 5V 输入电源和 LPDDR4 用例的示例电源图。

- VDD_CORE (0.75V) : TPS62A02
- VDDS_DDR (1.1V) : TPS62A01
- VDDSHV (3.3V IO / 1.8V IO)
 - 如果总电流 > 500mA : TPS62A01 (DCDC)
 - 如果总电流 < 500mA : TPS74501 (LDO)
- VDDA (1.8V 模拟) : LP5912 (低噪声 LDO)

备注

该分立式 PDN 是一个电源实现方案的示例，未经 TI 测试或验证。

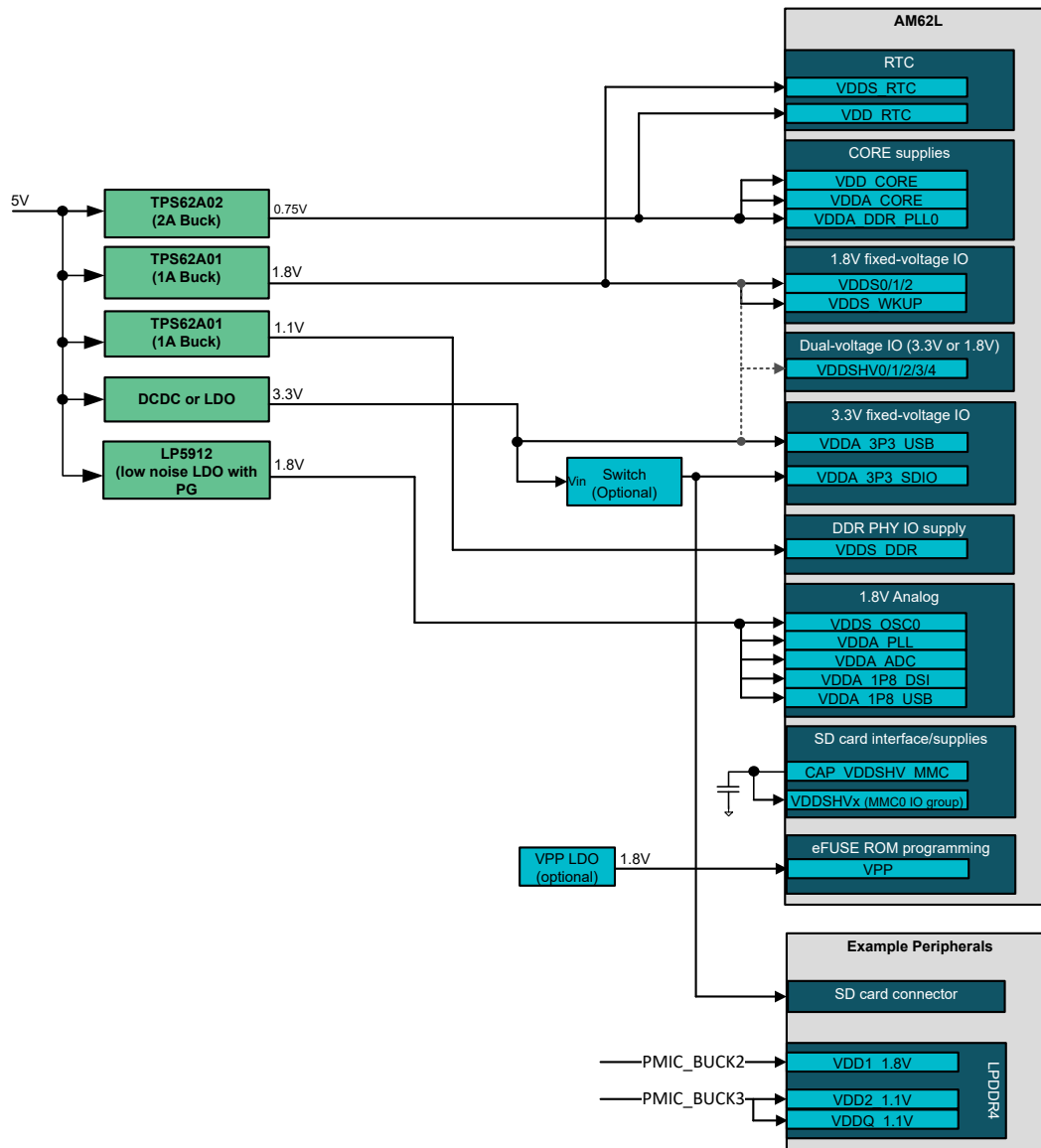


图 A-1. 针对 BOM 尺寸和成本优化的 PDN - 分立式实现方案

备注

连接到 VDDA_3P3_SDIO 的电源开关是可选的，仅在应用中使用 SD 卡时才需要。VPP 1.8V LDO 是可选的，仅在需要板载 eFuse 编程时才需要。

AM62L	Discrete Power	Qty	Example component	Component Value	Length (mm)	Width (mm)	Area (mm2)
VDD_CORE VDD_RTC	Buck IC	1	TPS62A02DRLR	2A Buck	1.6	1.6	2.56
	BUCK1-L	1	XGL3520-102MEC	1.0uH	3.5	3.2	11.2
	BUCK1-Cin	1	GRM21BR71A475KA73L	4.7uF	2	1.25	2.5
	BUCK1-Cout	2	GRM21BZ71A226KE15L	22uF	2	1.25	5
	Resistors	3	Resistor, Chip, 0.1 W, 1%	0603 std resistor	1.6	0.8	3.84
VDDS_DDR	Buck IC	1	TPS62A01DRLR	1A Buck	1.6	1.6	2.56
	BUCK3-L	1	DFE252012F-1R0M	1.0uH	3.5	3.2	11.2
	BUCK3-Cin	1	GRM21BR71A475KA73L	4.7uF	2	1.25	2.5
	BUCK3-Cout	1	GRM21BZ71A226KE15L	22uF	2	1.25	2.5
	Resistors	3	Resistor, Chip, 0.1 W, 1%	0603 std resistor	1.6	0.8	3.84
1.8V IO	Buck IC	1	TPS62A01DRLR	1A Buck	1.6	1.6	2.56
	BUCK2-L	1	DFE252012F-1R0M	1.0uH	3.5	3.2	11.2
	BUCK2-Cin	1	GRM21BR71A475KA73L	4.7uF	2	1.25	2.5
	BUCK2-Cout	1	GRM21BZ71A226KE15L	22uF	2	1.25	2.5
	Resistors	3	Resistor, Chip, 0.1 W, 1%	0603 std resistor	1.6	0.8	3.84
3.3V IO	Buck IC	1	TPS62A01DRLR	1A Buck	1.6	1.6	2.56
	BUCK2-L	1	DFE252012F-1R0M	1.0uH	3.5	3.2	11.2
	BUCK2-Cin	1	GRM21BR71A475KA73L	4.7uF	2	1.25	2.5
	BUCK2-Cout	1	GRM21BZ71A226KE15L	22uF	2	1.25	2.5
	Resistors	3	Resistor, Chip, 0.1 W, 1%	0603 std resistor	1.6	0.8	3.84
VDDA (1.8V analog)	IC	1	LP5912	low noise LDO	2	2	4
	LDO - Cin	1	GRT033C81A105ME13D	1uF	0.6	0.3	0.18
	LDO - Cout	1	GRT033C81A105ME13D	1uF	0.6	0.3	0.18
						Total Size	97.26

图 A-2. 分立式 BOM 示例

需要采用适当的逻辑实现方案来满足 SoC 时序要求和复位架构。图 A-3 展示了使用 LM3380 序列发生器和 6 通道开漏缓冲器的示例。以橙色突出显示的连接表示为 SoC 电源轨和系统电源供电的器件的电源正常信号。

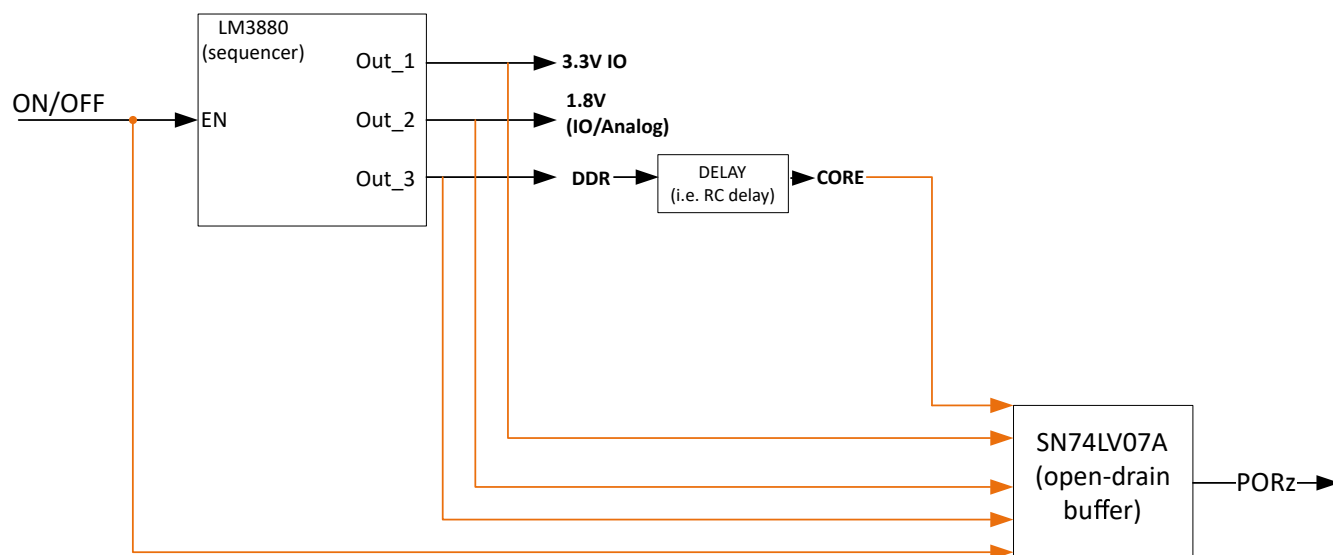


图 A-3. 逻辑实现方案 - 示例

9 修订历史记录

Changes from Revision A (September 2025) to Revision B (October 2025)	Page
---	------

- | | |
|---|-------------------|
| • 为支持 DDR4 添加了新的电源实现方案 | 5 |
| • 修复了 TPS6521401 TRM 的链接。 | 8 |
-

Changes from Revision * (March 2025) to Revision A (September 2025)	Page
---	------

- | | |
|--------------------------------|-------------------|
| • 更新了整个文档中的表格、图和交叉参考的编号格式..... | 1 |
| • 在标题中向器件型号添加了“X”以包含器件系列..... | 1 |
-

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 [TI 销售条款](#)、[TI 通用质量指南](#) 或 [ti.com](#) 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2025，德州仪器 (TI) 公司

最后更新日期：2025 年 10 月