

User's Guide

AM62L (AM62L32、AM62L31) 处理器系列原理图、设计指南、设计检查清单和审查清单

摘要

AM62L (AM62L32、AM62L31) 处理器系列用户指南包括定制电路板、原理图设计指南、处理器外设电路实现建议，以及面向定制电路板设计人员的原理图审阅检查清单 (如果使用了该处理器系列中的任何一款处理器)。本用户指南包括与支持的处理器电源、外部时钟、GPIO 配置、处理器外设以及如何将处理器外设连接到所连接 (外部) 器件相关的信息。原理图审阅检查清单 (包含在每节末尾) 提供了具体章节中所述外设的完整审阅要点列表。建议定制电路板设计人员使用提供的审阅检查清单 (要点) 审阅定制电路板原理图设计实现，并验证检查清单中的建议或指南是否已实现 (遵循)。

此外，还提供了以下项的链接 (包括 TI.com 上的产品页面)：处理器产品页面、处理器相关配套资料、E2E 上发布的与处理器和处理器外设相关的常见问题解答，以及定制电路板设计期间常用的参考文档。建议定制电路板设计人员在定制电路板设计过程中参考这些添加的链接，以最大限度地减少设计错误、优化设计工作、尽可能减少电路板制造迭代并优化项目时间安排。

内容

1 简介	2
1.1 用户指南使用指南.....	2
1.2 AM62Lx 处理器系列的处理器列表.....	4
1.3 原理图设计指南和原理图审查检查清单更新.....	4
2 相关配套资料和常见问题解答	4
2.1 定制电路板原理图设计期间常用参考配套资料的链接.....	4
2.2 定制电路板设计硬件设计注意事项用户指南.....	4
3 处理器特定信息	4
3.1 AM62Lx 处理器系列外设和 IO 变更摘要 (相对于 AM62x 处理器系列)	4
3.2 选择处理器 OPN (可订购器件型号)	5
3.3 参考的 EVM 原理图版本和修订版本.....	6
3.4 处理器特定数据表用例和用户指南编辑所引用的版本.....	6
3.5 外设实例命名约定 — 数据表和 TRM.....	6
3.6 不使用 (未使用) 时的处理器外设和 IO 连接.....	6
3.7 AM62Lx 处理器系列的订购和质量信息.....	7
3.8 选择所需处理器 GPN (通用器件型号) 和 OPN (订购器件型号) 的检查清单.....	7
4 处理器电源架构	7
4.1 生成处理器特定和外设 (所连接器件) 电源导轨.....	7
4.2 处理器电源导轨电源控制、时序和电源过载保护.....	12
5 一般建议	12
5.1 处理器性能评估模块 (EVM).....	13
5.2 处理器特定 EVM 与数据表.....	13
5.3 处理器特定 SDK.....	17
5.4 开始定制电路板设计之前的一般设计建议 (需了解)	17
6 针对电源、时钟、复位、引导和调试的处理器特定建议	20
6.1 通用 (处理器启动) 连接.....	20
6.2 使用 JTAG 和 EMU 进行定制电路板调试.....	47
7 处理器外设的电源、接口和连接	50
7.1 支持的处理器内核.....	50
7.2 IO 组的 IO 电源的电源连接.....	50

7.3 存储器接口 (DDRSS (DDR4/LPDDR4)、MMCSD (eMMC/SD/SDIO)、OSPI/QSPI 和 GPMC)	52
7.4 外部通信接口 (以太网 (CPSW3G0)、USB2.0、UART 和 MCAN)	75
7.5 板载同步通信接口 (MCSPI、MCASP 和 I2C)	88
7.6 用户接口 (DPI、DSI)、GPIO 和硬件诊断.....	98
7.7 模数转换器 (ADC).....	104
7.8 EVM 特定电路实现 (重复使用)	105
7.9 在定制电路板启动期间执行电路板级测试.....	106
8 定制电路板原理图设计的自我审查	109
9 定制电路板布局注释 (在原理图部分附近添加) 和通用指南	109
9.1 布局布线注意事项.....	110
10 定制电路板设计仿真	110
10.1 DDR-MARGIN-FW.....	111
11 其他参考内容	111
11.1 涵盖 AM64x、AM243x、AM62x、AM62Ax、AM62D-Q1、AM62Px、AM62Lx 处理器系列的常见问题解答.....	111
11.2 常见问题解答 - 处理器产品系列和 Sitara 处理器系列.....	111
11.3 原理图审查 (自我审查) 与原理图审查需求 (供应商)	112
11.4 处理器连接器件检查清单.....	112
12 用户指南内容和使用情况摘要	112
13 参考资料	112
13.1 AM62L.....	112
13.2 AM62P、AM62P-Q1.....	113
13.3 AM62A7、AM62A3、AM62A7-Q1、AM62A3-Q1、AM62A1-Q1.....	113
13.4 AM62D-Q1.....	113
13.5 AM625、AM623、AM620-Q1、AM625-Q1、AM625SIP.....	114
13.6 所有处理器系列通用.....	114
13.7 可用常见问题解答主列表 - 按处理器系列.....	115
13.8 可用常见问题解答主列表 - Sitara 处理器系列.....	115
13.9 常见问题解答, 包括相关软件.....	115
13.10 有关连接器件的常见问题解答.....	115
14 术语	115
15 修订历史记录	117

商标

WEBENCH® is a registered trademark of Texas Instruments.

所有商标均为其各自所有者的财产。

1 简介

1.1 用户指南使用指南

特定于 AM62Lx (AM62L32、AM62L31) 处理器系列用户指南中的 *原理图设计指南* 和 *原理图审查检查清单* 包含了单定制电路板设计人员可在定制电路板原理图设计阶段使用的原理图设计指南。每个部分的末尾都包含原理图审查检查清单, 定制电路板设计人员可在设计完成后、布局开始之前使用该检查清单来审查定制电路板原理图。

1.1.1 定制电路板原理图设计指南 — 用户指南中使用的参考文献

用户指南包括原理图设计指南和原理图审查清单, 定制电路板设计人员可以在针对所选处理器和实现的外设 (板载或载体 (或附加)) 进行定制电路板原理图设计时使用, 包括存储器 (DDR4、LPDDR4、eMMC、OSPI、QSPI、SD 卡)、电源、通信接口、IO 和其他电路部分。

在用户指南中, *处理器* 指的是所选 AM62Lx 处理器订货号 (OPN); *所连接器件* 指的是与该处理器相连的外部 (板载或载板 (或附加电路板)) 外设 (基于所设计的目标最终设备及应用用例)。

1.1.2 特定处理器系列用户指南

本用户指南介绍了 AM62Lx (AM62L32、AM62L31) 处理器 (GPN)。每个处理器 GPN 可以有多个 OPN。本指南包含原理图设计指南与原理图审查检查清单, 可供定制电路板设计过程使用。特定处理器系列用户指南提供以处理器为中心的指南和检查清单, 可让定制电路板设计人员在针对特定处理器系列设计电路板时更轻松使用。本用户指南内容精简, 针对所选处理器及处理器系列具备较好的易用性 (例如: 本例中为 AM62Lx)。

1.1.3 原理图设计指南

本用户指南提供了原理图设计指南，可在定制电路板原理图设计阶段，使用这些指南来实现所选处理器支持的处理器和外设之间的电路连接。除了设计指南之外，还添加了相关常见问题解答的链接（作为每节指南的一部分）。常见问题解答（添加了链接）提供有关特定外设或接口主题的附加信息，包括有关实现/用例的说明和详细信息，以及从客户互动中学习。

建议定制电路板设计人员遵循原理图设计指南，以更大限度地减少可能影响电路板功能和性能的设计错误，并优化定制电路板设计/构建/测试工作。

1.1.4 原理图审阅检查清单

原理图审查清单可供定制电路板设计人员用于审查其定制电路板的原理图设计，涵盖用户指南中各节、各小节末尾描述的具体外设。本用户指南中介绍的一般建议、处理器电源和处理器外设部分和子部分在末尾都包含检查清单。原理图审查检查清单分为一般、原理图审查和附加。定制电路板设计人员可以使用原理图审查检查清单对定制电路板原理图设计进行自我审查。自我审查可大大减少可能导致功能或性能相关问题的原理图错误，同时减少正式审查（内部或外部）期间的审查工作量。原理图审查可优化（减少）定制电路板启动或性能测试期间所需的工作量，从而提高电路板设计质量并确保遵守计划的时间线。

有关可用检查清单和文件格式的信息，请参阅以下常见问题解答：

[\[常见问题解答\] AM625/AM623/AM620-Q1/AM62Ax/AM62Px/AM62D-Q1/AM62L/AM64x/AM243x \(ALV\)/AM335x 设计建议/定制电路板硬件设计 — 原理图审阅检查清单](#)

1.1.4.1 用于所有原理图设计指南和原理图审阅章节的通用检查清单

1. 已审阅上述章节，包括 TI.com 上的常见问题解答链接和相关应用手册。
2. 已审阅处理器特定数据表中的引脚属性和信号说明部分。
3. 已审阅“时序和开关特性”章节，以及处理器特定数据表中提供的任何其他信息。

1.1.4.1.1 定制电路板原理图设计实现检查清单小节说明

原理图实现审查检查清单包括 3 个小节：

常规：

概述一节以要点方式列出（汇总）了电路实现，这些实现需要（应当）支持检查清单一节（设计指南一节）上方所述外设一节的功能。该节还包括在将该节联系或连接到另一节来实现所需的外设或模块功能（可能无需电路实现）时要考虑的注意事项。建议在构建电路板之前，审阅并更新原理图审查过程中提供的实现检查清单。

原理图审查：

原理图审查一节以要点方式列出（总结）了定制电路板设计人员为实现电路部分以支持所需功能而需要（应当）添加的电路实现，包括实现外设或模块时应遵循的值、连接和其他实现方式。建议将定制电路板原理图设计实现方案与原理图检查清单进行比较，以确保在开始布局之前实现遵循设计指南。

其他：

在考虑优化电路设计之前，“其他”一节以要点方式列出（详细介绍）了实现和用例说明，定制电路板设计人员可以使用这些说明以及“原理图审查”一节来了解电路实现理由（需要实现）。

1.1.5 原理图自我审查期间用户指南使用的常见问题解答参考

以下常见问题解答提供了供定制电路板设计人员参考的指南，便于其利用现有处理器特定配套资料进行自我审查，包括原理图设计检查清单和通用指南 Excel 文档，以及带图示的定制电路板原理图审查清单 Excel 文档：

[\[常见问题解答\] AM625/AM623/AM620-Q1/AM62A/AM62D-Q1/AM62P/AM62L/AM64x/AM243x 设计建议/定制电路板硬件设计 — 定制电路板原理图自我审查](#)

1.2 AM62Lx 处理器系列的处理器列表

本用户指南适用于下列所有处理器。所选处理器的所有相关文档可在 TI.com 的产品页面上找到。建议访问下面列出的产品页面链接来查看相关的产品页面。

请参阅以下产品页面上的 *订购和质量* 一节，了解有关 OPN 的信息：

- [AM62L](#)

1.3 原理图设计指南和原理图审查检查清单更新

作为持续改进配套资料的一部分，在 *原理图设计指南和原理图审查检查清单* 用户指南中针对当前 TI.com 上发布的修订版本进行了更改或新增章节（基于客户反馈、学习内容、添加/增强部分、错误或改进），并在下次文档修订期间进行更新。

以下常见问题解答列出了在 TI.com 上（发布修订版用户指南之前），定制电路板设计人员进行定制电路板原理图设计期间需要遵循的更改：

[\[常见问题解答\] AM625/AM623/AM620-Q1/AM62L/AM62A/AM62P/AM62D-Q1/AM64x/AM243x 定制电路板硬件设计 — 硬件设计注意事项和原理图设计指南配套资料更新](#)

建议查看常见问题解答，以了解在定制电路板设计的所有阶段可能会频繁进行的更新。

2 相关配套资料和常见问题解答

请参阅以下常见问题解答。常见问题解答包括定制电路板设计期间需参考的配套资料和建议步骤：

[\[常见问题解答\] AM625/AM623/AM620-Q1/AM625-Q1/AM625SIP - 定制电路板设计、自我审查和启动不同阶段的参考配套资料](#)

2.1 定制电路板原理图设计期间常用参考配套资料的链接

TI.com 上的处理器特定产品页面提供了许多与所选处理器（系列）相关的文档。建议定制电路板设计人员在开始定制电路板设计之前，先阅读相关的配套资料（在以下常见问题解答中列出）。

以下常见问题解答汇总了在开始进行定制电路板设计时可以参考的一些关键配套资料：

[\[常见问题解答\] AM62L \(AM62L32、AM62L31 \) 定制电路板硬件设计 - 入门配套资料](#)

2.2 定制电路板设计硬件设计注意事项用户指南

在定制电路板设计阶段，建议阅读、查阅、遵循以下链接中的处理器特定 *定制电路板硬件设计注意事项* 用户指南中的适用建议：

[使用 AM62L \(AM62L32、AM62L31 \) 处理器系列的定制电路板硬件设计注意事项](#)

3 处理器特定信息

备注

在定制电路板设计周期中，建议遵循 [使用 AM62L \(AM62L32、AM62L31 \) 处理器系列的定制电路板硬件设计注意事项](#) 用户指南以及 *原理图设计指南与原理图审查清单* 用户指南。

3.1 AM62Lx 处理器系列外设和 IO 变更摘要 (相对于 AM62x 处理器系列)

以下是基于 AM62Lx 的定制电路板设计期间需要考虑（注意）的一些处理器实现事项，以及从基于 AM62x 处理器设计迁移到基于 AM62Lx 处理器设计时需要考虑（注意）的变更：

1. 支持 2 个 Arm Cortex-A53 (高达 1.25GHz)
2. 不支持 MCU 域 (MCU 内核)
3. 不支持 GPU
4. 内核电源电压固定为 0.75V
5. VDDR_CORE 已在内部连接到 VDD_CORE

6. 已优化复位输入 (x2) 和复位状态输出 (x1) 数量
7. 除双电压 1.8V/3.3V IO 之外, 新增仅支持 1.8V 的 IO。IO 组电源轨的 IO 电源已相应命名。仅 1.8V (VDDSS0、VDDSS1、VDDSS_RTC 和 VDDSS_WKUP) 和双电压 1.8V/3.3V (VDDSHVx [x = 0:4])
8. 已实现支持缓冲器类型 1P8-LVCMOS 和 RTC-LVCMOS (请参阅引脚属性表), 并添加了电气特性
9. 部分处理器外设 (包括 CPSW3G0 (3 端口千兆位以太网交换机) 和 OSPI0) 仅支持 1.8V IO 电平
10. 不支持使用 GPMC0 接口的非多路复用接口 (分别连接地址总线和数据总线)
11. 不支持摄像头串行接口 (CSI-2)
12. 支持的显示接口包括 MIPI DSI (x4 通道 DPHY) 或 DPI (24 位 RGB LVCMOS) (同一时间仅能主动支持其中一种显示接口, 且需在启动期间选择要使用的显示接口)
13. DDR4 和 LPDDR4 的 DDRSS 寻址范围缩小 (仅支持单列), 并且用于 DDR4 接口的某些 DDRSS 信号尚未引脚输出。DDRSS 不支持 DDR0_ALERT_n、DDR0_PAR、DDR0_CKE1、DDR0_CS1_n、DDR0_ODT1 信号 (引脚)。
14. OSPI0 接口支持连接 x2 器件 (OSPI0 模块可连接到 2 个附加器件)
15. 包括漏极开路输出型 IO 缓冲器 I2C 接口在内的 I2C 接口实例已优化
16. 更新了具有漏极开路输出类型 IO 缓冲器 I2C 缓冲器的 I2C 接口的引脚连接要求。仅当使用 IO 时, 才需要上拉电阻。
17. 已为多个外设实现 IOSET (将为实现时序闭合而布线到多个引脚上的信号进行分组) (参见处理器特定数据表)
18. 添加了为 IO 组 VDDSHV3 的双电压 IO 电源供电的集成 LDO, 以支持生成开关 3.3V/1.8V MMC1 SD 卡接口 IO 电源, 从而支持 UHS-I SD 卡。
19. 集成一个 12 位模数转换器 (ADC0), 采样速率高达 2MSPS (请参阅处理器特定数据表的“ADC 电气特性”部分), 以及四个模拟输入 (时分复用)
20. 不支持将 ADC 输入 (ADC0_AIN0-3) 配置为数字输入
21. 不支持可编程实时单元子系统 (PRUSS)
22. 支持多种启动模式配置方式 — 低引脚数模式: 仅使用 4 个自举引脚 BOOTMODE [15:12], 支持从采用低引脚数配置的电子熔丝启动; 全引脚数模式: 使用全部 16 个自举引脚 BOOTMODE [15:0]
23. 不支持以太网引导
24. 支持仅 RTC 或 RTC + IO + DDR (RTC + DDR) 自刷新低功耗模式 (不支持用于 CAN/GPIO/UART 唤醒的部分 IO)
25. EXT_WAKEUP0 和 EXT_WAKEUP1 功能 (引脚), 用于外部唤醒输入
26. 支持一个 (x1) VTM 温度传感器 (温度传感器 0: DDR/A53)
27. PMIC_LPM_EN0 配有一个特殊的输出单元, 上电后会立即启用弱上拉。输出在 RTC_PORz 输出上升沿驱动为高电平时, 内部弱上拉电阻关闭。(建议为 AM62x 系列处理器使用外部拉电阻, 因为 PMIC_LPM_EN0 IO 在复位置位时已关闭, 并且如果没有外部上拉电阻, PMIC 永远无法开启)。
28. 不支持电压监控输入功能, 未配置具有 0.45V 固定阈值 (+/- 3%) 的 VMON_VSYS 功能引脚
29. 不支持 3.3V 处理器 VMON_3P3_SOC 的电压监控输入和 1.8V 处理器电源 VMON_1P8_SOC 的电压监控输入
30. 提供 11.9mm × 11.9mm, 0.5mm VCA, 373 引脚 FCCSP BGA 封装 (ANB)

欲了解更多信息, 请参阅以下文档:

[AM625x/AM623x 和 AM62Lx 硬件迁移指南](#)

3.1.1 硅片版本

有关可用的处理器修订版本, 请参阅处理器特定数据表的 *器件命名约定* 一节。有关支持的器件功能, 请参阅 *AM62Lx Sitara 处理器* 数据表; 有关特定器件版本支持的功能的信息, 请参阅 *AM62Lx Sitara 处理器特定器件勘误表*。

3.2 选择处理器 OPN (可订购器件型号)

根据所需特性选择处理器 OPN 是定制电路板设计过程中的一个关键且重要的环节。要了解处理器系列 (AM62L (AM62L32、AM62L31)) 架构以及根据所需的功能和特性、封装 (ANB) 和速度等级选择所需的处理器 OPN

(可在定制电路板中使用的处理器)，请参阅处理器特定数据表的 [功能方框图](#)、[器件比较](#)、[器件命名约定](#)、[器件速度等级](#) 和 [封装信息](#) 几节。

建议使用所选的处理器 OPN 更新原理图。

有关 AM62Lx 处理器系列支持的 (可用) 封装的信息，请参阅以下常见问题解答：

[\[常见问题解答\] AM625/AM623/AM620-Q1/AM625-Q1/AM625SIP/AM62A/AM62D-Q1/AM62P/AM62L 定制电路板硬件设计 - 可用器件封装](#)

3.3 参考的 EVM 原理图版本和修订版本

用户指南中的所有图示均参考了 PROC181E1-1a_SCH_With_Design_Updates..Notes_V1.0.pdf 版本的原理图。图示包含可在定制电路板设计过程中参考的设计说明。

3.4 处理器特定数据表用例和用户指南编辑所引用的版本

处理器特定的数据表包括：

1. 引脚属性 (焊球编号，引脚到多路复用功能的映射)。
2. 信号说明。
3. 引脚连接要求。
4. 适用处理器外设的电气特性、时序和开关特性以及计时示意图。
5. 处理器电源导轨的建议工作条件。
6. 处理器电源导轨的序列 (加电和断电)。
7. 最大工作条件和建议工作条件。
8. 处理器内部结构的详细说明。
9. 应用、实现和布局。
10. 包括器件命名规则 (器件命名约定)、工具和软件的器件和文档支持。
11. 修订历史记录。
12. 机械、封装和可订购信息。

(用户指南编辑过程中) 引用的处理器特定数据表及其修订编号：

SPRSPA1A - 2025 年 3 月 - 2025 年 9 月修订版本 (AM62Lx Sitara 处理器数据表)

有关更多信息，请参阅以下常见问题解答：

[\[常见问题解答\] AM625/AM623/AM620-Q1/AM62L/AM62A/AM62P/AM62D-Q1/AM64x/AM243x 设计建议/定制电路板硬件设计—当前数据表的修订版、更新、修订版备份和使用说明](#)

3.5 外设实例命名约定 — 数据表和 TRM

对于外设命名和可用的外设实例数量、处理器特定 TRM 往往是 *通用的*，而处理器特定数据表是 *特定的* (包括支持的实例数量)。有关支持的外设和外设实例，建议始终参阅处理器特定数据表。

在处理器特定数据表的信号命名中，即使存在单个外设实例，也会为外设名称分配后缀编号。后缀以 0 开头。

对于通用平台以太网交换机 3 端口千兆位 (CPSW3G0) 端口名称，端口 0 是交换机的内部 (通信端口编程接口 (CPPI) 主机) 端口。

3.6 不使用 (未使用) 时的处理器外设和 IO 连接

在定制电路板设计期间，不使用 (未使用) 部分处理器外设。在不使用时，处理器外设 (包括具有专用功能的外设) 具有特定连接要求。有关不使用时连接外设的信息，请参阅处理器特定数据表的 [引脚连接要求](#) 一节。连接要求一节包括连接电源导轨和接口信号的建议。

支持备选功能配置 (多路复用) 的处理器 GPIO (与外设、SDIO、LVCMOS 缓冲器类型或 1P8-LVCMOS 缓冲器类型进行多路复用) 在不使用时可保持未连接状态 (如果未指定连接要求)。外设和 IO 的焊盘配置可以是复位状态。

有关更多信息，请参阅以下常见问题解答：

[常见问题解答] [AM625/AM623/AM620-Q1/AM62L/AM62A/AM62P/AM62D-Q1/AM64x/AM243x 设计建议/定制电路板硬件设计](#) — [数据表引脚属性及引脚连接相关问题](#)

3.7 AM62Lx 处理器系列的订购和质量信息

有关所选处理器的订购和质量的信息，请访问以下链接：

[AM62L 订购和质量](#)

3.8 选择所需处理器 GPN (通用器件型号) 和 OPN (订购器件型号) 的检查清单

通用

在定制电路板原理图设计过程中，审阅并验证以下信息、配套资料和数据表部分，以选择所需的处理器 OPN：

1. 常用存储器接口、高速通信、板载同步和异步通信接口及显示接口的可用性。
2. 板载调试和诊断支持 (JTAG、UART、OBSCLK[1:0] 和 CLKOUT0)。
3. 所需的电源轨数量、电源轨的建议运行条件、内核、存储器接口、模拟和 IO 电源的加电和断电序列。
4. 所选外设的电气特性和时序信息。
5. 应用手册、外设接口电路实现建议或示例以及布局布线指南的可用性。
6. 与处理器正常运行、引导模式 (支持和注意事项，所配置引导模式的解决方法) 及相关外设相关的器件勘误表。
7. 用于评估的 EVM 以及用于参考和/或重复使用的设计文件的可用性。

4 处理器电源架构

备注

在定制电路板设计周期中，建议遵循 [使用 AM62L \(AM62L32、AM62L31 \) 处理器系列的定制电路板硬件设计注意事项](#) 用户指南以及 [原理图设计指南与原理图审查清单](#) 用户指南。

有关 TI 电源管理产品组合的概述，请参阅 TI [电源管理](#) 页面。

[WEBENCH® 电路设计器工具](#) 提供一个可视界面，可用于创建定制电源架构。

4.1 生成处理器特定和外设 (所连接器件) 电源导轨

可使用集成式 (使用 PMIC、分立式直流/直流转换器、分立式 LDO) 或分立式 (使用直流/直流转换器、分立式 LDO) 电源架构生成所选处理器和所连接器件所需的电源导轨。

PMIC (集成式电源架构) 专为特定处理器或处理器系列而设计。使用 PMIC 可简化电源架构 (电源导轨) 设计。PMIC 生成常用 (使用的) 处理器和所连接器件电源。PMIC 在内部管理上电时序、断电时序、电源转换率控制、可选残余电压 (电压衰减) 检测，并满足处理器特定电源 (PDN) 要求。其他分立式直流/直流转换器和分立式 LDO 可用于根据用例生成所需的其他板载电源 (根据用例)。

使用分立式电源架构可让您在选择电源器件和电源架构设计时具有灵活性。由于定制电路板设计人员负责选择分立式直流/直流转换器和 LDO (提供所需负载电流)、直流/直流转换器和 LDO (可进行调整或配置以生成所需电源电压)、直流/直流转换器和 LDO (可支持所需负载电流瞬态)、控制、电源转换率并支持配置所需的电源时序，因此设计工作量可能会增加。

处理器电源轨指定了压摆率要求。对于电源导轨 (生成或开关)，建议遵循处理器特定数据表的 [电源转换率要求](#) 一节。

以下各节总结了可用于使用 PMIC 或分立式电源架构实现板载电源的电源转换器产品系列 (直流/直流转换器和 LDO) 和相关配套资料：

4.1.1 AM62Lx 处理器系列电源架构

图 4-1 包含用于对 VCC_3V3_SYS (SOC IO 电源) 进行时序控制的负载开关 U119, 该开关由 PMIC GPIO 控制, 并且包含一个放置于负载开关输出附近的分流器 (用于电流测量或隔离)。此外, 还提供了用于控制输出电压摆率的电容器配置, 以满足处理器特定数据表中规定的处理器压摆率要求。

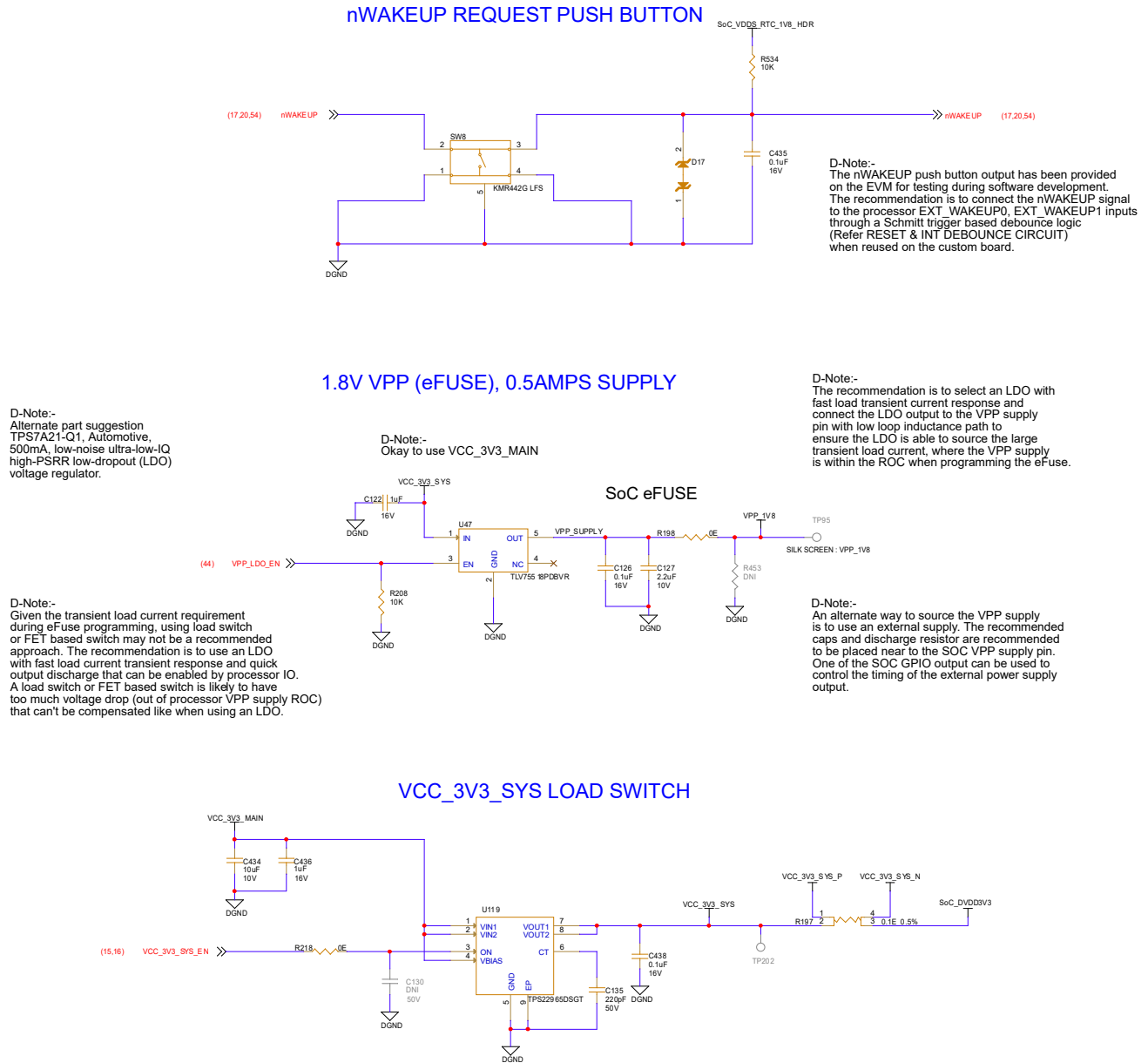


图 4-1. 用于处理器 IO 电源时序的负载开关

4.1.1.1 基于电源管理 IC (PMIC) 电源架构

有关受支持或经过测试的基于 PMIC 的电源架构, 请参阅 EVM 原理图。TPS65214x PMIC 系列支持 RTC + IO + DDR 低功耗模式。

对于使用 DDR4 的定制电路板设计, PMIC 的 NVM 配置、PMIC 生成的电源导轨以及支持低功耗模式的电源架构可能会有所不同。设计具有 DDR4 的定制电路板时, 请参阅 TI.com 上 AM62L 处理器产品页面和 TPS65214 PMIC 产品页面上提供的文档, 或使用 E2E 社区资源。

请参阅处理器产品页面上的 [AM62L 电源实现](#) 应用手册，了解针对不同应用场景和低功耗模式的 AM62L 电源架构实现的说明。

有关更多信息，请参阅以下常见问题解答：

[\[常见问题解答\] AM62L \(AM62L32、AM62L31 \) 设计建议/定制电路板硬件设计 - 有关电源架构 \(包括 PMIC \) 的问题](#)

有关残余电压和检测的信息，请参阅以下常见问题解答：

[\[常见问题解答\] AM625/AM623/AM620-Q1/AM62L/AM62A/AM62P/AM62D-Q1/AM64x/AM243x 设计建议/定制电路板硬件设计 - 与残余电压、检测和电源衰减相关的疑问](#)

4.1.1.1.1 TPS65214x 基于 PMIC 的电源架构检查清单

通用

检查并验证定制原理图设计的以下内容：

1. 已查看用户指南上文提及的“[所有章节的通用检查清单](#)”部分的内容
2. 基于输入电源和所需输出电压 (内核电压、IO 电压和 DDRSS 电压配置) 的 PMIC 选择 (OPN)
3. 有关添加所需输入和输出电容器 (包括值、反馈连接和引脚连接) 的 PMIC 检查清单
4. 考虑电压降额时所选电容器的额定电压
5. PMIC 降压输出反馈的连接 (在输出大容量电容器之后)
6. 建议的 PMIC 控制和 IO 信号配置
7. 处理器 IO 电源时序控制 (负载开关) 所需控制信号的连接
8. 用于与 PMIC 通信的处理器 I2C 接口实例
9. 处理器到 PMIC 以及 PMIC 到处理器 IO 接口连接
10. 将 PMIC 电源正常信号连接到处理器 PORz (通过分立式缓冲器连接或直接连接，上拉电阻器 (根据测得压摆率调整电阻器阻值))
11. 实现 RTC + IO + DDR 低功耗模式时，将 PMIC IO 输出连接到处理器 RTC_PORz
12. 电源轨的命名 (指示配置的输出电压电平)
13. 预留相应配置，用于隔离 PMIC 输出电压，以进行电流测量或测试
14. 处理器和连接器件 IO 电源的网络名称匹配 (同名)
15. 连接用于 PMIC IO 的中断、MODE/RESET 和 EN/PB/VSENSE 信号和所需拉电阻连接

原理图审阅

定制原理图设计请遵循以下列表：

1. 根据定制电路板要求，配置 PMIC 输出以匹配处理器和连接器件的 IO 电源工作电压
2. 定制电路板 PMIC 实现方案，包含电容器数量、尺寸和值以及 IO 连接的 EVM 原理图实现方案
3. PMIC 降压输出反馈的连接 (在输出大容量电容器之后连接反馈)
4. 直接连接到处理器 PORz 输入时的 PMIC nRSTOUT0 压摆率 (上拉电阻器阻值) (建议使用分立式推挽输出型缓冲器)
5. 连接处理器 IO 电源时序所需的控制信号 (处理器和所连接器件 IO 电源电压的负载开关 EN 以及使用外部电容器配置负载开关输出电压压摆率控制)
6. 考虑降额时所选电容器的额定电压 (常用指南为最坏情况下施加电压的两倍)
7. PMIC 输出电压电平与处理器和连接器件的电源要求相匹配 (根据 OPN)
8. 用于连接到 PMIC 的处理器 I2C 实例 (遵循 EVM 或根据用例查看所需的 I2C 实例)
9. 分立式 DC/DC 输出和 LDO 的配置，与 PMIC 搭配使用以生成额外的电源轨
10. 用于生成 VPP 电源的外部 LDO 实施方案 (电子保险丝编程)、LDO 输出使能 (EN) 控制，并在考虑负载电流瞬态的情况下增加大容量电容器和去耦电容器，并提供隔离电阻器来测试 VPP 电源输出使能时序

其他

1. 如果电源架构基于 TI PMIC，建议通过 PMIC 团队 (业部部门或产品线) 对实施方案进行详细评审。

2. 建议在 PMIC 以及分立 DC/DC 和 LDO 的输出端使用 $0\ \Omega$ 的电阻器或跳线，以便在初次制作电路板时进行隔离或电流测量。建议添加 TP 进行测量。建议遵循开尔文电流检测连接，将 TP 连接到 $0\ \Omega$ 电阻器或跳线。
3. 建议在大容量电容器后面连接 PMIC 降压输出反馈。建议连接反馈，确保移除 $0\ \Omega$ 电阻器不会影响 PMIC 运行（连接在电阻器的 PMIC 侧）。
4. 建议分别显示用于降压（直流/直流）输入和 VSYS 的 PMIC 输入大容量电容器，并靠近各引脚，以便于放置和布线。
5. 建议查看并遵循与残余电压相关的常见问题解答。
6. 使用非 TI PMIC 时，建议定制电路板设计人员查看相关的处理器配套资料，包括处理器特定数据表和最大额定电流应用手册，并遵循相关要求。建议查看处理器特定数据表的建议运行条件、电源压摆率要求、PORz 时序要求和上电时序和断电时序几节，并确认所选的基于 PMIC 的电源架构符合上述要求和残余电压 (RV) 检查。

4.1.1.1.2 其他参考内容

有关信息，请参阅处理器特定数据表的以下章节。

- 器件连接和布局基本准则
- 电源
- 电源设计

4.1.1.2 基于分立式电源器件 (DC/DC、LDO) 的电源架构

要生成处理器和所连接器件电源导轨，可以考虑使用分立式电源架构。

电源架构可以基于分立式直流/直流转换器和 LDO。

有关可用或推荐分立式电源架构的信息，请参阅 TI.com 上的处理器特定 (AM62L) 产品页面。

处理器特定产品页面提供了有关可用电源架构的最新信息。

请参阅 EVM 原理图，了解如何使用 LDO 实现 RTC 电源和使用 DC/DC 转换器生成 3.3V 主电源。

当实现定制 (TI 或非 TI) 分立式电源架构时，请在所有电源斜升后注意电源尺寸 (额定电流)、电源时序、电源压摆率控制和 PORz 输入 L->H 延迟 (保持时间) (用于振荡器启动和稳定) 要求。建议根据处理器特定数据表验证是否遵循了上述要求。

在电源轨断电 (关闭) 期间，建议 PORz 输入在电源开始斜降之前达到有效的逻辑低电平。建议分立式电源架构设计为能够在任何电源轨降至建议运行条件中定义的最小值以下时，在启动新的上电序列之前关闭所有电源轨并监测电源轨衰减到 300mV 以下。

建议 (需) 在上电期间将 PORz 输入保持为低电平 (有效)，直到所有处理器电源斜升并有效 (稳定) 加最短延迟 9.5ms (处理器特定数据表中称为 9500000ns)，以便内部振荡器启动并稳定 (使用外部晶体加内部振荡器时，请参阅处理器特定数据表)；或 PORz 输入保持低电平 (有效)，直到所有处理器电源斜升并有效，并且外部振荡器时钟输出稳定 (当使用外部 LVCMOS 数字时钟源 (振荡器) 时)，加上最短延迟 1.2 μ s (处理器特定数据表中称为 1200ns) (请参阅处理器特定数据表)。

建议考虑最大额定电流应用手册来确定电源尺寸。

请参阅以下常见问题解答：

[\[常见问题解答\] AM625/AM623/AM620-Q1/AM62Ax/AM62D-Q1/AM62Px/AM62L/AM64x/AM243x 设计建议/定制电路板硬件设计 — 与分立式电源架构相关的疑问](#)

4.1.1.2.1 分立式直流/直流

建议考虑分立式直流/直流，例如 TPS63070 或 LM5141 或类似开关电源器件。

有关可用的分立式直流/直流 (降压) 开关器件的概述，请参阅 [交流/直流和直流/直流转换器 \(集成 FET\)](#) 页面。

此外，请参阅以下文档和视频库：

[TI 降压开关直流/直流转换器快速参考指南应用手册](#)

[电源设计培训资源 - 视频库](#)

4.1.1.2.2 分立式 LDO

建议考虑使用分立式 LDO 器件，例如 [TPS74501](#) 和 [TLV75518](#) 或类似 LDO。

要了解可用的分立式 LDO，请参阅 TI [线性](#)和[低压降 \(LDO\) 稳压器](#)页面。

另请参阅以下应用手册：

[低压降稳压器快速参考指南](#)

[LDO 线性稳压器设计指南](#)

[TI LDO 应用手册的主题索引](#)

4.1.1.2.3 基于分立式电源器件 (DC/DC、LDO) 的电源架构检查清单

通用

检查并验证定制原理图设计的以下内容：

1. 已查看用户指南上文中的“[所有章节的通用检查清单](#)”章节。
2. 电源轨配置的输出电压电平和电流大小 (额定电流) 。
3. 输出电压反馈连接和反馈电阻分压器容差。
4. 精选的分立式直流/直流转换器支持有源放电。
5. 分立式直流/直流转换器输出压摆率符合处理器要求。
6. 根据处理器要求的电源轨时序控制。
7. PORz 输入 (直流/直流 PG 输出) 压摆率。
8. 考虑降额时所选电容器的额定电压。
9. 支持 UHS-I SD 卡的 SD 卡接口 IO 电源实现。
10. VPP (电子保险丝编程) 电源实现。
11. 电源轨的命名。
12. 分立式直流/直流转换器或分立式 LDO 电压电平的匹配。
13. 处理器和连接器件 IO 电源的网络名称匹配 (同名) 。

原理图审阅

定制原理图设计请遵循以下列表：

1. 电阻分压器值 (包括连接到反馈以生成所需输出电源电压的容差) 与分立式直流/直流转换器或 LDO 的计算值匹配。
2. 直流/直流转换器或 LDO 输出电流大小。
3. 分立式直流/直流或 LDO PG 输出具有所需的上拉电阻，并连接到另一个直流/直流或 LDO EN 以进行电源时序。
4. 直流/直流或 LDO 输出压摆率符合处理器压摆率要求。
5. 所有处理器电源斜升后的 PORz 输入 (直流/直流 PG 输出) 压摆率 (通过分立式推挽输出型缓冲器连接) 和 L 至 H 延迟 (用于时钟启动和稳定的 PORz 输入低电平保持时间) 实现。
6. 电源斜升后的 PORz 输入低电平保持时间 (如果直流/直流 PG 输出直接连接到处理器 PORz 输入) 。
7. VPP (电子保险丝编程) 电源实现，包括电容器，以支持负载电流瞬态和输出使能 (EN)。
8. 支持 UHS-I SD 卡的 SD 卡接口 IO 电源 LDO 实现。
9. 电源轨的命名 (指示配置的输出电压) 。
10. 分立式直流/直流或分立式 LDO 电压电平与处理器和连接器件的电源要求相匹配。
11. 考虑降额时所选电容器的额定电压 (大于常用指南为最坏情况下施加电压的两倍) 。
12. 分立式电源器件选择，包括输出电源电压导轨 (工作电压/振幅) 和电流额定值、有源放电能力、使能配置、压摆率控制、残余电压检测 (仅在断电后电源电压小于 300mV 时才允许加电) 。

其他

1. 如果定制电路板设计电源架构基于 TI 电源，建议与相关业务部门或产品线一起详细审阅实现。

- 建议在分立式直流/直流、LDO 的输出端使用 $0\ \Omega$ 的电阻器或跳线，以便在初次构建电路板时进行隔离或电流测量。建议添加 TP 进行测量。建议遵循开尔文电流检测连接，将 TP 连接到 $0\ \Omega$ 电阻器或跳线。
- 当使用可调输出型分立式直流/直流或分立式 LDO 时，建议在分立式直流/直流或分立式 LDO 的输出端添加一个齐纳二极管。

4.2 处理器电源导轨电源控制、时序和电源过载保护

4.2.1 负载开关 (处理器电源导轨电源开关)

负载开关用于对处理器和所连接器件电源导轨进行开关和时序控制。使用负载开关控制 (打开和关闭) 由同一输入电源导轨供电和个基准的特定外设或子系统的电源，而不是使用多个分立式直流/直流转换器或 LDO 生成电源。在某些应用中，建议遵循建议的上电和下电序列。负载开关简化了实现电源时序控制，以满足上电和下电时序要求。负载开关使能可由 PMIC 或直流/直流转换器 PG 输出控制，以满足处理器电源时序要求。

考虑 [TPS22965](#)、[TPS22918](#)、[TPS22902](#) 和 [TPS22946](#) 等负载开关。

要了解可用负载开关系列的概述，请参阅 TI [负载开关](#) 页面。

4.2.1.1 负载开关 (处理器电源导轨电源开关) 检查清单

通用

检查并验证定制原理图设计的以下内容：

- 已查看用户指南上文中的“[所有章节的通用检查清单](#)”章节。
- 负载开关电流大小
- 负载开关使能的连接和时序控制
- 输出电压压摆率控制配置
- 根据负载开关数据表中的建议在输出端添加电容器
- 考虑降额时所选电容器的额定电压

原理图审阅

定制原理图设计请遵循以下列表：

- 输入和输出电容器值，比值需符合数据表和电容器额定电压。
- 根据处理器 IO 电源压摆率要求配置输出电压压摆率 (电容器值选择) 。

4.2.2 电子保险丝 IC (电源开关和保护)

在定制电路板设计上，电子保险丝可用在电源输入端进行保护。电子保险丝电源开关和保护 IC 是集成的电源路径保护器件，用于在故障情况下将电路电流和电压限制在安全电平。电子保险丝为设计提供了许多优势，并且包含通常难以使用分立式元件实现的保护功能。要了解可用的电子保险丝系列，请参阅 TI [电子保险丝和热插拔控制器](#) 页面。

5 一般建议

备注

在定制电路板设计周期中，建议遵循 [使用 AM62L \(AM62L32、AM62L31 \) 处理器系列的定制电路板硬件设计注意事项](#) 用户指南以及 [原理图设计指南与原理图审查清单](#) 用户指南。

以下各节包括在开始定制设计之前建议遵循的一般建议。本节还包括在使用 EVM 配套资料作为参考 (包括原理图) 以及设计定制电路板原理图期间的一般建议。

请参阅以下常见问题解答：

[\[常见问题解答\] AM625/AM623/AM620-Q1/AM62L/AM64x/ AM243x \(ALV\)/AM62Ax/AM62D-Q1/AM62Px 设计建议/定制电路板硬件设计—处理器内核、VDD_CORE、VDDR_CORE、VPP 和其他内核电源的信息](#)

5.1 处理器性能评估模块 (EVM)

处理器 (硬件) 性能评估模块和平台 (EVM) 不是参考设计。这些模块和平台并不代表正确或完整的电路板或终端设备功能实现。在一些情况下, EVM 在处理器设计完成之前便已进行了部分或完全设计并发布进行制造。设置时间表是为了在首批器件供货后便可使用硬件平台。在处理器启动和基准测试期间会出现新 (额外) 的处理器要求。EVM (硬件评估平台) 可能并未考虑到所有这些新要求。因此, TI 希望定制电路板设计人员在设计定制电路板时仔细检查并遵循处理器特定数据表、器件勘误表、硬件设计注意事项用户指南、原理设计指南和 TRM 中定义的所有要求。

处理器 (硬件) 性能评估平台的设计并未涵盖所有定制电路板或终端设备特定要求, 例如 EMI 或 EMC (电磁干扰、电磁兼容性测试, 包括辐射敏感性、辐射发射、ESD)、噪声敏感性、热管理等。

有关定制电路板设计人员可以参考的设计更新说明以及 EVM 原理图, 请参阅以下常见问题解答:

[\[常见问题解答\] AM625/AM623/AM620-Q1/AM62Ax/AM62Px/AM62D-Q1/AM62L 定制电路板硬件设计过程中的设计建议/常见错误-SK 原理图设计更新说明](#)

5.1.1 评估模块 (入门套件) 检查清单

通用

检查并验证定制原理图设计的以下内容:

1. 已查看用户指南上文提及的“所有章节的通用检查清单”部分的内容
2. 基准 EVM 原理图修订版本包括设计说明 (D-Note)、修订说明 (R-Note) 和 CAD 说明 (CAD Note)

5.2 处理器特定 EVM 与数据表

在定制电路板设计的设计阶段, 如果在处理器评估或定制电路板设计期间发现处理器特定 EVM 和处理器特定数据表之间存在任何差异, 建议遵循处理器特定数据表。尽管 EVM 设计人员已经尽了很大努力, 但 EVM 原理图可能有仍然起作用但不完全符合处理器特定数据表规范的错误。

5.2.1 有关元件选择的注意事项

备注

提供 EVM 原理图中的元件值、封装尺寸和额定电压作为定制电路板设计人员的起点, 并不总是经过优化。建议定制电路板设计人员验证值、尺寸和额定电压是否适用于特定的定制电路板实现, 并进行所需的更新。

建议查看有关定制电路板设计要求的 EVM BOM, 并根据处理器特定数据表建议、应用要求、遵循的定制电路板设计方法以及可用 (公司特定或通用) 的设计或元件选型指南来优化元件。

建议在最终确定元件 (值、封装、额定电压和额定功率) 之前执行电路实现设计计算、执行板级测试和测量、进行内部设计审查。

5.2.1.1 串联电阻

建议根据用例在处理器 IO 接口上配置一个串联电阻器 ($0\ \Omega$)。EVM 原理图中使用的串联电阻器值可用作定制电路板设计的起点。建议定制电路板设计人员验证定制电路板上的数值, 并且根据需要进行调整 (引脚上出现的阶跃函数不接近 $1/2 V_s$)。建议根据需要进行仿真以最终确定值。

5.2.1.2 并联拉电阻

备注

除非行业标准中定义了拉电阻器要求，否则对于外部拉电阻器没有明确的规则或要求。拉电阻器的行业通用定义是我们针对 eMMC 和 SD 卡信号上的外部拉电阻器给出确定建议的主要原因。对于其他外设，建议客户评估连接到定制电路板上每个处理器信号的所连接器件的功能，并运用适当的技术/工程判断来确定是否需要使用外部拉电阻器，以防止在打开所连接器件输入缓冲器时任何输入悬空。设计指南中提供的建议是通用的，客户应在实现之前查看设计要求和所连接器件内部拉电阻器的可用性。确保不提供与内部拉电阻器争用的外部拉电阻器。示例：例如，添加一个与内部拉电阻器（所连接器件内部）争用的外部拉电阻器，这样争用会在信号（输入）上产生 1/2 Vs 电势。

建议为连接了布线且未被主动驱动的处理器 IO 或为连接到可悬空的所连接器件输入的 IO 提供并联拉电阻器配置（以防止所连接器件输入在主机软件配置 IO 之前处于悬空状态）。并联拉电阻器的极性和拉电阻器值取决于特定的外设连接建议、处理器性能和可靠性提升建议以及相关接口或标准要求。此外，还提供了上拉电阻器建议。

处理器特定 EVM 中使用的拉电阻器值可用作起点，定制电路板设计人员可根据处理器和所连接器件或特定电路板设计要求的建议选择适当的拉电阻器值。建议为没有特定建议的 IO 或接口选择 10kΩ 或 47kΩ（允许选择上拉电阻器以实现元件选择和 BOM 的标准化）拉电阻器值。可根据电路板设计选择拉电阻器值，以优化元件的使用或降低电流或提高噪声性能。

当走线连接到处理器引脚（IO 焊盘）且 IO 未被主动驱动（悬空）时，建议使用一个 47kΩ 的并联拉电阻器。在复位期间和复位后，处理器 IO 缓冲器（TX（输出）和 RX（输入））处于关闭状态，内部拉电阻器（上拉和下拉电阻器）也会关闭。IO 处于高阻抗状态，实际上相当于会拾取噪声的天线。无并联拉电阻器的情况下，IO 处于高阻抗状态。高阻抗使得噪声可以轻松地将能量耦合到悬空的信号布线上，并产生可能超出 IO 建议工作条件的电势。这种电势会在 IO 上产生电气过应力（EOS）。处理器内部的静电放电（ESD）保护电路设计用于在将器件安装到 PCB 上之前处理过程中仅防止器件遭受 ESD。

5.2.1.3 驱动强度或压摆率配置

有关支持的驱动强度（双电压 IO，仅适用于 LVCMOS 缓冲器类型）或压摆率（固定电压 IO，仅适用于 1P8-LVCMOS 缓冲器类型）配置的信息，请参阅以下常见问题解答：

[\[常见问题解答\] AM625/AM623/AM620-Q1/AM62Ax/AM62Px/AM62D-Q1/AM62L/AM64x/AM243x 设计建议/定制电路板硬件设计 — 双电压 LVCMOS 与 SDIO IO 缓冲器，以及固定 1.8V 的 1P8-LVCMOS 缓冲器的驱动强度配置](#)

5.2.1.4 处理器特定数据表建议

定制电路板设计人员负责实现所需或建议的电路，以确保定制电路板设计符合处理器特定数据表引脚连接要求。示例：I2C 开漏电气特性的要求 — 拉至 3.3V 电源时的输入转换率限制要求。

如果没有处理器特定的数据表建议，建议先遵循原理图设计指南或遵循 EVM 原理图实现作为起点。

5.2.1.5 处理器 IO 保护 — 配置外部 ESD 保护器件

建议为直接连接到外部输入或连接到外部连接器的处理器 IO 提供外部 ESD 保护。内部 ESD 保护设计无法满足电路板级别的 ESD 要求。要了解 ESD 保护器件，请参阅 TI [ESD 保护](#) 页面。

5.2.1.6 外设时钟输出串联电阻器

由于时钟也用于重定时，因此建议在处理器时钟输出（对于 MCSPI、MCASP）引脚附近添加时钟输出上的串联电阻器（22Ω）。该串联电阻器还支持可能的反射控制（信号失真）。

对于 MMC0、MMC1、MMC2、OSPI0、GPMC0 接口，使用未绑定的焊盘（内部）进行重定时（环回）。我们不使用通过 PCB 发送到所连接器件的时钟作为捕获时钟。我们将输出时钟分支到器件内部的两条路径。其中时钟发送到两个单独的 IO 单元。一个 IO 单元连接到一个封装焊球，用于为所连接器件提供时钟。另一个 IO 单元未绑定（未连接到任何封装焊球）。用作接收捕获时钟的时钟通过未绑定的 IO 单元发出，并在用作捕获时钟之前环回到器件。这样做是为了确保时钟具有与输出到所连接器件的时钟上插入的相同延迟，并且具有与从所连接器件返

回的数据上插入的相同延迟。未绑定的 IO 电池焊盘永远不会经历 PCB 信号布线源端产生的电压阶跃。建议使用（预留）一个低值串联电阻（从 $0\ \Omega$ 开始）来控制可能的信号反射（改善信号完整性）。

5.2.1.7 外设时钟输出下拉电阻器

建议在连接到所连接器件的外设时钟输出（eMMC、SDIO、SD 卡、OSPI0、MCSP1、MCASP、GPMC0）上靠近所连接器件的时钟输入设置下拉电阻器。可选择配置电容器（8 至 10pF），并将其配置为不组装。如果观察到与板级信号完整性相关的问题，可以安装电容器。建议使用最短残桩将电容器连接到所连接器件的时钟输入。

5.2.1.8 元件选型检查清单

通用

检查并验证定制原理图设计的以下内容：

1. 已查看用户指南上文中的“所有章节的通用检查清单”章节。
2. 选择电阻器值、容差、尺寸和功率。
3. 某些特定电阻器要容差范围求为 $\pm 1\%$ （请参阅处理器或附加器件数据表、SK 原理图或 EVM）。
4. 其他用例中可以使用标准容差电阻器。例如：上拉、下拉、LED 电流限制、所连接器件地址配置或串联电阻器。
5. 建议将定制电路板上的拉电阻器值实现与 EVM 原理图进行比较。
6. 使用的电容器的额定电压包含降额（对于非极化电容器，常用准则是最坏情况下施加电压的两倍以上）。
7. 为 CAP_VDD5_xxx 选择电容器额定电压（在建议值范围内）时须考虑直流偏置效应（使用 10V 或更高）和电容器容差（10%）
8. 分立式元件封装选择（取决于应用和用例，需考虑额定电压、容差、老化情况和温度范围）。
9. 选择兼容的连接器件（DDR4、LPDDR4、eMMC、OSPI、QSPI、SD 卡、EPHY）。
10. 选择所需的存储器大小（DDR4、LPDDR4）并根据需要提供扩展存储器的配置。
11. 查看与无源器件参数值、容差和额定电压相关的常见问题解答。

作为获取 EVM 和 SK 所用关键元件相关信息的起点，请参阅以下常见问题解答：

[\[常见问题解答\] AM625/AM623/AM620-Q1/AM62Ax/AM62Px/AM62D-Q1/AM62L/AM64x 设计建议/定制电路板硬件设计 — 入门套件/EVM 型号（版本）和关键器件（元件）列表](#)

[\[常见问题解答\] AM625/AM623/AM620-Q1/AM62L/AM62A/AM62P/AM62D-Q1/AM64x/AM243x 设计建议/定制电路板硬件设计 — 与无源元件参数值、容差和额定电压相关的疑问](#)

5.2.2 有关 EVM 设计（原理图、电路板）和重复使用的额外信息

5.2.2.1 更新了 EVM 原理图（添加了设计、审核和 CAD 注解）

在定制电路板设计过程中，作为设计流程的一部分，定制电路板设计人员可以（往往）重复使用 EVM 设计（CAD 文件）并进行必要修改。或者，定制电路板设计人员可以重复使用通用电路实现方案（模块），包括处理器、内存、电源和高速通信接口。由于 EVM 设计应纳入其他功能，因此定制电路板设计人员往往会根据定制电路板相关要求优化 EVM 原理图设计。在对 EVM 原理图进行优化时，会在定制电路板设计中引入误差，这类误差可能会影响定制电路板的功能、性能或可靠性。优化 EVM 原理图时，定制电路板设计人员可能有关于 EVM 电路实现的疑问。在原理图审查期间和定制电路板调试期间，在多个定制电路板设计中发现了一些与设计 and 优化有关的常见错误。根据客户疑问、客户反馈和内部建议，以及数据表中的引脚连接建议，我们在 EVM 原理图的各部分附近添加了全面的设计注解（D-Note）、审查注解（R-Note）和 CAD 注解（CAD-Note），供定制电路板设计人员查阅并遵循（实施建议，从而更大限度减少电路板设计错误）。

以下常见问题解答中列出了现有可下载的设计文档：

[\[常见问题解答\] AM62L（AM62L32、AM62L31）定制电路板硬件设计 - 针对重复使用 EVM TMD562LEVM 原理图的设计和审阅注解](#)

产品概述文档目前正在起草中。查看上述常见问题解答，或者建议经常在 TI.com 上查看供货情况。

5.2.2.2 EVM 设计文件重复用于定制电路板设计

根据定制电路板设计期间遵循的设计方法和项目时间表，可以使用 EVM 设计文件，以此为起点进行所需的更新（根据定制电路板要求而变）。建议在实现之前审查 EVM 原理图设计。建议根据定制电路板功能和性能要求检查元件选择的尺寸、容差和额定电压。

以下常见问题解答涵盖 PDF 原理图以及与 EVM 相关的其他信息：

[\[常见问题解答\] AM62L \(AM62L32、AM62L31 \) 定制电路板硬件设计 - 重复使用 TI EVM 设计文件](#)

5.2.2.2.1 模块化原理图部分

EVM 原理图中的页面数量已增加。现在，每个页面都设有专门的部分，便于查看和重复使用。页面按照使用优先级的顺序排列。原理图的起始页中列出了 EVM 原理图的常用部分。常用原理图部分下方列出了能够增强性能或对于定制电路板设计为可选的部分。

5.2.2.2.2 EVM 设计文件重复用于定制电路板设计 - 检查清单

通用

检查并验证定制原理图设计的以下内容：

1. 已查看用户指南上文中的“所有章节的通用检查清单”章节。
2. 引用所选或所需 EVM 设计文件（配套资料）的最新版本。
3. 已审阅并考虑靠近原理图部分添加的设计说明 (D-Note) 和审阅说明 (R-Note)。
4. 为 DNI 属性已复位的元件重新配置 DNI 属性（当 EVM 设计文件另存为不同的项目或原理图页面/电路部分被重新排列时，定制电路板设计中电路元件的安装选项属性会被复位（DNI 配置被复位，所有元件都显示为“安装”））。
5. 将原理图设计转换为替代 CAD 工具时，包括跨页连接在内的电路连接（连接缺失）的变化。

5.2.2.3 EVM 原理图页面排序（基于功能、重复使用）和 EVM 电路板布局

对于当前正在发布或正在进行（将在未来发布）的 EVM 原理图修订，TI 正在以模块化格式排列（排序）原理图页面，以便于重复使用。原理图页面流程从所需的页面开始，包括处理器电源生成、处理器电源和外设连接、所连接器件电路实现。在所需的页面之后添加了可选的调试和监控章节。该排列有助于定制电路板设计人员删除定制电路板设计期间未使用的原理图部分。

EVM 板设计实现采用一种扁平架构，在同一电路板上集成了处理器和所连接器件。定制电路板设计人员在设计扁平架构定制电路板时可以遵循 EVM 实现。如果客户电路板架构是 SOM（模块上系统）和载板，则电路板布局方法（信号布线要求）、建议可能会发生变化。建议客户验证以下指南，并遵循一般 SOM 设计和布局指南，以解决板级信号完整性问题：

1. SOM 和载板之间的信号连接（高速差分信号）（包括极性）
2. 选择当高速信号在电路板之间切换时不会影响电路板功能或性能的高速连接器（接触电阻和电感较低）
3. 在连接器上的信号之间提供足够数量的接地焊盘，以屏蔽信号，优化电路板性能（显著减少与信号完整性相关的问题）
4. 提供了内存和其他高速或低速外设的建议或所需终端
5. 已满足 SOM 和载板信号之间的失效防护工作要求
6. SOM 和载板之间连接的电路实现的完整性
7. SOM 和载板信号之间的 IO 电平兼容性
8. 连接到处理器且可悬空的任何处理器 IO 或所连接器件 IO 都提供了并联拉电阻器的配置，并且已验证极性
9. 在开始电路板构建之前已执行了所需的仿真（SOM 和载板）

有关高速设计的其他输入，包括基于 SOM 的设计），请参阅以下常见问题解答：

[\[常见问题解答\] AM625/AM623/AM620-Q1/AM62L/AM64x/AM243x \(ALV\)/ AM62Ax/AM62D-Q1/AM62Px 电路板布局 - 通用高速布局指南文档链接](#)

5.3 处理器特定 SDK

如果针对新平台进行定制电路板设计或针对现有平台进行更新，建议使用 TI.com 上软件开发工具的最新版本/修订版。

请参阅以下链接来下载所需的 SDK 版本：

AM62L-PROCESSOR-SDK

1. **AM62L-FREERTOS-SDK** : AM62L 系列器件的 FreeRTOS SDK
2. **AM62L-LINUX-SDK** : AM62L 系列器件的 Linux SDK

请参阅 *AM62LX 软件构建表* (AM62Lx 处理器系列支持功能的构建表)。

如果使用较旧的版本/修订，建议使用版本说明验证兼容性或联系 TI (通过 E2E)。

5.4 开始定制电路板设计之前的一般设计建议 (需了解)

5.4.1 处理器文档

在定制板设计阶段中，建议参考/使用最新版本的配套资料/文档，示例包括处理器特定数据表、器件勘误表、TRM 和其他常用参考电路板设计资料。请定期查看 TI.com 上的处理器特定产品页面，查找最新的可用文档修订版或添加的新文档。

文档搜索提示：在文档中搜索 *recommended*、*Required*、*do not*、*note*、*pin connectivity* 等字词。处理器的重要条件通常包含其中一个或多个词语。

获取更新信息的技巧：在 TI.com 的处理器产品页面上，有一个 **通知按钮**。在此按钮处注册便可启用关于处理器文档更改的自动通知。

TI.com 上提供了处理器特定数据表的最新修订版或其他配套资料。建议在内部存档较旧的修订版以供将来使用。

5.4.2 处理器引脚属性 (引脚排列) 验证

验证定制电路板设计中使用的处理器引脚的以下属性：

- 处理器引脚编号标签和命名 (与处理器符号一节关联的引脚编号) 对应于处理器特定数据表的 *引脚属性* 一节中列出的正确引脚编号。建议在符号内保留处理器特定数据表名称，并根据应用用例更改功能 (网) 名称。
- 连接到处理器电源引脚的电源电压遵循 *建议工作条件*。
- 原理图中显示了处理器的所有引脚 (按功能分组并具有单独的符号块，包括保留的引脚)，以更大程度地减少工具相关错误和功能错误。
- 对于许多处理器 IO，复位期间和复位后 TX (输出) 和 RX (输入) 缓冲器处于关闭状态，并且内部拉电阻器 (上拉和下拉电阻器) 会关闭。当连接布线并且 IO 未被主动驱动时，建议使用外部拉电阻器 (10k Ω 或 47k Ω) 将所连接器件输入保持在有效状态，直到软件初始化 IO。当 TP 连接到处理器 IO 时，建议使用一个并联拉电阻器 (10k Ω 或 47k Ω)。当添加拉电阻器不可行时，建议布线远离高频率信号。
- 为了提高定制电路板性能，可以考虑配置处理器电源导轨 (电压)、电源导轨的电流消耗外部测量以及热点处的板载温度测量。

有关处理器特定数据表引脚属性的相关问题，请参阅以下常见问题解答：

[常见问题解答] [AM625/AM623/AM620-Q1/AM62L/AM62A/AM62P/AM62D-Q1/AM64x/AM243x 设计建议/定制电路板硬件设计-与 SOC 数据表引脚属性相关的疑问 Excel 格式](#)

5.4.3 器件比较、IOSET 和电压冲突

比较表中列出的特性是否可用，取决于 IO 引脚配置和所需的外设功能。内部实现的外设功能会多路复用到有限数量的引脚上。建议使用 *SysConfig-PinMux* 工具为引脚分配所需的信号功能。*SysConfig-PinMux* 工具将帮助您更好地理解与引脚多路复用相关的限制。

处理器外设使用分组为 IOSET 的 IO 进行时序闭合。IOSET 是特定于某个接口的信号分组，这些信号作为一个集合完成时序闭合。建议任何具有 IOSET 的接口都从同一 IOSET 中选择所有接口信号。某些接口信号可以通过多个 IOSET 共享。*SysConfig-PinMux* 工具中详细介绍了支持特定外设的 IOSET 引脚的有效组合。

电压冲突：

信号按功能 IO 域而不是按电源域分组。使用某些外设 IO 配置时，可能会遇到电压冲突警告。该警告是为了突出显示 IO 的首选电压与配置电压之间的差异，以便定制电路板设计人员可以在实际发生电压冲突时采取必要的措施。该警告在对来自不同电压域的 GPIO 信号进行分组时非常有用，因为当前工具配置仅允许每个外设一个首选电压。任何包含具有不同电压电平的 IO（引脚）的外设都会显示警告。显示警告的原因是首选电压的电平与 IO（引脚）电压不同（例如：引脚电压为 1.8V 时，首选电压为 3.3V）。只要 1.8V 是所选 IO（引脚）的预期电压，就可以抑制该警告。冲突指示不是硬件问题或工具错误，而是通知首选电压与配置的 IO（引脚）电压不同。该警告仅用于突出显示首选工作电压与选定（配置的）工作电压之间的冲突。只要您了解冲突的原因，就可以抑制警告。

有关电压冲突的信息，请参阅以下常见问题解答：

[\[常见问题解答\] AM625/AM623/AM620-Q1/AM62L/AM62A/AM62P/AM62D-Q1/AM64x/AM243x 设计建议/定制电路板硬件设计 - 与 SysConfig-PinMux IOSET 和电压冲突相关的疑问](#)

5.4.4 RSVD0 预留引脚（信号）

名为 RSVD0 的引脚被预留。建议按照处理器特定数据表中的建议，使 RSVD0 引脚保持未连接状态（不连接任何 PCB 走线或测试点（TP））。

有关更多信息，请参阅以下常见问题解答：

[\[常见问题解答\] AM625/AM623/AM620-Q1/AM625-Q1/AM625SIP/AM62L（AM62L32、AM62L31）：定制电路板硬件设计 — RSVD 或 RSVD0 引脚的连接建议](#)

5.4.5 PADCONFIG 寄存器注意事项

许多处理器 IO（LVCMOS 或 SDIO 缓冲器类型）支持在同一引脚上多种（不同）功能的多路复用。可以从多种支持功能中选择所需 IO 功能。处理器特定数据表的 *引脚属性表* 的 *信号名称* 列中列出了每个 IO（焊盘）上可用的功能列表。

使用相关（关联）焊盘配置寄存器的 MUXMODE 字段配置所需的功能。PADCFG_CTRL0_CFG0_PADCONFIG0 至 PADCFG_CTRL0_CFG0_PADCONFIG146 寄存器支持（可用于）处理器 MAIN 域中 IO 的信号多路复用。

处理器特定 TRM 的 *焊盘配置寄存器* 一节 *焊盘配置寄存器功能说明* 小节中 *焊配置寄存器位的说明表* 汇总了 *位字段说明*、支持的配置和 PADCONFIG 寄存器的 *复位值*。建议在配置 PADCONFIG 寄存器时，遵循表末尾列出的注释。建议在与相应 PADCONFIG 寄存器关联的引脚没有提供有效逻辑输入的情况下，切勿设置 RXACTIVE 位。悬空输入可能会损坏处理器 IO 或影响处理器的可靠性。默认设置 ST_EN 位。建议验证 ST_EN 位，并在该位值复位为 0 的情况下将该位设置为 1。建议不要修改该位的默认值。处理器特定 TRM 的 *焊盘配置寄存器* 一节的 *焊盘配置 PADCONFIG 寄存器* 小节的 *焊盘配置 PADCONFIG 寄存器表* 中列出了所有 PADCONFIG 寄存器默认配置的汇总。

有关更多信息，请参阅以下常见问题解答：

[\[常见问题解答\] AM625/AM623/AM620-Q1/AM62L/AM64x/AM243x \(ALV\)/AM62Ax/AM62D-Q1/AM62Px 设计建议/定制电路板硬件设计 — PADCONFIG 位和 PADCONFIG 寄存器默认值汇总信息](#)

5.4.6 针对失效防护操作的处理器 IO（信号）隔离

建议为 IO 组的处理器 IO 电源和所连接器件（或者 FPGA、MCU 或处理器）IO 电源供电至同一电源，以确保不存在与失效防护运行相关的违规情况。当处理器与所连接器件或额外处理器连接至不同的电源（由其供电）时，建议进行信号隔离，因为大多数处理器 IO 都不具备失效防护功能。建议通过 FET 总线开关电路连接信号，该电路的设计用途是在 IO 电源对于作为输入所连接器件无效的情况下隔离两个器件。建议 FET 总线开关和控制逻辑由常开电源供电，并且仅由多个（不同）电源的电源正常信号的“与”函数启用。

5.4.7 引脚连接要求和处理器特定 EVM 的参考

处理器特定数据表的 *信号说明* 和 *引脚连接要求* 两节包括特定于处理器系列的外设、IO 和引脚（功能）的连接建议。

当处理器特定数据表不包含特定连接要求时，可以参考处理器特定 EVM。

5.4.8 定制电路板高速接口设计指南

有关 USB2.0 信号连接和布线的建议，请参阅 [高速接口布局布线指南](#)。建议包含与定制电路板设计期间应遵循的布线要求相关的适当约束或注释。

对于 USB 接口，当定制电路板预计将在恶劣的工业环境中运行时，可以选择添加共模来提高定制电路板的 USB 接口防噪性能。添加共模扼流圈会降低信号振幅并降低 USB 接口性能（速度、数据吞吐量、通信错误）。建议使用 $0\ \Omega$ 电阻器绕过共模扼流圈添加配置。建议根据应用要求为 USB 接口和 USB 电源添加外部 ESD 保护配置。

有关更多信息，请参阅以下常见问题解答：

[\[常见问题解答\] AM625/AM623/AM620-Q1/AM62L/AM64x/AM243x \(ALV\)/ AM62Ax/AM62D-Q1/AM62Px 电路板布局 — 通用高速布局指南文档链接](#)

5.4.9 针对 LVCMOS (GPIO) 输出源电流或灌电流的建议

由配置为输出的处理器 IO 拉出的直流电流输出需要保持小于定义的最大 I_{OH} 和 I_{OL} 值，以实现 *电气特性* 表中定义的 V_{OL} 最大值和 V_{OH} 最小值。处理器特定数据表中定义的输出电流不应用作稳态电流的限值。仅当对信号电容进行充电或放电以将信号从低电平转换为高电平或从高电平转换为低电平时，才会达到数据表中的输出电流限值。信号达到有效逻辑状态后，稳态电流应远低于数据表中的电流限制值。输出可以容许一定水平的稳态电流，以满足典型拉电阻器的过驱需求，但不应持续承受较大稳态电流，如持续驱动 LED 或类似负载所需的电流。建议通过处理器 IO 引脚控制外部 FET 或晶体管开关来驱动 LED 或需持续消耗电流的类似负载。

5.4.10 将慢速斜升信号 (输入) 或电容器负载 (IO 输出端的大电容值) 连接到处理器 IO

LVC MOS (SDIO) 输入指定了转换率要求（作为电气规范的一部分）。不建议将慢速斜升输入（信号）直接连接到 LVC MOS (SDIO) 输入。如果所施加的输入（信号）在 V_{IHSS} 和 V_{ILSS} 之间的电压区域花费更多的时间，那么可能存在与输入缓冲器相关的长期可靠性问题（隐患）。允许（建议）的转换时间小于 1000ns。转换率与频率相关。当信号切换速率不高（非频率制约型限制）时，建议使用 1000ns 的最大转换率。当 IO 在 1.8V 电压下工作时（例如），当信号切换速率 $< 100\text{kHz}$ 时， $1.8E+6\text{V/s}$ 的非频率制约型限制将变成较大的值。当信号切换速率 $> 100\text{kHz}$ 时， 18fV/s ($f =$ 输入信号的切换频率，以 Hz 为单位) 的频率制约型限制会变成较大的值。当施加慢速斜升输入时（当输入为 $1/2\text{Vs}$ 时），击穿电流将从 VDD 通过部分导通的 P 沟道晶体管和部分导通的 N 沟道晶体管流向 VSS。累积的慢速斜升输入会导致 IO 性能、电路板性能或处理器可靠性问题。

不建议将大电容器直接连接到 LVC MOS (SDIO) 输出端。LVC MOS (SDIO) 输出缓冲器不适用于驱动大型容性负载。当 LVC MOS (SDIO) 类型 IO 配置为输出并且电容器连接在输出端时，建议根据处理器特定数据表选择允许的电容器值或添加串联电阻器，以便限制 IO 电流消耗。建议执行仿真以最终确定电容器值。

5.4.11 定制电路板设计期间与处理器和处理器外设设计相关的疑问

在定制电路板设计过程中，可能会出现与处理器和处理器外设相关的问题（有疑问）。建议对有关处理器和处理器外设的疑问发起 E2E 提问，以便器件专家提供支持。建议在 E2E 查询中输入与设计、外设或特定主题等特定章节相关的查询内容，以尽量缩短问题分配延迟和回答延迟。

5.4.12 开始定制电路板设计之前的一般设计建议 (需了解) 检查清单

通用

检查并验证定制原理图设计的以下内容：

1. 已查看用户指南上文提及的“所有章节的通用检查清单”部分的内容
2. 引用所选 EVM 设计配套资料的最新版本。
3. 引用 TI.com 上的相关配套资料，以便更大程度减少定制电路板设计期间出现的错误（设计工作量）。
4. 定制电路板原理图上使用的处理器原理图符号遵循处理器特定数据表“属性”部分中的焊球名称和引脚编号。
5. 遵循特定外设的 IOSET 分组建议（遵循 SYSCONFIG IOSET 分组）
6. 考虑了所需的 IO 功能和所需的 PADCONFIG 配置。

7. 根据用例缓冲处理器 IO 输出 以驱动更高的负载。
8. 考虑了处理器 IO 的失效防护运行。
9. 输出电容器负载要求 (已连接负载与允许的负载对比) 已通过仿真或必要分析进行验证
10. 建议经常查看 TI.com 上的产品网页, 了解 (感兴趣文档的) 最新文档版本。
11. 建议使用 E2E (寻求解释, 而不是做出假设)。

5.4.13 连接器件建议

TI 不会针对定制电路板设计给出连接器件建议。

建议参考处理器特定数据表的 *DDR 电气特性* 部分选择 DDR4 或 LPDDR4 内存。

与 MMC0 关联的 MMCSDB 主机控制器和 PHY 旨在符合处理器特定数据表 (和 TRM) 中所述的标准。选择 eMMC 时, 建议参考处理器特定数据表 *MMC0 - eMMC/SD/SDIO 接口* 部分。

定制电路板设计器件, 有关 EVM 和 SK 所用关键器件 (元件) 的信息, 请参阅以下常见问题解答:

[\[常见问题解答\] AM625/AM623/AM620-Q1/AM62Ax/AM62Px/AM62D-Q1/AM62L/AM64x/AM243x 设计建议/定制电路板硬件设计 — 入门套件/EVM 型号 \(版本 \) 和关键器件 \(元件 \) 列表](#)

6 针对电源、时钟、复位、引导和调试的处理器特定建议

备注

在定制电路板设计周期中, 建议遵循 [使用 AM62L \(AM62L32、AM62L31 \) 处理器系列的定制电路板硬件设计注意事项](#) 用户指南以及 [原理图设计指南与原理图审查清单](#) 用户指南。

6.1 通用 (处理器启动) 连接

6.1.1 电源

图 6-1 包含以下电源的电源轨连接: 处理器内核电源和外设内核电源、DDR PHY IO 电源、外设模拟电源、处理器 IO 组的固定电压电源、IO 组的双电压 IO 电源、RTC 内核电源, 以及 LFOSC0 和 RTC IO 组的固定电压电源。

4. 在释放 PORz 输入 (置为无效) 之前, 所有电源均斜升并保持稳定。
5. 处理器电源斜升与 PORz 输入高电平之间的延迟遵循处理器特定数据表中的建议 (最小值为 9.5ms)。
6. 建议确保仅在冷复位期间电源电压斜降至 300mV 以下 (无残余电压) 时使能电源。
7. 所有电源导轨都衰减至 300mV 以下 (没有与要求相关的时间或衰减电压容差), 才允许电源导轨在下电上电后斜升。
8. PORz 输入压摆率最小, 以避免内部复位电路干扰 (建议通过压摆率最小的分立式推挽输出型缓冲器连接 PORz 输入)。

有关残余电压和检测的信息, 请参阅以下常见问题解答:

[\[常见问题解答\] AM625/AM623/AM620-Q1/AM62L/AM62A/AM62P/AM62D-Q1/AM64x/AM243x 设计建议/定制电路板硬件设计 — 与残余电压、检测和电源衰减相关的疑问](#)

备注

关于连接电源轨和名为 RSVD0 的处理器信号, 请参阅处理器特定数据表中 *引脚连接要求* 一节开头的注释。

建议验证处理器电源引脚的映射和所推荐电源 (包括电压电平) 的连接。请参考以下常见问题解答来验证引脚映射:

[\[常见问题解答\] AM625/AM623/AM625-Q1/AM620-Q1/AM62L/AM62A/AM62P/AM62D-Q1/AM64x/AM243x 定制电路板硬件设计 - 处理器引脚映射和 SK 电路板连接 \(电源轨、电容器和铁氧体 \)](#)。

6.1.1.1 内核和外设电源

为确保正常运行, 建议将所有电源引脚 (焊球) 连接到处理器特定数据表 *建议工作条件* 一节中建议的电源电压。处理器特定数据表的 *引脚连接要求* 一节指定了具有列出连接要求的电源引脚。

该处理器系列支持将固定的 0.75V 电源连接到 VDD_CORE 和外设内核电源轨。建议处理器内核电源 VDD_CORE 和外设内核电源 VDDA_CORE_DSI、VDDA_CORE_DSI_CLK、VDDA_CORE_USB 和 VDDA_DDR_PLL0 采用同一电源供电。建议将电源配置为 0.75V 固定工作电压 (根据 *建议运行条件 (ROC)* 指定的标称工作电压)。定制电路板设计人员应注意确保 VDD_CORE 和 VDDA_CORE_USB 之间的电压差处于 $\pm 1\%$ 之内。

建议始终连接 VDDS_OSC0 电源。

该处理器系列支持多个模拟电源引脚 VDDS_OSC0、VDDA_PLL0、VDDA_PLL1、VDDA_ADC、VDDA_1P8_DSI、VDDA_1P8_USB, 为敏感的模拟电路提供电源。建议为模拟电源使用滤波 (铁氧体) 电源。

建议将 VDDA_3P3_USB 连接到 3.3V 模拟电源, 以支持 USB2.0 接口。

更多信息, 请参阅处理器特定数据表的 *建议运行条件* 部分和 *电源时序* 部分。

6.1.1.1.1 电源斜升 (压摆率) 要求和动态电压调节

建议为所有处理器电源实现受控的电源斜升 (遵循电源压摆率要求)。有关更多信息, 请参阅处理器特定数据表的 *电源转换率要求* 部分。

该处理器 (系列) 不支持处理器内核、外设内核和外设模拟电源的动态电压调节 (更改)。

有关更多信息, 请参阅以下常见问题解答:

[\[常见问题解答\] AM625/AM623/AM620-Q1/AM62Ax/AM62Px/AM62D-Q1/AM62L/AM64x/AM243x 设计建议/定制电路板硬件设计 — SOC 内核\(VDD_CORE\)、外设内核和模拟电源的动态电压调节](#)

6.1.1.1.2 其他信息

有关处理器电源时序要求的信息, 请参阅以下常见问题解答:

[\[常见问题解答\] AM625/AM623/AM620-Q1/AM625-Q1/AM625SIP: 定制电路板硬件设计 — 上电和下电的处理器电源时序要求](#)

常见问题解答是通用的，也可用于 AM62Lx 处理器系列。

有关使用铁氧体进行处理器电源导轨滤波的信息，请参阅以下常见问题解答：

[\[常见问题解答\] AM625/AM623/AM620-Q1/AM625-Q1/AM625SIP 定制电路板硬件设计 — 针对 SoC 电源轨的铁氧体 \(电源滤波器 \) 建议](#)

常见问题解答是通用的，也可用于 AM62Lx 处理器系列。

6.1.1.1.3 处理器内核和外设内核电源检查清单

通用

检查并验证定制原理图设计的以下内容：

1. 已查看用户指南上文中的“所有章节的通用检查清单”章节。
2. 处理器内核 VDD_CORE 和外设内核 VDDA_CORE_DSI、VDDA_CORE_DSI_CLK、VDDA_CORE_USB 和 VDDA_DDR_PLL0 电源的连接 (固定电压，仅 0.75V)
3. 处理器内核和外设内核电源轨的 ROC、压摆率 (符合处理器特定数据表相关说明) 和电压序列要求。
4. 添加所需的大容量电容器和去耦电容器及外设内核电源滤波器。
5. 未使用特定外设时外设内核电源引脚的连接。
6. 未使用外设但需要边界扫描功能时，外设内核电源 VDDA_CORE_DSI、VDDA_CORE_DSI_CLK (DSITX0) 的连接。

原理图审阅

定制原理图设计请遵循以下列表：

1. 建议将电源轨的大容量电容器和去耦电容器的实现与 EVM 原理图的实现进行比较，或者参阅 PDN 应用手册
2. 对处理器内核 VDD_CORE 和外设内核 VDDA_CORE_DSI、VDDA_CORE_DSI_CLK、VDDA_CORE_USB 及 VDDA_DDR_PLL0 电源轨施加 0.75V 的固定推荐电源电压
3. 连接到处理器内核电源和外设内核电源的电源轨工作电压遵循 ROC
4. 建议将电源轨 VDDA_3P3_USB 连接到 3.3V 电源，以支持 USB 2.0 接口。建议将 3.3V 电源电压连接到 VDDA_3P3_SDIO (该电压与可复位的 SD 卡电源控制电源开关的输出相同) 的集成 LDO 输入端。
5. 为外设内核电源 (DSI、USB) 提供了铁氧体滤波器
6. 根据引脚连接要求，当未使用特定外设时的内核电源连接
7. 当未使用外设但需要边界扫描功能时，内核电源 (适用于 DSITX0 的 VDDA_CORE_DSI、VDDA_CORE_DSI_CLK) 的连接须遵循数据表引脚连接要求

其他

1. 建议添加一个 0Ω 电阻器或跳线，以便在内核电源的 PMIC 直流/直流转换器或 LDO 输出端进行隔离或电流测量。建议添加 TP 进行测量。建议遵循开尔文电流检测连接来连接 TP。根据电源轨电流和电阻器载流电容器选择电阻器封装。
2. 不支持 (不建议或不允许) 内核电源动态电压调节 (DVS)。
3. 器件从复位状态释放后，不允许更改内核电压。如果内核电源关闭，则建议根据断电序列斜降所有电源轨，并等待所有电源轨衰减至 300mV 以下，然后接通电源。
4. 当 USB 驱动程序未初始化且 USB 校准过程未发生时，连接电源并保留所有 USB 引脚对于 USB0 和/或 USB1 是可以接受的。当两个 USB 接口都未使用时，根据引脚连接要求将 USB 电源接地可节省电力 (如果低功耗是一项关键要求) 。

6.1.1.1.4 外设模拟电源检查清单

通用

检查并验证定制原理图设计的以下内容：

1. 已查看用户指南上文中的“所有章节的通用检查清单”章节。
2. 将建议的电源电压连接到外设模拟电源轨 VDDS_OSC0、VDDA_PLL0、VDDA_PLL1、VDDA_ADC、VDDA_1P8_DSI、VDDA_1P8_USB。
3. 3.3V USB 模拟电源 VDDA_3P3_USB 的连接。
4. 处理器电源 ROC、压摆率（需符合处理器特定数据表相关说明）和外设模拟电源轨的电压序列要求。
5. 添加所需的大容量电容器和去耦电容器，以及外设模拟电源滤波器。
6. 未使用特定外设时外设模拟电源引脚的连接。
7. 未使用特定外设但需要边界扫描功能时，外设模拟电源（适用于 DSITX0）的连接。

原理图审阅

定制原理图设计请遵循以下列表：

1. 建议将电源导轨的大容量电容器和去耦电容器的实现与 EVM 原理图的实现进行比较。
2. 连接到外设电源的电源轨工作电压遵循 ROC。
3. 建议的电源电压 1.8V 连接至外设模拟电源轨 VDDS_OSC0、VDDA_PLL0、VDDA_PLL1、VDDA_ADC、VDDA_1P8_DSI、VDDA_1P8_USB。
4. 建议将电源轨 VDDA_3P3_USB 连接到 3.3V 模拟电源，以支持 USB2.0 接口。建议将 3.3V 连接到 VDDA_3P3_SDIO（开关式，与 SD 卡电源控制电源开关的输出相同），作为集成 LDO 的输入。
5. 模拟电源轨的压摆率遵循数据表要求。
6. 根据 EVM 原理图实现，为外设模拟电源（DSI、PLL、USB (1.8V)、WKUP_OSC0）提供了滤波器（铁氧体）。
7. 根据引脚连接要求，当未使用特定外设时的外设模拟电源连接。
8. 根据引脚连接要求，当未使用特定外设但需要边界扫描功能时，外设模拟电源（适用于 DSITX0 的 VDDA_1P8_DSI）的连接。铁氧体和大容量电容器是可选项。

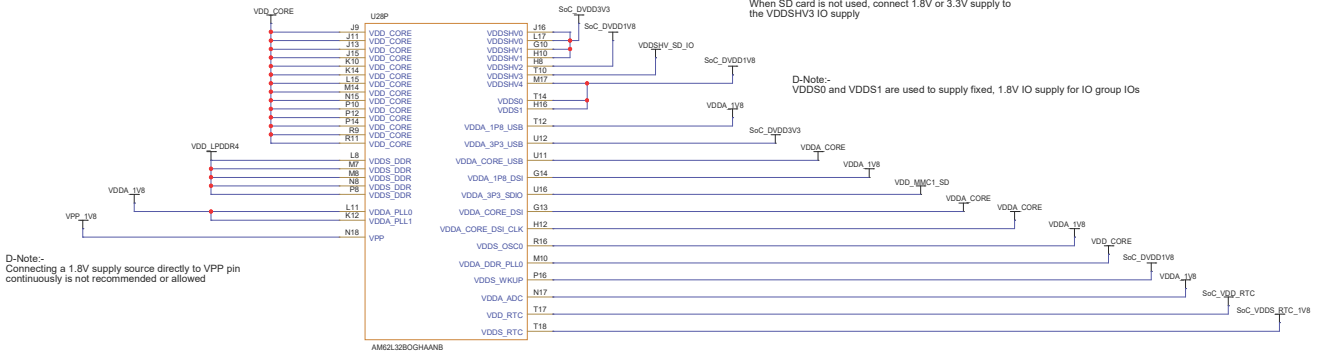
其他

1. 建议添加一个 0Ω 电阻器或跳线，以便在模拟电源的 PMIC 直流/直流转换器或 LDO 输出端进行隔离或电流测量。建议添加 TP 进行测量。建议遵循开尔文电流检测连接来连接 TP。根据电源轨电流和电阻器载流电容器选择电阻器封装。
2. 不支持（不建议或不允许）模拟电源动态电压调节 (DVS)。
3. 当 USB 驱动程序未初始化且 USB 校准过程未发生时，连接电源并保留所有 USB 引脚对于 USB0 和/或 USB1 是可以接受的。当两个 USB 接口均未使用时，根据引脚连接要求将 USB 电源接地可节省电力。

6.1.1.2 IO 组的 IO 电源

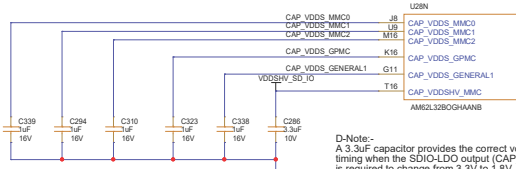
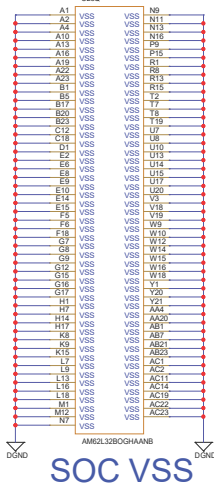
图 6-2 包含外部电容器到 SDIO_LDO (3.3uF) 和 General1、GPMC、MMC0、MMC1、MMC2 IO 组 (1uF) 的连接。

D-Note-
A Trace connected to SOC pad (IO) is effectively an antenna that can pick up noise. A potential will be generated on the trace when noise couples into the antenna. This potential will be largest on the highest impedance end of the trace. By placing a pull-up or pull-down near the SOC pin (input), we force the highest potential to the open-circuit end of the trace rather than the SoC IO end of the trace.



D-Note-
Common SOC LVCMOS IO interface guidelines
1. Most of the SOC IOs are not fail-safe. No input should be applied before SOC supplies ramps.
2. SOC LVCMOS inputs have minimum slew rate requirements specified.
3. SOC IO buffers are off during Reset and after Reset. A pull is required in case SOC IOs or the attached device inputs could float.
4. Any SOC IO that has a trace connected and not being actively driven needs a parallel pull. When adding pull is not feasible, ensure the traces are routed away from noisy signals

D-Note-
Refer pin connectivity table of the SOC data sheet for connecting the USB IO, analog and core supplies when USB interface is not used. It is acceptable to have the supplies connected and all the USB pins left unconnected provided the USB driver is not initialized any time and the USB calibration procedure does not happen. Grounding the USB supplies as per pin connectivity requirements when not used saves power when low power is a critical requirement.



D-Note-
Select capacitor with ESR < 1 ohm
Ensure the PCB loop inductance is < 2.5 nH
Select 0201 package or smallest possible package nearest to 0201
Refer SOC Data sheet

图 6-2. IO 组外部电容器 CAP_VDDS_xxx 的连接

以下常见问题解答包括有关 CAP_VDDS_xxx 电容器值的建议以及电容器组装 (安装或短路) 的影响 :

[常见问题解答] AM625/AM623/AM620-Q1/AM62L/AM62Ax/AM62D-Q1/AM62Px/AM64x/AM243x 设计建议/定制电路板硬件设计 - 与 CAP_VDDSDx CAP_VDDSD 相关的问题

该处理器系列支持为 IO 组提供双电压 1.8V/3.3V IO 电源, 并支持为 IO 组的 IO 电源轨提供固定电压 1.8V IO 电源。

IO 组的双电压 1.8V/3.3V IO 电源有两种类型, 包括用于 IO 组的固定 1.8V/3.3V IO 电源和用于 IO 组的动态切换 1.8V/3.3V IO 电源。

6.1.1.2.1 双电压 1.8V/3.3V IO 组 IO 电源

该处理器系列支持用于 IO 组的 5 (五) 个双电压 IO 电源 (VDDSHVx [x = 0:4])。每个 IO 组的 IO 电源均连接 (对应) 至一组固定的 IO。IO 组的每组 IO 电源均可独立连接至固定的 (VDDSHV2、VDDSHV3 和 VDDSHV4 支持动态电源切换) 3.3V 或 1.8V 电源。IO 组的 IO 电源定义了整组 (一组固定) IO 的通用工作电压。

指定为 CAP_VDDS_xxx [共五个引脚] 和 CAP_VDDSHV_MMC 的处理器焊盘 (引脚), 在 IO 组的 IO 电源连接到 3.3V 电源时, 会将外部电容器连接到内部 IO 组电源的 IO 电源 (当 IO 组的 IO 电源连接到 1.8V 时为可选)。

建议使用一个 1 μ F 的电容器 (容差为 $\pm 10\%$, 额定电压为 10V 或以上, 跨接在 CAP_VDDS_xxx 引脚与 VSS 之间, 具体请参阅处理器特定数据表)。对于 CAP_VDDS_xxx 引脚, 考虑到直流偏置、容差、频率和老化情况, 建议电容值在 0.8 μ F 至 1.5 μ F 范围内。当 IO 组的 IO 电源连接到 3.3V 时, 在选择电容器的电压额定值时, 需

考虑的电压为稳态直流输出 $VDDSHVx/2$ (同时需兼顾直流偏置效应)。建议使用一个 $3.3\ \mu\text{F}$ 的电容器 (建议容差为 $\pm 10\%$, 额定电压为 10V 或以上, 跨接在 CAP_VDDSHV_MMC 与 VSS 之间)。考虑到直流偏置、容差、频率和老化情况, 建议电容值在 $3.3\ \mu\text{F} \pm 20\%$ 范围内。参阅处理器特定数据表。

为了最小化 PCB 环路电感, 请将电容器放置在 PCB 背面的 BGA 阵列。电容器额定电压的选择会影响电容器封装 (尺寸) 的选择。

建议选择 $\text{ESR} < 1\ \Omega$ 的电容器, 将布线环路电感保持在 $< 2.5\text{nH}$ 。

6.1.1.2.1.1 IO 组的双电压 IO 电源检查清单

通用

检查并验证定制原理图设计的以下内容：

1. 已查看用户指南上文提及的“所有章节的通用检查清单”部分的内容
2. 根据处理器特定数据表的 ROC, 有效的固定电源连接到 (VDDSHV0、VDDSHV1) 所有 IO 组的双电压 IO 电源
3. 根据处理器特定数据表的 ROC, 有效电源 (可动态切换) 连接至 (VDDSHV2、VDDSHV3、VDDSHV4) 所有动态切换的 IO 组双电压 IO 电源
4. 遵循了处理器特定数据表所述的 IO 组 IO 电源轨的压摆率要求
5. 当 IO 电源为 3.3V 或 1.8V 时, 将建议的外部电容器连接到 IO 组 IO 电源的 CAP_VDDS_xxx 引脚 (容差、额定电压 - 请参阅 EVM 原理图, 连接在 CAP_VDDS_xxx 引脚与 VSS 之间)。
6. 将建议的外部电容器连接到 SD 卡 IO 电源的 CAP_VDDSHV_MMC (容差、额定电压 - 请参阅 EVM 原理图, 连接在 CAP_VDDSHV_MMC 引脚与 VSS 之间)
7. 遵循处理器特定数据表中的电源序列建议

原理图审阅

定制原理图设计请遵循以下列表：

1. 当 IO 组的 IO 电源连接到 3.3V 电源时, 将建议的电容器连接到 CAP_VDDS_xxx 引脚和 VSS (连接 1.8V 电源时为可选)
2. 电容值在 $0.8\ \mu\text{F}$ 至 $1.5\ \mu\text{F}$ 范围内所选电容器的额定电压和容差 (包括：容差、老化情况、温度漂移以及直流偏置效应)
3. CAP_VDDS_xxx 电容器封装 (使用尽可能小的封装 (尽可能接近 0201, 但不小于 0201), 以最小化环路电感)
4. 适用于 IO 组的所有 IO 电源轨都有一个有效的电源 (无论 IO 使用情况如何)
5. 电源轨连接遵循 ROC
6. 每个 CAP_VDDS_xxx 引脚都需要一个相对于 VSS (接地) 连接的单独 $1\ \mu\text{F}$ 电容器
7. 选择小于 $1\ \Omega$ ESR 的 CAP_VDDS_xxx 电容器, 将布线环路电感保持在 2.5nH 以下
8. 所需的大容量电容器和去耦电容器连接到 IO 组的 IO 电源 (遵循 EVM 原理图)

其他

1. 对于所有电源轨, 建议使用一个 $0\ \Omega$ 电阻器或跳线, 以便在电源轨的输出端进行隔离或电流测量。根据电源轨电流和电阻载流电容器选择电阻器的封装。
2. 当任何 VDDSHVx 电源轨均由 3.3V 电源供电时, 所有以 VDDSHVx 为基准的 IO 必须在 3.3V IO 电平下运行。如果 VDDSHVx 电源轨由 1.8V 电源供电, 则所有以 VDDSHVx 为基准的 IO 必须在 1.8V IO 电平下运行。
3. 一些接口跨越多个 VDDSHVx。使用任意一个接口时, 所有支持特定接口的 VDDSHVx 域都必须共用相同的电压源。
4. 大多数处理器 IO 都没有失效防护功能。不建议也不允许在相应的 VDDSHVx 电源关闭时向 IO 施加输入电压。
5. 验证每个 VDDSHVx 上的所有 IO 引脚仅连接单个电压电平。
6. 按照处理器特定 EVM 的说明来实现铁氧体和电容器。

7. 不建议将 VDDSHVx 导轨保持未连接状态。根据使用情况和 ROC，将电源引脚连接到 1.8V 或 3.3V。

6.1.1.2.2 用于 (外设) IO 组的固定电压 1.8V IO 电源

该处理器系列支持三个用于 IO 组电源 (VDDSD0、VDDSD1、VDDSD_WKUP、VDDSD_RTC) 的固定电压 1.8V IO 电源，其中每个域为一组固定的 IO 供电。

这些是 1P8-LVCMOS 缓冲器类型。定制电路板设计人员负责将 IO (以 IO 组的固定电压 1.8V IO 电源为基准) 连接到具有 1.8V IO 电平的连接器件。

6.1.1.2.2.1 用于 (外设) IO 组的固定电压 1.8V IO 电源检查清单

通用

检查并验证定制原理图设计的以下内容：

1. 已查看用户指南上文提及的“所有章节的通用检查清单”部分的内容
2. 通用 IO (VDDSD0、VDDSD1)、WKUP 和 RTC IO 组的固定电压电源连接
3. IO 组处理器固定电压电源的 ROC、电压序列 (需符合处理器特定数据表相关说明) 和压摆率要求
4. 为固定电压电源 IO 组添加所需的大容量电容器和去耦电容器

原理图审阅

定制原理图设计请遵循以下列表：

1. 无论使用何种 IO，IO 组的所有 IO 电源导轨都连接了有效的电源
2. 电源导轨连接遵循了处理器 ROC
3. IO 的电源电平与 IO 组的 VDDSD0、VDDSD1、VDDSD_WKUP、VDDSD_RTC 固定电压电源匹配
4. 按照处理器的要求，遵循了转换率要求
5. 遵循处理器特定数据表中的电源序列建议

其他

1. 所有以 VDDSD0、VDDSD1、VDDSD_WKUP、VDDSD_RTC 为基准的 IO 都需要在 1.8V IO 电平下运行
2. 很多处理器 IO 都没有失效防护功能。不建议也不允许在相应 VDDSD0、VDDSD1、VDDSD_WKUP、VDDSD_RTC 电源关闭时向 IO 施加输入电压。
3. 建议验证每个 VDDSD0、VDDSD1、VDDSD_WKUP、VDDSD_RTC 上的所有 IO 引脚是否仅连接到 1.8V 电压电平。
4. 建议按照处理器特定 EVM 的说明来添加铁氧体和电容器
5. 不建议使 VDDSD0、VDDSD1、VDDSD_WKUP、VDDSD_RTC 电源轨保持未连接状态。建议将电源引脚连接到 1.8V 电压。

6.1.1.2.3 其他信息

很多处理器 IO 都没有失效防护功能。有关可用失效防护 IO 的信息，请参阅处理器特定数据表。建议将所连接器件的 IO 电源连接至接入 IO 组相应处理器 IO 电源 (VDDSHVx、VDDSDx、VDDSD_WKUP 或 VDDSD_RTC) 的同一电源，以确保定制电路板设计不会向未供电的任何处理器 IO 施加电位。若在 IO 组的 IO 电源不可用时向没有失效防护功能的 IO 施加外部输入，可能会影响处理器功能、性能和可靠性。

有关处理器和连接器件之间的电源时序的更多要求，包括用于失效防护操作的信号隔离的信息，请参阅以下常见问题解答：

[\[常见问题解答\] AM625/AM623/AM620-Q1/AM625-Q1/AM625SIP：定制电路板硬件设计 - SOC \(处理器 \) 和附加器件 \(失效防护 \) 之间的电源时序](#)

常见问题解答是通用的，也可用于 AM62Lx 处理器系列。

备注

建议确保在将输入施加到相关处理器 IO 或外设之前，VDDSHVx、VDDsx 或 VDDs_WKUP 存在有效的电源电压。

建议无论处理器 IO 或外设如何使用，都连接 VDDSHVx 电源和相关的 CAP_VDDs_xxx (连接的 IO 电源为 3.3V 时，可选 1.8V) 电容器。

6.1.1.3 VPP 电源 (电子保险丝 ROM 编程)

图 6-3 包含 VPP_1V8 电源生成 LDO U47、带下拉电阻器的 VPP_LDO_EN 信号 (IO) (LDO 预期通常处于禁用状态)、LDO 输出端的大容量电容器和去耦电容器 (用以支持瞬态负载电流)，以及 LDO 输出端的 0Ω 电阻器 (用于隔离 VPP 电源引脚，以便测试 LDO 输出电压值和时序)。

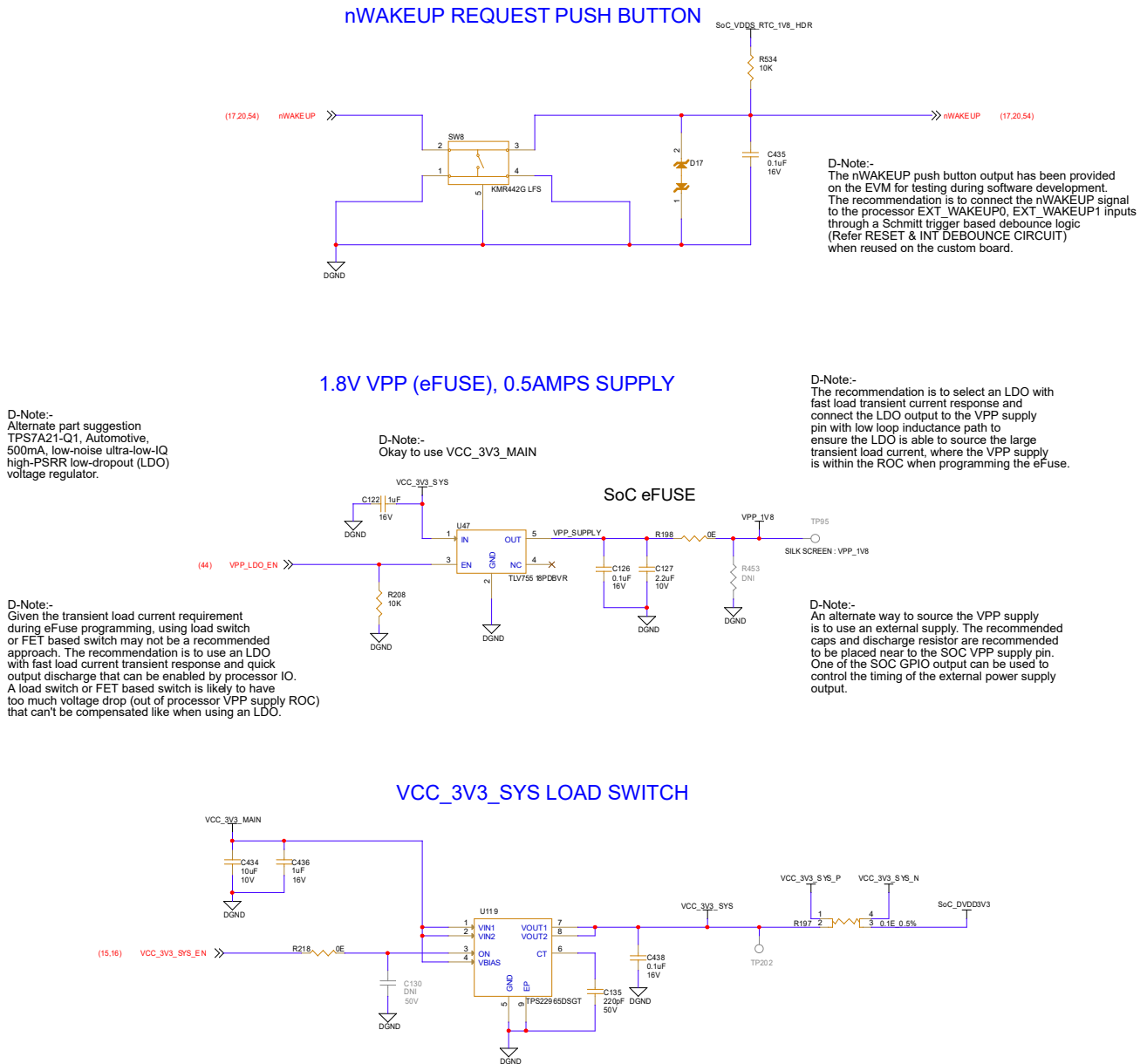


图 6-3. 电子保险丝 LDO 和 EN 控制

建议使用用于对处理器电子保险丝进行编程的 VPP (电子保险丝 ROM 编程) 电源由单独的 LDO 提供 (供电) 电源, 该 LDO 可支持所需的 (请参阅处理器特定数据表) 负载电流、负载电流瞬态和有源 (快速) 输出放电。建议仅在电子保险丝编程期间使能 LDO。在电子保险丝编程期间, VPP 工作电压必须在 ROC 范围内。建议采用通过更高输入电压 (2.5V 或 3.3V) 供电的 LDO, 通过串联导通晶体管补偿压降, 并且在高负载电流瞬态期间保持正确的工作电压。建议在处理器 VPP 引脚附近使用本地大容量电容器来支持 LDO 瞬态响应。

由于高负载电流瞬变以及 VPP 电源导轨要在处理器电压范围 ROC 内的要求, 使用负载开关或基于 FET 的开关从偏离 ROC 变化为 $\pm 5\%$ 的电源导轨为 VPP 电源导轨供电可能会出现。负载开关或基于 FET 的开关拓扑未考虑通过负载开关的压降。如果定制电路板设计人员使用变化较小 (相比 ROC) 的电源, 则可以选择负载开关, 以便确保电源变化加上通过负载开关的压降不会超过 VPP 的建议工作范围。另一种方法是, 可使用外部电源对电子保险丝进行编程。电源要求与板载 LDO 类似, 建议使用其中一个处理器 IO 对外部电源 EN (使能) 计时。使用外部 VPP 电源时, 建议在处理器板上靠近 VPP 电源引脚的位置配置大容量电容器和去耦电容器。

有关更多信息, 请参阅以下常见问题解答:

[\[常见问题解答\] AM625/AM623/AM620-Q1/AM625-Q1/AM625SIP: 定制电路板硬件设计 — 有关 VPP eFuse 编程电源选择和应用的问题](#)

常见问题解答是通用的, 也可用于 AM62Lx 处理器系列。

[AM625/AM623/AM625-Q1/AM620-Q1/AM62L/AM62A/AM62P/AM62D-Q1/AM64x/AM243x 定制电路板硬件设计 — 有关 VPP 电子保险丝编程电流波形的疑问](#)

6.1.1.3.1 VPP 电源检查清单

通用

检查并验证定制原理图设计的以下内容:

1. 已查看用户指南上文提及的“所有章节的通用检查清单”部分的内容
2. VPP 电源的实现方法 (LDO (推荐) 或基于负载开关/FET 的开关 (不允许))
3. OTP 电子保险丝编程过程中, 电源电压需在负载 (电流) 瞬态变化下处于建议工作条件范围内
4. 为连接至处理器的 VPP 电源预留隔离电路, 用于进行测试
5. 对 VPP 电源生成 LDO 输出进行控制 (LDO EN)
6. 建议使用的大容量电容器和滤波电容器, 以支持电流瞬态并优化放电时间
7. 使用外部电源作为 VPP 电源时的连接建议
8. 外部 VPP 电源时序控制
9. 外部 VPP 电源时序
10. 不建议、不允许也不支持将 VPP 电源连接至 1.8V 连续电源轨。

原理图审阅

定制原理图设计请遵循以下列表:

1. 提供建议的大容量电容器和滤波电容器 (按照 EVM 原理图实现)。
2. 连接到 VPP 电源的处理器电源轨 (用于电子保险丝编程) 遵循处理器 ROC。
3. 实现板载电源或提供连接外部电源与处理器板上添加的大容量电容器和去耦电容器的配置。
4. 建议使用固定输出 LDO 或 PMIC 输出 (最大电流为 400mA) (不建议或不允许使用基于 FET 的开关或负载开关)。
5. 选择额定电压为 1.8V 并支持最小 400mA 电流的板载 LDO, 具有良好的负载电流瞬态响应和快速输出放电 (有源放电) 能力。遵循 EVM 原理图中使用的 LDO 规格。
6. 使用可调 LDO 时, 建议验证输出电压配置、输出电压精度、输出电压的压摆率和输出过压保护 (齐纳二极管) 的使用。
7. 处理器 IO 用于控制 LDO 的 EN, 并提供建议的拉电阻。
8. 建议验证 EN 拉电阻是否会在断电加电循环期间和之后使 LDO 保持关断状态。

9. 连接外部电源后，建议在处理器板上靠近处理器 VPP 引脚处添加大容量电容器和去耦电容器配置，并提供一个 TP 以连接外部电源。
10. 外部 VPP 电源（使用时）应遵循根据处理器特定数据表建议的电源序列和压摆率要求。

其他

1. 建议始终在处理器板上提供配置来连接 VPP 电源（板载或外部电源）。
2. 建议将 LDO 输出连接到具有低环路电感路径的处理器 VPP 引脚，以提供高负载电流瞬态，其中 VPP 引脚处的电源绝不会降至最低工作电压以下。
3. 该器件配有一个用于将处理器 VPP 电源与 LDO 输出隔开，以便测试时序或 LDO 输出的串联电阻器或跳线。电阻器封装的额定电流应大于 400mA。
4. 使用可调输出 LDO 时，考虑在 LDO 输出端添加一个基于外部齐纳二极管的过压保护，并提供隔离 LDO 输出连接的 VPP 电源引脚以测试 LDO 输出的配置。
5. 由于电子保险丝编程期间的负载电流瞬态要求，不建议使用负载开关或基于 FET 的开关。负载开关或基于 FET 的开关可能有未补偿的较高压降。
6. 如果用例需要使用负载开关或基于 FET 的开关，建议在编程期间测量处理器 VPP 引脚上的电压来特征化电路板性能，并验证 VPP 电源是否不会降至低于 ROC 最小值。VPP 电源路径中的多个变量可能会导致电源超出 ROC，这些变量在实现前需要特征化。检查负载开关或基于 FET 的开关是否违反处理器特定数据表中规定的最大 VPP 电源压摆率要求。
7. 在上电序列、断电序列和器件正常运行期间，建议使处理器 VPP 电源引脚悬空 (Hi-Z) 或接地。

6.1.1.4 用于配置低功耗模式的电源连接

请参阅处理器产品页面上的 [AM62L 电源实现](#) 应用手册，了解针对不同应用场景和低功耗模式的 AM62L 电源架构实现的说明。

有关与 RTC 和低功耗模式实现相关的信息，请参阅以下常见问题解答：

[\[常见问题解答\] AM62L \(AM62L32、AM62L31 \) 设计建议/定制电路板硬件设计 - 与实时时钟 \(RTC\) 计时器模块 RTC，支持的低功耗模式和硬件实现，以及 EXT_WAKEUP0..1 输入相关的问题](#)

下方列出了该处理器系列支持的低功耗模式：

6.1.1.4.1 外部唤醒输入 (EXT_WAKEUP0 和 EXT_WAKEUP1)

EXT_WAKEUP0 和 EXT_WAKEUP1 信号是外部唤醒输入。

有关连接 EXT_WAKEUP0 和 EXT_WAKEUP1 输入的信息，请参阅处理器特定数据表的 [引脚连接要求](#) 一节。

6.1.1.4.2 仅 RTC 低功耗模式

[图 6-4](#) 包含用于产生 VDD_RTC 和 VDDS_RTC 的分立式 LDO，以支持仅 RTC 低功耗模式。提供了分流器 R505 和 R516，用于测量 RTC 低功耗模式下的电流或进行隔离。

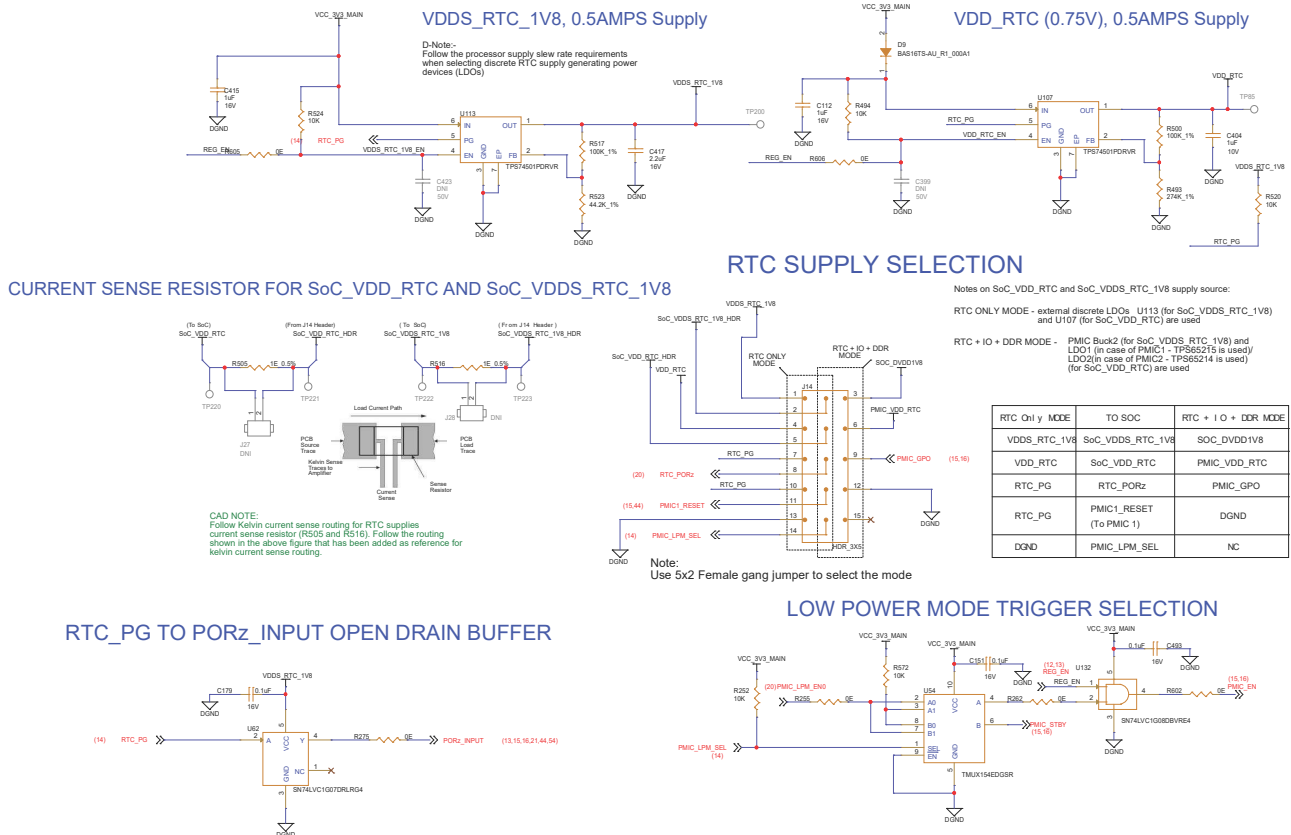


图 6-4. 仅 RTC 低功耗模式电源

请参阅 EVM 原理图，了解如何使用分立式电源实现仅 RTC 低模式电源架构。

请参阅处理器特定数据表中的电源序列图（仅 RTC 低功耗模式时序），了解如何实现仅 RTC 低功耗模式。

6.1.1.4.2.1 使用仅 RTC 模式

建议将常开电源连接到 VDDS_RTC (1.8V) 和 VDD_RTC (0.75V)。VDDS_RTC 和 VDD_RTC 需在 RTC_PORz 释放之前就绪、斜升并保持稳定。VDDS_RTC 与 VDD_RTC 之间没有电源时序要求。

AM62Lx 处理器唯一的严格排序要求是 VDD_RTC 应在 VDD_CORE 之前上电，并在 VDD_CORE 之后下电。

根据处理器特定数据表建议，需要将有效时钟源连接到 LFOSC0_XI 和 LFOSC0_XO (晶体) 或 LFOSC0_XI (LVCMOS)。

6.1.1.4.2.1.1 使用仅 RTC 模式时的 RTC_PORz 延迟

在 RTC_PORz 变为高电平之前，需确保 VDD_RTC 和 VDDS_RTC 电源轨有效。由于没有特定的延迟要求，因此可将电源 (VDD_RTC 和 VDDS_RTC) 的 PG (电源正常) 输出作为 RTC_PORz 输入连接。

6.1.1.4.2.1.2 仅 RTC 模式电源架构的 EVM 实施

VDD_RTC 应在 VDD_CORE 电源之前斜升并在 VDD_CORE 电源之后斜降。可在用于生成 VDD_RTC 的分立式 LDO 的输入端使用一个二极管。如果没有二极管，当出现不受控制的断电 (例如系统电源断电或与电路板断开连接) 时，VDD_RTC 电源导轨可能会与 VDD_CORE 同时下降或在其之前下降。

VDD_RTC 电源域消耗的功率不大，因此当通过二极管将 VDD_RTC 与输入电源隔离时，VDD_RTC LDO 上的输入电容器可以长时间维持 VDD_RTC 导轨的有效性。

6.1.1.4.2.2 未使用低功耗模式 (仅 RTC 或 RTC + IO + DDR)

对于不使用任何低功耗模式 (仅 RTC 或 RTC + IO + DDR) 的定制电路板设计, 可将 VDD_RTC 连接到与 VDD_CORE 连接的同一 0.75V 电源。可将 VDDS_RTC 连接到与 VDDS_OSC0 连接的同一 1.8V 电源。

可将 RTC_PORz 连接到与 PORz 连接的同一复位源。

6.1.1.4.2.2.1 不使用 RTC 模式时, 使用 32kHz LFOSC0 时钟

当没有使用任何低功耗模式 (RTC) 时, 低频振荡器为选用器件 (无需连接)。当不使用 LFOSC0 时, 请遵循处理器特定数据表中的连接建议。

6.1.1.4.2.3 仅 RTC 低功耗模式检查清单

通用

检查并验证定制原理图设计的以下内容:

1. 已查看用户指南上文提及的“所有章节的通用检查清单”部分的内容
2. 为 VDD_RTC 和 VDDS_RTC 连接常开型 (分立式、LDO) 电源
3. 将 VDD_RTC 和 VDDS_RTC 电源的组合 PG 输出连接到 RTC_PORz 输入
4. VDD_RTC 和 VDDS_RTC、电源压摆率
5. 在 RTC_PORz 输入附近添加 22pF 干扰滤波器
6. 连接到 RTC_PORz 输入的分立式 LDO PG 输出的压摆率
7. VDD_RTC 电源相对于 VDD_CORE 进行排序

原理图审阅

定制原理图设计请遵循以下列表:

1. 对 VDD_RTC 和 VDDS_RTC 使用常开型分立式 LDO 电源
2. 根据处理器特定的数据表, 电源输出在 ROC 范围内
3. VDD_RTC 电源在 VDD_CORE 之前斜升
4. VDD_RTC 和 VDDS_RTC 的电源转换率应遵循数据表规范
5. 将 VDD_RTC 和 VDDS_RTC 的分立式 LDO 的 PG 输出的连接在一起
6. 将分立式 LDO 的 PG 输出连接到 RTC_PORz 输入

其他

1. 请注意在分立式 LDO 输入端使用二极管对 VDD_RTC 电源进行排序

6.1.1.4.3 RTC + IO + DDR 自刷新低功耗模式

6.1.1.4.3.1 使用的 RTC + IO + DDR 低功耗模式

请参阅处理器特定数据表中的电源序列图 (RTC + IO + DDR 低功耗模式时序), 以了解如何实现 RTC + IO + DDR 低功耗模式。

在实现基于 TI PMIC 的电源架构时, NVM 配置和 PMIC 为 LPDDR4 或 DDR4 生成的电源轨会发生变化。

请参阅 EVM 原理图, 了解使用 PMIC 和分立式逻辑为 LPDDR4 实现 RTC + IO + DDR 功能的电源架构。

6.1.1.4.3.2 未使用低功耗模式 (仅 RTC 或 RTC + IO + DDR)

对于不使用任何低功耗模式 (仅 RTC 或 RTC + IO + DDR) 的定制电路板设计, 可将 VDD_RTC 连接到与 VDD_CORE 连接的同一 0.75V 电源。可将 VDDS_RTC 连接到与 VDDS_OSC0 连接的同一 1.8V 电源。

可将 RTC_PORz 连接到与 PORz 连接的同一复位源。

6.1.1.4.3.3 RTC + IO + DDR 自刷新低功耗模式检查清单

通用

检查并验证定制原理图设计的以下内容：

1. 已查看用户指南上文提及的“[所有章节的通用检查清单](#)”部分的内容
2. 根据使用 LPDDR4 还是 DDR4 存储器选择 PMIC 版本 (OPN)
3. VDD_RTC 和 VDDS_RTC 电源的连接 (根据所选 PMIC 版本 (OPN)，使用 PMIC 输出、分立式 LDO 或直流/直流转换器)
4. 将 PMIC 的电源正常输出 (用于 RTC_PORz 的 IO 取决于 PMIC 版本 (OPN)) 连接到处理器的 PORz、RTC_PORz
5. 将处理器 PMIC_LPM_EN0 信号连接到 PMIC
6. 分立式 LDO PG 输出压摆率遵循处理器压摆率要求

原理图审阅

定制原理图设计请遵循以下列表：

1. 根据 PMIC 版本将分立式 LDO 用于 VDD_RTC 和 VDDS_RTC
2. 使用分立式 LDO 时，VDD_RTC 和 VDDS_RTC 电源转换率应遵循数据表要求
3. 将用于 VDD_RTC 和 VDDS_RTC 的分立式 LDO PG 输出连接在一起
4. 从 PMIC 输出或分立式 LDO PG 输出连接到 RTC_PORz 输入
5. 分立式 LDO PG 输出压摆率遵循处理器特定要求
6. 供电输出应符合处理器特定数据表中的 ROC
7. VDD_RTC 电源在 VDD_CORE 之前斜升
8. 将处理器 PMIC_LPM_EN0 连接到 PMIC STBY 输入

6.1.1.4.4 深度睡眠和待机

使用软件实现。如需获取可用的应用手册，请参阅处理器特定 TRM 或 TI.com 上的处理器特定 ([AM62L](#)) 产品页面。

6.1.1.5 其他信息

对于初始电路板构建，建议放置与内核电源及其他电源导轨一致的 $0\ \Omega$ 电阻 (分流器) 或跳线。在电路板启动和调试期间隔离电源或测量电流，可使用 $0\ \Omega$ 电阻器 (分流器) 或跳线。建议添加 TP 进行测量。建议遵循开尔文电流检测连接，将 TP 连接到电阻器或跳线。

通过开尔文检测连接来连接到 INA (仪表放大器) 的分流电阻器用于测量 EVM 中的电源导轨电流。

建议验证添加 $0\ \Omega$ 电阻器 (分流) 配置对定制电路板性能的影响 (测量时使用以毫欧 (m Ω) 为单位的分流器 (电阻器) 值的压降)。

6.1.2 电源轨的电容器

6.1.2.1 AM62Lx 处理器系列

建议确保已为包括双电压和固定电压 IO 组电源轨 IO 电源在内的所有电源轨提供所需数量的去耦电容器和大容量电容器 (包括值)。

建议将去耦电容器靠近处理器电源引脚放置。较大的大容量电容器可以放置在更远的位置。

建议使用低 ESL 电容器，并建议在连接电容器时尽可能缩短布线以将环路电感保持最低。更多信息，请参阅 [Sitara 处理器配电网络：实现与分析](#) 应用手册。

作为起点，建议遵循大容量电容器和去耦电容器的 EVM 原理图实现。建议执行仿真 (PDN 分析) 以优化电容器的使用。要实现滤波 (铁氧体) 电源，请遵循处理器特定 EVM。另外，遵循 [Sitara 处理器配电网络：实现与分析](#) 应用手册。

6.1.2.2 其他信息

若未使用任何处理器外设实例 (DDR 子系统 (DDRSS0)、DSIO 和 USB2.0 (USB0 和 USB1))，与这些外设相关的电源 (外设内核、模拟) 有特定的连接要求。有关更多信息，请参阅处理器特定数据表的 *引脚连接要求* 一节。电源滤波器 (铁氧体) 和电容器 (大容量) 可选。

6.1.2.3 电源轨电容器检查清单

通用

检查并验证定制原理图设计的以下内容：

1. 已查看用户指南上文提及的“[所有章节的通用检查清单](#)”部分的内容
2. 添加所需数量的大容量电容器和去耦 (高频) 电容器以及铁氧体滤波器
3. 所使用的电容器封装和容值
4. 所用电容器的额定电压，已考虑降额因素 (常用准则是最坏情况下施加电压的两倍以上)

原理图审阅

定制原理图设计请遵循以下列表：

1. 所有处理器电源轨都使用大容量和高频去耦电容器。需要重点关注的关键电源域是低电压、高电流域 (VDD_CORE)。
2. 作为起点，建议遵循经过验证的 EVM 或 PDN 应用手册。当 EVM 和 PDN 之间存在差异时，建议遵循 PDN。当 PDN 中没有可用的信息时，请遵循 EVM 实现。
3. 建议使用通过短走线连接的低 ESL 电容器，从而最大限度地减小 PCB 走线环路电感。
4. 建议验证每个电源轨引脚都有一个去耦电容器，且每个电源轨组都有一个大容量电容器。
5. 所用电容器的额定电压 (常用准则是最坏情况下施加电压的两倍以上)。

其他

1. 如果 EVM 和 PDN 应用手册之间在电容器编号建议和值方面存在差异，建遵循 PDN 应用手册中的建议
2. 优化电容器时，建议执行静态和动态 PDN 分析以验证是否满足 R_{eff} 、Cap LL 和阻抗目标
3. 由于低电感封装，EVM 在某些情况下使用 3 端电容器。确保 3 端电容器未作为直列式或滤波器元件实现
4. 建议显示电容器靠近相关引脚的连接，以便于放置和布线

6.1.3 处理器时钟 (输入/输出)

6.1.3.1 时钟输入

6.1.3.1.1 WKUP_OSC0 (高频率) 时钟 (内部振荡器) 或 LVCMOS 数字时钟 (外部振荡器)

[图 6-5](#) 包含 WKUP_OSC0 时钟选项，包括晶体和内部振荡器及 LVCMOS 外部振荡器。U15 是外部振荡器 (低抖动、高性能 BAW 振荡器)，U16 是 LVCMOS 时钟缓冲器 (单输入、3 输出)，时钟缓冲器的输出连接到处理器和两个 EPHY。将外部时钟输入用作时钟选项 (当前已实现) 时，会安装外部振荡器和低抖动缓冲器。

设计 (原理图) 中包含晶体的负载电容器和晶体，但未安装。可根据用例将时钟源重新配置为使用晶体。

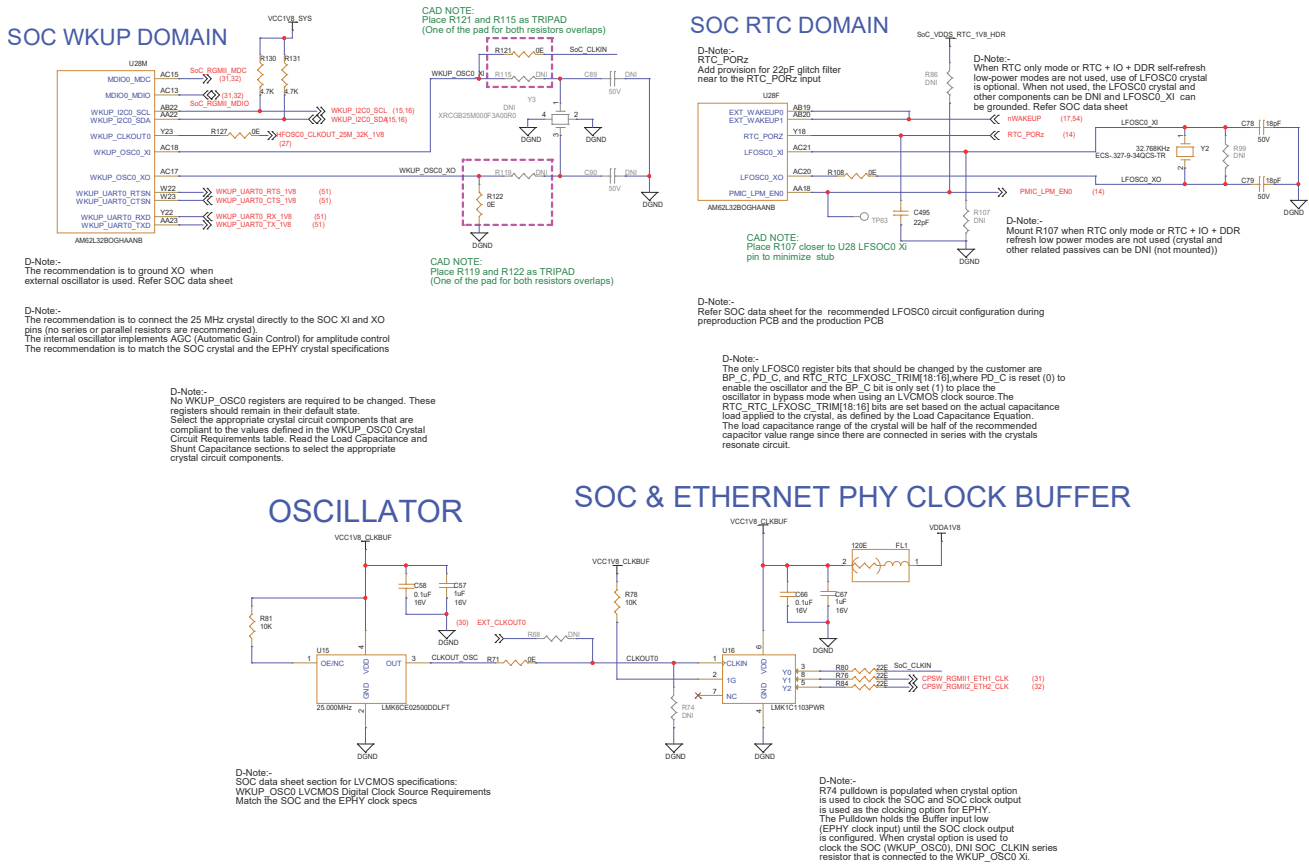


图 6-5. WKUP_OSC0 时钟连接

处理器需要 WKUP_OSC0 25MHz (强制) 基准时钟才能工作。该时钟在内部用于生成处理器工作所需的多个时钟。其他时钟输入取决于特定的终端设备或实现的电路板功能。支持的时钟选项包括外部晶体 + 内部振荡器或外部 1.8V LVC MOS 方波数字时钟源。展频时钟 (时钟输入) 不是受支持的时钟选项。

如果连接到内部高频振荡器 (WKUP_HFOSC0) 的 25MHz 外部晶体是用于内部处理器工作的时钟源, 建议将用于实现振荡器电路的分立式负载电容器放置在靠近 WKUP_OSC0_XI 和 WKUP_OSC0_XO 引脚的位置。当实现基于晶体的振荡器时, 建议在选择负载电容器时, 遵循处理器特定数据表的 WKUP_OSC0 晶体电路要求表。负载电容器电容值包括 PCB 电容。有关晶体和负载电容器的放置和布线, 建议参阅处理器特定数据表的时钟布线指南、振荡器布线一节。

1.8V LVC MOS 时钟源可用作处理器时钟源。当外部振荡器的时钟输出 (通过串联电阻器) 连接到 XI 输入时, 建议根据处理器特定数据表中的建议将 XO 接地。(处理器特定数据表中的图 1.8V LVC MOS 兼容时钟输入) 中所示的逆变器旨在表示 LVC MOS 输出, 其中 LVC MOS 输出可以是振荡器输出缓冲器或某些时钟分配器件的 LVC MOS 输出。无需对时钟源进行反相。

有关 WKUP_OSC0 LVC MOS 数字时钟源要求, 请参阅处理器特定数据表。有关 LVC MOS 时钟源的更多信息, 包括时钟源要求, 请参阅以下常见问题解答:

[常见问题解答] AM625/AM623/AM620-Q1/AM625-Q1/AM625SIP/AM62A7/AM62A3/AM62A1-Q1/AM62D-Q1/AM62P/AM62P-Q1/AM62L 定制电路板硬件设计-有关 MCU_OSC0 (WKUP_OSC) 或 WKUP_LFOSC0 (LFOSC0) 的 LVC MOS 数字时钟源的疑问

在 XI 和 XO 信号路径上都实现了内部 AC 耦合电容器, 这些路径连接到形成方波的内部比较器。XI 引脚上相对于 XO 引脚的直流稳态条件允许比较器在器件的内部时钟树上产生干扰, 从而导致时钟电路执行不可预测的操作。不建议也不允许将 DC 引脚连接到 XI。

有关时钟选择和时钟规范的信息, 请参阅以下常见问题解答:

[常见问题解答] AM625/AM623/AM620-Q1/AM625-Q1/AM625SIP/AM62A7/AM62A3/AM62A1-Q1/AM62D-Q1/AM62P/AM62P-Q1/AM62L 定制电路板硬件设计 - 有关晶体选型和时钟规格的问题

有关晶体启动时间的信息，请参阅以下常见问题解答：

[常见问题解答] AM625/AM623/AM620-Q1/AM625-Q1/AM625SIP/AM62L 定制电路板硬件设计 - 有关晶体 (MCU_OSC0 (WKUP_OSC0)) 启动时间的疑问

备注

AM62x 的 MCU_OSC0 (高频振荡器) 为 AM62Lx 的 WKUP_OSC0。

备注

25MHz 是当前唯一支持的晶体频率。有关支持的晶体频率和建议晶体参数的信息，请参阅处理器特定数据表。

处理器特定数据表包含选择 25MHz 晶体的规范和 *WKUP_OSC0 LVCMOS 数字时钟源要求*。

使用外部时钟 (LVCMOS) 振荡器作为处理器和 EPHY 的时钟源时，可以使用单个振荡器，也可以使用分离的 (单独的) 振荡器。如果使用单个振荡器，建议在连接到处理器和 EPHY 之前对时钟输出进行缓冲。

处理器和 EPHY 的单输出缓冲器 (个别 IC) 或具有处理器和 EPHY 的单输入的双路或多路输出缓冲器 (单个 IC) 可用于将振荡器的时钟输出连接到处理器和 EPHY。

对于特定用例 (使用时间敏感网络 (TSN) 的某些工业应用的要求)，建议将具有单输入的两个或更多输出 (根据所使用的 EPHY 数量) 缓冲器用于处理器和 EPHY。

6.1.3.1.2 LFOSC0 (低频率) 时钟 (内部振荡器) 或 LVCMOS 数字时钟 (外部振荡器)

图 6-6 包含用于 LFOSC0 (32.768kHz) 时钟源的晶体、负载电容器、串联电阻器和并联电阻器。根据处理器特定数据表相关要求，在不使用时提供了使用 0Ω 电阻器将 Xi 接地的配置，以配置 LFOSC0。

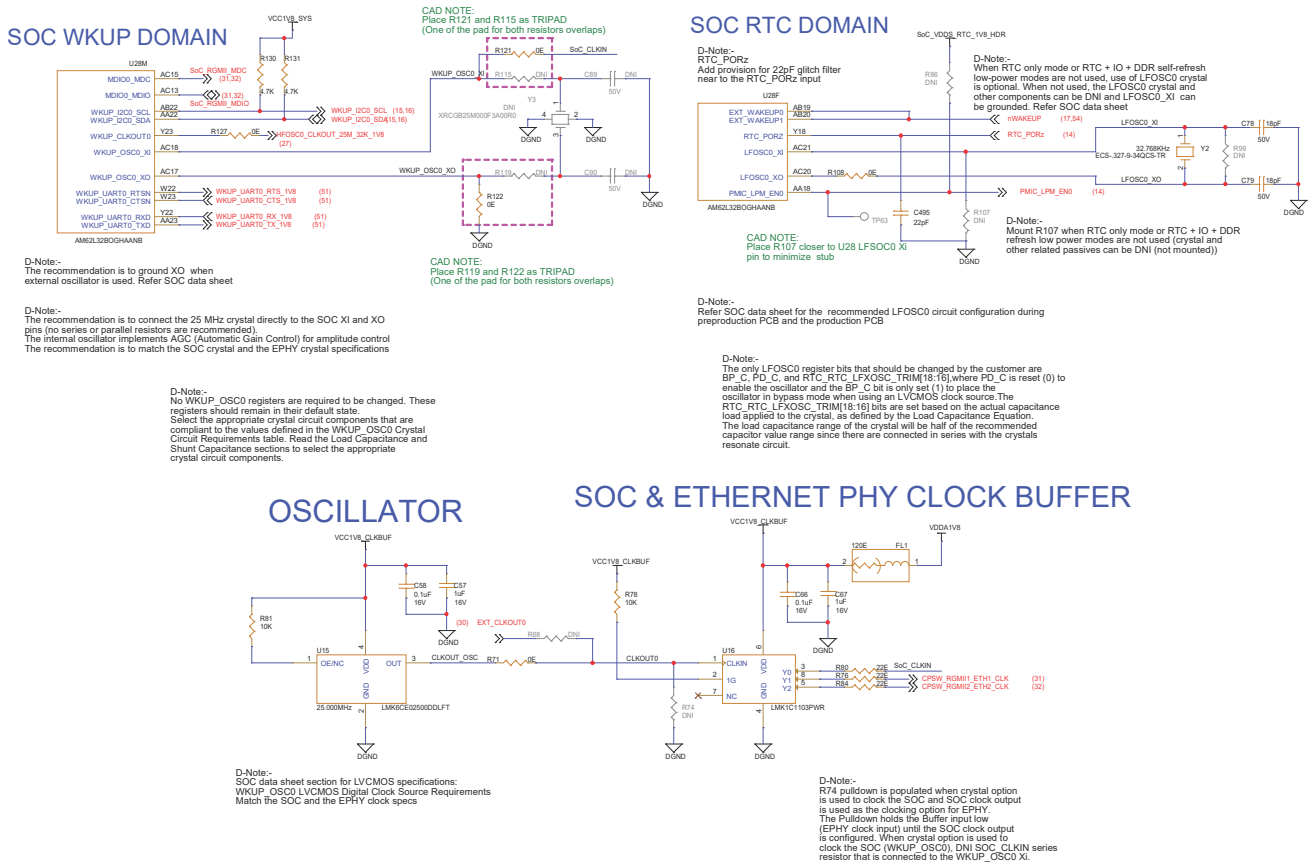


图 6-6. LFOSC0 时钟连接

该处理器系列支持低频率 (32.768kHz) LFOSC0。根据用例，32.768kHz 外部晶体 + 内部振荡器可用作时钟源，也可以使用外部 1.8V LVC MOS 方波数字时钟源。

LFOSC0 有特定用例 (仅 RTC 模式或 RTC + IO + DDR 低功耗模式)，并且可根据定制电路板设计实现选择是否使用。如果未使用 LFOSC0，建议将 LFOSC0_XI 直接连接到 VSS，并使 LFOSC0_XO 保持未连接状态。有关连接未使用的 LFOSC0 的更多信息，请参阅处理器特定数据表的“未使用 LFOSC0”一节。

有关更多信息，请参阅以下常见问题解答：

[常见问题解答] AM62L (AM62L32、AM62L31)：定制电路板硬件设计 - LFOSC 在处理器中的使用情况

[常见问题解答] AM625/AM623/AM620-Q1/AM625-Q1/AM625SIP/AM62A7/AM62A3/AM62A1-Q1/AM62D-Q1/AM62P/AM62P-Q1/AM62L 定制电路板硬件设计-有关 MCU_ OSC0 (WKUP_ OSC) 或 WKUP_ LFOSC0 (LFOSC0) 的 LVC MOS 数字时钟源的疑问

建议将用于实现外部晶体振荡器的分立式元件靠近 LFOSC0_XI 和 LFOSC0_XO 引脚放置。对于晶振，建议所选的负载电容处于处理器特定数据表的 LFOSC0 晶振电气特性表中指定的范围内。无需将 PCB 电容与负载电容相加。

处理器特定数据表中的 LFOSC0 晶体实现图显示了建议的晶体电路。TI 建议预量产印刷电路板 (PCB) 设计包含两个可选电阻器 Rbias 和 Rd，因为在与量产晶体电路元件结合使用时，需要使用这些电阻器来确保振荡器正常运行。在许多用例中，DNI 或删除 Rbias 以及 Rd 是 0Ω 电阻器。在使用安装在预量产 PCB 上的量产晶体电路元件评估振荡器性能后，可以从量产 PCB 设计中移除这些电阻器选项。

备注

AM62x 的 WKUP_ LFOSC0 (低频 (32.768kHz) 振荡器) 对应于 AM62Lx 中的 LFOSC0。

6.1.3.1.3 EXT_REFCLK1 (MAIN 域的外部时钟输入)

EXT_REFCLK1 输入通过布线连接至时钟多路复用器，作为计时器模块 (DMTIMER/WDT)、安全子系统 DMTIMER (SMS)、MCAN 和 CPTS (时间戳模块) 的可选时钟源。EXT_REFCLK1 适用于终端设备/应用需要将特定频率时钟信号送到计时器模块的情况。一个示例应用是时间同步。当 EXT_REFCLK1 用作时钟源时，根据外部时钟的可用性，建议在处理器时钟输入引脚附近连接一个下拉电阻器 (10k Ω)。

6.1.3.1.4 时钟输入检查清单 - WKUP_OSC0

通用

检查并验证定制原理图设计的以下内容：

1. 已查看用户指南上文提及的“所有章节的通用检查清单”部分的内容
2. 处理器时钟输入源的配置，晶体和内部振荡器/外部振荡器 (在电路板上任选一种方案以优化布局和布线)
3. 根据处理器特定数据表选择晶体频率 (25MHz) 和晶体负载
4. 选择 WKUP_OSC0 外部晶体负载电容器 (包含约 4pF 的 PCB 电容)
5. 使用晶体和内部振荡器/外部振荡器时的处理器时钟引脚连接建议
6. 外部振荡器输出连接到 XI 时 XO 的连接
7. 外部振荡器电源引脚的大容量电容器和去耦电容器连接，以及振荡器 EN 引脚的连接

原理图审阅

定制原理图设计请遵循以下列表：

1. 必须连接 25MHz WKUP_OSC0 时钟。
2. 根据数据表要求选择外部晶体或外部时钟振荡器。
3. 验证所选的晶体、晶体频率和晶体负载电容器是否遵循处理器特定数据表的建议。
4. 25MHz 是当前支持的时钟输入频率。有关支持的时钟输入频率，请参阅处理器特定数据表。
5. 晶体 (不使用串联或并联电阻器) 直接连接和晶体负载电容电路 (WKUP_OSC0) 连接符合处理器特定数据表。
6. 建议外部晶体负载电容器是晶体负载的两倍，包括 PCB 电容 (~4pF)。
7. 建议选择晶体负载值，以便可为负载电容器选择标准值电容器。
8. 建议将 HFOSC0 寄存器保留为默认状态。
9. 使用外部振荡器时，建议在振荡器电源引脚附近添加去耦电容器和大容量电容器，并在时钟输出引脚处添加串联电阻器。
10. 当外部振荡器 (LVCMOS 时钟) 输出与 XI 相连时，建议将 XO 连接到 VSS。
11. 在靠近振荡器的时钟输出引脚处添加串联电阻器 (22 Ω)。

其他

1. 有关时钟布线指南，请参阅处理器特定数据表的应用、实现和布局部分。
2. 建议将 25MHz (性能仅在 25MHz 频率下经过验证) 晶体直接连接到处理器 XI 和 XO 引脚，不建议使用串联或并联电阻器。内部振荡器实现自动增益控制 (AGC) 以进行振幅控制。
3. 处理器特定数据表显示，WKUP_OSC0 不会在内核电压斜坡之前启动，因为在某些情况下，振荡器可能不会启动，直到 VDD_CORE 斜坡。在大多数使用情况下，振荡器在 VDD_OSC0 电源斜坡时启动 (尽管振荡器在 VDD_OSC0 斜坡时启动并不总是如此)。处理器特定数据表中的振荡器启动图显示了最大启动时间，其中包括基于 VDD_CORE 有效的延迟情况。
4. WKUP_OSC0_XI 上不允许出现直流稳态情况，因为 WKUP_OSC0_XI 在内部交流耦合到可能进入未知状态的比较器。
5. 为 WKUP_OSC0_XI 输入提供时钟源的 LVCMOS 时钟需要具有单调转换，并应通过放在时钟源附近的串联电阻器以点对点连接方式连接到 WKUP_OSC0_XI。串联端接电阻值应使时钟源输出阻抗与传输线路阻抗相匹配。例如，当时钟源具有 30 Ω 输出阻抗且 PCB 信号走线具有 50 Ω 特征阻抗时，使用 20 Ω 。串联电阻可以完全吸收从未端接传输线路的远端返回的反射，从而避免引入任何非单调事件。

6. 建议尽量缩短将外部时钟源连接到 WKUP_OSC0_XI 的 PCB 走线长度。较短的走线长度可以更大限度地降低外部噪声源耦合到时钟信号中的可能性。减小容性负载可优化时钟信号的上升/下降时间，从而降低引入抖动（到时钟源或定制电路板）的可能性。
7. 建议向晶体供应商或制造商确认晶体选型。

6.1.3.1.5 时钟输入检查清单 - LFOSC0

通用

检查并验证定制原理图设计的以下内容：

1. 已查看用户指南上文提及的“[所有章节的通用检查清单](#)”部分的内容
2. 选择 LFOSC0 时钟源 — 外部晶振+内部振荡器或外部振荡器。（在电路板上任选一种方案以优化布局和布线）
3. 选择 LFOSC0 外部晶体频率
4. 选择晶体负载电容器及其容值
5. 连接串联和并联电阻以实现基于晶体的振荡器电路
6. 将串联和并联电阻连接到晶振电路。
7. 选择外部振荡器以及连接电容器和串联电阻
8. 外部振荡器输出连接到 XI 时 XO 的连接
9. 未使用 LFOSC0 (XI 接地, XO 悬空) 时 XI 引脚的连接
10. 外部振荡器电源引脚的大容量电容器和去耦电容器连接，以及振荡器 EN 引脚的连接

原理图审阅

定制原理图设计请遵循以下内容：

1. 支持的 LFOSC0 时钟输入频率为 32.768kHz。
2. 时钟电路 (LFOSC0) 的连接，按照处理器特定数据表建议进行。
3. 晶振负载和负载电容器值的选择（遵循处理器特定数据表），负载电容为晶振负载的 2 倍（不包括 PCB 电容）。
4. 使用外部振荡器时，建议在振荡器电源引脚附近添加去耦电容器和大容量电容器，并在时钟输出引脚处添加串联电阻器。
5. 使用外部振荡器 (XO 接地) 时 XO 的连接。
6. 未使用 LFOSC0 (XI 接地, XO 保持悬空) 时 XI 输入的连接。
7. 根据处理器特定数据表要求，连接初始原型（预量产）和量产电路板（可移除）的串联和并联电阻器。

其他

1. 晶体负载电容与 LFOSC0 寄存器。定制电路板设计人员更改的唯一 LFOSC0 寄存器位是 BP_C、PD_C 和 CTRLMMR_WKUP_LFXOSC_TRIM[18:16]，其中 PD_C 复位 (0) 以启用振荡器，并且仅设置 (1) BP_C 位以在使用 LVCMOS 时钟源时将振荡器置于旁路模式。CTRLMMR_WKUP_LFXOSC_TRIM[18:16] 位是根据施加到晶体上的实际电容负载设置的，由 *负载电容公式* 定义。
2. 有关预量产 PCB 和量产 PCB 期间的建议电路配置（无源），请参阅处理器特定数据表。
3. LFOSC0 的用例有限，建议在不使用时钟选项时，提供将 XI 输入接地的配置。

6.1.3.2 时钟输出

名为 CLKOUT0 和 WKUP_CLKOUT0 的处理器 IO（引脚）可配置为时钟输出。时钟输出可以用作所连接器件（外部外设 - 例如：EPHY）的时钟源。

对于 AM62L 处理器系列，WKUP_CLKOUT0 在复位后会被驱动为低电平。

建议将时钟作为点对点连接进行连接。当 CLKOUT0 和 WKUP_CLKOUT0 用于为多个附加器件供电时，建议对其进行缓冲。

处理器特定数据表中未定义 CLKOUT0 和 WKUP_CLKOUT0 时钟输出性能，因为有许多可能会影响时钟性能的电路板或终端设备特定依赖项。建议检查实际电路板的性能（时钟输出满足电路板或终端设备特定要求）。

6.1.3.2.1 时钟输出检查清单

通用

检查并验证定制原理图设计的以下内容：

1. 已查看用户指南上文提及的“[所有章节的通用检查清单](#)”部分的内容
2. CLKOUT0 和 WKUP_CLKOUT0 时钟输出的配置
3. 将时钟输出连接到单个或多个负载（连接器件）
4. 在时钟输出引脚附近提供串联电阻，并在连接器件附近提供下拉电阻

原理图审阅

定制原理图设计请遵循以下列表：

1. WKUP_CLKOUT0 可配置为 XO 的缓冲输出。添加 TP 进行测试。
2. 提供串联电阻 0Ω 配置以控制可能的信号反射。
3. 将时钟输出连接到单个或多个负载。当连接到多个负载（输入）时，建议将每个所连接器件的输入都连接到一个缓冲的输出。
4. 在所连接器件时钟输入附近提供可悬空的拉电阻（以防止所连接器件输入悬空，直到主机软件配置时钟输出）。

其他

1. EXT_REFCLK1 可以配置为 CLKOUT0。建议点对点连接时钟信号，不使用任何分支。将 CLKOUT0 连接到多个时钟输入时，建议使用缓冲器（具有一个输入和多个输出或单独的缓冲器（基于应用用例））。
2. 处理器特定数据表中未定义 CLKOUT0 和 WKUP_CLKOUT0 时钟输出性能，因为有许多可能会影响时钟性能的电路板或终端设备特定依赖项。

6.1.4 处理器复位

[图 6-7](#) 包含使用推挽输出型“与运算”逻辑 (U53) 产生的 PORz（冷复位输入），以及在 PORz_Input 引脚附近添加的下拉电阻器和干扰滤波器。已添加使用去抖逻辑 (U130) 连接到处理器的按钮（热复位或冷复位）手动复位处理器的配置。

SOC RESET

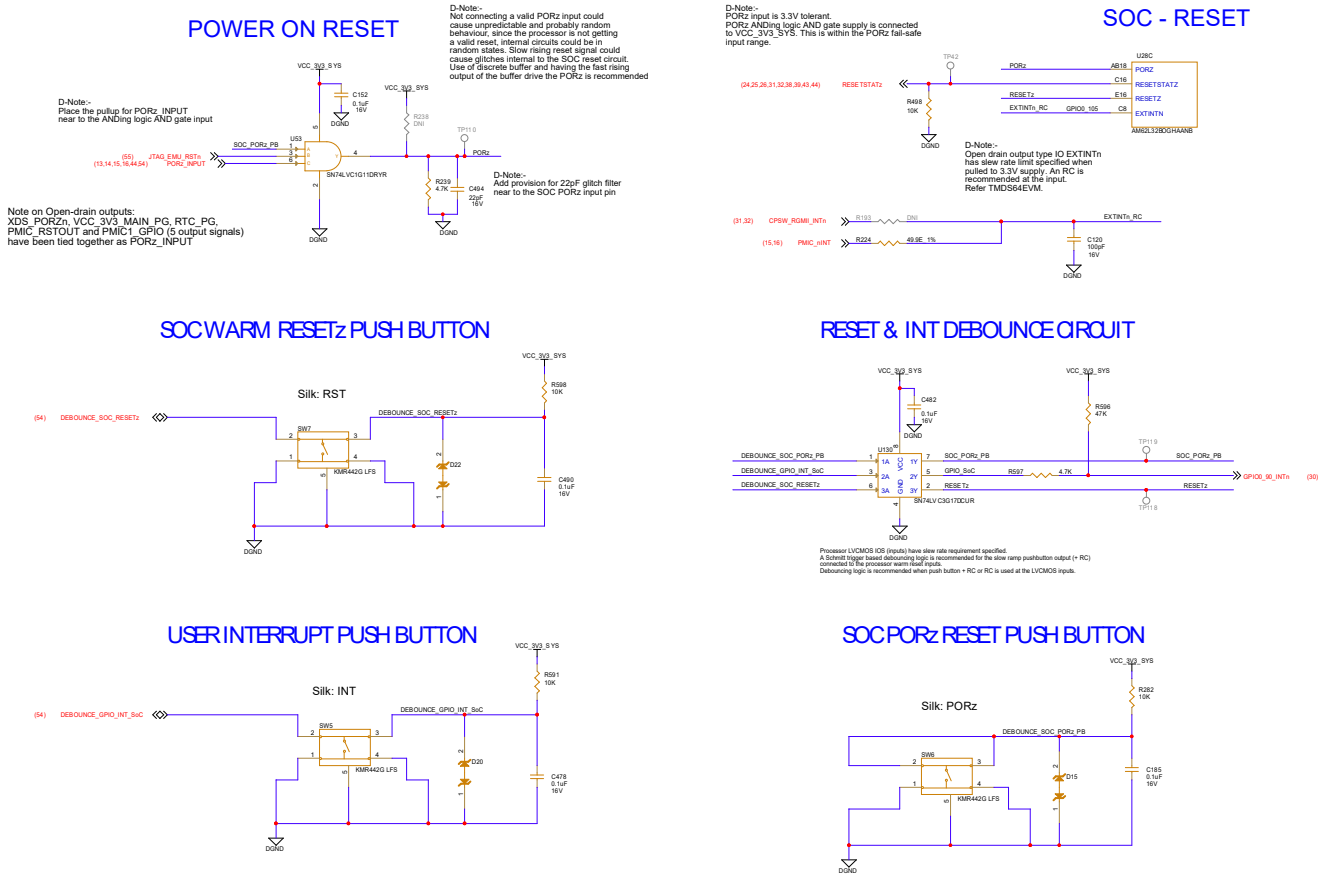


图 6-7. SOC_Cold_Warm_RESET_Debounce_Logic

请参阅以下常见问题解答：

[常见问题解答] AM62L (AM62L32、AM62L31) 设计建议/定制电路板硬件设计 - 处理器复位输入、复位状态输出和连接建议

6.1.4.1 外部复位输入

PORz 是处理器的外部 WKUP 域冷复位输入。建议在电源斜升和振荡器启动期间将 PORz 拉至低电平。请遵循处理器特定数据表的上电时序图中建议的 PORz 时序。

对于 PORz (3.3V 容差、失效防护输入)，可以施加 3.3V 输入。输入阈值是 1.8V IO 电源电压 (VDD5_OSC0) 的函数。

使用基于 PMIC 的电源架构时，建议通过推挽输出型逻辑门或分立式缓冲器 (具有快速上升时间) 将 PMIC 的开漏输出型复位信号 (nRSTOUT0) 连接到处理器作为 PORz 输入 (而不是连接可能干扰内部复位电路的缓慢上升开漏输出)。如果直接使用 (连接) nRSTOUT0，建议调整上拉电阻器以尽可能缩短转换时间 (<100ns)。

建议始终将有效输入连接到 PORz。不允许不将有效输入连接到 PORz 输入的情况。如果未连接 PORz 输入，则处理器在上电期间可能无法完成复位序列，并可能导致不可预测或随机的行为。在处理器内部电路没有进行有效复位时，内部电路可能处于随机 () 状态。

建议提供配置在 PORz 输入端连接 22pF (干扰) 滤波器。

电容器值和安装电容器取决于用例。建议选择的电容器值应确保所使用的电容器不会导致 LVCMOS 输入违反转换率要求或在内部导致复位出现干扰。

热复位输入 (RESETz、LVCMOS IO) 指定了输入压摆率要求。不建议直接在输入端连接电容器 (慢速斜升)。建议使用基于施密特触发的去抖逻辑 (电路)。有关实现去抖逻辑的信息，请遵循处理器特定 EVM 原理图。连接按钮以控制 RESETz 热复位输入时，建议添加外部 ESD 保护配置。

请参阅以下常见问题解答：

[\[常见问题解答\] AM62L \(AM62L32、AM62L31 \)：定制电路板硬件设计 - PORz 和 RTC_PORz 转换率](#)

6.1.4.2 复位状态输出

RESETSTATz 是 MAIN 域热复位状态输出。当复位状态输出 RESETSTATz 用于驱动所连接器件的复位输入 (/reset) 时，建议为复位状态输出采用下拉电阻器 (10k Ω)，以便在上电与复位期间将所连接器件置为有效 (使所连接器件保持复位状态)。

备注

在所连接器件均不具有内部上拉电阻器的使用情况下，连接在复位状态输出的输出端的外部下拉电阻器会将所连接器件复位输入保持为低电平。如果任何所连接器件使能了内部上拉电阻器，则复位信号会被拉至 1/2 Vs。建议在连接复位状态输出之前验证具体用例。

MAIN 域热复位状态输出 RESETSTATz 可用于复位支持外部复位输入功能 (eMMC、OSPI 或 EPHY) 的板载存储器件或外设，或复位 SD 卡电源开关 EN。RESETSTATz 可用于在复位期间锁存硬件搭接配置 (示例：锁存以太网 PHY 搭接配置或引导模式配置)。

如果不使用复位状态输出，建议将复位状态输出连接到测试点以进行测试或未来增强。可选择提供一个下拉电阻器 (10k Ω)，并且在使用时可以安装。

6.1.4.3 其他信息

建议将用于配置处理器引导模式的 BOOTMODE[15:00] 输入 (取决于所使用的 *引导模式引脚映射选项*) 保持在已知状态，以便选择处理器特定 TRM 中定义的合适引导模式配置，直至 RESETSTATz 的上升沿期间锁存引导模式配置。

6.1.4.4 处理器复位输入检查清单

通用

检查并验证定制原理图设计的以下内容：

1. 已查看用户指南上文中的“[所有章节的通用检查清单](#)”章节。
2. 复位输入 (冷复位和热复位) 的连接
3. PORz 输入连接以及所有处理器电源完成斜坡变化 (斜升和斜降) 后的 L->H 延迟
4. 处理器电源斜降后的 PORz H->L 延迟 (电源斜降前为低电平)
5. PORz 输入 IO 电平和失效防护功能
6. 复位 (冷复位、热复位) 输入遵循处理器特定数据表中的压摆率要求 (失效防护复位 (FS RESET) 电气特性)
7. 在 PORz 的输入端添加下拉电阻器和干扰滤波器
8. 处理器电源斜升期间的 PORz 输入状态
9. 当来自 PMIC、分立式 DC/DC 或分立式 LDO 的开漏输出型复位信号 (nRSTOUT0) 作为 PORz 输入连接时的 PORz 输入压摆率
10. 将外部输入连接到热复位输入 RESETz (IO 电平)
11. 连接按钮输入时的 RESETz 压摆率
12. 在 RESETz 的输入端添加干扰滤波器
13. 不使用时的热复位输入连接

原理图审阅

定制原理图设计请遵循以下列表：

1. 在所有电源斜升及时钟启动所需延迟后变为高电平的有效输入
2. 在电源斜升或斜降期间，PORz 输入保持低电平。
3. 根据处理器特定数据表中的要求提供所有处理器电源斜升后，PORz 输入置为无效保持时间（最小值为 9.5ms (950000ns)）。
4. 考虑了冷复位和热复位输入的压摆率要求，并添加了所需的推挽输出型分立式缓冲器。较慢的压摆率可能会在内部干扰复位。
5. 来自 PMIC、分立式 DC/DC 或分立式 LDO 漏极开路输出类型复位信号 (nRSTOUT0) 直接连接到复位输入时的转换率。转换率越低越好 (<100ns)。建议通过快速上升时间分立式推挽输出型缓冲器连接复位输入。
6. PORz 输入可耐受 3.3V 电压且具有失效防护功能。阈值遵循 1.8V IO 电平 (VDDS_OSC0)
7. 在 PORz 复位输入端配置一个 10kΩ 的下拉电阻器和一个干扰滤波器（电容器）（添加 22pF（占位值）电容器配置）
8. 热复位输入 RESETz 的 IO 电平遵循 VDDSHV1 电源（固定 1.8V 或 3.3V）
9. 通过去抖逻辑（施密特触发缓冲器输出）连接用于热复位输入的按钮。
10. 当不根据引脚连接要求使用时，建议连接热复位输入（建议使用一个上拉电阻器）

其他

1. PORz 输入已使能内部迟滞特性，并且指定了压摆率要求。将 PMIC_POWERGOOD（开漏输出型信号）连接到 PORz 输入是唯一可用的选项时，请调整上拉电阻器以优化上升时间 (< 100ns)。
2. 仅当断电期间所有电源电压斜降到 300mV 以下之后，处理器才需要重新启动（释放复位）（没有与该斜降要求相关的时间或容差规定。在允许任何电源导轨斜升前，建议使每个电源导轨降至 300mV 以下）。
3. 未连接有效的 PORz 输入会导致不可预测的随机行为，因为处理器未获得有效复位输入，且内部电路处于随机状态。慢速斜升复位输入会导致内部处理器复位电路出现干扰。
4. LVC MOS RESETz 输入指定了压摆率要求。建议为连接到处理器热复位输入 RESETz 的慢速斜坡按钮输出信号使用基于施密特触发的去抖逻辑（电路）。建议在使用 RC 作为复位输入时，使用基于施密特触发的去抖逻辑（电路）。
5. 建议在复位信号附近为手动（按钮）复位输入添加外部 ESD 保护配置。
6. 连接到外部复位输入（用于热复位）时的失效防护运行情况。在处理器电源斜升之前施加外部输入会导致馈电并影响电路板性能。
7. 考虑使用非 TI 电源架构时，建议遵循电源斜升后的复位要求，包括压摆率和 PORz 输入保持时间。

6.1.4.5 处理器复位状态输出检查清单

通用

检查并验证定制原理图设计的以下内容：

1. 已查看用户指南上文中的“所有章节的通用检查清单”章节。
2. RESETSTATz 状态输出的连接及其下拉电阻器的添加。
3. 处理器复位状态输出和所连接器件复位输入之间的 IO 电平兼容性。
4. 复位状态输出端的电容器（负载）连接。
5. 未使用时的复位状态输出连接。
6. 当连接到载板或外部连接器时，为复位状态输出提供外部 ESD 保护。

原理图审阅

定制原理图设计请遵循以下列表：

1. RESETSTATz 用作输入，以在处理器冷复位期间锁存处理器引导模式配置或所连接器件的搭接配置。
2. RESETSTATz 用于在处理器进行任何类型的全局复位（冷复位或热复位）时复位所连接器件。
3. RESETSTATz 提供了下拉电阻器（靠近处理器引脚）配置，可在电源斜升期间将所连接器件保持在复位状态。
4. 将电容器直接连接到复位输出端或所连接器件的复位输入端附近（电容器 > 22pF）。根据需要执行仿真。

5. 处理器复位状态输出和所连接器件复位输入之间的 IO 电平兼容性 (可能会导致影响定制电路板性能的残余电压)。
6. 未使用复位状态输出时, 提供 TP 的配置。
7. 建议匹配处理器复位输出 IO 电平与所连接器件输入 IO 电平, 以避免电压泄漏。

6.1.5 引导模式的配置 (针对处理器)

图 6-8 包含用于精简引脚数 (15-12 个) 引导模式配置和完整引脚数引导模式 (15-0 个) 配置的引导模式配置开关。

有关使用外部缓冲器实现引导模式的信息, 请参阅 EVM 原理图。使用一个 4 位缓冲器实现精简引脚数引导模式配置。

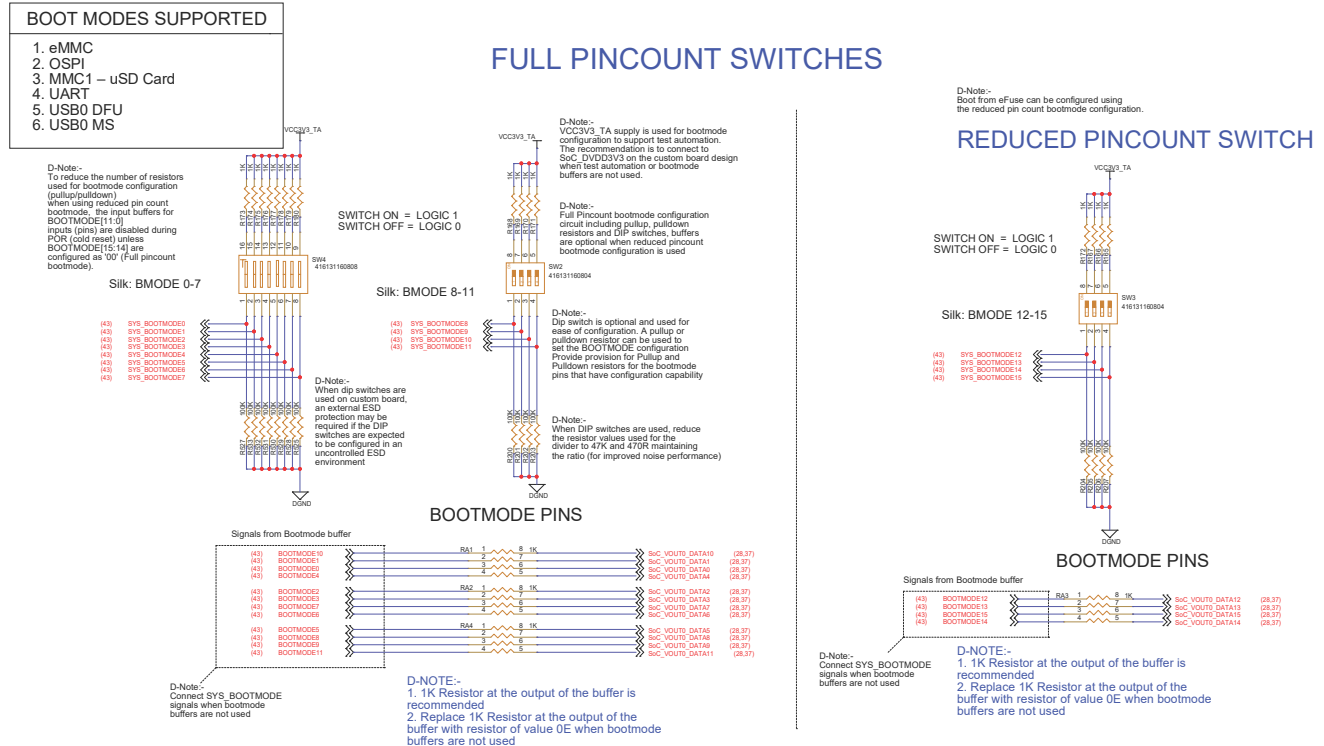


图 6-8. 引导模式配置开关

该处理器系列支持两种 BOOTMODE 输入连接 (引脚映射) 选项, 如下所述:

1. 精简版引脚数目: 仅使用其中四个自举引脚 BOOTMODE[15:12]
2. 完整版引脚数目: 使用全部 16 个自举引脚 BOOTMODE[15:0]

有关支持的引导模式配置, 请参阅以下常见问题解答:

[\[常见问题解答\] AM625/AM623/AM620-Q1/AM64x/AM243x/AM62Ax/AM62Px/AM62D-Q1/AM62L](#) — 支持的引导模式配置

精简版引脚数目的引导模式映射具有需要更少自举引脚的优势, 这意味着需要的上拉或下拉元件也会减少。精简版引脚数目的引导模式会限制通过引脚选择的引导模式选项的数量。

但是, 通过将所需的引导模式配置值编程到电子保险丝中, 可以将 **BOOTMODE** 引脚映射 (精简版) 表中可选的两个引导模式配置选项用于 (自定义引导) 配置任意一个完整的 16 位引导模式配置选项。电子保险丝值也使用 SECDED 纠错编码方案进行保护; 22 个电子保险丝位用于对 16 位引导模式值进行编码。

为了减少配置处理器引导模式所需的上拉/下拉电阻，在 POR 期间会禁用 BOOTMODE[11:0] 输入（引脚）的输入缓冲器，除非 BOOTMODE[15:14] 设置为“00”。当使用精简引脚数引导模式选项时，禁用这些缓冲器可大幅降低因引导模式输入引脚处于悬空状态而产生的功耗。

冷复位期间，处理器引导模式输入（具体取决于精简引脚数或完整引脚数引导配置，精简引脚数对应 BOOTMODE[15:12]，完整引脚数对应 BOOTMODE[15:00]）的内部拉电阻（上拉/下拉电阻）未使能。建议连接外部拉电阻（10k Ω 或 47k Ω ）（上拉/下拉电阻），以配置所需的引导模式（取决于精简引脚数或完整引脚数引导配置）。建议不要将任何引导模式输入（包括保留引脚）保持悬空状态（取决于精简引脚数或完整引脚数引导配置）。

在使用 DIP 开关来配置所需引导模式的用例中，建议使用 1k Ω 或 2k Ω （上拉电阻器，基于 1.8V 或 3.3V 电源）和 47k Ω （下拉电阻器）的电阻分压器值来提高噪声性能。

当仅使用电阻器（不使用 DIP 开关）配置引导模式时，可以使用标准电阻器（上拉和下拉电阻器可使用相同的值）值。例如，建议使用 10k Ω 或 47k Ω ，因为安装了上拉或下拉电阻器。建议提供配置，以将上拉或下拉电阻器连接到所有引导模式引脚，包括标记为保留或未使用的引脚。

建议将上拉或下拉电阻连接到标记为“保留”或未使用的引导模式引脚。

建议为具有测试/调试配置功能的引导模式输入（引脚）添加上拉和下拉电阻器配置（包括 USB0 DFU、UART0 引导模式配置的配置），增加设计灵活性和未来增强功能。建议为每个引导模式引脚安装上拉或下拉电阻器。不建议也不允许将引导模式引脚直接接地或连接到 IO 电源导轨，因为 IO 具有在引导后可以配置的备用功能，可能会被软件有意或无意地配置为输出。

引导模式输入（引脚）不具有失效防护功能。建议在处理器 IO 电源斜升之前，不要施加任何外部输入。当使用上拉/下拉电阻器而不使用引导模式缓冲器连接引导模式时，建议连接到与处理器 IO 基于的 IO 组的 IO 电源连接的 IO 电源。当使用引导模式缓冲器时，建议连接将处理器 IO 连接到缓冲器的 B 端口电源引脚（处理器侧）的 IO 电源。当连接来自载板的外部输入以配置引导模式输入时，建议在处理器电源斜升后驱动输入，并确保输入在 PORz 输入被拉至高电平之前保持稳定。

根据应用要求，可以使用仅在复位 (PORz) 置为有效（低电平）时才驱动的缓冲器，来向处理器提供引导配置。

建议在缓冲器的输出端使用串联电阻器 (1k Ω)（以便限制输出电流，防止在缓冲器 OE 置为无效之前将引导模式引脚配置为输出）。如需实现的更多信息，请参阅处理器特定 EVM。

6.1.5.1 处理器引导模式输入隔离缓冲器用例和优化

在 EVM 中，引导模式输入 BOOTMODE[15:12] 和 BOOTMODE[11:00] 通过一个 8 位和两个 4 位隔离缓冲器置为有效。当（在 RESETSTATz 上升沿期间）锁存引导模式输入时，缓冲器可确保 SYSBOOT 拉电阻器（上拉电阻器和/或下拉电阻器）（引导模式配置电阻器）控制信号 IO 电平。引导模式配置电阻器与连接的其他外设隔离（因为引导模式输入引脚具有备用功能），以便其他连接的外设不会与预期的引导模式配置（IO 电平）相冲突。

当 RESETSTATz 为低电平时，才会使能缓冲器。RESETSTATz 被置为无效（变为高电平）后，缓冲器输出将处于 Hi-Z 状态。

为了优化定制电路板设计（包括 BOM），可以优化或删除引导模式缓冲器（具体取决于用例，定制电路板设计人员进行验证）。建议选择拉电阻器值，这样电阻器就不会影响所连接器件的运行。

6.1.5.2 启动模式配置

如需配置所需处理器引导模式，请参阅处理器特定 TRM 的 *初始化* 一章中的 *ROM 代码引导模式表*。

6.1.5.2.1 USB 引导模式注意事项

USB0 接口支持 DFU（器件固件升级）引导。当 USB0 配置为 DFU 引导时，建议不要将固定 3.3V 电源（直接或使用分压器）连接到 USB0_VBUS 输入。不允许连接等效于 USB0_VBUS 分压器输入的固定电源。在没有 USB_VBUS 检测分压器/钳位电路的情况下连接电源违反失效防护操作。

根据处理器特定数据表中的建议，建议通过 USB 接口连接器连接的主机的 5V 电源（开关式）通过电阻分压器连接到 USB0_VBUS 输入。如果定制电路板设计中的 VBUS 电势不会 > 5.5V，且连接了板载电源，则可删除齐纳

二极管，将两个电阻器 (16.5k Ω 和 3.48k Ω) 合并为一个 20k Ω 电阻器，用于 *USB VBUS 检测分压器/钳位电路*。

6.1.5.3 SD 卡引导相关说明 - SDCCD 输入连接

请注意处理器侧 SDCCD 引脚的连接建议，确保符合处理器特定 TRM 中“*引导模式 - SD 卡引导*”一节的 SD 卡引导要求。

6.1.5.4 OSPI 引导相关说明 - OSPI 接口片选信号连接

请注意处理器侧 OSPI 片选引脚的选择和连接建议，确保符合处理器特定 TRM 中 *使用 OSPI 控制器进行引导* 一节的相关要求。

6.1.5.5 引导模式实现方法

有关实现引导模式的信息，请参阅以下常见问题解答：

[\[常见问题解答\] AM625/AM623/AM620-Q1/AM64x/AM243x/AM62A/AM62P/AM62D-Q1/AM62L — 使用隔离缓冲器的引导模式实现](#)

[\[常见问题解答\] AM625/AM623/AM620-Q1/AM64x/AM243x/AM62A/AM62P/AM62D-Q1/AM62L — 无隔离缓冲器的引导模式实现](#)

6.1.5.6 其他信息

连接外部输入以配置引导模式输入时，建议在释放处理器 PORz (冷复位) (L->H) 之前使引导模式配置输入保持稳定。

使用以太网引导和简化千兆位媒体独立接口 (RGMII) 时，建议使用一个 EPHY，在 EPHY RDx 数据路径上支持 RGMII_ID，并在 TDx 数据路径上禁用 RGMII_ID (处理器在 TDx 时钟信号上相对于数据信号实现固定 RGMII_ID)。处理器 ROM 不会在连接的 EPHY 上启用或禁用 RGMII_ID 模式。EPHY 的 RGMII_ID 是通过引脚绑定设置的。

建议选择一个能够通过引脚绑定设置 RGMII_ID 的 EPHY。参照处理器特定 EVM 使用 TI EPHY 进行实现。

6.1.5.7 引导模式的配置 (针对处理器) 检查清单

通用

检查并验证定制原理图设计的以下内容：

1. 已查看用户指南上文中的“[所有章节的通用检查清单](#)”章节。
2. 引导模式配置方法 (精简引脚数或完整引脚数)
3. 引导模式配置是否支持使用电子保险丝
4. 处理器引导模式输入的连接方法 (使用缓冲器或直接连接)
5. 引导模式配置 (使用 DIP 开关和电阻分压器或仅使用电阻器)
6. 引导模式配置锁存期间的引导模式输入状态
7. 根据处理器特定 TRM 的 SD 卡引导模式部分相关要求连接 SDCCD 引脚以支持 SD 卡引导
8. 根据处理器特定 TRM 的“*使用 OSPI 控制器进行引导*”部分相关要求，将建议的片选引脚连接到所连接的 OSPI/QSPI 存储器件以支持引导
9. 用于备选功能时的引导模式输入连接建议
10. 引导模式输入的失效防护功能

原理图审阅

定制原理图设计请遵循以下列表：

1. 根据 EVM 实施方案，使用电阻器、开关 + 电阻分压器和缓冲器将引导模式配置输入连接到处理器。
2. 当使用缓冲器实现引导模式或由外部控制信号驱动时，缓冲器的输出端使用 1k Ω 串联电阻器。
3. 建议验证引导模式输入配置设置是否遵循 PLL 时钟输入、主引导和次级引导的处理器特定 TRM 建议。
4. 引导模式输入 IO 兼容性 (以 VDDSHV0 为基准 (由其供电) 的 1.8V 或 3.3V)

5. 使用 DIP 开关来配置引导时，建议使用 $1k\Omega$ 和 $47k\Omega$ 阻值的电阻器。
6. 不使用 DIP 开关时，可将标准 $10k\Omega$ 电阻器用作上拉和下拉电阻，以配置引导模式。建议组装上拉或下拉电阻以配置所需的引导模式。不使用 DIP 开关时，电阻分压器是可选项
7. 所有引导模式配置输入引脚都具有外部拉电阻或电路，用于在处理器冷复位期间驱动所需的引导模式输入（不建议或不允许将任何引导模式输入保持未连接状态）
8. 建议在释放处理器冷复位输入（PORz）（0->1）之前，将应用的外部引导模式输入保持稳定
9. 建议通过 0Ω 将引导模式输入信号连接到备选功能，以隔离或测试引导模式功能
10. 引导模式输入不具备失效防护功能（不建议在处理器电源斜升之前应用任何外部引导模式输入）

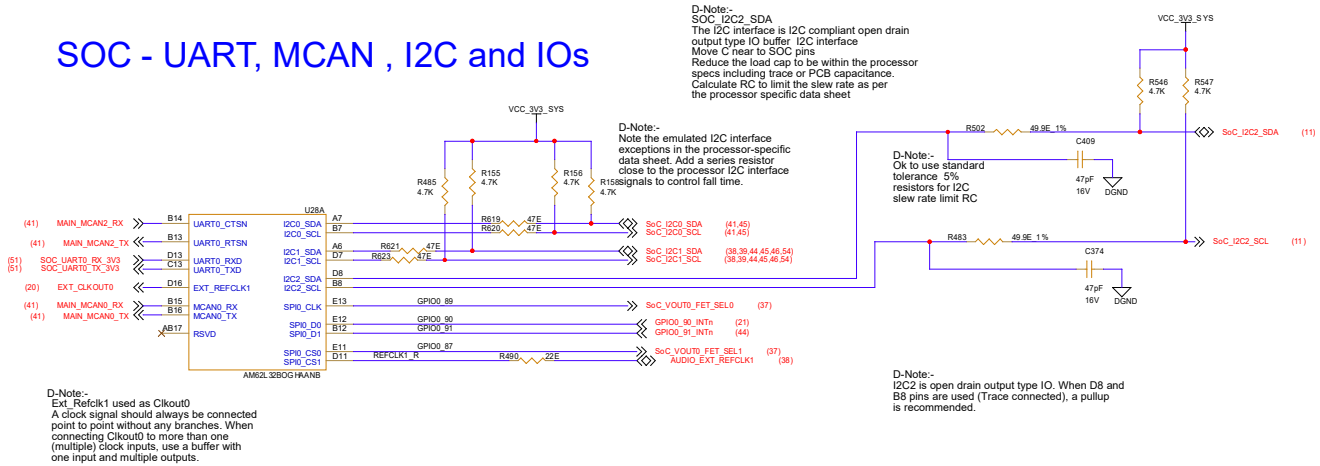
其他

1. 处理器 BOOTMODE 输入引脚在复位期间（锁存引导模式输入配置时）不会使能内部上拉或下拉电阻。
2. 对于初始（早期或第一个原型）设计，建议为引导模式输入（引脚）连接外部 PU/ PD 电阻器。有关支持的引导模式的信息，请参阅处理器特定 TRM。
3. 当 RESETSTATz 变为高电平时，将锁存引导模式输入。如果在运行期间重新配置引导模式输入用于备选功能，则将引导模式输入释放/设置回所需的配置，以便在处理器复位（冷复位）时选择引导模式。如果信号由外部外设驱动，则引导模式配置值得关注。
4. 不建议将引导模式输入直接连接到 IO 电源或 VSS。不建议将多个引导模式输入短接在一起并连接一个公共电阻器。（定制电路板设计可能遇到固件配置问题，即用作输入的 LVCMOS IO 被意外配置为输出，驱动逻辑高电平信号，而不是保持高阻抗状态。）
5. 建议为引导模式输入添加外部 ESD 保护，以防引导模式开关在不受控制的环境中进行配置。
6. 引导模式输入不具有失效防护功能。不建议或不允许在处理器 IO 电源斜升以前施加外部输入。在处理器电源斜升之前施加外部输入信号到处理器引导模式输入可导致馈电并可能影响定制电路板功能。
7. 引导模式输入缓冲器是可选的，在 EVM 上提供，用于支持测试自动化。
8. 使用缓冲器或逻辑门配置引导模式输入时，建议验证所用器件是否支持 OE（输出使能功能）。

6.2 使用 JTAG 和 EMU 进行定制电路板调试

图 6-9 包含 JTAG 接口连接，以及根据处理器特定数据表中处理器引脚连接要求一节，在处理器 JTAG 接口引脚附近放置的建议拉电阻器（上拉或下拉电阻器）。

SOC - UART, MCAN, I2C and IOs



SOC- JTAG

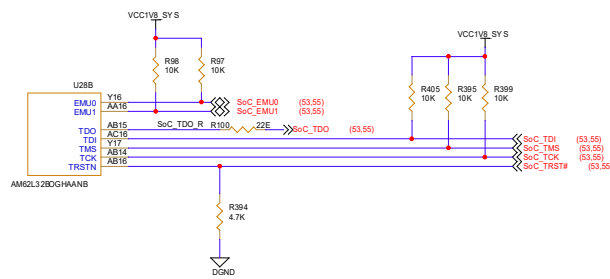


图 6-9. JTAG 拉电阻器的连接

6.2.1 使用时的 JTAG 接口和 EMU 信号

实现 JTAG 接口时，建议使用 TI 建议的、定义的和支持的 20 引脚连接器（而不是 10 引脚 ARM 连接器）。10 引脚 JTAG 连接器不包含 TRSTn 信号或 EMU0、EMU1 信号。建议根据处理器特定数据表的 *引脚连接要求* 一节的说明连接 JTAG (TDI、TCK、TMS 和 TRSTn) 和 EMU (EMU0 和 EMU1) 信号。建议将上拉电阻器 (10kΩ) 和下拉电阻器 (4.7kΩ) 放置在处理器 JTAG 接口引脚附近。建议提供低通滤波器配置，由一个 100Ω 串联电阻器和 0.1μF 并联电容器（布设于 100Ω 电阻器的处理器侧）实现。

建议为所有 JTAG 接口以及靠近外部接口连接器的 EMU0 和 EMU1 信号添加外部 ESD 保护。EMU0 和 EMU1 信号支持冷复位 (PORz 输入高电平) 后的引导序列和调试。TDO 的上拉电阻器为可选项，取决于所选择的调试程序。或者，建议在 TDO (靠近处理器) 信号上连接串联电阻器 (0Ω)，以匹配 JTAG 工具缓冲器阻抗。

有关更多信息，请参阅处理器特定 TRM 的 *片上调试* 一章。

有关更多信息，请参阅以下常见问题解答：

[\[常见问题解答\] AM625/AM623/AM620-Q1/AM625-Q1/AM625SIP/AM62L/AM62Ax/AM62D-Q1/AM62Px/ AM64x/AM243x \(ALV、ALX\) 定制电路板硬件设计 — JTAG](#)

[\[常见问题解答\] AM625/AM623/AM620-Q1/AM625-Q1/AM625SIP 定制电路板硬件设计 — JTAG 下拉/上拉电阻器](#)

常见问题解答是通用的，也可用于 AM62Lx 处理器系列。

6.2.2 不使用时的 JTAG 接口和 EMU 信号连接

如需在不使用 JTAG 接口的情况下连接 JTAG 接口信号和 EMU 信号，请参阅处理器特定数据表的 *引脚连接要求* 一节。

在定制电路板设计期间，为支持调试早期原型，建议配置一个连接到测试点的最小 JTAG 接口信号 (包括 EMU0、EMU1) 或配置一个接头封装。JTAG 接口相关元件在电路板的量产版本中可以是 DNI 状态。建议根据 [引脚连接要求](#) 一节提供配置来安装建议的拉电阻器，并在 JTAG 连接器或 TP 附近提供外部 ESD 保护配置。

6.2.3 其他信息

当 JTAG 接口连接到不止一个所连接器件时，建议对时钟和 JTAG 接口信号进行缓冲。即使对于单个器件的实现，也建议进行时钟缓冲。有关实现的信息，请参阅处理器特定 EVM。

使用跟踪接口时，建议将 TRC_DATAn 信号连接到仿真连接器。所有 TRC_DATAn 信号都与其他信号进行引脚多路复用。建议使用跟踪功能或 GPMC 接口。TRC_DATAn 信号的短连接和偏差匹配连接 (电路板引线) 用于跟踪功能。跟踪信号基于 VDDSHV0 (供电)，并且可能具有与其他 JTAG 信号不同的电源电压。更多有关 TRC/EMU 设计和布局的建议，请参阅 [仿真和跟踪接头技术参考手册](#)。[XDS 目标连接指南](#) 中提供了摘要。

如果使用边界扫描，建议将 EMU0 和 EMU1 引脚连接到 JTAG 连接器。

有关 JTAG 接口的实现，请参阅 [仿真和跟踪接头技术参考手册](#)。

6.2.4 使用 JTAG 和 EMU 检查清单进行定制电路板调试

通用

检查并验证定制原理图设计的以下内容：

1. 已查看用户指南上文中的“[所有章节的通用检查清单](#)”章节。
2. JTAG 接口信号 (包括 EMU0、EMU1 信号) 到外部接口连接器或 TP 的连接
3. 根据处理器引脚连接要求，为 JTAG 接口信号连接建议的拉电阻
4. 预留低通滤波电路，以 100 Ω 串联电阻和 0.1uF 滤波 (分流) 电容器实现，电容器布设于该 100 Ω 电阻靠近处理器的一侧
5. JTAG 接口信号的 IO 电平兼容性
6. JTAG 接口信号的失效防护运行
7. 提供外部 ESD 保护

原理图审阅

定制原理图设计请遵循以下列表：

1. JTAG 接口信号和 EMU0、EMU1 信号到 JTAG 接口连接器的连接
2. 将电源电压连接到 JTAG 连接器 (包括滤波电容器) (建议连接与 VDDSD0 相连的电压源)
3. 靠近处理器 JTAG 接口引脚的建议上拉和下拉电阻的连接符合引脚连接要求
4. 使用的上拉电阻 (10k Ω) 和下拉电阻 (4.7k Ω) 阻值 (建议遵循 EVM 的实现方式)
5. JTAG 接口信号的 IO 兼容性 (IO 电源以 VDDSD0 为基准 (由其供电))
6. JTAG 接口信号的失效防护运行情况。当处理器电源关闭时，无任何 JTAG 输入信号可用 (无信号施加)

其他

1. 建议在定制电路板设计中至少包含 (实现) 一个最小 JTAG 信号，连接到测试点或接头以调试早期原型。建议的最小 JTAG 信号为 TCK、TMS、TDI、TDO、TRSTn 和 EMU0、EMU1。如果需要，建议在电路板的量产版本中删除 JTAG 布线和元件封装 (TRSTn 上的下拉电阻以及 TMS 和 TCK 上的上拉电阻除外)。
2. 实现走线后，建议将 TRC_DATAn 信号连接到仿真连接器。所有 TRC_DATAn 信号都与其他信号进行引脚多路复用。如果实现走线连接，建议不要使用其他多路复用功能。建议对 TRC_DATAn 信号使用短且压摆率匹配的走线 (布线)。走线信号以不同的电源域为基准 (由其供电)，并且可能在与 JTAG 信号不同的电压下运行。
3. 建议添加外部 ESD 保护装置的配置。使用 JTAG 接口时，可以安装外部 ESD 保护装置。
4. 建议验证使用 JTAG 接口时的失效防护运行情况。在处理器电源斜升之前对处理器 JTAG 输入施加外部输入信号会导致馈电并影响定制电路板功能。

7 处理器外设的电源、接口和连接

备注

在定制电路板设计周期中，建议遵循 [使用 AM62L \(AM62L32、AM62L31\) 处理器系列的定制电路板硬件设计注意事项](#) 用户指南以及 [原理图设计指南与原理图审查清单](#) 用户指南。

备注

除非行业标准中定义了拉电阻器要求，否则对于外部拉电阻器没有明确的规则或要求。拉电阻器的行业通用定义是我们针对 eMMC 和 SD 卡信号上的外部拉电阻器给出确定建议的主要原因。对于其他外设，建议客户评估连接到定制电路板上每个处理器信号的所连接器件的功能，并运用适当的技术/工程判断来确定是否需要使用外部拉电阻器，以防止在打开所连接器件输入缓冲器时任何输入悬空。设计指南中提供的建议是通用的，客户应在实现之前查看设计要求和所连接器件内部拉电阻器的可用性。确保不提供与内部拉电阻器争用的外部拉电阻器。示例：例如，添加一个与内部拉电阻器（所连接器件内部）争用的外部拉电阻器，这样争用会在信号（输入）上产生 1/2 Vs 电势。

7.1 支持的处理器内核

有关支持的处理器内核，建议参阅处理器特定数据表的 [特性](#) 一节。在选择 Arm Cortex-A53 微处理器子系统内核时，可以参阅处理器特定数据表的 [器件比较](#) 一节。

处理器特定数据表的 [工作性能点 OPP](#) 一节可作为定义所需器件等级和器件工作性能点时的参考。

有关更多详细信息，请参阅以下常见问题解答：

[\[常见问题解答\] AM625/AM623/AM620-Q1/AM62L/AM64x/ AM243x \(ALV\)/AM62Ax/AM62D-Q1/AM62Px 设计建议/定制电路板硬件设计 — 处理器内核、PLL、VDD_CORE、VDDR_CORE、VPP 和其他内核电源的信息](#)

7.2 IO 组的 IO 电源的电源连接

[图 7-1](#) 包含以下电源的连接：IO 组 VDDS0、VDDS1 的处理器固定电压 IO 电源；IO 组 VDDSHV0、VDDSHV1 的双电压 IO 电源；IO 组 VDDSHV2、VDDSHV3、VDDSHV4 的动态切换双电压 IO 电源；以及 LFOSC0 和 RTC IO 组的固定电压电源。

建议合理设计电源架构，确保不会瞬时或持续施加超出 ROC 要求的电源电压。

7.2.3 IO 组的 IO 电源的电源连接检查清单

通用

检查并验证定制原理图设计的以下内容：

1. 已查看用户指南上文中的“[所有章节的通用检查清单](#)”章节。
2. 电气特性中引用的标准包括建议的运行条件和任何其他可用信息
3. 实现的 IO 缓冲器类型和支持的电源配置 (1P8-LVCMOS , LVCMOS 固定 1.8V 或 3.3V) 或 SDIO 动态电压 (1.8V 或 3.3V 切换)
4. 为所有 IO 组的双电压 IO 电源 (VDDSHVx) 和 IO 组的固定电压 IO 电源 (VDDsx 或 VDDs_WKUP) 连接有效电源
5. 处理器 IO 电源的时序控制
6. 基于所选存储器连接处理器 DDRSS PHY IO 电源
7. IO 上拉电源电压连接 (与 IO 组电源的 IO 电源相同)

原理图审阅

定制原理图设计请遵循以下列表：

1. 支持的 IO 组包括 LVCMOS、1P8-LVCMOS、SDIO 和 I2C OD 型 IO 缓冲器
2. 使用的 IO 电源应遵循符合处理器特定数据表的 ROC。
3. IO 电源时序遵循处理器特定数据表。
4. IO 缓冲器类型 LVCMOS 支持固定 (1.8V 或 3.3V) 或 SDIO 类型动态电压切换 (1.8V 或 3.3V)。
5. 所连接器件的 IO 电源和处理器接口信号所参考的 IO 组 (双电压或固定电压) IO 电源连接到同一电源。
6. 外部上拉电阻器连接到与处理器 VDDSHVx、VDDsx、VDDs_WKUP 或 VDDs_RTC 电源引脚以及所连接器件 IO 电源连接的同一电源轨或电源。
7. 不建议将连接到 PMIC 输入端的 3.3V 电源直接连接到 IO 组 VDDSHVx 的处理器双电压 IO 电源，因为如果 PMIC 未启动并生成其他处理器电源轨，IO 电源将在未定义的时间内可用。

其他

1. 注意基于所使用 IO 组电压等级的 IO 电源的电源时序要求
2. 特定的 IO 组双电压 IO 电源 (VDDSHV2、VDDSHV3 和 VDDSHV4) 支持动态电压切换
3. 不支持也不允许对以 LVCMOS IO 缓冲器 (IO) 为基准 (与其连接) 的 IO 组双电压 IO 电源进行动态电压切换。

7.3 存储器接口 (DDRSS (DDR4/LPDDR4)、MMCSD (eMMC/SD/SDIO)、OSPI/QSPI 和 GPMC)

7.3.1 DDR 子系统 (DDRSS)

该处理器系列支持 1 个 DDR 子系统 DDRSS0 实例、并支持连接到 16 位 SDRAM。

DDRSS 接口支持 DDR4 或 LPDDR4 存储器接口。DDR4 或 LPDDR4 存储器的选择取决于应用或客户，因为每种存储器类型的延迟和突发长度存在差异。

如需更多信息，请参阅以下应用手册：

[Sitara AM62Lx 基准测试](#)

有关 DDRSS 与 JEDEC 标准的兼容性的信息，请参阅处理器特定数据表的 *DDR 电气特性* 一节。请参阅处理器特定数据表的以下注意事项：

备注

DDRSS 接口与符合 JESD79-4B 标准的 DDR4 器件和符合 JESD209-4B 标准的 LPDDR4 器件兼容。

有关支持的 DDR4 和 LPDDR4 存储器大小，请参阅处理器特定的数据表。与其他处理器系列相比，支持的存储器大小和 DDRSS 接口引脚排列可能会有所不同。建议在设计定制电路板原理图时查看支持的存储器大小和推荐的连接。

请参阅处理器产品页面上的 [AM62L 电源实现](#) 应用手册，了解使用 LPDDR4 或 DDR4 时的 AM62L 电源架构实现的说明。

请参阅以下常见问题解答：

[\[常见问题解答\] AM625/AM623/AM620-Q1/AM62L/AM62Ax/AM62D-Q1/AM62Px/AM64x/AM243x \(ALV\) 定制电路板硬件设计的设计建议/常见错误 — DDRSS : DDR4/LPDDR4 存储器接口](#)

[\[常见问题解答\] AM625 : DDR4/LPDDR4 性能差异](#)

[\[常见问题解答\] AM625/AM623/AM620-Q1/AM62L/AM62A/AM62P/AM62D-Q1/AM64x/AM243x 设计建议/定制电路板硬件设计 — 与无源元件参数值、容差和额定电压相关的疑问](#)

7.3.1.1 DDR4 SDRAM (双倍数据速率 4 同步动态随机存取存储器)

7.3.1.1.1 AM62Lx 处理器系列

有关实施指南和布线拓扑，请参阅 [AM62x、AM62Lx DDR 电路板设计和布局指南](#)。

对于实施参考，请遵循以下内容：

TMDS64EVM : 适用于 Sitara 处理器的 AM64x 评估模块

SK-AM62B-P1 : 带 PMIC 的 AM62x 入门套件 EVM

7.3.1.1.1.1 存储器接口配置

允许的内存配置为 1 (单) 个 16 位或 2 (两) 个 8 位。

1 (单) 个 8 位内存配置不是允许的或有效的配置。

建议根据所选的存储器大小验证 DDRSS 信号存储库组 (DDR0_BG0、DDR0_BG1) 的连接，并根据存储器选择 (单列) 验证片选信号 (DDR0_CS0_n) 的连接。请参阅 [AM62x、AM62Lx DDR 电路板设计和布局指南](#)。

7.3.1.1.1.2 布线拓扑和内存终端连接

当使用 1 (单) 个内存 (DDR4) 器件 (1 (单) 个 16 位) 时，建议遵循点对点拓扑 (连接)。

点对点拓扑实现总结：

- 对于差分时钟 DDR0_CK0, DDR0_CK0_n，建议采用如下配置：使用交流终端 2 个 R 串联 (值 = Z_o - 单端阻抗)，并在两个电阻中间连接一个滤波电容器 0.01 μF (或内存制造商推荐的值)，同时连接到 DDR PHY 的 IO 电源 VDDSD_DDR。
- VREFCA (VDDSD_DDR/2) 是用于存储器 (DDR4) 器件的控制、命令和地址输入的基准电压。当不使用 VTT 终端和 VTT 终端 LDO 时，可以使用电阻分压器 (VDDSD_DDR 和 VSS 之间连接的两个电阻器 (1kΩ，±1%，建议值)) 和一个与电阻器并联的滤波电容器 (0.1 μF，建议值) 从 VDDSD_DDR 推算出 VREFCA。建议在 VREFCA 引脚附近连接额外的去耦电容器 (靠近内存 (DDR4) 器件)。
- 地址和控制信号的外部 VTT 终端是可选项。

如果使用一个 DDR4 存储器件时地址和控制信号使用 VTT 终端，则建议使用灌电流或拉电流 DDR 终端稳压器 (LDO) 生成所需的 VTT 电源。

使用 2 (两) 个内存 (DDR4) 器件 (2 (两) 个 8 位) 时，建议遵循飞越式拓扑 (连接)。

飞越式拓扑实现总结：

- 建议为地址、控制和时钟信号使用外部 VTT 终端。
- 建议使用灌电流或拉电流 DDR 终端稳压器 (LDO) 生成 VTT 电源。
- 灌电流或拉电流 DDR 终端稳压器 (LDO) 用于生成基准电压 VREFCA (VDDS_DDR/2)。
- 建议为基准电压添加去耦电容器。

7.3.1.1.1.3 用于 DDRSS 控制和校准的电阻器

建议为 DDR0_RESET0_n (DDR_RESET#) 连接下拉电阻器 (10k Ω) (靠近内存 (DDR4) 器件)。可以选择在下拉电阻器上添加滤波电容器 (47pF 或类似规格)。

建议为 DDR0_CAL0 (IO 焊盘校准电阻器, 靠近处理器校准引脚) 和 ZQn (存储器件校准基准电阻器, n = 0-1, 靠近内存 (DDR4) 器件) 连接推荐的 (遵循处理器特定数据表或 EVM 原理图) 电阻器。

建议为 TEN 连接下拉电阻器 (测试使能)。建议添加一个可选的下拉电阻器配置 DDR0_CKE0 信号 (DDR_CKE 网络) 并标记为 DNI (未组装)。

7.3.1.1.1.4 电源轨的电容器

建议验证是否已为处理器 DDRSS 电源导轨和内存 (DDR4) 器件电源导轨提供了足够的大容量电容器和去耦电容器。

如果没有可用的建议, 建议遵循处理器特定 EVM 实现。

7.3.1.1.1.5 数据位或字节交换

在定制电路板设计过程中, 如果需要进行位交换, 则允许在数据字节内进行位交换, 以及在某些限制条件下进行跨字节交换。不支持地址位和控制位交换。请勿将 DM 和 DQS 位与任何其他信号交换。

如需更多信息, 请参阅 [AM62x、AM62Lx DDR 电路板设计和布局指南](#) 的位交换一节。

建议根据位交换的变化 (包括注释) 更新原理图, 以供今后参考或重复使用。

7.3.1.1.1.6 不受支持的 DDRSS 接口引脚

DDRSS 不支持 DDR0_ALERT_n、DDR0_PAR、DDR0_CKE1、DDR0_CS1_n、DDR0_ODT1 信号 (引脚)。有关如何连接引脚, 请参阅存储器数据表或应用手册, 或者向存储器供应商确认。

7.3.1.1.1.7 DDR4 实现检查清单

通用

检查并验证定制原理图设计的以下内容:

1. 已查看用户指南上文提及的“所有章节的通用检查清单”部分的内容
2. 选择存储器 (符合 JESD79-4B 标准)、支持的存储器配置和所连接存储器件的数量
3. 地址、时钟、控制和数据信号的连接
4. 根据所连接存储器件数量 (一个或两个) 遵循连接和布线拓扑
5. 支持的存储器大小上限, 以及基于所选存储器大小的 DDRSS 信号连接
6. 差分时钟端接实现、所使用 VTT 电阻器和滤波电容器的连接及其数值
7. DDR 基准电压生成电阻分压器
8. 使用两个存储器件时, 地址和控制信号的 VTT 端接
9. DDRSS RESETn 信号到 DDR_RESETn 存储器复位输入的连接
10. ODT 信号从 DDRSS 到存储器件的连接 (外部拉电阻器是可选的)
11. 处理器 DDR0_CAL0 和所连接存储器件的 TEN、ZQn 和 Alert_n (包括值和容差) 引脚连接。
12. 数据位或数据字节的交换
13. 添加所需的大容量电容器和电容及其数值。
14. 处理器 DDRSS 不支持的存储器侧引脚 (例如: DDR0_PAR) 连接。

原理图审阅

定制原理图设计请遵循以下列表:

1. 支持的存储器配置是一个 16 位存储器件和两个 8 位存储器件。
2. 建议将使用的大容量电容器和去耦电容器及电容值与 EVM 原理图实现进行比较。
3. 连接到处理器 DDRSS 外设电源轨和所连接存储器件 IO 的电源轨遵循处理器和所连接存储器件 ROC。
4. 按照 *AM62x、AM62Lx DDR 板设计和布局指南* 连接地址、时钟、控制和数据信号。
5. 根据所连接存储器件数量遵循对应的布线拓扑规则（数据总线拓扑始终为点对点；对于地址和控制信号，单颗 16 位配置采用点对点，两颗 8 位配置采用飞越拓扑（菊花链））。
6. 根据所选存储器大小连接信号（CS0、BG0、BG1，请参阅 *AM62x、AM62Lx DDR 电路板设计和布局布线指南*）。
7. 使用两个电阻器和滤波电容器的差分时钟端接。所用的 VTT 电阻器和滤波电容器的值。（请参阅 EVM 原理图。）
8. DDR 基准电压电阻分压器值和容差。用于 DDR 基准 DDR_VREFCA 生成的电阻分压器配置（ $1k\Omega$ ， $\pm 1\%$ ）。建议将 $0.1\mu F$ 去耦电容器放在电阻器上并靠近存储器引脚的位置。
9. 使用两个存储器件时地址和控制信号的 VTT 端接连接（对于一个存储器件为可选），包括 VTT 电阻器和电容器（每两个 VTT 电阻器配一个电容器）数量及数值（建议遵循 TMS64EVM）。VTT 端接电源 LDO 的实现。
10. DDRSS RESETn 信号到 DDR_RESETn 存储器复位输入的连接（用于在加电初始化期间将信号保持低电平）。建议为 DDRSS RESETn 信号添加下拉电阻器（ $10k\Omega$ ），并将其置于存储器复位输入引脚附近。
11. TEN（ $1k\Omega$ 下拉电阻器）信号的连接。
12. 在 ZQ 和 VSS 之间连接的 ZQ0、ZQ1、存储器件 IO 校准电阻（ 240Ω ， $\pm 1\%$ ）。
13. 在 DDR0_CAL0 和 VSS 之间连接的 DDR0_CAL0、DDRSS IO 焊盘校准电阻（ 240Ω ， $\pm 1\%$ ）。
14. ODT 信号从 DDRSS 到存储器件的连接（外部拉电阻是可选的）。
15. 数据位和数据组交换时，请遵循 *AM62x、AM62Lx DDR 电路板设计和布局布线指南*。

其他

1. 建议参阅 TMS64EVM 以实现 DDR4 地址和控制信号以及 VTT 电源（LDO）的 VTT 端接。
2. 建议在原理图上添加布局注释（建议遵照 *AM62x、AM62Lx DDR 电路板设计和布局布线指南*）。
3. 建议遵循处理器特定数据表的 *引脚连接要求* 部分来连接未使用的 DDRSS 接口信号。
4. 将所需的 DDRSS 信号连接到存储器件以进行扩展。
5. DDRSS 不支持 DDR0_ALERT_n、DDR0_PAR、DDR0_CKE1、DDR0_CS1_n、DDR0_ODT1 信号（引脚）。有关引脚连接，请参阅存储器数据表或应用手册，或与存储器供应商确认连接建议。

7.3.1.1.1.8 DDR4 VTT 端接实现原理图参考

使用 2（两）个存储器（DDR4）器件（2 个 8 位）时，每个器件将连接到 DDRSS 的各自的数据字节。地址信号或控制信号以飞越式拓扑连接，并 VTT 终端连接到远离处理器 DDRSS 的存储器附近。

要实现 VTT 终端，请遵循 *TMS64EVM (AM64x Sitara 处理器评估模块)*。

建议作为设计的一部分执行板级仿真。

7.3.1.2 LPDDR4 SDRAM（低功耗双倍数据速率 4 同步动态随机存取存储器）

图 7-2 包含配置为 LPDDR4 存储器接口并连接至 LPDDR4 存储器 U29 的处理器 DDRSS，包括 LPDDR4_RESET_N（LPDDR4 存储器复位输入）和去耦电容器。

如需将处理器 DDRSS 连接至 DDR4 存储器，请参阅 SK-AM62B-P1 和 TMS64EVM。

LPDDR4 DEVICE

SOC LPDDR4 INTERFACE

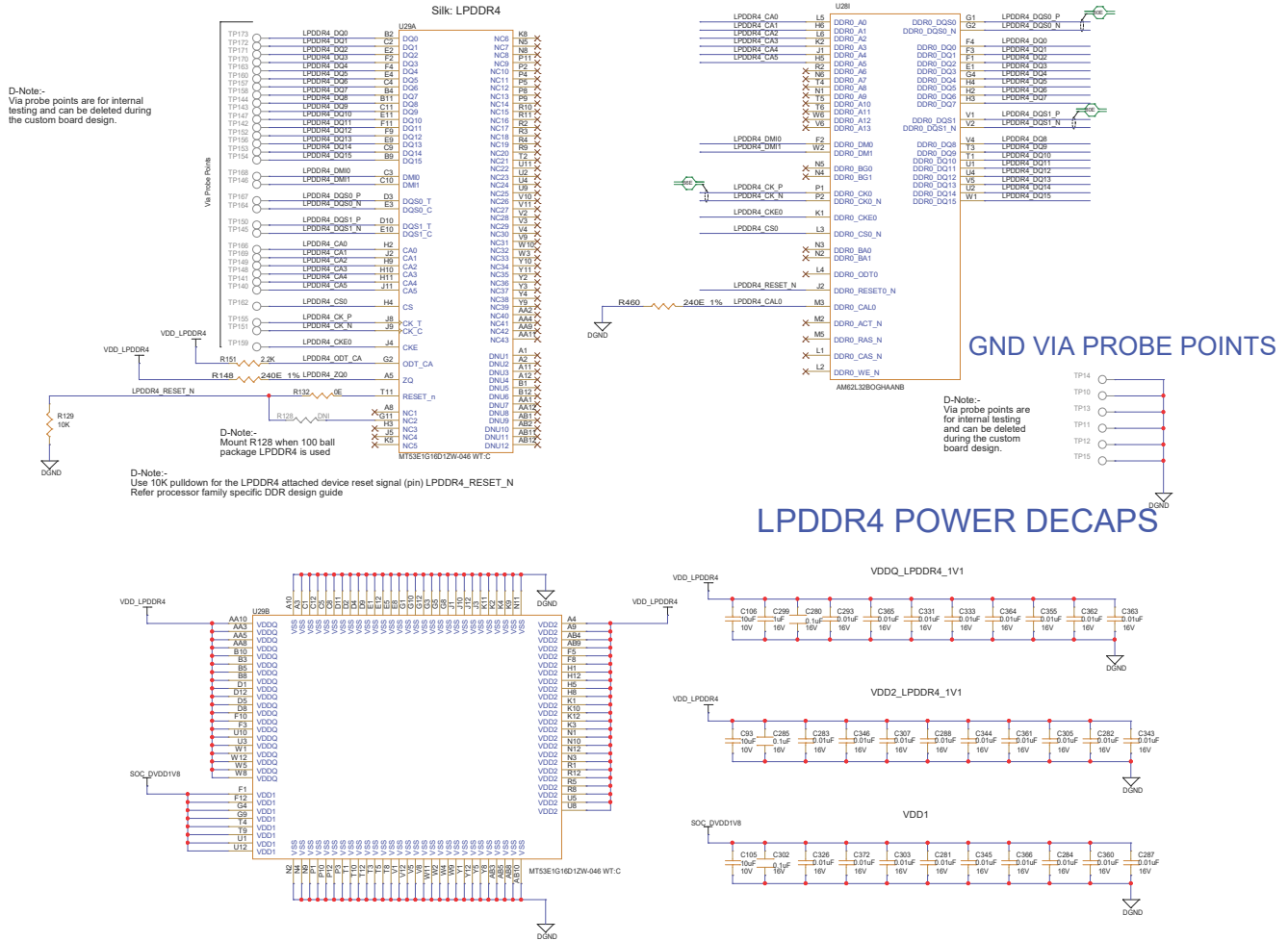


图 7-2. DDRSS LPDDR4 接口

7.3.1.2.1 AM62Lx 处理器系列

有关实施指南和布线拓扑，请参阅 [AM62x/AM62Lx DDR 电路板设计和布局指南](#)。

该控制器支持 DDR4 或 LPDDR4 接口。LPDDR4 地址接口为 6 位宽，连接到处理器 DDR_A 端口的的前 6 位。使用 LPDDR4 时，不使用额外的地址信号（用于 DDR4），可以保持未连接状态。设计定制电路板的 DDR 部分时，请参阅 [AM62x、AM62Lx DDR 电路板设计和布局指南](#)。

7.3.1.2.1.1 存储器接口配置

允许的存储器配置为 1（单）个 16 位。

7.3.1.2.1.2 布线拓扑和内存终端连接

时钟 (CK)、地址、控制 (ADDR_CTRL) 和数据信号建议遵循点对点拓扑。

VTT 终端不适用于 LPDDR4 内存类型。 地址和控制信号所需的内存端接由内部（片上）支持（处理）。

7.3.1.2.1.3 用于 DDRSS 控制和校准的电阻器

建议为靠近存储器 (LPDDR4) 器件的 DDR0_RESET0_n (LPDDR4_RESET_N) 使用下拉电阻器 (10k Ω)。可以选择在下拉电阻器上添加滤波电容器 (47pF 或类似规格)。

建议为 DDR0_CAL0 (IO 焊盘校准电阻, 靠近处理器校准引脚)、ODT_CA_A (EVM 上使用的 2.2k Ω , 用于芯片选择的 DDRSS 片上终端, 靠近存储器 (LPDDR4) 器件) 以及 ZQ (存储器件校准参考电阻, 靠近存储器 (LPDDR4) 器件) 连接建议的 (遵循处理器特定数据表或 EVM 原理图) 电阻。

7.3.1.2.1.4 电源轨的电容器

建议验证是否已为处理器 DDRSS 电源导轨和内存 (LPDDR4) 器件电源导轨提供了足够的大容量电容器和去耦电容器。

如果没有可用的建议, 建议遵循处理器特定 EVM 实现。

7.3.1.2.1.5 数据位或字节交换

在定制电路板设计过程中, 如果需要进行位交换, 则允许在数据字节内进行位交换, 以及进行跨字节交换。不支持地址位和控制位交换。

有关更多信息, 请参阅 [AM62x、AM62Lx DDR 电路板设计和布局指南](#) 的字节和位交换一节。

建议根据位交换的变化 (包括注释) 更新原理图, 以供今后参考或重复使用。

7.3.1.2.1.6 LPDDR4 实现检查清单

通用

检查并验证定制原理图设计的以下内容：

1. 已查看用户指南上文提及的“所有章节的通用检查清单”部分的内容
2. 选择存储器 (符合 JESD209-4B 标准)、支持的存储器配置、存储器大小和连接的存储器件数量 (允许使用一个)
3. 连接到处理器 DDRSS 外设电源轨和所连接存储器件 IO 的电源轨
4. 地址、时钟、控制和数据信号的连接
5. DDRSS RESETn 信号到 LPDDR4_RESET_N 存储器复位输入的连接
6. 片选 CSn0 到所连接存储器件的连接
7. ODT 配置上拉连接、DDRSS CAL0 和存储器件 ZQn 电阻器的连接 (包括值和容差)
8. 数据位或数据字节的交换
9. 添加所需的大容量电容器和电容及其数值
10. 建议在原理图上添加布局注释 (建议遵循 [AM62x、AM62Lx DDR 电路板设计和布局布线指南](#))

原理图审阅

定制原理图设计请遵循以下列表：

1. x1 16 位是唯一支持的存储器配置。
2. 建议将使用的大容量电容器和去耦电容器及电容值与相关的 EVM 原理图实现进行比较。
3. 连接到处理器 DDRSS 外设电源和所连接存储器件 IO 的电源轨遵循处理器和所连接存储器件 ROC。
4. 地址、时钟、控制和数据信号的连接。对于 LPDDR4 存储器接口, x16 是唯一支持的数据总线宽度。有关将 DDRSS 连接到 16 位存储器器件的信息 - 请参阅 [AM62x、AM62Lx DDR 电路板设计和布局布线指南](#)。
5. DDRSS RESETn 信号到 LPDDR4_RESET_N 存储器复位输入的直接连接 (用于在加电初始化期间将信号保持低电平)。建议为 DDRSS RESETn 信号添加下拉电阻器 (10k Ω), 并将其置于靠近存储器件复位输入引脚的位置。
6. 片选 CSn0 到所连接存储器件的连接。根据所选存储器, 遵循 [AM62x、AM62Lx DDR 电路板设计和布局布线指南](#)
7. 存储器件 ODT 通过电阻器上拉 (在 EVM 上使用 2.2k Ω , 建议不要连接 DDRSS 信号并遵循 EVM 原理图)。
8. 在 DDR0_CAL0 和 VSS 之间连接的 DDR0_CAL0、DDRSS IO 焊盘校准电阻 (240 Ω , $\pm 1\%$)。
9. 在 ZQ 和 VDD_LPDDR4 之间连接的 ZQ0 存储器件 IO 校准电阻 (240 Ω , $\pm 1\%$)。
10. 数据位或字节交换。遵照 [AM62x、AM62Lx DDR 电路板设计和布局布线指南](#)。

7.3.2 多媒体卡/安全数字 (MMCSD)

该处理器系列支持 3 (三) 个多媒体卡/安全数字卡 (MMC/SD/SDIO) (8b(4b) + 4b + 4b)。

7.3.2.1 MMC0 - eMMC (嵌入式多媒体卡) 接口

图 7-3 包含为 eMMC 接口配置并连接至 eMMC 存储器 U42 的处理器 MMC0 接口。图中包含了 data0 和 CMD 信号所需的上拉电阻器、串联电阻器 (放置于处理器时钟输出附近)、时钟输入的下拉电阻器 (放置于存储器器件输入附近), 以及使用“与运算”逻辑的 eMMC 复位逻辑。D1-D7 上拉电阻器由存储器器件和处理器内部支持, 因此外部上拉电阻器配置为 DNI。

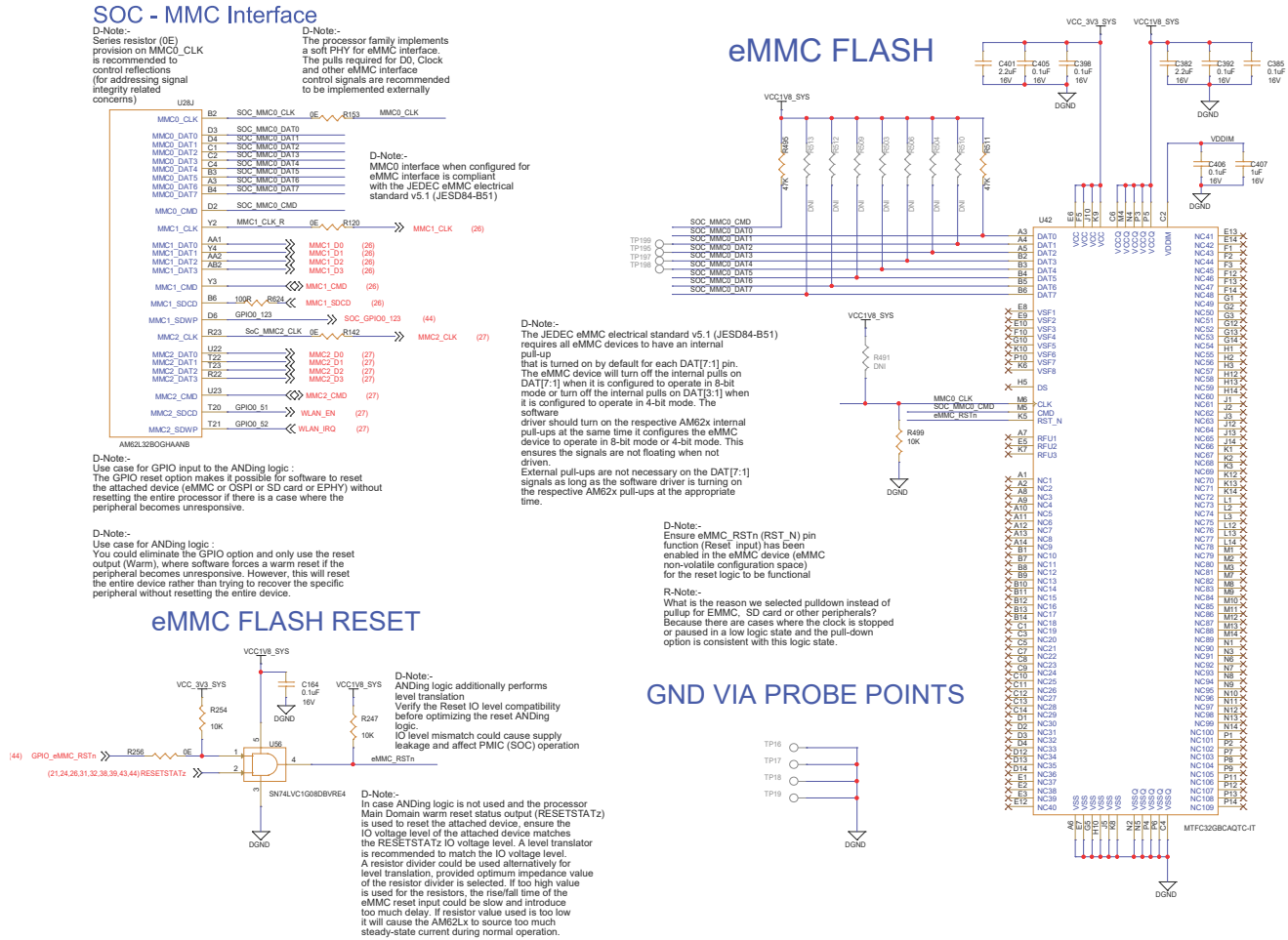


图 7-3. MMC0 eMMC 接口

7.3.2.1.1 AM62Lx 处理器系列

该处理器系列支持一个 x1 外设接口模块 MMC0, 该模块可配置为 eMMC/SD/SDIO 接口。由于 MMC0 的时序已针对 eMMC 接口进行闭合设计, 故推荐将 MMC0 用于 eMMC 接口。MMC0 支持 8 位 eMMC (嵌入式多媒体卡) 接口。如需了解支持的速度, 请参阅处理器特定数据表的 MMC0 - eMMC/SD/SDIO 接口一节; 如需了解实现方式, 请参阅 EVM。当不用于 eMMC 接口时, MMC0 信号可用于板载 SDIO 接口、用作 IO 或其他支持的多路复用功能。不建议将 MMC0 端口用于 SD 卡接口。

有关 eMMC 内存接口的更多信息, 请参阅以下常见问题解答:

[常见问题解答] AM625/AM623/AM620-Q1/AM62L/AM64x/ AM243x (ALV)/AM62Ax/AM62D-Q1/AM62Px 定制电路板硬件设计的设计建议/常见错误 - eMMC 存储器接口

[常见问题解答] AM62A7 : MMC0 拉电阻器要求

[\[常见问题解答\] AM625/AM623/AM620-Q1/AM62L/AM62A/AM62P/AM62D-Q1/AM64x/AM243x 设计建议/定制电路板硬件设计 — 与无源元件参数值、容差和额定电压相关的疑问](#)

有关更多信息，请参阅处理器特定数据表的 *MMC0 - eMMC/SD/SDIO 接口* 一节。

7.3.2.1.1.1 IO 电源

用于 MMC0 (eMMC) 接口的处理器 IO 以 VDDSHV2 电源轨 (MMC0 IO 组的双电压 IO 电源) 为基准 (由其供电)。

VDDSHV2 旨在支持加电、断电或不依赖于其他电源导轨的动态电压开关，让其工作电压从 3.3V 更改为 1.8V。

建议将所连接器件的 VDDSHV2 和 IO 电源轨连接到同一电源。

所连接器件的 VDD (内核电压) 可从 (由) 独立电源 (不同的电源) 供电。

7.3.2.1.1.2 eMMC 接口信号连接

建议进行以下连接：

- 建议在靠近处理器时钟输出引脚的位置为 MMC0_CLK 信号添加一个串联电阻器 (0 Ω) (建议使用串联电阻器来控制可能的信号反射，以免导致时钟转换错误)。建议最初使用 0 Ω，并进行调整以匹配 PCB 布线阻抗。
- 建议为靠近所连接器件时钟输入引脚的 MMC0_CLK 添加一个外部下拉电阻器 (10k Ω) (靠近所连接 eMMC 器件时钟输入引脚)，以将时钟保持在低电平状态 (在某些情况下，时钟在低电平逻辑状态下停止或暂停，并且下拉电阻器选项与该逻辑状态一致)，直到主机将信号配置为时钟。
- 建议为 MMC0_DAT0 和 MMC0_CMD 信号连接外部上拉电阻器 (47k Ω) (靠近 eMMC 器件)，以防止所连接器件输入在由主机驱动前处于悬空状态。
 - 对于 MMC0_DAT[7:1] 信号，上拉电阻器是可选的 (删除，DNI)，因为所连接 eMMC 器件 (符合 eMMC JEDEC 标准 JESD84-B51 的 eMMC 器件) 需要 (应当) 为 MMC0_DAT[7:1] 信号打开内部上拉电阻器，直到主机将总线宽度更改为 4 位或 8 位模式。主机应当使其内部上拉电阻器，在更改为 4 位模式时，eMMC 器件应当关闭 MMC0_DAT[3:1] 上的内部上拉电阻器。主机应当使其内部上拉电阻器，在更改为 8 位模式时，eMMC 器件应当关闭 MMC0_DAT[7:1] 上的内部上拉电阻器。
- 建议为 DS 信号连接一个带测试点 (可选) 的下拉电阻器 (靠近 eMMC 器件)。

7.3.2.1.1.3 eMMC (连接器件) 复位

备注

确保 eMMC 器件 (eMMC 非易失性配置空间) 中启用了 eMMC_RSTn (RST_N) 引脚功能 (复位输入)，以便复位逻辑正常工作。

建议使用双输入“与运算”逻辑来实现所连接器件 (eMMC 存储器) 的复位，因为“与运算”逻辑提供了灵活性，能够在包括本地复位在内的所有处理器复位条件下复位所连接器件 (适用于所连接器件无响应且需要在不进行下电上电的情况下复位的情形)。处理器 GPIO 作为其中一个输入连接到与门，在“与运算”逻辑与门输入端附近提供上拉电阻器配置 (10k Ω 或 47k Ω) (以支持引导)，并提供 0 Ω 配置以隔离 GPIO 输出用于测试或调试。与门的另一个输入是 MAIN 域热复位状态输出 (RESETSTATz)。

如果直接使用 (连接) 处理器 MAIN 域热复位状态输出 (RESETSTATz) 来复位 EPHY (所连接器件)，建议将 RESETSTATz 的 IO 电压电平与所连接器件相匹配。建议使用电平转换器来匹配 IO 电平。如果选择了电阻分压器的理想值，则也可以使用电阻分压器进行电平转换。若电阻分压器值过高，连接到 eMMC 复位输入的处理器 IO 的上升/下降时间可能会很慢，且会引入延迟。使用过低值电阻器作为分压器会导致处理器在正常运行期间提供过多的稳态电流。

7.3.2.1.1.4 电源轨的电容器

建议确认已为 VDDSHV4 电源导轨和附加器件 (内核和 IO 电源) 提供大容量电容器与去耦电容器 (若有建议则使用建议的电容，或遵循相关 EVM 实现)。

如果没有可用的建议，建议遵循处理器特定 EVM 实现。

7.3.2.1.1.5 MMC0 (eMMC) 检查清单

通用

检查并验证定制原理图设计的以下内容：

1. 已查看用户指南上文提及的“**所有章节的通用检查清单**”部分的内容
2. MMC0 接口符合 JEDEC eMMC 电气标准 v5.1 (JESD84-B51)，并采用软 eMMC PHY 设计。
3. 将处理器引脚（焊球编号）映射到定制电路板上所需的功能（外设、信号名称）（所选引脚支持将 IO 多路复用以实现所需功能），并根据处理器数据表引脚属性中的信号名称列对信号进行命名（使用标准外设时）。
4. 处理器与所连接器件之间外设数据接口信号的极性匹配（如处理器的 D0-D7（数据）映射到所连接器件的 D0-D7，或类似连接的映射）
5. 为 DAT0 和 CMD 信号连接上拉电阻器。使用的上拉电阻器值与允许值对比，以确保上拉电阻器值符合标准要求。
6. MMC0_CLK 和放置的串联电阻器配置。
7. MMC0_CLK 的下拉电阻器实现、位置和阻值。
8. IO 组的处理器 IO 电源 (VDDSHV2) 和所连接 eMMC 器件 IO 电源的连接。
9. 实现所连接器件复位逻辑，以支持引导模式配置。
10. 在不需要从所连接存储器件引导时，实现所连接器件复位逻辑（使用 RESETSTATz）
11. 处理器和所连接器件之间的复位信号 IO 电平兼容性。
12. 添加所需的大容量电容器和电容及其数值。

原理图审阅

定制原理图设计请遵循以下列表：

1. 为处理器和附加器件的 IO 电源轨提供了所需的大容量电容器和去耦电容器。建议从与 SK 原理图 (SK-AM62P-LP) 实现进行比较开始。
2. 建议将 eMMC 存储器接口与 EVM 原理图实现进行比较，以配置并联拉电阻器、串联电阻器和电阻器值。
3. IO 组 VDDSHV2 的 IO 电源（固定，1.8V 或 3.3V）和所连接 eMMC 器件 IO 电源由同一电源供电并遵循 ROC。
4. 建议在靠近 eMMC 器件处为 MMC0_DAT0 和 MMC0_CMD 信号连接外部上拉电阻 (47k Ω)。为 MMC0_DAT[7:1] 配置外部上拉电阻为可选配置。（eMMC 器件（只要 eMMC 器件符合 eMMC JEDEC 标准）为数据信号 MMC0_DAT[7:1] 启用了上拉电阻。进入 4 位模式时，eMMC 器件会关断 MMC0_DAT[3:1] 上拉电阻，进入 8 位模式时则关断 MMC0_DAT[7:1] 上拉电阻。在软件更改模式时，eMMC 主机软件会打开相应的 MMC0_DAT[7:1] 上拉电阻）。
5. 建议在 MMC0_CLK 上提供串联电阻器 (0 Ω) 配置，并置于靠近处理器时钟输出引脚的位置。该串联电阻器已配置用于控制可能的信号反射，以免导致时钟转换错误。
6. 建议在靠近附加器件的时钟输入处为 eMMC 附加器件时钟信号添加一个下拉电阻 (10k Ω)（因为在某些情况下，时钟会在低逻辑状态下停止或暂停，而下拉电阻选项与该逻辑状态一致）。
7. 如果需要 eMMC 引导模式配置，可以使用双输入“与运算”逻辑来实现 eMMC 所连接器件复位。处理器 GPIO 作为其中一个输入连接到与门，在“与运算”逻辑与门输入端附近提供上拉电阻器并提供 0 Ω ，以隔离 GPIO 输出用于测试或调试。与门的另一个输入是 MAIN 域热复位状态输出 (RESETSTATz)。
8. 或者，可以直接连接热复位状态输出 RESETSTATz 来复位所连接的器件。如果使用 RESETSTATz，建议在处理器复位状态输出和所连接器件复位输入之间匹配 IO 电平。建议验证 IO 电平匹配实现（电平转换器或电阻）是否符合设计建议。
9. 如果 eMMC 存储器未用于引导，则只能使用处理器 GPIO 来控制所连接 eMMC 器件的复位输入。建议下拉 eMMC 存储器件的复位输入。

其他

1. “与运算”逻辑还会执行 IO 电平转换。在优化复位“与运算”逻辑时，建议验证复位输入 IO 电平兼容性。IO 电平不匹配可导致残余电压并影响电路板性能。
2. 根据 eMMC JEDEC 标准，建议在 CMD 和 DAT0 上使用外部上拉电阻，还应确保连接的 eMMC 存储器器件输入在软件初始化与 MMC0 接口关联的处理器 IO 之前不会悬空。建议使用外部拉电阻，因为与 MMC0 关联

的 IO 是通过标准双电压 LVCMOS IO 单元实现的，并且能够将额外的信号功能多路复用到相应的器件引脚。复位期间和复位后，MMC0 接口 IO 缓冲器处于关闭状态。

3. 建议验证 eMMC 存储器件复位 eMMC_RSTn 是否已使能 (eMMC 非易失性配置空间)，以使外部复位逻辑正常工作。GPIO 复位选项用于在外设无响应的情况下复位所连接 eMMC 器件，而无需复位整个处理器。只有热复位状态输出可用于复位所连接的 eMMC 器件。外设无响应时，软件会强制进行热复位。但是，使用热复位状态输出会复位整个处理器，而不是尝试恢复特定外设而不复位整个处理器。当使用 RESETSTATz 复位所连接器件时，建议验证 RESETSTATz 的 IO 电平是否匹配所连接器件的 IO 电平。
4. 建议使用电平转换器以使处理器 IO 输出电平与所连接器件的复位输入电平相匹配。如果选择了电阻分压器的理想值，则也可以使用电阻分压器进行电平转换。如果电阻分压器阻值过高，则 eMMC 复位输入的上升或下降时间可能会很慢，从而引入延迟。如果电阻分压器阻值过低，则处理器在正常运行期间会吸收过多的稳态电流。
5. 当直接连接 RESETSTATz 或处理器 IO 时，不建议在 eMMC 所连接器件的复位输入端添加电容器。不建议使用应用 RC 的独立复位连接来复位 eMMC 存储器器件。

7.3.2.1.2 有关 eMMC PHY 的额外信息

建议参阅处理器特定数据表的 *信号说明* 一节中 MMC、MAIN 域小节中的注释。

备注

不同处理器系列中使用的 eMMC 控制器和 eMMC PHY IP 的实现方式有所不同。建议遵循适用于 eMMC 接口的处理器特定建议，包括迁移到其他 Sitara 处理器系列时建议使用的上拉电阻配置及阻值。建议查看处理器特定数据表、TRM、相关 SK 或 EVM，并遵循针对处理器和连接器件的连接建议。

可以遵循处理器特定 EVM 实现作为起始参考。

7.3.2.1.3 MMC0 - SD (安全数字) 卡接口

MMC0 外设实例已针对 eMMC 接口完成时序闭合，并且在 EVM (原理图) 中，eMMC 接口已基于 MMC0 接口实现。MMC0 接口上不支持 CD (卡检测) 和 WP (写保护) 功能 (引脚) 来实现 SD 卡接口。

不使用 eMMC 接口时，建议将 MMC0 端口配置用于支持的其他多路复用功能 (或 SDIO 嵌入式接口)。建议在实现嵌入式 SDIO 接口之前始终确认提供的软件支持 (使用 E2E)。

不建议将 SD 卡连接至 MMC0 端口。建议为 SD 卡接口配置 MMC1 端口。

7.3.2.2 MMC1/MMC2 - SD (安全数字) 卡接口

图 7-4 包含为 SD 卡接口 (推荐) 配置、连接至 SD 卡连接器 J2 的 MMC1 接口。该实现支持 UHS-I SD 卡，包括串联电阻器 (放置于处理器时钟输出引脚附近)、SD 卡时钟输入的下拉电阻器 (放置于 SD 卡插槽时钟输入引脚附近)、SD 卡 D0-D3 数据和 SD 卡 CMD 信号的 47k Ω 上拉电阻器 (以 VDDSHV_SD_IO (3.3V/1.8V，可切换 IO 电源) 为基准)，以及连接到 MMC1 接口 SDCD 引脚的 R150 上拉电阻器 (3.3V 时使用 47k Ω ，1.8V 时使用 10k Ω ，或统一使用 10k Ω)。已提供负载开关 U104 用于复位 SD 卡电源 (适用于 UHS-I SD 卡)。包含用于复位 SD 卡电源开关 EN 的“与运算”逻辑。

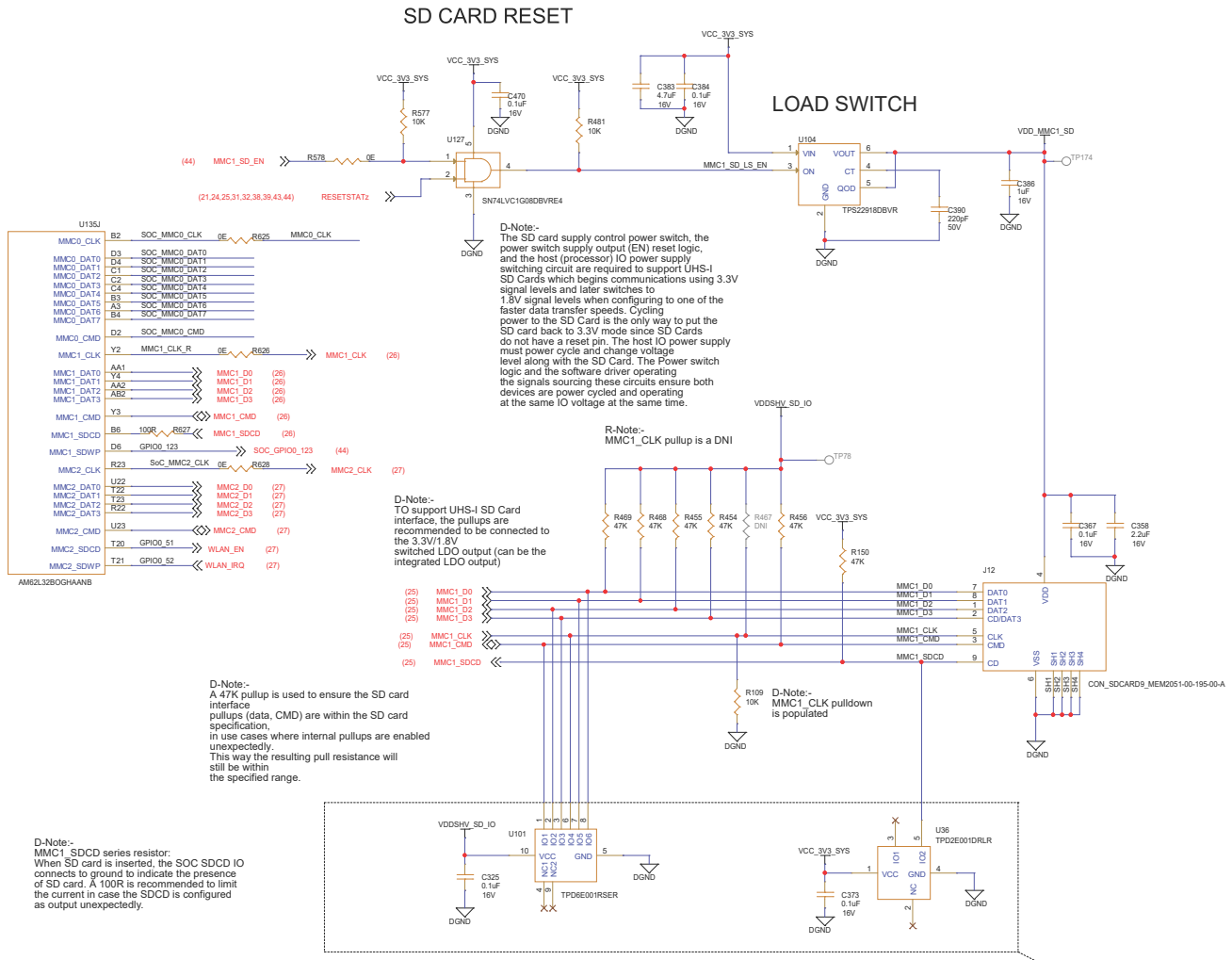


图 7-4. MMC1 SD 卡接口

该处理器系列支持 2 个可配置为 SD 卡接口的外设实例 MMC1、MMC2。MMC1、MMC2 接口支持 4 位 SD 卡接口，包括对 UHS-I SD 卡的支持。建议将 **MMC1** 用于 SD 卡接口（基于定制电路板设计要求）。建议使用 MMC1 实现 SD 卡接口，因为 MMC1 支持 SD 卡引导模式，MMC1 IO 连接到支持 SD 卡功能的 IO 组的 IO 电源。当 MMC2 接口用于实现 SD 卡接口时，信号（SDCD 和 SDWP）需要多路复用到连接到 VDDSHV1 的 IO。

有关更多信息，请参阅处理器特定数据表的 *MMC1/MMC2 - SD/SDIO 接口* 一节。

7.3.2.2.1 IO 电源

MMC1 (CMD、CLK 和 Data) 接口 IO 以 VDDSHV3 电源轨 (MMC1 IO 组的双电压 IO 电源) 为基准 (由其供电)。VDDSHV3 旨在支持加电、掉电或不依赖于其他电源轨的动态电压开关，让其工作电压随着传输速度的增加从 3.3V 更改为 1.8V。

建议 VDDSHV3 电源从 3.3V 开始，并在软件应当 (需要) 更改 IO 电源电压 (以支持 UHS-I SD 卡) 时允许更改为 1.8V。

建议使用单独的电源 (分立式 LDO 或 PMIC)，当配置为 SD 卡接口时，这些电源可以为 VDDSHV3 电源轨独立切换。

该处理器系列支持集成式 LDO (SDIO_LDO)，用于为 MMC1 IO 组 VDDSHV3 的双电压 IO 电源供电，以支持 UHS-I SD 卡接口支持实现时的 IO 电压电平切换。下文复位部分所述的 SD 卡电源控制电源开关的输出作为输入连接到 SDIO_LDO (VDDA_3P3_SDIO 引脚)。SDIO_LDO 的输出在复位期间和复位后为 3.3V，并允许在主机

软件准备好将 SD 卡速度更改为 UHS-I 速度 (1.8V 电源电压) 时切换到 1.8V。SDIO_LDO 的输出由 V1P8_SIGNAL_ENA 位控制，默认为 3.3V 输出。

确保将建议的电容器连接到 CAP_VDDSHV_MMC 引脚 (集成 LDO 的输出)。

MMC1 SD 卡检测 (CD) 和写保护 (WP) 信号以 VDDSHV1 电源轨 (GENERAL1 IO 组的 IO 电源) 为基准 (由其供电)。建议将 MMC1_SDCD、MMC1_SDWP 的上拉电阻器 (10k Ω) 连接到与 VDDSHV1 (固定电源) 连接的同一电源轨。

插入 SD 卡时，处理器的 SD 卡检测 (CD) 输入直接连接到接地端。建议使用一个 (100 Ω) 串联电阻器限制电流，以防因编程错误导致 IO 被配置为输出。

MMC2 (CMD、CLK 和 Data) 接口 IO 以 VDDSHV4 电源轨 (MMC2 IO 组的双电压 IO 电源) 为基准 (由其供电)。VDDSHV4 旨在支持加电、掉电或不依赖于其他电源轨的动态电压开关，让其工作电压随着传输速度的增加从 3.3V 更改为 1.8V。

建议 VDDSHV4 电源从 3.3V 开始，并在软件应当 (需要) 更改 IO 电源电压 (以支持 UHS-I SD 卡) 时允许更改为 1.8V。

建议使用单独的电源 (分立式 LDO 或 PMIC)，当配置为 SD 卡接口时，这些电源可以为 VDDSHV4 电源轨独立切换。

MMC2 SD 卡检测 (CD) 和写保护 (WP) 信号以 VDDSHV4 (MMC2 IO 组的双电压 IO 电源) 电源轨或 VDDSHV1 电源轨 (General1 IO 组的双电压 IO 电源) 为基准 (由其供电)。以 IO 组 VDDSHV1 或 VDDSHV4 的双电压 IO 电源为基准 (由其供电) 的 IO 选择取决于具体用例。建议为可连接到 VDDSHV4 或 VDDSHV1 电源轨 (根据所选引脚 (IO)) 的 MMC2_SDCD 和 MMC2_SDWP (可选) 信号添加外部上拉电阻器 (10k Ω) (靠近所连接器件)。

备注

不使用集成 LDO (SDIO_LDO) 为 VDDSHV3 供电时，请参阅处理器特定数据表的 *引脚连接要求* 一节，以端接 VDDA_3P3_SDIO 和 CAP_VDDSHV_MMC 引脚。

7.3.2.2.2 信号连接

当使用 MMC1 和 MMC2 接口信号实现 SD 卡接口时，建议注意 IO 组双电压 IO 电源映射的变化，并按如下方式进行连接：

备注

AM62x 的 IO 组 VDDSHV0 IO 电源对应 AM62Lx 的 VDDSHV1
AM62x 的 IO 组 VDDSHV5 IO 电源对应 AM62Lx 的 VDDSHV3
AM62x 的 IO 组 VDDSHV6 IO 电源对应 AM62Lx 的 VDDSHV4

7.3.2.2.2.1 用于 SD 卡接口的 MMC1 信号 (建议)

- 建议为 MMC1_CLK 添加一个串联电阻器 (0 Ω) (靠近处理器时钟输出引脚以控制可能的信号反射)。建议为靠近所连接器件输入的 MMC1_CLK 添加一个下拉电阻器 (10k Ω)，以将时钟保持在低电平状态 (在某些情况下，时钟在低电平逻辑状态下停止或暂停，并且下拉电阻器选项与该逻辑状态一致)，直到主机将信号配置为时钟。
- 建议为 SD 卡数据信号 (MMC1_DAT[3:0]) 和 CMD 信号 (MMC1_CMD) 添加外部上拉电阻器 (47k Ω)，以防止主机软件驱动接口信号之前所连接器件输入处于悬空状态。建议将 SD 卡接口信号上拉电阻器连接到 IO 组双电压 IO 电源 (MMC1 = VDDSHV3) 电源轨。建议数据和命令信号使用 47k Ω 上拉电阻器，以符合 SD 卡规范 (如果内部上拉电阻器意外启用，则产生的上拉电阻器 (47k Ω 与内部上拉电阻器并联) 阻值仍处于相关标准规定的阻值范围内)。
- 建议为连接到 VDDSHV1 电源轨的 MMC1_SDCD 和 MMC1_SDWP 信号添加外部上拉电阻器 (10k Ω) (靠近所连接器件 (SD 卡插槽))。

- 插入 SD 卡时，处理器的 SD 卡检测 (SDCD) 输入直接连接到接地端。建议使用一个串联电阻器 (100 Ω) 限制电流，以防 IO 意外编程为输出。

7.3.2.2.2.2 用于 SD 卡接口的 MMC2 信号

- 建议为 MMC2_CLK 添加一个串联电阻器 (0 Ω) (靠近处理器时钟输出引脚以控制可能的信号反射)。建议为靠近所连接器件输入的 MMC2_CLK 添加一个下拉电阻器 (10k Ω)，以将时钟保持在低电平状态 (在某些情况下，时钟在低电平逻辑状态下停止或暂停，并且下拉电阻器选项与该逻辑状态一致)，直到主机将信号配置为时钟。
- 建议为 SD 卡数据信号 (MMC2_DAT[3:0]) 和 CMD 信号 (MMC2_CMD) 添加外部上拉电阻器 (47k Ω)，以防止主机软件驱动接口信号之前所连接器件输入处于悬空状态。建议将 SD 卡接口信号上拉电阻器连接到 IO 组双电压 IO 电源 (MMC2 = VDDSHV4) 电源导轨。建议数据和命令信号使用 47k Ω 上拉电阻器，以符合 SD 卡规范 (如果内部上拉电阻器意外启用，则产生的上拉电阻器 (47k Ω 与内部上拉电阻器并联) 阻值仍处于相关标准规定的阻值范围内)。
- 要支持 SD 卡接口，建议使用以 VDDSHV1 为基准 (由其供电) 的 MMC2_SDCD 和 MMC2_SDWP 信号。建议将 MMC2_SDCD 和 MMC2_SDWP 信号的外部上拉电阻器 (10k Ω) 连接到与 VDDSHV1 电源轨连接的同一电源轨 (靠近所连接器件 (SD 卡插槽))。
- 插入 SD 卡时，处理器的 SD 卡检测 (SDCD) 输入直接连接到接地端。建议使用一个串联电阻器 (100 Ω) 限制电流，以防 IO 意外编程为输出。

7.3.2.2.2.3 其他信息

请参阅以下常见问题解答：

[\[常见问题解答\] AM625/AM623/AM620-Q1/AM62L/AM64x/ AM243x \(ALV\)/AM62Ax/AM62D-Q1/AM62Px 定制电路板硬件设计的设计建议/常见错误 - SD 卡接口](#)

[\[常见问题解答\] AM62L \(AM62L32、AM62L31\) 为什么 MMC1 由 VDDSHV1 和 VDDSHV3 这两个不同的电压电源供电？](#)

[\[常见问题解答\] AM62A7-Q1：如果未使用 SD 卡，如何连接引脚网络 VDDSHV4、VDDSHV5 和 VDDSHV6](#)

[\[常见问题解答\] AM6442：AM6442 MMC1](#)

[\[常见问题解答\] AM625：MMC 接口](#)

常见问题解答是通用的，也可用于 AM62Lx 处理器系列。

7.3.2.2.3 SD 卡电源开关 EN 复位逻辑

建议配置由软件使能 (控制) 的电源开关 (负载开关) 来为 SD 卡提供电源 (VDD)。一个固定的 3.3V 电源 (处理器 IO 电源) 作为电源开关的电源输入进行连接。

使用电源开关可以对 SD 卡电源进行下电上电 (因为复位电源开关是复位 SD 卡的唯一方法)，并将 SD 卡复位为使用 UHS-I SD 卡时的默认状态。

建议使用双输入“与运算”逻辑来实现 SD 卡电源开关使能和复位逻辑，因为“与运算”逻辑提供了灵活性，能够在包括本地复位在内的所有处理器复位条件下复位所连接器件 (适用于所连接器件无响应且需要在不进行下电上电的情况下复位的情形)。处理器 GPIO 作为其中一个输入连接到与门，在“与运算”逻辑与门附近提供上拉电阻器 (10k Ω 或 47k Ω) (以支持 SD 卡引导) 并提供 0 Ω ，以隔离 GPIO 输出用于测试或调试。与门的另一个输入是 MAIN 域热复位状态输出 (RESETSTATz)。

建议将为 SD 卡电源供电的外部电源开关默认设为 ON (供电状态) 以支持 SD 卡引导。

有关实现的信息，请参阅处理器特定 EVM。

7.3.2.2.4 SD 卡接口信号的外部 ESD 保护

建议为 SD 卡接口信号 (数据、时钟和控制信号) 提供外部 ESD 保护。内部 ESD 保护不能满足板级或终端设备级 ESD 要求。

7.3.2.2.5 IO 组电源轨的双电压 IO 电源电容器

建议确认已为 VDDSHV1、VDDSHV3、VDDSHV4 电源轨及连接的器件提供大容量电容与去耦电容（若有推荐方案则使用推荐电容，或遵循 EVM 实现）。

如果没有可用的建议，建议遵循处理器特定 EVM 实现。

备注

建议遵循针对数据和控制信号的处理器特定连接建议。建议将时钟的串联电阻器放置在靠近处理器时钟输出引脚的位置，以控制可能存在的信号反射。

7.3.2.2.6 SD 卡接口 (MMC1) 检查清单

通用

检查并验证定制原理图设计的以下内容：

1. 已查看用户指南上文提及的“所有章节的通用检查清单”部分的内容
2. 验证用于 SD 卡接口的 MMC 端口。建议将 MMC1 用于 SD 卡接口。
3. 将处理器引脚（焊球编号）映射到定制电路板上所需的功能（外设、信号名称）（所选引脚支持将 IO 多路复用以实现所需功能），并根据处理器数据表引脚属性中的信号名称列对信号进行命名（使用标准外设时）。
4. 处理器与所连接器件之间外设数据接口信号的极性匹配（如处理器的 D0-D3（数据）映射到所连接器件的 D0-D3，或类似连接的映射）
5. 为 MMC1_CLK 实现串联电阻器和下拉电阻器
6. MMC1_CMD 和 DAT[3:0] 信号接口连接，包括添加建议的拉电阻器，以及用于数据、命令和时钟信号的拉电阻器阻值
7. IO 组电源连接的 IO 电源
8. MMC1_SDCD 和 SDWP 信号的连接，包括电源（IO 组的 IO 电源）连接和外部上拉电阻器及其阻值。
9. 支持 UHS-I 卡的电路实现，包括 IO 电源电压切换 LDO（集成 LDO 或外部 LDO）和 SD 卡电源控制电源开关
10. 集成 LDO 输入电源连接（SD 卡电源开关的输出）
11. 电源导轨连接到 SD 卡电源开关输入
12. 实现 SD 卡电源、电源开关 EN 复位逻辑以支持引导
13. 以 SD 卡数据和 CMD 接口信号（VDDSHV3）和 SDCD、SDWP（VDDSHV1）为基准的电源电压
14. 为 SD 卡接口信号提供 ESD 保护配置
15. 添加所需的大容量电容器和电容及其数值。

原理图审阅

定制原理图设计请遵循以下列表：

1. MMC1_CLK、CMD 和 DAT[3:0] 信号接口使用以 IO 组 VDDSHV3 双电压 IO 电源为基准（由其供电）的 SDIO 缓冲器来实现（SDIO 缓冲器类型 IO 支持动态电压切换 3.3V 或 1.8V，以支持 UHS-I SD 卡）。
2. 为电源导轨提供了所需的大容量电容器和去耦电容器。如果没有可用的建议，建议遵循大容量电容器和去耦电容器的处理器特定 EVM 实现。
3. 连接到 IO 组 VDDSHVx（VDDSHV3 和 VDDSHV1）的处理器双电压 IO 电源的电源轨遵循 ROC。
4. 建议数据和命令信号使用 47k Ω 上拉电阻器，以符合 SD 卡规范（如果内部上拉电阻器意外启用，则产生的上拉电阻器（47k Ω 与内部上拉电阻器并联）阻值仍处于相关标准规定的阻值范围内）。
5. 将 MMC1_CLK 的串联电阻器（0 Ω ）放置于处理器时钟输出引脚附近，用于控制可能的信号反射（可能导致时钟转换错误）。建议将下拉电阻器（10k Ω ）放置在附加器件时钟输入附近。
6. MMC1_SDCD 和 SDWP 信号使用 LVCMOS 缓冲器实现，并通过一个 10k Ω 电阻器上拉/下拉，该缓冲器以 IO 组 VDDSHV1 的 IO 电源为基准（由其供电），在固定 1.8V 或 3.3V 下运行。
7. 建议在 SDCD 引脚上增加一个 100 Ω 串联电阻器，因为当插入 SD 卡时，处理器 IO 会直接连接到接地端。
8. 验证集成 LDO 的配置以及输入、输出连接。

9. 为支持 UHS-I SD 卡，虽然 SD 卡接口的 IO 电压可以是 1.8V 或 3.3V，但 SD 卡 VDD 电源是固定的 3.3V 电源（经开关控制的 3.3V_SYS，处理器 IO 电源为 3.3V）
10. 建议配置由软件使能（控制）的电源开关（负载开关）来为 SD 卡提供电源（VDD）。一个固定的 3.3V 电源（处理器 IO 电源）作为电源开关的电源输入进行连接。电源开关的输出连接到 VDDA_3P3_SDIO（SDIO 3.3V 模拟电源，输入到内部 SDIO LDO）。
11. 建议使用双输入“与运算”逻辑来实现 SD 卡电源开关使能和复位逻辑，因为“与运算”逻辑提供了灵活性，能够在包括本地复位在内的所有处理器复位条件下复位所连接器件（适用于所连接器件无响应且需要在不进行下电上电的情况下复位的情形）。处理器 GPIO 作为其中一个输入连接到与门，在“与运算”逻辑与门附近提供上拉电阻器配置（10k Ω 或 47k Ω ）（以支持 SD 卡引导），并提供 0 Ω 配置以隔离 GPIO 输出用于测试或调试。与门的另一个输入是 MAIN 域热复位状态输出（RESETSTATz）。建议将为 SD 卡电源供电的外部电源开关默认设为 ON（供电状态）以支持 SD 卡引导。

其他

1. 建议将 SD 卡接口连接到 MMC1 接口，因为 MMC1 支持引导。当 UHS-I SD 卡改变 IO 工作电压时，主机的 MMC1_SD CD 和 MMC1_SD WP 输入的逻辑状态不得改变。如果信号通过会改变电压的双电压 SDIO 单元的输入缓冲器进行传播，则无法保持有效的逻辑状态。信号功能被分配给静态改变电压的 IO。信号仅连接到 SD 卡连接器中的开关，因此当 SD 卡信号改变工作电压时，信号不会无端改变电压。必须使用 MMC1_SD CD 和 MMC1_SD WP 信号连接到 SD 卡连接器开关，并通过连接到 VDDSHV1 的外部拉电阻器将其上拉至高电平。其他 MMC1 SD 卡接口信号（DAT[3:0]、CMD）需要将上拉电阻器连接到动态切换电压的 VDDSHV3 电源。
2. SD 卡电源开关（具有电源开关 EN 引脚复位逻辑）和主机 IO 电源电路需要支持 UHS-I SD 卡，以使用 3.3V IO 电平开始通信，然后在更改为更快的数据传输速度之一时更改为 1.8V IO 电平。由于 SD 卡没有复位引脚，因此对 SD 卡进行下电上电是将其循环回到 3.3V 模式的唯一方法。主机 IO 电源必须与 SD 卡一起断电上电和更改电压。操作为电路提供信号的电路和软件驱动程序可验证两个器件是否关断或导通，以及是否同时在相同的 IO 电压下运行。
3. UHS-I SD 卡支持实现和集成 LDO 用例：无需 VDDA_3P3_SDIO 电源轨与其他 3.3V 电源导轨一起斜升。在释放复位之前，VDDA_3P3_SDIO 不会关闭。SDIO_LDO 仅控制 AM62Lx VDDSHV3 IO 的工作电压，而不控制 SD 卡的工作电压。SD 卡具有 SDIO_LDO 等效电路，可通过命令将其 IO 工作电压从 3.3V 更改为 1.8V、但将 SD 卡 IO 工作电压改回 3.3V 的唯一方法是对电源进行下电上电循环（复位）。与门和负载开关将电源施加到 AM62Lx SDIO_LDO 和 SD 卡（复位后）、ROM 代码提供足够的延迟来验证 SD 卡是否准备就绪。

在处理器启动期间，ROM 代码会检查卡检测输入（SD CD）的状态。建议保持较低输入电平，以指示插入（检测到）SD 卡。

要使用 MMC2 接口信号实现 SD 卡接口，对于数据和 CMD，可以遵循时钟信号 MMC1 连接。作为 MMC2 信号基准的 IO 组 IO 电源是 VDDSHV4。MMC2_SD CD 和 MMC2_SD WP 信号也可以以 VDDSHV4 为基准。将 UHS-I SD 卡连接到 MMC2 需要将 MMC2_SD CD 和 MMC2_SD WP 连接到固定电源电压。建议使用备用引脚选项（IOSET）来实现信号功能，该选项使用以固定电压源 VDDSHV1 为基准的 LVCMOS IO 类型。

7.3.2.3 MMC1/MMC2 SDIO（嵌入式）接口

图 7-5 包含为 SDIO 接口配置、连接至 M.2 接口连接器的 MMC2 接口。图中包含了 DAT0-DAT3 和 CMD 的上拉电阻器、串联电阻器（放置于处理器时钟输出引脚附近）和时钟输入的下拉电阻器（放置于所连接器件附近）。SDIO 接口在 3.3V 或 1.8V 固定电压下工作。

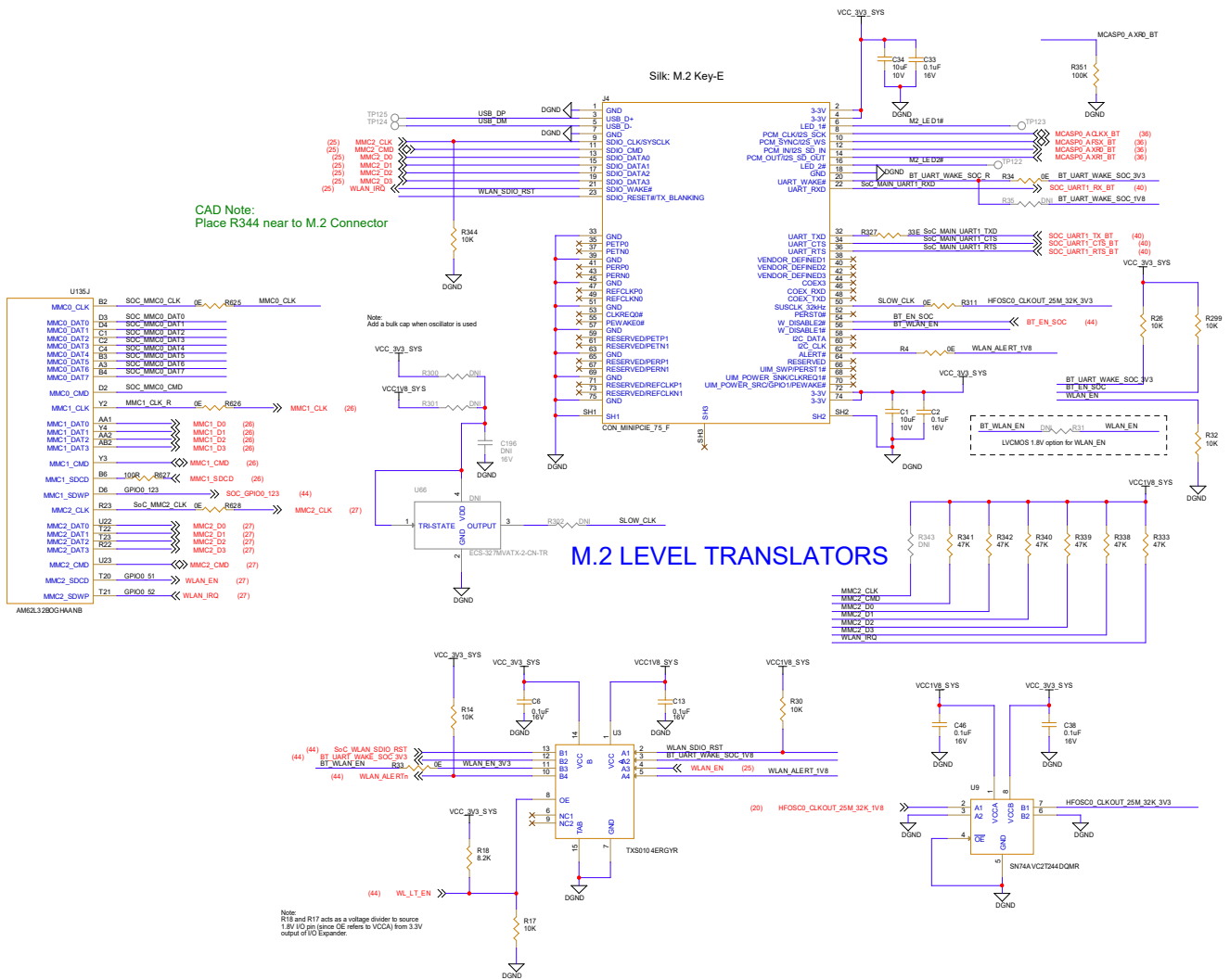


图 7-5. 使用 SDIO 接口实现 M.2 接口

该处理器系列支持可配置为 SDIO 接口的 2 个外设实例 MMC1、MMC2。由于 MMC2 接口已在 EVM 上针对 SDIO 接口进行了测试，因此建议将 MMC2 接口用于 Wi-Fi 或蓝牙收发器等板载固定电压嵌入式 SDIO 器件用例。MMC1 可根据需要用于 SDIO。由于尚未在 MMC1 上对 SDIO 接口进行测试，因此客户应检查软件支持的可用性，并对定制电路板设计执行所需的性能测试。

固定的 IO 电源用于嵌入式 SDIO 接口，并简化了电源架构。使用的信号包括数据、命令、时钟和复位信号。连接 SDCD 和 SDWP 信号是可选的，可能取决于用例。

没有关于为嵌入式 SDIO 实现拉电阻器（为连接的器件提供或不提供拉电阻器）的特定指南。实现嵌入式 SDIO 器件的定制电路板设计人员负责确定 SDIO 器件上支持的拉电阻器，并在定制电路板设计上应用适当的外部拉电阻器。处理器 IO 缓冲器（用于多个 IO）在复位期间和复位后处于关闭状态，在电路板引导并配置软件之前不会使能。为了防止输入悬空，建议对连接到可悬空的所连接器件输入端的信号使用外部拉电阻器。

有关更多信息，请参阅处理器特定数据表的 MMC1/MMC2 - SD/SDIO 接口一节。

另请参阅以下常见问题解答：

[\[常见问题解答\] AM625/AM623/AM620-Q1/AM62L/AM64x/ AM243x \(ALV\)/AM62Ax/AM62D-Q1/AM62Px 定制电路板硬件设计的设计建议/常见错误—SDIO \(嵌入式\) 接口](#)

7.3.2.3.1 IO 电源

MMC1 (CMD、CLK 和 Data) 接口 IO 以 VDDSHV3 电源轨 (MMC1 IO 组的双电压 IO 电源) 为基准 (由其供电)。MMC1 SD 卡检测 (CD) 和写保护 (WP) 信号 (可选) 以 VDDSHV1 电源轨 (General1 IO 组的双电压 IO 电源) 为基准 (由其供电)。建议将 SDIO 接口的 MMC1_SDCD、MMC1_SDWP 的上拉电阻器 (10k Ω) 连接到同一电源导轨 VDDSHV1。

MMC2 (CMD、CLK 和 Data) 接口 IO 以 VDDSHV4 电源轨 (MMC2 IO 组的双电压 IO 电源) 为基准 (由其供电)。MMC2 SD 卡检测 (CD) 和写保护 (WP) 信号 (可选) 以 VDDSHV4 (MMC2 IO 组的双电压 IO 电源) 电源轨或 VDDSHV1 电源轨 (General1 IO 组的双电压 IO 电源) 为基准 (由其供电)。SDIO 接口的 MMC2_SDCD、MMC2_SDWP 的上拉电阻器 (10k Ω) 可连接到 VDDSHV4 或 VDDSHV1 电源导轨。

7.3.2.3.2 信号连接

备注

在没有建议的拉电阻器的情况下，建议遵循以下一般建议。定制电路板设计人员负责审查所连接器件支持的拉电阻器，并确保没有在外部添加反极性拉电阻器。

建议为 MMC1 接口进行以下连接：

- 建议为 MMC1_CLK 连接一个串联电阻器 (0 Ω) (靠近处理器时钟输出引脚，以控制可能的信号反射)，为 MMC1_CLK 连接外部下拉电阻器 (10k Ω) (靠近所连接器件时钟输入引脚)，以将所连接器件保持在低电平状态 (在某些情况下，时钟在低电平逻辑状态停止或暂停，并且下拉选项与该逻辑状态一致)。
- 建议为连接到相应 IO 组双电压 IO 电源 (MMC1 = VDDSHV3) 电源导轨的数据线路 (MMC1_DAT[3:0]) 和 CMD 信号 (MMC1_CMD) 添加外部上拉电阻器 (47k Ω) (靠近所连接器件)。
- 建议为连接到 VDDSHV1 电源导轨的 MMC1_SDCD 和 MMC1_SDWP (可选) 信号添加外部上拉电阻器 (10k Ω) (靠近所连接器件)。

建议为 MMC2 接口进行以下连接：

- 建议为 MMC2_CLK 连接一个串联电阻器 (0 Ω) (靠近处理器时钟输出引脚，以控制可能的信号反射)，为 MMC2_CLK 连接外部下拉电阻器 (10k Ω) (靠近所连接器件时钟输入引脚)，以将所连接器件保持在低电平状态 (在某些情况下，时钟在低电平逻辑状态停止或暂停，并且下拉选项与该逻辑状态一致)。
- 建议为连接到相应 IO 组双电压 IO 电源 (MMC2 = VDDSHV4) 电源导轨的数据线路 (MMC2_DAT[3:0]) 和 CMD 信号 (MMC2_CMD) 添加外部上拉电阻器 (47k Ω) (靠近所连接器件)。
- 建议为连接到 VDDSHV4 或 VDDSHV1 电源轨 (根据所选引脚 (IO)) 的 MMC2_SDCD 和 MMC2_SDWP (可选) 信号添加外部上拉电阻器 (10k Ω) (靠近所连接器件)。

7.3.2.3.3 SDIO (建议 MMC2，嵌入式) 接口检查清单

通用

检查并验证定制原理图设计的以下内容：

1. 已查看用户指南上文提及的“所有章节的通用检查清单”部分的内容
2. 对于嵌入式 SDIO (提供或不提供接口器件内部拉电阻器)，没有关于拉电阻器 (CLK、DATA、CMD、SDCD、SDWP) 实现的具体指南。实现嵌入式 SDIO 器件的定制电路板设计人员负责确定 SDIO 器件上支持的拉电阻器，并在定制电路板设计上应用适当的外部拉电阻器。
3. 将处理器引脚 (焊球编号) 映射到定制电路板上所需的功能 (外设、信号名称) (所选引脚支持将 IO 多路复用以实现所需功能)，并根据处理器数据表引脚属性中的信号名称列对信号进行命名 (使用标准外设时)。
4. 处理器与所连接器件之间外设数据接口信号的极性匹配 (如处理器的 D0-D3 (数据) 映射到所连接器件的 D0-D3，或类似连接的映射)
5. 为 MMC2_CLK 实现串联电阻器和下拉电阻器
6. MMC2 CMD 和 DAT[3:0] 信号的上拉电阻器实现
7. IO 组双电压 IO 电源的连接 (已连接固定电压)
8. MMC2 SDCD 和 SDWP 信号连接的实现

9. 所连接器件复位逻辑的实现
10. 添加所需的大容量电容器和去耦电容器及其数值。

原理图审阅

定制原理图设计请遵循以下列表：

1. MMC2 CLK、CMD 和 DAT[3:0] 信号接口使用以 IO 组 VDDSHV4 双电压 IO 电源为基准（由其供电）的 SDIO 缓冲器来实现（SDIO 缓冲器类型 IO 支持动态电压切换 3.3V 或 1.8V，以支持 UHS-I SD 卡）。
2. 为电源导轨提供了所需的大容量电容器和去耦电容器。如果没有可用的建议，建议遵循大容量电容器和去耦电容器的处理器特定 EVM 实现。
3. 对于嵌入式 SDIO 应用，建议通过同一固定式 1.8V 或 3.3V 电源，为 IO 组的双电压 IO 电源供电，该电源用于为所连接器件的 IO 供电（例如：Wi-Fi 模块）。
4. MMC2 SDCD 和 SDWP 信号使用 LVCMOS 缓冲器实现，这些缓冲器以 IO 组 VDDSHV4 或 VDDSHV1（IOSET 配置）的双电压 IO 电源（在固定 1.8V 或 3.3V 下工作）为基准（由其供电）。对于 SDIO 用例，可以使用 VDDSHV4、因为未切换 IO 电源。SDCD 和 SDWP 的使用取决于用例，没有具体的建议。
5. 将 MMC2_CLK 的串联电阻器 ($0\ \Omega$) 放置于处理器时钟输出引脚附近，用于控制可能的信号反射（可能导致时钟转换错误）。为靠近连接器件时钟输入的 MMC2_CLK 放置了一个下拉电阻器 ($10k\ \Omega$)，以将时钟输入保持在低电平状态（在某些情况下，时钟在低电平逻辑状态下停止或暂停，并且下拉电阻器选项与该逻辑状态一致）。在使用外部拉电阻器时，建议确认未配置处理器或所连接器件内部拉电阻器。
6. 用于数据、命令和时钟信号的拉电阻值。建议遵循针对所连接器件的建议，或将实施方案与 EVM 原理图实施方案进行比较。若不存在针对 SDIO 拉电阻器建议，作为一种良好的设计实践，建议使用 $47k\ \Omega$ 上拉电阻器（当内部拉电阻器意外启用时使上拉电阻器值处于 SD 卡规格范围内）。使用 $47k\ \Omega$ 电阻器，产生的拉电阻器（ $47k\ \Omega$ 外部上拉电阻器与内部下拉电阻器并联）阻值仍会在相关标准规定的阻值范围内。在使用外部拉电阻器时，建议确认未配置处理器或所连接器件内部拉电阻器。
7. 连接到 IO 组 VDDSHVx（用于 SDIO 时为 VDDSHV4，配置 IO 集时为 VDDSHV1）处理器双电压 IO 电源和所连接器件 IO 电源的电源轨遵循 ROC。
8. 使用处理器 IO 实现所连接器件复位时，建议使用一个下拉电阻器将所连接器件保持在复位状态，直到主机初始化 SDIO 接口。

其他

1. 如果信号通过附加卡连接，建议验证是否已为接口信号提供所需的外部 ESD 保护。
2. 将 MMC1 用于嵌入式 SDIO 接口时，需要更改软件，因为 EVM 仅在 MMC2 上实现 SDIO 接口。由定制电路板设计人员负责测试性能。
3. 复位期间和复位后，处理器 IO 缓冲器（用于 MMCx 信号）处于关闭状态。IO 缓冲器只有在电路板启动且软件配置 IO 后才会使能。为防止处理器 IO 悬空或所连接器件输入被处理器 IO 驱动，建议在连接到所连接器件输入的信号上添加外部拉电阻器。

7.3.2.4 其他信息

建议参阅处理器特定数据表的 *信号说明*、*MMC*、*MAIN* 域一节中的注释。

7.3.3 八路串行外设接口 (OSPI) 或四路串行外设接口 (QSPI)

图 7-6 包含连接到两个所连接器件的处理器 OSPI0 接口。其中一个所连接器件 U34 为 OSPI 配置，支持 DQS，另一个所连接器件则为 QSPI（TAP 模式）配置。

将上拉电阻器放置于为 OSPI 闪存配置的闪存附近，以确保存储器 IO 不会悬空。与 QSPI 闪存相比，OSPI 闪存放置的位置离处理器更远。图中还包含为两个存储器件分别实现的所连接器件复位逻辑。

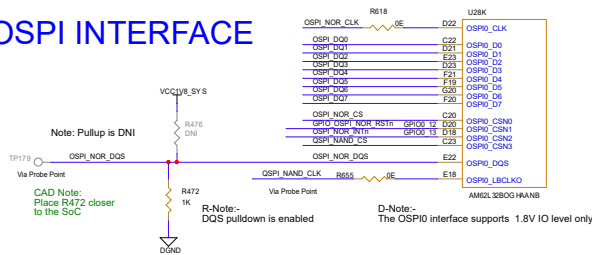
备注

OSPI0 接口支持固定的 1.8V IO 接口。 建议验证与所连接器件的 IO 电平兼容性。建议将处理器 GENERAL0_1 IO 组 (VDDS1, 包含 OSPI0 IO 组) 的固定电压电源和所连接器件的 IO 电源连接到同一电源。定制电路板设计人员应确保正常运行期间设计施加的电位绝不会超过 ROC 中定义的值, 以及测试或电路板启动期间, 绝不会超过绝对最大额定值表中定义的值。

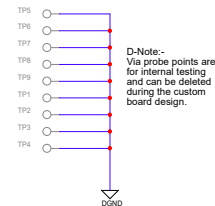
备注

请参阅有链接的部分, 了解如何实现串联电阻器和并联拉电阻器: [处理器特定 EVM 与数据表](#)。

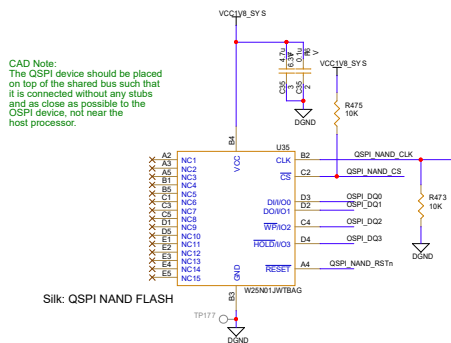
SOC OSPI INTERFACE



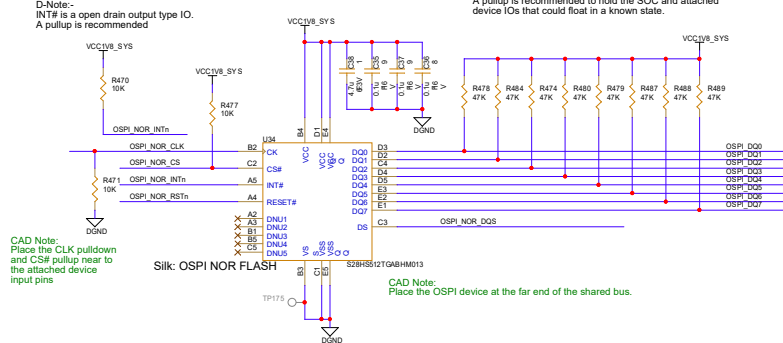
GND VIA PROBE POINTS



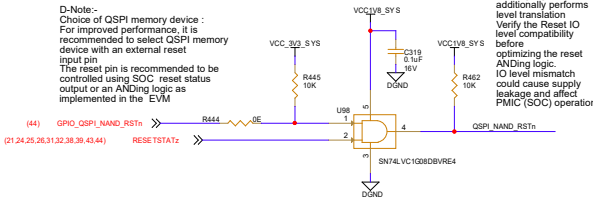
QSPI NAND FLASH



OSPI NOR FLASH



QSPI NAND FLASH RESET



OSPI NOR FLASH RESET

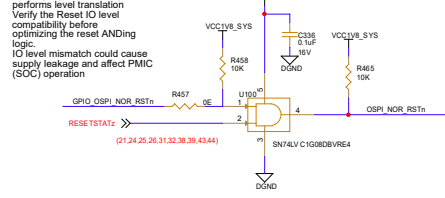


图 7-6. OSPI0 接口和时钟

处理器系列支持通过 OSPI0 接口连接 x1 存储器器件 (x1 八进制串行外设接口 (OSPI0) 或四通道串行外设接口 (QSPI0)) 或连接多达 x2 存储器 (例如 : x1 OSPI + x1 QSPI) 器件。OSPI0 IO 以 VDDS1 为基准, 支持 1.8V IO 固定电平。

有效组合如下所示 :

- OSPI + OSPI (更快 - DQS)
- QSPI + OSPI (更快 - DQS)
- OSPI (更快 - DQS)
- QSPI (更快 - LBCLKO)

建议验证 OSPI0 外设 IO (固定电压) 所参考的 IO 组 IO 电源与所连接器件的 IO 电压电平是否兼容。建议将所连接器件的 IO 电源和 OSPI0 处理器外设 IO 所参考的 IO 组 IO 电源连接到同一电源。

有关详细信息，请参阅处理器特定数据表中的 *OSPI/QSPI/SPI 电路板设计和布局布线指南* 一节，或参阅 TI.com 上的配套资料。

有关 OSPI 或 QSPI 存储器接口的更多信息，请参阅以下常见问题解答：

[\[常见问题解答\] AM62L \(AM62L32、AM62L31 \) 定制电路板硬件设计 - OSPI \(OSPI0\) 接口实现 \(TMD562LEVM 上 \) 指南](#)

[\[常见问题解答\] AM625/AM623/AM620-Q1/AM62L/AM62Ax/AM62D-Q1/AM62Px 定制电路板硬件设计的设计建议/常见错误 - OSPI/QSPI 存储器接口](#)

[\[常见问题解答\] Sitara/Jacinto 器件的 OSPI 常见问题解答](#)

常见问题解答是通用的，也可用于 AM62Lx 处理器系列。

7.3.3.1 OSPI0 连接到单个器件

建议在使用单个器件时，遵循 AM62x 或其他处理器系列的 OSPI0 接口实现方式。

7.3.3.1.1 IO 电源

用于 OSPI0 (OSPI 或 QSPI) 接口的处理器 IO 以 VDD51 电源轨 (OSPI0 IO 组的 IO 电源) 为基准 (由其供电)。

建议将所连接器件的 VDD51 和 IO 电源轨连接到同一电源。

所连接器件的 VDD (内核电压) 可从 (由) 独立电源 (不同的电源) 供电。

7.3.3.1.2 信号连接

建议进行以下连接：

- 建议为 OSPI0_CLK 连接一个串联电阻器 (0Ω) (靠近处理器时钟输出引脚，以控制可能的信号反射)，为 OSPI0_CLK 连接外部下拉电阻器 (10kΩ) (靠近所连接器件时钟输入引脚)，以将所连接器件保持在低电平状态 (在某些情况下，时钟在低电平逻辑状态停止或暂停，并且下拉选项与该逻辑状态一致)。
- 建议为 OSPI0_LBCLKO (靠近处理器的时钟输出引脚，以便能够连接或断开 LBCLKO) 提供串联电阻器 (0Ω) 配置。
- 建议在靠近所连接器件输入的 CS 信号添加外部上拉电阻器 (10kΩ) 配置。
- 建议在配置为中断输入的处理器 IO 输入附近为 INT# 输出添加外部上拉器 (10kΩ) 配置。
- 建议为连接到所连接器件输入 (信号) 的数据线 (DAT0:7) 提供外部上拉电阻器 (10kΩ 或 47kΩ) 配置，以防止所连接器件输入在由主机驱动之前处于悬空状态。建议将上拉电阻器连接到用于为 VDD51 电源导轨供电的同一电源。

7.3.3.1.3 OSPI/QSPI 器件复位

建议使用双输入“与运算”逻辑来实现所连接器件的复位 (OSPI/QSPI 存储器)，因为“与运算”逻辑提供了灵活性，能够在包括本地复位在内的所有处理器复位条件下复位所连接器件 (适用于所连接器件无响应且需要在不进行下电上电的情况下复位的情形)。处理器 GPIO 作为其中一个输入连接到与门，在“与运算”逻辑与门输入端附近提供上拉电阻器配置 (10kΩ 或 47kΩ) (以支持引导)，并提供 0Ω 配置以隔离 GPIO 输出用于测试或调试。与门的另一个输入是 MAIN 域热复位状态输出 (RESETSTATz)。

如果直接使用 (连接，不使用“与运算”逻辑) 处理器 MAIN 域热复位状态输出 (RESETSTATz) 来复位所连接器件，建议将 RESETSTATz 的 IO 电压电平与所连接器件匹配。建议使用电平转换器来匹配 IO 电平。如果选择了电阻分压器的理想值，则也可以使用电阻分压器进行电平转换。若电阻分压器值过高，则连接到 OSPI/QSPI 复位输入的处理器 IO 的上升/下降时间可能会变慢，且会引入延迟。使用过低值电阻器作为分压器会导致处理器在正常运行期间提供过多的稳态电流。

除了数据、时钟和片选输入外，建议选择还支持外部复位输入引脚的存储器件。

7.3.3.1.4 环回时钟

请参阅处理器特定数据表的 *OSPI/QSPI/SPI 电路板设计和布局指南* 一节。本节提供在连接 OSPI、QSPI 或 SPI 存储器件时建议遵守的 PCB 布线指南。

建议验证环回时钟配置。可以使用 OSPI0_LBCLKO (OSPI0 环回时钟输出) 和 OSPI0_DQS (OSPI0 数据选通或环回时钟输入) 信号进行不同的时钟环回配置。有关支持的环回配置的相关信息，请参阅处理器特定数据表 *OSPI/QSPI/SPI 电路板设计和布局指南* 一节中的下图：

- 无环回、内部 PHY 环回和内部焊盘环回的 OSPI 连接原理图
- 外部板环回的 OSPI 连接原理图
- DQS 的 OSPI 连接原理图

外部电路板级环回

处理器 DQS (或环回时钟输入) 与所连接存储器件的 DS 数据选通输出搭配使用

建议将所连接器件的 DS 引脚连接到处理器的 OSPI0_DQS 引脚 (前提是所连接器件中有 DS (读取数据选通) 引脚)。建议在不使用 OSPI0_LBCLKO 引脚时将其保持未连接状态。

如果所连接器件上没有 DS 引脚 (例如：QSPI)，建议配置外部环回。

建议将处理器的 OSPI0_LBCLKO 输出引脚连接到处理器的 OSPI0_DQS 输入引脚 (请注意长度匹配要求)。当不使用外部环回时，建议将 OSPI0_LBCLKO 和 OSPI0_DQS 引脚保持未连接状态。

备注

为支持传统 x1 命令，建议将处理器 OSPI0 接口的 D0 和 D1 引脚连接到 OSPI/QSPI 存储器件的 D0 和 D1 引脚。不允许进行数据位交换。

7.3.3.2 连接到 2 个器件

OSPI0 接口支持连接 2 个连接器件。

请参阅 EVM 了解实现方式。如需详细了解与 OSPI0 接口相关的应用手册，请参阅处理器特定 (AM62L) 的产品页面。

7.3.3.3 电源轨的电容器

建议确认已为 VDDS1 电源导轨和附加器件 (内核和 IO 电源) 提供大容量电容器与去耦电容器 (若有建议则使用建议的电容，或遵循相关 EVM 实现)。

如果没有可用的建议，建议遵循处理器特定 EVM 实现。

7.3.3.4 OSPI0 或 QSPI0 外设接口实现检查清单

通用

检查并验证定制原理图设计的以下内容：

1. 已查看用户指南上文中的“所有章节的通用检查清单”章节。
2. OSPI 或 QSPI 存储器接口所需的存储器接口配置和建议连接
3. 所连接器件 IO 电源和以 OSPI0 接口信号为基准 (由其供电) 的固定电压 IO 组 IO 电源的连接 (连接到同一电源)
4. 处理器与所连接器件之间的 IO 电平兼容性 (1.8V)。
5. 将处理器引脚 (焊球编号) 映射到定制电路板上所需的功能 (外设、信号名称) (所选引脚支持将 IO 多路复用以实现所需功能)，并根据处理器数据表引脚属性中的信号名称列对信号进行命名 (使用标准外设时)。
6. 处理器与所连接器件之间外设数据接口信号的极性匹配 (如处理器的 D0-D7 (数据) 映射到所连接器件的 D0-D7，或类似连接的映射)
7. 在处理器时钟输出引脚附近提供串联电阻器配置，并在所连接存储器件附近为 OSPI0_CLK 信号提供下拉电阻器配置
8. 上拉电阻器配置，包括 OSPI/QSPI 数据接口和 CS 信号的值
9. 实现所连接器件的复位逻辑，以支持所连接器件复位输入的引导和连接。
10. 基于所选接口 (OSPI/QSPI) 和所使用存储器件的时钟环回配置
11. 在支持引导的 CS0 上添加串联电阻器配置

12. 连接来自存储器 (OSPI) 的 DQS 输入, 并为处理器 DQS 输入引脚提供下拉电阻器配置
13. 将来自处理器输出 (用于 QSPI) 的 LBCLKO 连接到 DQS 输入, 并在处理器 DQS 输入引脚附近添加下拉电阻器
14. 不使用时的 LBCLKO 连接
15. 实现单个或两个所连接器件接口的连接建议
16. 添加所需的大容量电容器和电容及其数值。

原理图审阅

定制原理图设计请遵循以下列表：

1. 建议将 OSPI0 或 QSPI0 存储器接口连接与 EVM 原理图实施方案进行比较, 以确定并联拉电阻器、串联电阻器和电阻器阻值的配置。
2. 建议将所连接器件复位逻辑的实现与 EVM 原理图实现进行比较。
3. 为 OSPI0_CLK 配置串联电阻器 ($0\ \Omega$) (靠近处理器时钟输出引脚, 以控制可能的信号反射), 为 OSPI0_CLK 配置外部下拉电阻器 ($10\text{k}\ \Omega$) (靠近所连接器件的时钟输入引脚), 以将所连接器件保持在低电平状态 (在某些情况下, 时钟在低电平逻辑状态停止或暂停, 并且下拉选项与该逻辑状态一致)。
4. 为可能悬空的数据和控制信号提供上拉电阻 ($10\text{k}\ \Omega$ 或 $47\text{k}\ \Omega$) 配置 (以防止所连接器件输入在由主机驱动之前处于悬空状态)。建议验证电源是否连接到上拉电阻器。
5. 将 OSPI0 接口连接到一 (单) 个或多个所连接器件。将 OSPI0 接口连接到多个连接器件 (超过 1 个连接器件) 时, 请遵循 EVM 或建议的指南
6. 处理器和所连接器件之间的 IO 电平兼容性。所连接器件的 IO 电源和以 OSPI0 接口信号为基准 (由其供电) 的 IO 组 VDDSD1 固定电压 IO 电源连接到同一电源。
7. 连接到以 OSPI0 外设为基准 (由其供电) 的 IO 组 VDDSD1 固定电压 IO 电源和所连接器件 IO 电源的电源轨遵循 ROC。
8. 外部环回实现 (基于用例)。
9. OSPI 存储器器件的 DQS 和为处理器附近 DQS 输入添加的下拉电阻的连接。
10. 通过 $0\ \Omega$ 连接 QSPI 存储器器件的 OSPI0_LBCLKO。
11. 在复位或电源斜升期间将复位输入上拉至高电平状态 (不建议)。
12. 使用 2 输入 (RESETSTATz 和处理器 IO) “与计算” 逻辑或使用 MAIN 域热复位状态输出 RESETSTATz 用于引导时复位逻辑的实现。
13. 如果 OSPI0 接口未用于引导, 可使用处理器 IO 实现复位逻辑。建议在复位输入附近放置下拉电阻。

其他

1. 建议验证是否遵循了处理器特定数据表的 *OSPI/QSPI/SPI 电路板设计和布局布线指南* 部分。
2. 如果实现了 OSPI/QSPI 引导模式, 建议验证器件勘误表、所选存储器是否满足处理器特定 TRM 中描述的引导标准 (或向 TI 验证, 建议使用 E2E)。

7.3.4 通用存储器控制器 (GPMC)

建议查阅处理器特定数据表和 TRM, 核实可用的 GPMC IO (引出的信号) 数量和支持的接口配置。

由于具有引脚输出的地址线数量之故, 不支持非复用 NOR 接口。GPMC0_A0-A6 的说明是 IP 功能说明, 而非引脚功能说明。

7.3.4.1 IO 电源

建议验证所连接处理器外设 IO (固定电压或双电压) 所参考的 IO 组 IO 电源是否与所连接器件的 IO 电压电平兼容。用于 GPMC 接口的处理器 IO 以 VDDSHV0 电源轨 (GPMC IO 组的 IO 电源) 为基准 (由其供电)。

建议将所连接器件的 VDDSHV0 和 IO 电源轨连接到同一电源。

所连接器件的 VDD (内核电压) 可从 (由) 独立电源 (不同的电源) 供电。

7.3.4.2 GPMC 接口

GPMC 接口支持特定的存储器接口配置。有关支持的存储器接口，请参阅处理器特定数据表中 *特性* 一章的 *媒体和数据存储* 一节、*器件比较* 一章的 *器件比较表*、*端子配置和功能* 一章的 *GPMC0 信号说明表*。

建议验证使用的存储器接口配置（与支持的接口配置对比）和连接到 GPMC 接口的所连接器件数量。

建议在同步模式下配置时将 GPMC 接口连接到 1（单）个器件。使用多个所连接器件或（CSn）时需要拆分板载 GPMC 时钟（和其他接口信号），这会导致信号完整性问题，影响性能。

在异步模式下连接多个存储器件时，建议进行详细的时序分析。在异步模式下连接到多个存储器件时，需将控制信号路由到多个器件。拆分路由和负载（布线长度和器件数量）会影响定制电路板性能。

7.3.4.3 信号连接

建议为 GPMC0_CLK 连接一个串联电阻器（0Ω）（靠近处理器时钟输出引脚，以控制可能的信号反射），为 GPMC0_CLK 连接外部下拉电阻器（10kΩ）（靠近所连接器件时钟输入引脚），以将所连接器件保持在低电平状态（在某些情况下，时钟在低电平逻辑状态停止或暂停，并且下拉选项与该逻辑状态一致）。

建议在 GPMC0_CSn0-3（取决于配置）上配置一个外部上拉电阻器（10kΩ），以防止所连接器件输入在被主机驱动前处于悬空状态。

建议为 GPMC 地址和数据接口信号配置外部拉电阻器（10kΩ 或 47kΩ），以防止所连接器件输入在由主机驱动前处于悬空状态。

7.3.4.3.1 GPMC NAND

NAND 闪存的高电平有效就绪和低电平有效繁忙（R/B#）输出为开漏输出型信号，并连接到 GPMC0_WAIT0 和 GPMC0_WAIT1 信号（取决于配置）。建议在靠近所连接器件的位置提供上拉电阻（通常使用 10kΩ 电阻值）。

7.3.4.4 存储器（连接的器件）复位

如果使用 NAND 闪存或 NOR 闪存，复位输入（引脚）的可用性取决于所选的存储器件。若支持复位引脚，建议核查所需的复位配置，并将相关外部复位信号连接到存储器复位输入引脚，包括实现双输入“与运算”逻辑，因为“与运算”逻辑提供了灵活性，能够在包括本地复位在内的所有处理器复位条件下复位所连接器件（适用于所连接器件无响应且需要在不进行下电上电的情况下复位的情形）。在复位引脚上添加一个上拉电阻器可在电源上升阶段使能存储器，不建议采用这样的设计。

7.3.4.5 电源轨的电容器

建议确认已为 VDDSHV0 电源导轨和附加器件（内核和 IO 电源）提供大容量电容器与去耦电容器（若有建议则使用建议的电容，或遵循相关 EVM 实现）。

如果没有可用的建议，建议遵循处理器特定 EVM 实现。

7.3.4.6 GPMC 接口检查清单

通用

检查并验证定制原理图设计的以下内容：

1. 已查看用户指南上文提及的“所有章节的通用检查清单”部分的内容
2. GPMC 存储器接口配置（NAND 或 NOR 闪存）、使用的接口模式 - 异步或同步时钟模式
3. GPMC 存储器 NAND/NOR、地址和数据信号的连接 - 多路复用或非多路复用、同步或异步，数据位宽度符合处理器特定数据表和 TRM 中的要求
4. 支持的地址和数据范围（IO 按处理器特定数据表相关说明从处理器引出）
5. 将处理器引脚（焊球编号）映射到定制电路板上所需的功能（外设、信号名称）（所选引脚支持将 IO 多路复用以实现所需功能），并根据处理器数据表引脚属性中的信号名称列对信号进行命名（使用标准外设时）。
6. 处理器与所连接器件之间外设数据接口信号的极性匹配（如处理器的 D0-D7（或更高位数据）映射到所连接器件的 D0-D7（或更高位），或类似连接）
7. 在处理器 GPMC 时钟输出引脚附近连接 0Ω 串联电阻器，并在所连接器件附近为 GPMC0 时钟输入连接下拉电阻器

8. GPMC 接口信号 (可悬空的信号) 所需的拉电阻器连接
9. 所连接存储器件 (NAND 闪存) 的开漏输出型信号高电平有效就绪和低电平有效繁忙 (R/B#) 输出的连接
10. 配置为备选功能 (GPMC 接口) 时的引导模式输入信号连接
11. 所连接器件与处理器 GPMC 接口信号的 IO 兼容性。以 GPMC 接口信号为基准的所连接器件 IO 电源和双电压 IO 组 IO 电源连接到同一电源
12. 所需的 GPMC 接口时序与可行性及布局对时序影响之间的关系
13. 在异步模式下连接多个存储器件时, 建议执行时序分析和负载计算
14. 添加所需的大容量电容器和电容及其数值。

原理图审阅

定制原理图设计请遵循以下列表：

1. GPMC 接口配置和推荐的连接。GPMC 存储器 NAND/NOR、地址和数据信号的连接 - 多路复用或非多路复用、同步或异步数据位宽度符合处理器特定 TRM。
2. 支持的地址和数据范围 (处理器专用数据表中提到的处理器 IO 引脚输出)。
3. 处理器和所连接器件之间的 IO 电平兼容性。以 GPMC 接口信号为基准 (由其供电) 的所连接器件 IO 电源和 IO 组 IO 电源连接到同一电源并遵循 ROC
4. 为可能悬空的接口信号提供建议的拉电阻器 (47k Ω) (以防止所连接器件输入在由主机驱动之前处于悬空状态)。
5. 建议在 GPMC0_CSn0-3 (取决于配置) 上配置外部上拉电阻器, 以防止所连接器件输入在被主机驱动前处于悬空状态。
6. 为 GPMC0_CLK 配置串联电阻器 (0 Ω) (靠近处理器时钟输出引脚, 以控制可能的信号反射), 为 GPMC0_CLK 配置外部下拉电阻器 (10k Ω) (靠近所连接器件时钟输入引脚), 以将所连接器件保持在低电平状态 (在某些情况下, 时钟在低电平逻辑状态停止或暂停, 并且下拉选项与该逻辑状态一致)。
7. NAND 闪存的开漏输出型信号高电平有效就绪和低电平有效繁忙 (R/B#) 输出连接到 GPMC0_WAIT0 和 GPMC0_WAIT1 信号 (取决于配置)。建议在靠近所连接器件的位置提供上拉电阻 (通常使用 10k Ω 电阻值)。
8. 通过 0 Ω 配置引导模式输入用于备选功能 (GPMC 接口), 以便能够隔离检查引导模式功能。

7.4 外部通信接口 (以太网 (CPSW3G0)、USB2.0、UART 和 MCAN)

备注

请参阅有链接的部分, 了解如何实现串联电阻器和并联拉电阻器: [处理器特定 EVM 与数据表](#)。

7.4.1 以太网 (MAC) 接口

图 7-7 包含配置为 RGMII 接口并连接至以太网 PHY U87 (DP83867, 千兆) 的 CPSW3G (以太网) 外设。包含用于 MAC 接口 TDx 和 RDx 信号的串联电阻器, 以及用于配置 EPHY 参数 (引脚配置 (strap)) 的并联拉电阻器。显示了使用 “与运算” 逻辑 (单独) 复位 EPHY 的复位逻辑。还包含 EPHY 电源轨的建议大容量电容器和去耦电容器。

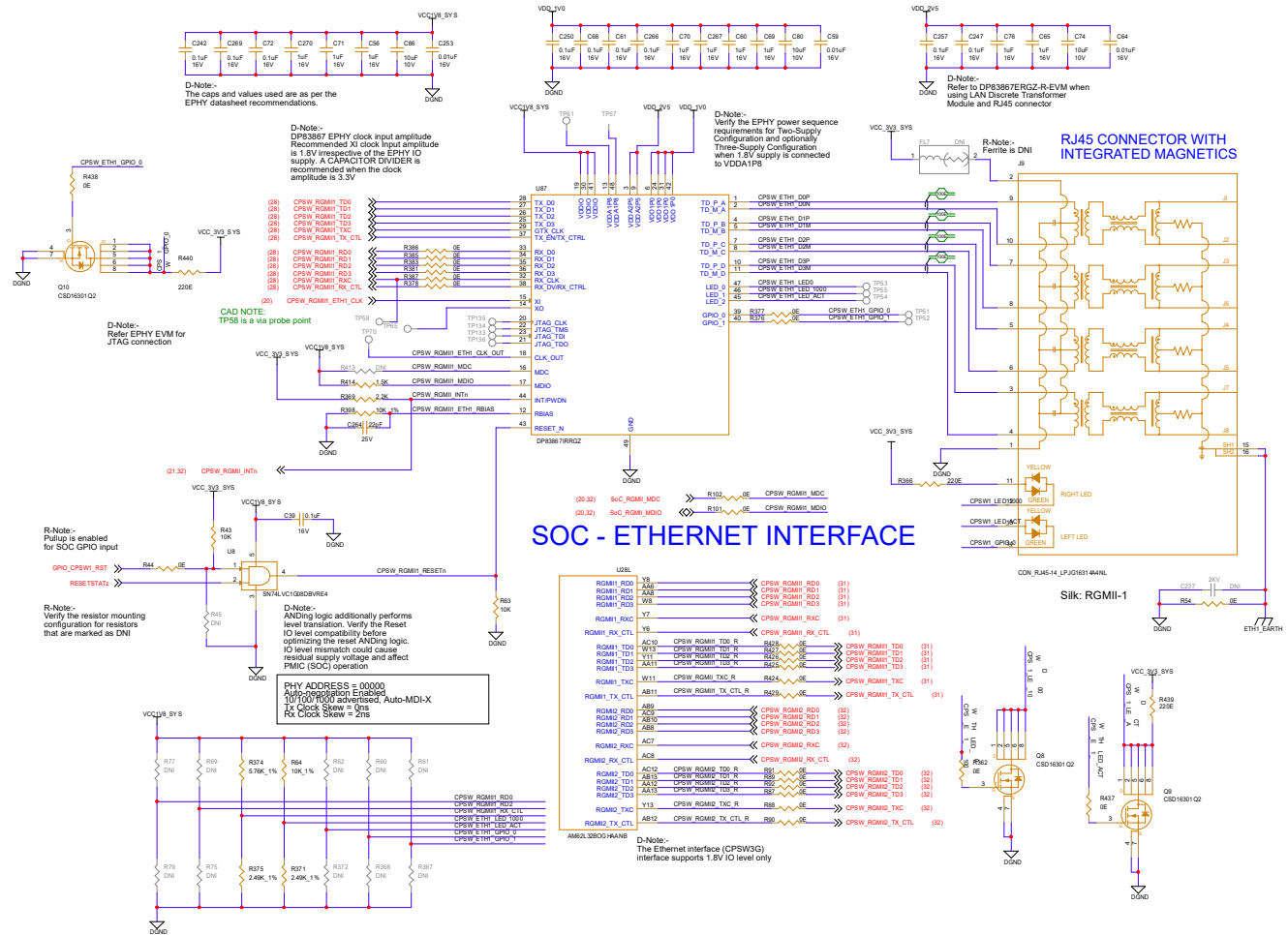


图 7-7. SOC MAC - EPHY RGMII 接口

处理器系列支持 2 (两) 个具有单独 MAC ID 的独立以太网接口 (使用 CPSW3G0 外设)。每个 MAC 接口均支持 RGMII 或 RMII 接口。

有关以太网接口的更多信息, 请参阅以下常见问题解答:

[常见问题解答] AM6442、AM6441、AM6422、AM6421、AM6412、AM6411 和 AM2434、AM2432、AM2431 (ALV、ALX) 定制电路板硬件设计 - 以太网

常见问题解答是通用的, 也可用于 AM62Lx 处理器系列。

[常见问题解答] AM625/AM623/AM620-Q1/AM62Ax/AM62Px/AM62D-Q1/AM62L/AM64x/AM243x 设计建议/定制电路板硬件设计 - 与 RGMII 接口和 RGMII TI EPHY 相关的疑问

[常见问题解答] AM625/AM623/AM620-Q1/AM62Ax/AM62Px/AM62D-Q1/AM62L/AM64x/AM243x 设计建议/定制电路板硬件设计 - 与 RMII 接口和 RMII TI EPHY 相关的疑问

[常见问题解答] AM625/AM623/AM620-Q1/AM625-Q1/AM625SIP: 以太网 PHY RGMII 同步时钟

常见问题解答是通用的, 也可用于 AM62Lx 处理器系列。

7.4.1.1 通用平台 3 端口千兆位以太网交换机 (CPSW3G0)

备注

以太网接口支持固定的 **1.8V IO 接口**。建议验证与所连接器件 (EPHY) 的 IO 电平兼容性。建议使用同一电源为 GENERAL0 IO 组 (VDDS0、RGMII1 和 RGMII2 接口 IO 组) 的处理器固定电压电源和所连接器件的 IO 电源供电。定制电路板设计人员应确保正常运行期间设计施加的电位绝不会超过 ROC 中定义的值, 以及测试或电路板启动期间, 绝不会超过 *绝对最大额定值* 表中定义的值。

该处理器系列支持 1 个 CPSW3G0 以太网交换机实例 (带 2 个外部端口), 它可以配置为 3 端口交换机 (连接到 2 个外部以太网端口 (端口 1 和 2)) 或具有各自 MAC 地址的双独立 MAC 接口。

CPSW3G0 支持每个外部以太网接口端口的 RGMII (10/100/1000) 或 RMII (10/100) 接口。在 RGMII 接口中, TDx (由处理器传输的数据) 数据路径和 RDx (由处理器接收的数据) 数据路径彼此完全独立, 其中每个路径都有自己的时钟信号和数据信号, 可用于执行源同步数据传输。

7.4.1.1.1 IO 电源

处理器 MAC 接口 (CPSW3G0) 信号 (用于与 EPHY 实现以太网接口的 IO) 以 VDDS0 电源轨 (GENERAL0 IO 组的 IO 电源) 为基准 (由其供电)。建议将 VDDS0 和所连接器件 (EPHY) 的 IO 电源轨连接到同一电源 (1.8V)。

所连接器件 (EPHY) 的 VDD (CORE 电压) 可从 (由) 独立电源 (不同的电源) 供电。

7.4.1.1.2 MAC (数据、控制和时钟) 接口信号连接

建议为处理器以太网 MAC 接口信号配置串联电阻器 ($0\ \Omega$ 或 $22\ \Omega$, 测试后调整) (对于 TDx 信号, 建议将串联电阻器放置在处理器 MAC TDx 接口引脚附近)。建议使用尽可能小的封装 (0402 或更小) 并将串联电阻器靠近源极放置。对于 RDx 信号, 可以使用 EPHY 提供的内部阻抗控制 (如果 EPHY 支持) 选项。建议在空间不受限制或 EPHY 不支持内部阻抗控制的情况下, 在 RDx 信号上靠近 EPHY 引脚处提供外部串联电阻器 ($0\ \Omega$) 配置。

EPHY 的中断输出可以连接到处理器 EXTINTn (中断) 引脚。建议为 EXTINTn 连接一个靠近处理器的上拉电阻器 ($10k\ \Omega$)。

7.4.1.1.3 EPHY 复位

建议使用双输入 “与运算” 逻辑来实现所连接器件 (EPHY) 复位, 因为 “与运算” 逻辑提供了灵活性, 能够在包括本地复位在内的所有处理器复位条件下复位所连接器件 (EPHY) (适用于所连接器件无响应且需要在不进行下电上电的情况下复位的情形)。处理器 GPIO (用于本地复位 EPHY) 作为与门的其中一个输入进行连接, 在 “与运算” 逻辑与门输入端附近提供上拉电阻器 ($10k\ \Omega$ 或 $47k\ \Omega$) (以支持引导) 和 $0\ \Omega$ 配置, 以隔离 GPIO 输出供测试或调试。与门的另一个输入是 MAIN 域热复位状态输出 (RESETSTATz)。

当使用多个 (两个) EPHY 时, 建议提供单独复位 EPHY 的配置。

根据 EPHY 复位输入极性, 可使用 “与运算” 逻辑输出处的上拉或下拉电阻器 ($10k\ \Omega$)。时钟有效后, EPHY 需要在一段指定的最短时间内保持复位状态。

如果直接使用 (连接) 处理器 MAIN 域热复位状态输出 (RESETSTATz) 来复位 EPHY (所连接器件), 建议将 RESETSTATz 的 IO 电压电平与所连接器件相匹配。建议使用电平转换器来匹配 IO 电平。如果选择了电阻分压器的理想值, 则也可以使用电阻分压器进行电平转换。若电阻分压器值过高, 连接到 EPHY 复位输入的处理器 IO 的上升/下降时间可能会很慢, 且会引入延迟。使用过低值电阻器作为分压器会导致处理器在正常运行期间提供过多的稳态电流。

7.4.1.1.4 以太网 PHY (和 MAC) 运行和媒体独立接口 (MII) 时钟

建议匹配 EPHY 及处理器的时钟规格。

7.4.1.1.4.1 晶体用作处理器和 EPHY 的时钟源

当使用晶体作为 EPHY 的时钟源时, 建议将晶体 (时钟) 规范与处理器时钟规范相匹配。

7.4.1.1.4.2 用作时钟源的外部振荡器

外部 (LVCMOS) 振荡器可用作处理器 (和 EPHY) 的时钟源。可以使用一 (单) 个振荡器或多个振荡器 (每个 EPHY 和处理器都有单独的振荡器)。使用一 (单) 个振荡器时, 建议在连接到处理器和 EPHY 之前缓冲振荡器时钟输出 (对每个所连接器件时钟输入使用单独的缓冲器)。

单通道 (具有单输入和单输出) 缓冲器或具有双路或多路输出缓冲器的单输入可用于将振荡器的时钟输出连接到处理器和 EPHY。1 输入至 n 输出缓冲器可确保每个时钟信号具有适当的信号质量。

对于特定用例 (使用时间敏感网络 (TSN) 的某些工业应用的要求), 建议将单输入和两个或更多输出 (根据所使用的 EPHY 数量) 缓冲器用于处理器和 EPHY。

建议确认根据建议的指南连接 EPHY 的 XO。

7.4.1.1.4.3 处理器时钟输出 (CLKOUT0)

为了优化定制电路板设计, 处理器时钟输出 (CLKOUT0) 可用作 EPHY 的时钟源 (输入)。CLKOUT0 在内部进行缓冲, 旨在连接在点对点时钟拓扑中。建议在连接到所连接器件 (EPHY) 的时钟输入之前 (单独) 对 CLKOUT0 进行缓冲。建议在 CLKOUT0 的源极端安装一个串联电阻器 ($0\ \Omega$, 测试后调整), 以控制可能的信号反射。

使用 RGMII 接口的 EPHY 需要一个与任何其他信号不同步的 25MHz 时钟输入。25MHz 时钟不会有任何时序要求, 但需要确保 EPHY 不在时钟输入端接收任何非单调转换。

当 EPHY 配置用于 RMII 接口时, 时钟选项取决于 EPHY 配置。

EPHY 配置为控制器时, 许多 RMII EPHY 使用一个与任何其他信号不同步的 25MHz 输入时钟, 25MHz 时钟信号不会有任何时序要求, 但务必要确保 EPHY 在其时钟输入端不接收任何非单调转换。

RMII EPHY 为 MAC 提供 50MHz 时钟输出。在 RMII 用例中, 相对于 EPHY, 50MHz 数据传输时钟会延迟 (硬件延迟) 传递至 MAC。延迟会转换时钟数据时序关系, 从而会减小时序裕量。如果延迟大, 逐斜缩小的时序裕度可能会对某些设计造成问题。

EPHY 配置为器件时, MAC 和 EPHY 使用一个与发送和接收数据同步的 50MHz 公共时钟。50MHz 时钟在 RMII 规范中定义为供 MAC 和 EPHY 使用的通用数据传输时钟信号, 这种情况下, 转换预计会同时到达 MAC 和 EPHY 器件引脚。通用时钟可以为发送和接收数据传输提供更好的时序裕量。需要确保 MAC 和 EPHY 不会在时钟输入端接收任何非单调转换。为改善时钟信号完整性, 建议通过单输入、双输出相位对齐缓冲器路由通用时钟信号。建议使用与 $\frac{1}{2}$ 接口数据信号长度等长的信号布线来连接时钟缓冲器输出, 其中一个缓冲时钟输出连接到处理器 MAC, 另一个缓冲时钟输出连接到 EPHY 时钟输入。

对于 RMII 接口, 建议的配置 *RMII 接口典型应用 (外部时钟源)* 在处理器特定 TRM 中介绍。当使用 *RMII 接口典型应用 (内部时钟源)* 配置时, 建议在板级别验证性能。建议提供配置用于连接外部时钟, 以进行初始性能测试以及与内部时钟比较。

在处理器和 EPHY (用在 EVM 板上) 上使用 25MHz 时钟频率验证了以太网性能 (RGMII)。

可以使用 CLKOUT0 为处理器 (MAC) 和 EPHY 提供 25MHz 或 50MHz 时钟。在软件配置时钟输出后, CLKOUT0 输出可用。在需要支持以太网引导时, 不建议使用 CLKOUT0 配置。配置更改后, 作为 EPHY 时钟输入连接的 CLKOUT0 可能会出现故障。

处理器特定数据表中未定义处理器时钟输出性能, 因为时钟性能可能会受到每种定制电路板设计所特有的许多变量的影响。建议定制电路板设计人员使用实际 PCB 延迟、最小或最大输出延迟特性以及每个器件的最低建立和保持要求来验证所有外设的时序, 以确认是否有足够的时序裕量。

7.4.1.1.5 以太网 PHY 引脚配置 (strap)

部分 TI EPHY 在复位期间将输出配置为输入, 并在释放 EPHY 复位时将 EPHY 配置锁存 (通过电阻器进行引脚配置设置 (strap))。建议在硬件配置引脚输入 (IO) 上应用适当的上拉或下拉 (根据 EPHY 的建议) (硬件配置引脚输入 (IO) 同样连接到处理器 IO)。处理器特定 EVM 上使用的 TI EPHY 结合使用了上拉和下拉电阻器, 从而可以使用每个引脚来配置多种配置模式。在处理器复位期间, IO 缓冲器和内部上拉或下拉电阻器均关闭, 并尽可能减少了 EPHY 向处理器输入缓冲器施加 $1/2\ V_s$ 电压的问题。启用任何相关的处理器输入缓冲器之前, 需要将 EPHY 从复位状态配置为正常状态, 以驱动有效的逻辑状态。

7.4.1.1.6 外部中断 (EXTINTn)

EXTINTn 是一种开漏输出类型失效防护 IO 缓冲器。当连接 PCB 布线并且外部输入未被主动驱动时，建议连接外部上拉电阻器 (10k Ω)。漏极开路输出类型 IO 缓冲器在上拉至 3.3V 时具有指定的转换率要求。建议使用 RC (延迟) 来限制输入转换率。建议将该电容器放置在靠近处理器引脚的位置。

有关更多信息，请参阅以下常见问题解答：

[\[常见问题解答\] AM625/AM623/AM620-Q1/AM625-Q1/AM625SIP/AM62L/AM62A7/AM62A3/AM62A1-Q1/AM62D-Q1/AM62P/AM62P-Q1 定制电路板硬件设计 — EXTINTn 引脚上拉连接](#)

7.4.1.1.6.1 外部中断 (EXTINTn) 检查清单

通用

检查并验证定制原理图设计的以下内容：

1. 已查看用户指南上文提及的“所有章节的通用检查清单”部分的内容
2. 电气特性 (拉至 3.3V 时的失效防护和压摆率要求)
3. EXTINTn IO 的上拉电阻器连接
4. 拉至 3.3V 时 EXTINTn IO 的 RC 连接，包括电容器的放置 (靠近处理器引脚)

原理图审阅

定制原理图设计请遵循以下列表：

1. 使用的上拉电阻值。建议先与 EVM 原理图实现进行比较，以此作为起点。
2. 以处理器 VDDSHV1 为基准 (供电) 的上拉电阻 (上拉电阻连接到正确的 IO 电压电平)。
3. EXTINTn 是一种开漏输出类型失效防护 IO 缓冲器。当连接走线或外部输入时，建议使用外部上拉电阻。
4. 漏极开路输出类型 IO 缓冲器 EXTINTn 在拉至 3.3V 电源时具有指定的压摆率要求。建议在输入端添加一个 RC 来限制输入压摆率。请参阅 TMD564EVM。
5. 用于压摆率控制的 RC 值。请参阅 TMD564EVM。建议在靠近处理器引脚的位置连接电容器。

7.4.1.1.7 MAC (介质访问控制器) 到 MAC 接口

在 2 个处理器之间实现无 EPHY (MAC 至 MAC) 连接时，建议使用 RGMII 接口 (请与 TI 联系以了解所选处理器系列上官方是否支持 MAC 至 MAC 接口)，因为时钟可进行源同步。

当实现 2 个处理器之间的 MAC 至 MAC 接口时，建议验证失效防护运行情况、时钟规格匹配以及 IO 级兼容性。

7.4.1.1.8 MDIO (管理数据输入输出) 接口

用于 MDIO 接口的处理器 IO 以 VDDSD0 电源轨 (GENERAL0 IO 组的 IO 电源) 为基准 (由其供电)。

建议为 MDIO0_MDIO (MDIO 数据) 信号连接外部上拉电阻器 (2.2k Ω (遵循 EPHY 建议) 靠近 EPHY)。

对于 MDIO_MDC，建议验证 EPHY 是否支持内部拉电阻器 (下拉电阻器)。

7.4.1.1.9 包括磁性元件在内的以太网 MDI (介质相关接口)

如果在处理器板上实现了包括磁性元件和 RJ45 连接器在内的 EPHY 和 MDI 接口 (铜或光纤)，建议遵循 MDI 接口连接的 EVM 实现方案、推荐的磁性元件 (EVM 或类似方案上推荐使用的磁性元件) 以及 RJ45 连接器屏蔽层连接至电路接地。建议提供外部 ESD 保护。

7.4.1.1.10 电源轨的电容器

建议确认已为 VDDSD0 电源导轨和所连接器件 (内核、模拟和 IO 电源) 提供大容量电容器与去耦电容器 (若有建议则使用建议的电容，或遵循相关 EVM 实现)。

如果没有可用的建议，建议遵循处理器特定 EVM 实现。

7.4.1.1.11 以太网接口检查清单

通用

检查并验证定制原理图设计的以下内容：

1. 已查看用户指南上文提及的“**所有章节的通用检查清单**”部分的内容
2. 处理器 MAC 至 EPHY 端的媒体独立接口 MII 配置 - RGMII 或 RMII。
3. 处理器与 EPHY (所连接器件) MII (MAC) 接口信号之间的 IO 电平兼容性 (1.8V)
4. 将处理器引脚 (焊球编号) 映射到定制电路板上所需的功能 (外设、信号名称) (所选引脚支持将 IO 多路复用以实现所需功能)，并根据处理器数据表引脚属性中的信号名称列对信号进行命名 (使用标准外设时)。
5. 处理器与所连接器件之间外设数据接口信号的极性匹配 (如处理器 TDx0-3(RDx0-3) 数据到所连接器件 TDx0-3(RDx0-3) 的映射或类似连接的映射)
6. 以处理器 MAC 接口信号为基准的 IO 组 IO 电源的连接，以及 EPHY IO 电源需连接至同一电源
7. 处理器和 EPHY 时钟规格匹配。
8. 用于处理器 MAC 和 EPHY 的 RMII 接口的时钟配置 (主模式、从模式)
9. EPHY 复位逻辑的实现。
10. 两个 EPHY 复位逻辑的实现。
11. MDIO 接口连接和 EPHY 地址配置。
12. MDIO 接口 MDC (时钟信号) 上的外部拉电阻器是可选项 (EPHY 可能支持内部下拉电阻器；建议验证 EPHY 数据表中拉电阻器的可用性)
13. 在信号源附近为 MAC 接口信号 (TDx、RDx) 添加串联电阻器，以控制可能的信号反射
14. MAC 到 MAC 接口 (处理器到处理器) 的接口配置和连接
15. 添加所需的大容量电容器和电容及其数值。

原理图审阅

定制原理图设计请遵循以下列表：

1. 建议将用于处理器和 EPHY 电源轨的大容量电容器和去耦电容器与 EVM 原理图实现 (使用 TI EPHY 时) 进行比较。
2. 建议配置一个串联电阻器 (0Ω 或 22Ω ，测试后调整)，将其放置于处理器 MAC TDx 输出引脚附近的 TDx 信号上，以控制可能的信号反射。
3. 建议验证所连接设备的 IO 电源，以及由处理器 MAC 接口信号作为基准 (由其供电) 的 GENERAL0 IO 组 VDDSD0 的 IO 电源，确保二者连接至同一电源，并遵循 ROC 要求。
4. MDIO 接口连接，包括在 EPHY 附近添加的 MDIO 数据信号的上拉电阻 ($2.2k\Omega$ (遵循 EPHY 建议))。MDIO 连接到多个器件，并在每个 EPHY 附近添加上拉电阻。当使用多个 EPHY 时，MDIO 接口的 EPHY 地址配置。
5. 可以使用带有内部振荡器的晶体或用于每个 EPHY 的外部振荡器，或带有缓冲器的通用外部振荡器 (输出取决于用例)。
6. 建议匹配 EPHY 及处理器时钟规格。
7. RMII 接口的 EPHY 和处理器 MAC 的时钟，包括根据 EPHY 配置添加缓冲器和时钟架构 (使用带多个输出的通用振荡器和缓冲器)。如果处理器时钟输出连接到多个输入，建议每个时钟输入均作为时钟的缓冲输出。
8. 当使用 MAC 到 MAC 接口时，建议验证 IO 电平兼容性、失效防护运行情况 (当两个处理器 MAC 以不同的电源为基准 (由其供电) 时) 以及时钟规格匹配。
9. 当使用 TI EPHY 时，建议参照 EVM 来验证 EPHY 复位实现，包括“与运算”逻辑、与门输入上拉电阻器和 EPHY 复位输入上拉电阻器。可以使用 2 输入“与运算”逻辑来实现所连接器件 (EPHY) 复位。处理器 GPIO (用于本地复位 EPHY) 连接到“与运算”逻辑与门输入，在输入端附近提供上拉电阻器 (以支持引导) 和 0Ω 配置，以隔离 GPIO 用于测试或调试。与门的另一个输入是 MAIN 域热复位状态输出 (RESETSTATz)。
10. 当使用多个 (两个) EPHY 时，建议提供单独复位 EPHY 的配置。

其他

1. 使用 TI EPHY 时，建议遵循以下推荐步骤：

- 获得对 EPHY 业务部门或产品线实施情况的审查。
 - 建议验证是否添加了建议的大容量电容器和去耦电容器，以及是否遵循电源序列要求。
 - 建议验证 RBIAS 电阻值和容差、RJ45 连接器选择、MDI 信号的外部 ESD 保护配置以及 RJ45 连接器屏蔽层到电路接地的连接
2. 单通道（具有单输入和单输出）缓冲器或具有双路或多路输出缓冲器的单输入可用于将振荡器的时钟输出连接到处理器和 EPHY。对于特定用例（使用时间敏感网络 (TSN) 的某些工业应用的要求），建议将单输入和两个或更多输出（根据所使用的 EPHY 数量）缓冲器用于处理器和 EPHY。
 3. 当 EPHY 配置为 RMI1 外设时，建议使用单输入（通用时钟输入）双输出相位对齐缓冲器。
 4. 请考虑在所连接器件（EPHY）附近为 RDx 信号添加 0 Ω 串联电阻器（可选，空间不受限制时推荐）。
 5. 如果考虑以太网引导，建议审阅器件勘误表、验证支持的 EPHY 接口配置、使用与建议的 MAC 接口端口以及建议的时钟和接口连接。

7.4.2 通用串行总线 (USB2.0)

图 7-8 提供了处理器 USB0 和 USB1 接口的连接方式。USB1 接口已为主机接口配置。图中提供了由 SOC 控制且带 OC (U46) 指示功能的电源开关，以及 USB 数据接口信号上的共模滤波器和 USB 连接器。尽管图中显示了 VBUS 分压器，但 VBUS 分压器对于主机接口是可选配置。

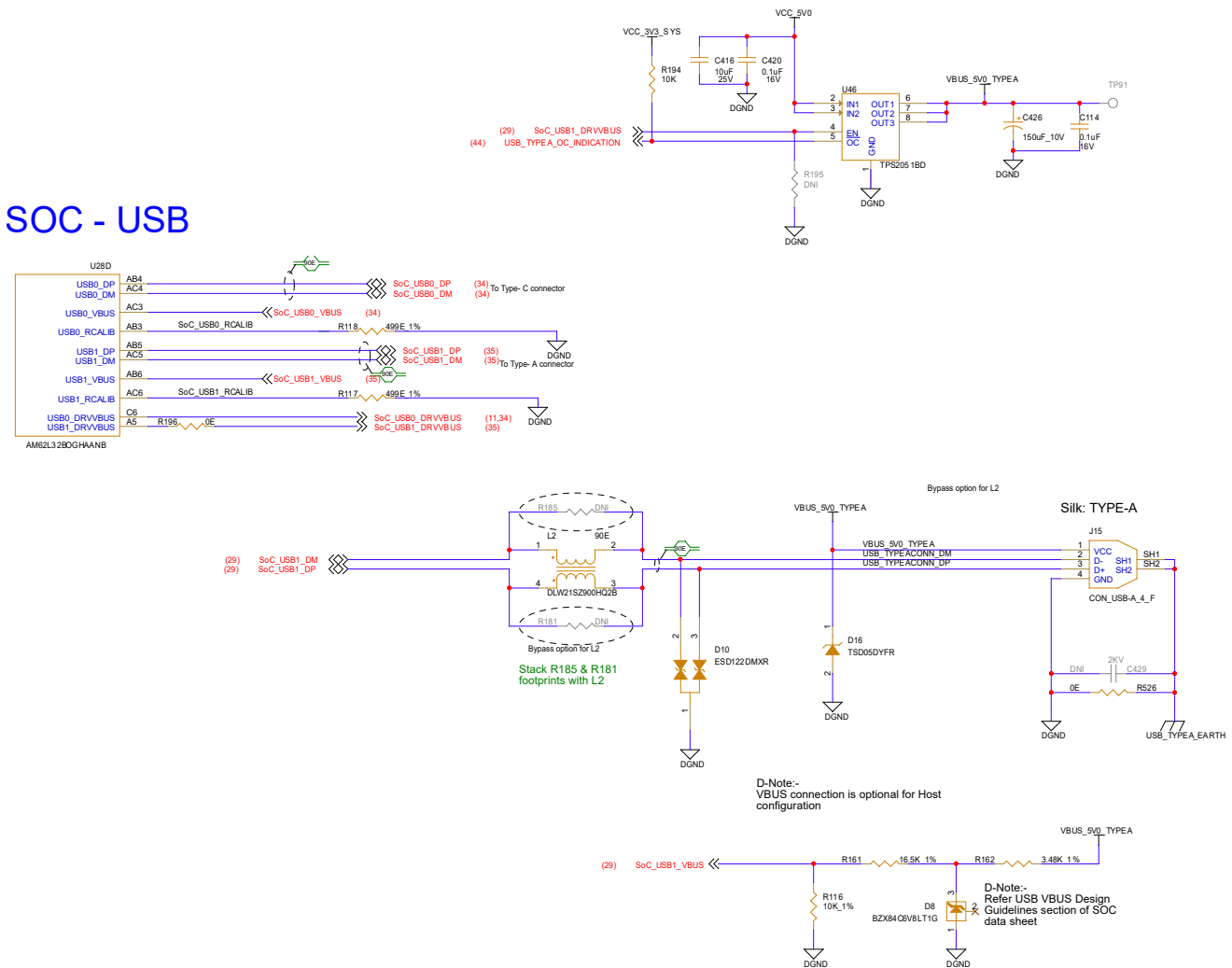


图 7-8. USC SOC 主机接口

该处理器系列支持 2（两）个 USB 2.0 接口端口实例。这些 USB 接口（USB0、USB1 端口）可以配置为主机、器件或双角色器件 (DRD)。

建议按照处理器特定数据表的 *USB 设计指南* 一节连接 USB_n_VBUS (n = 0-1)。处理器特定数据表的 *建议运行条件* 一节中定义了 USB_n_VBUS 引脚的电源电压范围。当 VBUS 电源电压电平为 5V 时，施加的标称输入电压等于电阻分压器输出。

使用任何处理器 GPIO 都可实现 USB_n_ID 功能。

备注

USB_n_VBUS 为失效防护输入。失效防护输入仅在 VBUS 电源通过建议的 *USB VBUS 检测分压器/钳位电路* 连接时才有效。

7.4.2.1 使用时 USB_n (n = 0-1) 接口

建议将 USB 电源 VDDA_CORE_USB (USB0 和 USB1 内核电源)、VDDA_1P8_USB (USB0 和 USB1 1.8V 模拟电源) 和 VDDA_3P3_USB (USB0 和 USB1 3.3V 模拟电源) 连接到处理器特定数据表中推荐的电源导轨。

建议直接连接 USB_n_DM (n=0-1) 与 USB_n_DP (n=0-1) 信号 (无需任何串联电阻器或滤波电容器)。建议使用不包含任何残桩或测试点的布线对 USB_n 信号进行布线。

在 USB_n_RCALIB (n = 0-1) 引脚 (靠近处理器 RCALIB 引脚) 与 VSS 之间连接一个校准电阻器。有关建议电阻值和容差, 请参阅处理器特定数据表。

7.4.2.1.1 配置为主机的 USB 接口

建议实现 USB 电源开关来控制外部连接的 USB 器件的 VBUS 电源。电源开关可保护板载电源免于过载 (过多电流消耗)。

电源开关输出连接到 USB Type-A 连接器。建议将电容器 (最小值 > 120 μF) 连接到靠近连接器的 VBUS 电源上。

USB_n_DRVVBUS (n = 0-1) 信号 (复位期间和复位后内部下拉使能) 可用于使能 VBUS 电源开关。不建议在电源开关使能 (EN) 引脚附近使用外部上拉电阻器。外部下拉电阻器 (10k Ω) 是可选的。

建议使用具有 OC (过流) 指示的 USB 电源开关, 添加上拉电阻器 (10k Ω 或 47k Ω) 并连接到处理器 IO (输入) 以检测 VBUS 过载。

USB_n_VBUS (VBUS 电源输入, 包括分压器、钳位) 输入的连接是可选的。

7.4.2.1.2 配置为器件的 USB 接口

VBUS 电源从外部主机供电。USB 标准建议将 < 10 μF 的电容器连接到靠近 USB B 型连接器的 VBUS。

建议在连接到 USB_n_VBUS 引脚之前, 按照处理器特定数据表的 *USB VBUS 设计指南* 一节对 USB VBUS 电压进行分压 (使用电阻分压器和齐纳二极管保护的 USB 接口连接器附近的电源)。

如果定制电路板设计人员完全确定电路板不会遇到 > 5.5V (板载供电) 的 VBUS 电压, 则可以将齐纳二极管保护 (建议) 视为可选。

不建议而且也不允许将非开关式 (常通) 的板载电源、带有等效分压器的常通 3.3V 电源, 或直接将常通 1.65V 电源连接至 USB_n_VBUS 建议使用可在会话结束时断开并在下一个会话开始时重新开启的开关电源。

7.4.2.1.3 USB 接口配置为双角色器件

如果定制电路板使用 USB Micro-AB 连接器, 建议将来自连接器的 USB_n_ID 信号路由到任意处理器引脚。该 GPIO 引脚可在电路板器件树文件中指定, 包括 GPIO 引脚的引脚多路复用 (pinmux) 设置。

备注

不支持完全兼容的 USB On-The-Go (OTG) 特性。USB ID 引脚未进行外部键合。

7.4.2.1.4 USB Type-C

如果定制电路板设计使用 USB Type-C 连接器, 则不要求 USB_n_ID 信号连接。DRD 模式开关由 USB Type-C 配套器件控制。

DRP (双角色端口) 需要一个控制器, 主要用于根据协商的角色切换电源。在器件不是由 USB Type-C 连接器供电的 USB Type-C 实现方案 (仅限器件模式、USB2.0) 中, 无需 USB Type-C 控制器。

- 连接器上的 CC 引脚需使用 5.1k Ω 电阻器独立接地。
- USB DP 和 USB DM 连接器引脚在 PCB 上短接 (DM=B7:A7, DP=B6:A6)。无论电缆方向如何, 短接都能实现 USB2.0 连接。建议将产生的桩线保持较短。

有关 USB_n_VBUS 输入调节建议的更多信息, 请参阅处理器特定数据表的 *USB VBUS 设计指南* 一节。

AM62x SK USB0 接口设计可用作实现 USB Type-C 接口的参考。

请参阅以下常见问题解答:

[\[常见问题解答\] SK-AM62A-LP: 没有 PD 控制器是否可以实现 USB OTG?](#)

常见问题解答是通用的, 也可用于 AM62Lx 处理器系列。

7.4.2.2 未使用时 USB_n (n = 0-1) 接口的连接方式

当定制电路板设计中不使用 USB0 和 USB1 接口时, 建议提供连接 USB0 接口上 USB 接口信号 (用于支持的 USB 引导配置 (USB0 - DFU)) 的配置, 并添加连接初始电路板构建所需处理器 USB 电源的配置。

当不使用 USB0 和/或 USB1 时, 接口信号和电源有特定的连接要求。

如需连接 USB0 和 USB1、接口信号和电源引脚, 请参阅处理器特定数据表的 *引脚连接要求* 一节。

建议通过单独的 0 Ω 电阻将 USB 电源 (VDDA_CORE_USB、VDDA_1P8_USB 和 VDDA_3P3_USB) 连接到 VSS。

如果计划使用 USB0 或 USB1 进行未来扩展, 建议按照 USB 接口路由指南将信号 (USB_n_DM、USB_n_DP、USB_n_RCALIB 和 USB_n_VBUS) 连接到 USB 连接器。建议提供连接所需的电源的配置。

7.4.2.3 其他信息

建议将 USB_n_DM 和 USB_n_DP 信号直接从处理器连接到 USB 集线器上游端口。然后, 集线器将 USB_n 信号分配到下行端口。由于每个集线器的实施要求不同, 建议遵循集线器制造商的建议。

有关 USB2.0 接口更多信息, 请参阅以下常见问题解答:

[\[常见问题解答\] AM625/AM623/AM620-Q1/AM625-Q1/AM625SIP: 定制电路板硬件设计 - USB2.0 接口](#)

常见问题解答是通用的, 也可用于 AM62Lx 处理器系列。

[\[常见问题解答\] AM625/AM623/AM620-Q1/AM62L/AM62A/AM62P/AM62D-Q1/AM64x/AM243x 设计建议/定制电路板硬件设计 — 与无源元件参数值、容差和额定电压相关的疑问](#)

7.4.2.4 USB 接口检查清单

通用

检查并验证定制原理图设计的以下内容:

1. 已查看用户指南上文中的“[所有章节的通用检查清单](#)”章节。
2. 所需的 USB 接口配置 (主机或器件) 和推荐的连接。
3. USB_n_VBUS 引脚的连接。根据 USB 接口配置遵循 USB VBUS 设计指南。
4. USB 电源的连接, 包括滤波。
5. 处理器与外部 USB 接口连接器之间的 USB 接口信号连接。
6. 建议 USB_n 校准电阻器的连接、阻值和容差。
7. 当 USB 接口配置为主机时, USB VBUS 电源控制电源开关的实现。
8. USB_n_DRVVBUS 和 USB_n_ID 功能的拉电阻器实现。
9. USB 电源开关、EN (使用 USB_n_DRVVBUS) 以及电源开关 OC 输出与处理器 IO 的连接。
10. 在 USB 连接器附近的 USB VBUS 引脚上提供的建议电容器配置。
11. 为 USB 接口提供的外部 ESD 保护配置

12. 当 USB 接口未使用时，根据引脚连接要求连接 USB 电源、USB 接口信号、校准电阻器和 USBn_VBUS
13. 如果实现了 USB 引导，建议验证勘误表、支持的接口配置、USB 端口和连接。
14. 如果未实现 USB 接口，则提供 USB 引导的配置
15. USBn_VBUS 和 USB 接口信号的失效防护操作。

原理图审阅

定制原理图设计请遵循以下列表：

1. 可为主机（参考相关 EVM 原理图）、器件或 DRD 配置 USB 接口。
2. 从处理器到 USB 连接器的 USB 信号直接连接。USB 接口连接符合所需的 USB 接口配置（主机或器件）。将实现方案与 EVM 原理图进行比较。
3. 任何处理器 GPIO 均可用于支持 DRD。
4. 在 USB 主机配置下，USBn_VBUS 连接是可选的。
5. 建议遵循处理器特定数据表中关于 VBUS 分压器值和容差 ($\pm 1\%$) 的建议。如果总电阻值、容差和分压器分压比在温度和电压范围内保持不变，则允许使用多个电阻器。VBUS 电源输入保护（齐纳保护和值）和 VBUS 电容器值遵循 USB 标准（参考 EVM）。
6. 复位期间及复位后，USBn_DRVVBUS 使能内部下拉电阻器。连接上拉电阻会将所连接器件驱动为 $1/2 V_s$ 。
7. 电源开关使能连接（如果使用处理器 USBn_DRVVBUS，则不建议也不允许使用上拉电阻器，因为 USBn_DRVVBUS 会在复位期间和复位后使能内部下拉电阻器）。
8. 电源开关 OC 输出到处理器 IO 的连接和 IO 电平兼容性（上拉电阻连接）。
9. 电源（内核、外设和 IO）的连接。滤波电源（铁氧体和电容器）用于 VDDA_CORE_USB 和 VDDA_1P8_USB。VDDA_3P3_USB 可以连接到 3V3_SYS 电压。由于滤波器实现方案正在持续优化，因此请参阅具体和最新的 EVM 来实现。
10. 连接的处理器 USB 外设电源轨遵循 ROC。
11. $499\ \Omega \pm 1\%$ 电阻器与 USB0 和 USB1 RCALIB 引脚的连接。
12. 不建议也不允许将 5V 电源从 USB 连接器直接连接至 USBn_VBUS 引脚。不建议或不允许更改处理器特定数据表中建议的 VBUS 分压器和齐纳二极管值。仅当实现了根据处理器特定数据表建议的分压器值时，VBUS 输入的失效防护功能支持才有效。
13. 根据 USB 配置建议的电容器连接。请参阅 EVM 原理图以了解实施方式。对于 USB 主机，建议将电容器（最小值为 $120\ \mu\text{F}$ ）连接到靠近连接器的 VBUS 电源。对于 USB 器件，VBUS 电源由外部主机供电。USB 标准建议将 $< 10\ \mu\text{F}$ 的电容器连接到靠近 USB B 型连接器的 VBUS。
14. 若不使用 USB0 或 USB1，并且不使用 USB0 和 USB1，建议遵循引脚连接要求来连接 USB 内核、外设和 IO 电源。
15. 如果是根据处理器特定数据表实现 VBUS 配置，则支持 USBn_VBUS 失效防护功能。
16. 当 USB 接口连接到符合 USB 规范的器件时，USB 接口信号失效防护有效。

其他

1. 如果利用 TI 器件实现 Type-C USB 接口，建议可与相关业务部门或产品线一起审查实施情况。
2. 建议验证 USB 接口的失效防护运行情况。在处理器电源斜升之前施加外部接口信号会导致馈电并影响定制电路板功能。
3. 可以在 USB 接口信号上使用共模扼流圈 (CMC) 来控制 EMI。CMC 可以降低信号振幅并降低 USB 接口性能（速度、数据吞吐量，通信错误）。建议提供使用 $0\ \Omega$ 电阻器绕过 CMC 的配置。在 USB 接口信号上使用 CMC 时，建议验证连接（包括极性）。反转 CMC 连接极性可能会使 USB 接口数据信号短路。
4. 连接到 USBn_DRVVBUS 引脚的 DNI 外部上拉和下拉电阻器，用于实现从深度睡眠功能唤醒。
5. 建议考虑标记差分信号和差分阻抗值。
6. 如果不使用 USB 接口，建议为初始电路板提供 USB0 DFU 引导接口配置。

7.4.3 通用异步收发器 (UART)

图 7-9 提供了将处理器 UART 信号连接到外部收发器的图示，包括信号连接方向和极性。图中还包含可悬空 IO 的拉电阻器，以及用于控制可能的信号反射的串联电阻器。

Illustration for UART Interface Implementation

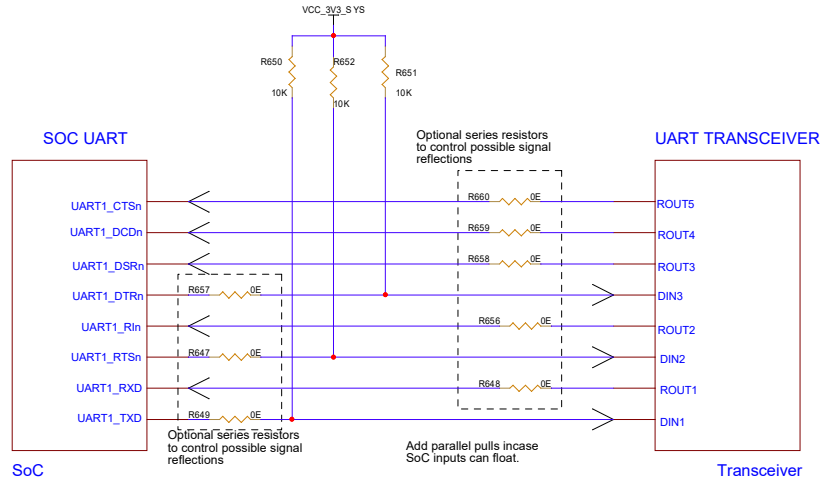


图 7-9. UART 接口连接 (包括流控制)

备注

该处理器外设实现了将具有相同功能的信号连接到多个引脚上。

该处理器系列支持 8 (八) 个 (七个 MAIN 域、一个 WKUP 域) UART 接口实例，支持的功能包括数据传输 (TXD、RXD)、调制解调器控制功能 (CTS、RTS) 和扩展调制解调器控制信号 (DCD、RI、DTR、DSR - 由 MAIN 域 UART1 支持)。

有关支持的 UART 实例数，请参阅处理器特定数据表。每个 UART 实例支持的功能，建议参阅处理器特定数据表的信号说明一节。

建议验证 UART 接口 (外部通信接口或调试) 和功能 (配置，2 线或 4 线带流量控制) 的应用要求。

使用外部 RS232 收发器时，建议使外部接口信号 IO 电平与 IO 组 IO 电源的工作电压电平匹配。建议使用同一电源为外部收发器的 IO 电源和 IO 组 VDDSHVx、VDDsx、VDDs_WKUP 或 VDDs_RTC 的处理器 IO 电源供电。建议验证 UART 输入的失效防护运行情况以及连接到外部拉电阻器期的电压电平。

建议在接口信号上靠近源极的位置配置串联电阻器 (0 Ω)，用于隔离 (调试) 或控制可能的信号反射。

在复位期间和复位之后，处理器 IO 缓冲器是 (TX (输出) 和 RX (输入) 和内部拉电阻器 (上拉和下拉电阻器)) 关闭。建议在处理器 UART 接收输入 (UARTn_RXD [n = 0-6] 和 WKUP_UART0_RXD) 上使用上拉电阻器 (10k Ω 或 47k Ω)，以防处理器 IO 可能悬空 (从而避免所连接器件输入在由主机驱动之前处于悬空状态)。建议验证外部接口信号上拉电阻器的可用性，并相应地安装拉电阻器。建议对处理器 UART 发送信号 (UARTn_TXD [n = 0-6] 和 WKUP_UART0_TXD) 使用上拉电阻器 (47k Ω)，以防处理器或所连接器件输出可能悬空。

使用 UART 接口时观察到的常见错误之一是 UART 接口信号极性相反。建议按如下方式连接信号：

- TX 到 RX
- RX 到 TX

建议验证所连接器件侧的信号命名并据此进行必要的连接。

建议在使用额外的 UART 接口流控制信号时验证连接、IO 电平和极性匹配。

当外部 UART 接口信号直接连接到处理器 UART 接口时，建议验证 IO 电平兼容性和失效防护运行。建议为外部 ESD 保护提供配置。

建议为早期电路板构建配置连接 UART 引导 (UART0)，以便进行电路板启动和调试。

7.4.3.1 不使用时的 UART 接口连接

当未在定制电路板设计中实现 UART 接口时，建议提供连接外部 UART 接口信号的配置，以进行调试。建议在配置 UART 接口信号时遵循以下优先级：

- UART0
- WKUP_UART0

建议在处理器板上添加 TP，用于连接外部输入。建议为可能悬空的 IO 提供并联拉电阻器（10k Ω 或 47k Ω ）（以防止所连接器件输入在由主机驱动之前处于悬空状态）。建议添加外部 ESD 保护，在使用 UART 接口时可以安装该保护功能。

UART 接口信号不具备失效防护。在处理器电源斜升之前，建议不施加任何外部输入（UART 接口信号）。

7.4.3.2 通用异步接收器/发送器 (UART) 检查清单

通用

检查并验证定制原理图设计的以下内容：

1. 已查看用户指南上文提及的“所有章节的通用检查清单”部分的内容
2. UART 接口信号（包括极性）的连接
3. 将处理器引脚（焊球编号）映射到定制电路板上所需的功能（外设、信号名称）（所选引脚支持将 IO 多路复用以实现所需功能），并根据处理器数据表引脚属性中的信号名称列对信号进行命名（使用标准外设时）。
4. 处理器与所连接器件之间外设数据接口信号的极性匹配（例如映射 TX->RX、Dout->Din 或类似连接）
5. 根据为接口配置所用 IO 实现的缓冲器类型，验证所连接的 IO 电压电平
6. 在源极附近为 UART 接口信号添加串联电阻器配置，用于隔离或控制可能的信号反射。
7. 为处理器或可悬空的所连接器件 IO（数据，方向控制）添加并联拉电阻器配置
8. 所需通信速度（波特率）与支持的速度（波特率）
9. 由于内部时钟分频器不匹配而导致的所需通信误差（%）与计算所得通信误差（%）对比。
10. IO 组的处理器 IO 电源和所连接器件 IO 电源的连接（连接到同一电源）
11. UART 接口信号的失效防护运行情况。
12. 当接口信号直接连接到外部输入时，可提供外部 ESD 保护
13. 添加所需的大容量电容器和电容及其数值

原理图审阅

定制原理图设计请遵循以下列表：

1. 在源极附近为接口信号添加串联电阻器（0 Ω ）配置，以控制可能的信号反射或实现隔离，从而进行测试
2. 为可悬空的接口信号提供并联拉电阻器（10k Ω 或 47k Ω ）（以防止所连接器件输入在由主机驱动之前处于悬空状态）
3. 以相应 UART 实例和信号的处理器 VDDSHVx、VDDsx、VDDS_WKUP 或 VDDS_RTC 为基准（由其供电）的上拉电阻器匹配
4. 接口信号（数据，方向控制）连接，包括信号极性匹配
5. 电源轨连接至 IO 组 VDDSHVx、VDDsx、VDDS_WKUP 或 VDDS_RTC 的 IO 电源，该 IO 电源以 UART 外设为基准（由其供电）；且所连接器件的 IO 电源连接到同一电源，并遵循 ROC
6. 为任何可悬空的处理器或所连接器件 IO 添加并联拉电阻器配置
7. UART 接口信号不具备失效防护。建议仅在处理器电源斜升后施加输入

其他

1. 建议在外接口信号直接连接且该信号与 IO 组处理器双电压 IO 电源由不同电源供电的情况下，验证失效防护操作。
2. 在处理器电源斜升之前对处理器 UART 输入施加外部输入信号会导致馈电并影响定制电路板功能。
3. 建议在外接口信号直接连接时，为接口信号配置外部 ESD 保护。
4. 如果不使用 UART 接口，建议提供连接 UART0 或 WKUP_UART0 的配置以进行调试。

7.4.4 模块化控制器局域网 (MCAN)，具有完整 CAN-FD 支持

备注

处理器外设 (MCAN、MCSPi、MCASP、I2C) 将具有相同功能的信号连接到多个引脚上，这些信号被分组为 IOSET。建议在定制电路板设计中验证和使用正确的 IOSET (分组信号)。该接口的时序闭合基于 IOSET。

该处理器系列支持 x3 (三个) (x3 主域) 模块化控制器局域网 (MCAN) 实例，完整支持 CAN-FD。

MCAN 模块支持传统 CAN 和 CAN FD (具有灵活数据速率的 CAN) 规范。

MCAN 接口，通过外部 MCAN 收发器连接到支持 MCAN 接口的所连接器件。

使用外部收发器时，建议使外部接口信号 IO 电平与 IO 组电压电平的 IO 电源匹配。建议使用同一电源为收发器的 IO 电源和处理器 IO 电源轨供电。

建议在接口信号上靠近源极的位置配置串联电阻器 ($0\ \Omega$)，用于隔离 (调试) 或控制可能的信号反射。在复位期间和复位之后，处理器 IO 缓冲器是 (TX (输出) 和 RX (输入) 和内部拉电阻器 (上拉和下拉电阻器)) 关闭。如果处理器或所连接器件的输出可以悬空，建议对处理器 MCAN 发送 (接收) 信号使用上拉电阻器 ($47k\ \Omega$)。

建议为 MCAN 收发器外部接口输入提供建议的端接。

7.4.4.1 模块化控制器局域网检查清单

通用

检查并验证定制原理图设计的以下内容：

1. 已查看用户指南上文提及的“所有章节的通用检查清单”部分的内容
2. MCAN 接口信号 (包括极性) 的连接
3. 将处理器引脚 (焊球编号) 映射到定制电路板上所需的功能 (外设、信号名称) (所选引脚支持将 IO 多路复用以实现所需功能)，并根据处理器数据表引脚属性中的信号名称列对信号进行命名 (使用标准外设时)。
4. 处理器与所连接器件之间外设数据接口信号的极性匹配 (例如映射 TX->RX、Dout->Din 或类似连接)
5. 根据为接口配置所用 IO 实现的缓冲器类型，验证所连接的 IO 电压电平
6. 为所有 MCAN 接口信号添加串联电阻器配置，并将其放置在信号源附近，用于隔离或控制可能的信号反射 (数据)。
7. 为可悬空的处理器或所连接器件输入添加并联拉电阻器配置
8. 连接 IO 组的处理器 IO 电源和所连接器件 IO 电源 (连接到同一电源)
9. MCAN 接口信号的失效防护运行
10. 添加所需的大容量电容器和电容及其数值

原理图审阅

定制原理图设计请遵循以下列表：

1. 使用的串联电阻值 ($0\ \Omega$) 和放置位置 (靠近源极)
2. 对于任何可以悬空的处理器或所连接器件 IO，添加了并联拉电阻器阻值 ($10k\ \Omega$) (以防止所连接器件输入在由主机驱动前处于悬空状态)
3. 以相应 MCAN 实例的处理器 VDDSHVx 为基准 (由其供电) 的上拉电阻器与引脚匹配
4. 电源轨连接至 IO 组 VDDSHVx 的双电压 IO 电源，该 IO 电源以 MCAN 外设为基准 (由其供电)；且所连接器件的 IO 电源均连接到同一电源，并遵循推荐工作条件 (ROC)
5. 为任何可悬空的处理器或所连接器件 IO 添加并联拉电阻器配置
6. MCAN 接口信号不具备失效防护。建议仅在处理器电源斜升后施加输入

其他

1. 处理器 IO 不具有失效防护功能。在处理器电源斜升之前，不建议施加任何外部输入。建议验证连接到外部接口信号时的失效防护操作。在处理器电源斜升之前对处理器 MCAN 输入施加外部输入信号会导致馈电并影响定制电路板功能。
2. 当接口信号直接连接到外部输入时，可提供外部 ESD 保护

7.5 板载同步通信接口 (MCSPI、MCASP 和 I2C)

7.5.1 多通道串行外设接口 (MCSPI) 和音频外设 — 多通道音频串行端口 (MCASP)

备注

处理器外设 (MCAN、MCSPI、MCASP、I2C) 将具有相同功能的信号连接到多个引脚上，这些信号被分组为 IOSET。建议在定制电路板设计中验证和使用正确的 IOSET (分组信号)。该接口的时序闭合基于 IOSET。

多通道串行外设接口 (MCSPI) :

图 7-10 包含 MCSPI 接口的图示，包括放置于处理器时钟输出引脚附近的串联电阻器、放置于所连接器件附近的下拉电阻器、所连接器件附近的 /CS 上拉电阻器，以及为可悬空的数据接口信号 (IO) 预留的可选拉电阻器。

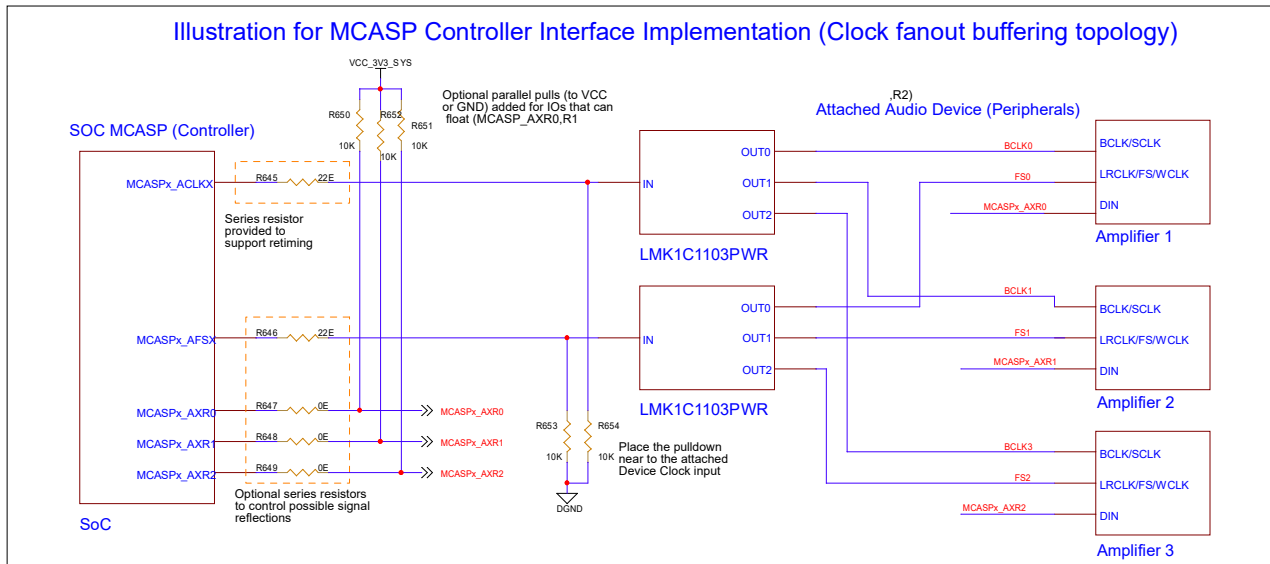
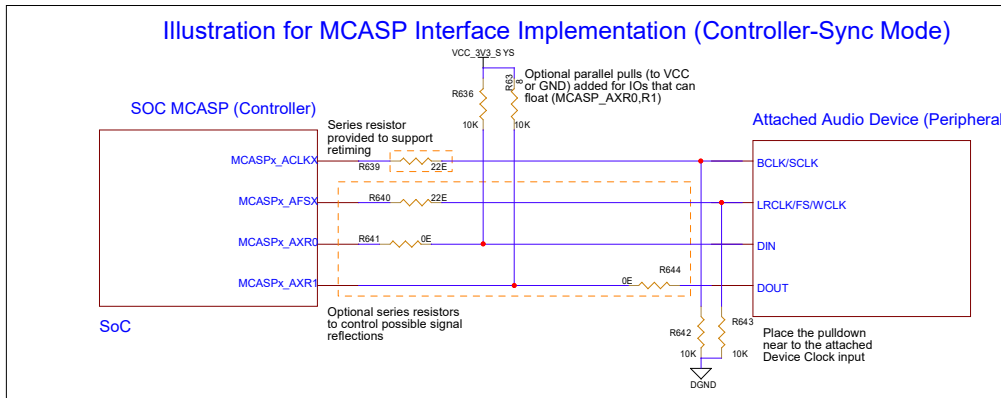
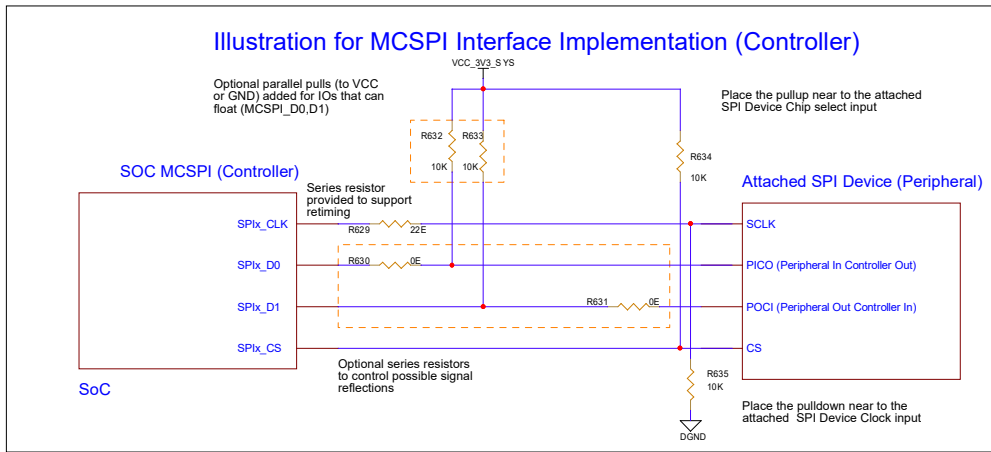


图 7-10. SPI 接口图示 (通用)

该处理器系列支持 x4 (四个) (x4 主域) MCSPI 实例。MCSPI 模块是多通道发送/接收同步串行总线，可以在控制器模式或外设模式下运行。在控制器模式下，处理器 SPI 接口向附加器件提供时钟信号。在外设模式下，附加器件需要为处理器提供 SPI 时钟源。

建议为 MCSPi 时钟输出信号使用串联一个 $22\ \Omega$ 电阻器 (作为起点)。建议将该电阻放置在靠近处理器时钟输出引脚的位置 (用于重定时)。建议在所连接器件时钟输入引脚附近使用下拉电阻器 ($10k\ \Omega$)。对于靠近所连接器件的芯片选择 (CS) 引脚, 建议使用上拉电阻器 ($10k\ \Omega$)。

MCSPi 外设不支持引导。OSPI0 接口支持 SPI 引导。

对于 MCSPi 接口, SPIx_D0 和 SPIx_D1 为数据线路。数据线支持将信号编程为发送数据 (发送、输出) 或接收数据 (接收、输入)。

在复位期间和复位之后, 处理器 IO 缓冲器是 (TX (输出) 和 RX (输入) 和内部拉电阻器 (上拉和下拉电阻器)) 关闭。建议为处理器或所连接器件的数据线使用并联拉电阻器 ($10k\ \Omega$ 或 $47k\ \Omega$), 它可能悬空 (以防止所连接器件输入在由主机驱动之前处于悬空状态)。

建议将 SPI 接口连接到 1 (单) 个存储器器件。连接到多个存储器器件时, 建议遵循高速设计实践并执行仿真, 以确保当单个时钟源连接到多个连接 SPI 的器件时, 布局不会产生非单调时钟转换。

请参阅以下常见问题解答:

[\[常见问题解答\] SK-AM64B : MCSPi 集成指南](#)

[\[常见问题解答\] AM6412 : AM64x SPI D0 和 D1 - MISO/MOSI](#)

常见问题解答是通用的, 也可用于 AM62Lx 处理器系列。

音频外设 - 多通道音频串行端口 (MCASP) :

图 7-11 包含 MCASP 接口的图示, 包括处理器时钟输出引脚附近的串联电阻器、所连接器件附近的下拉电阻器, 以及为可悬空的数据接口信号 (IO) 预留的可选拉电阻器。

该图还展示了连接至多个所连接器件 (扬声器或放大器) 时位时钟和字时钟的缓冲情况。

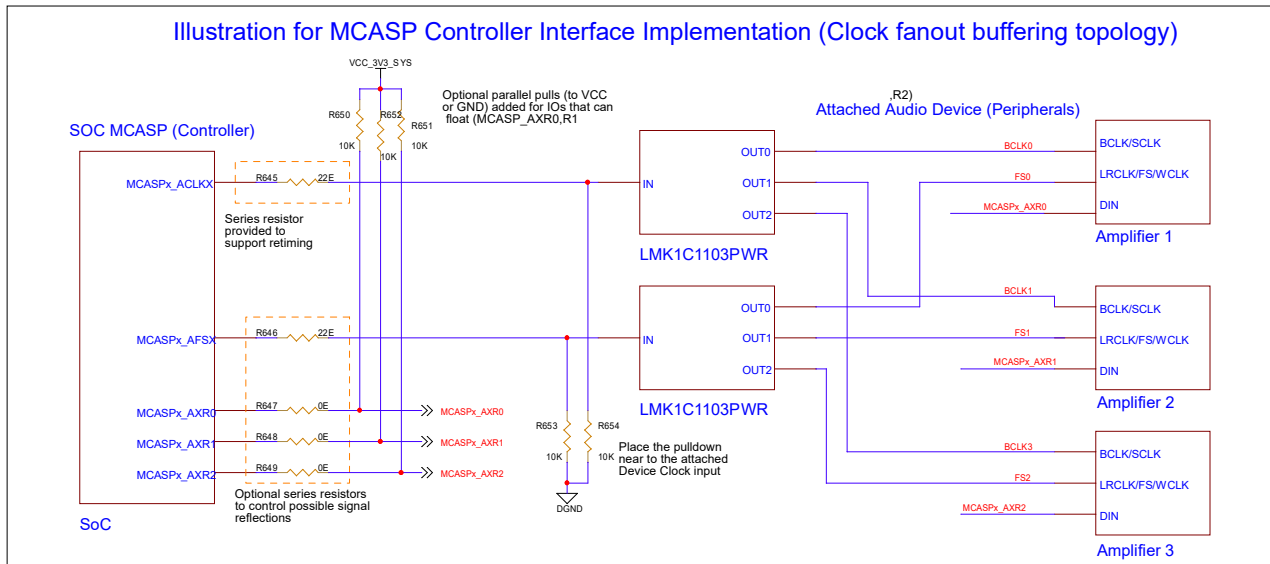
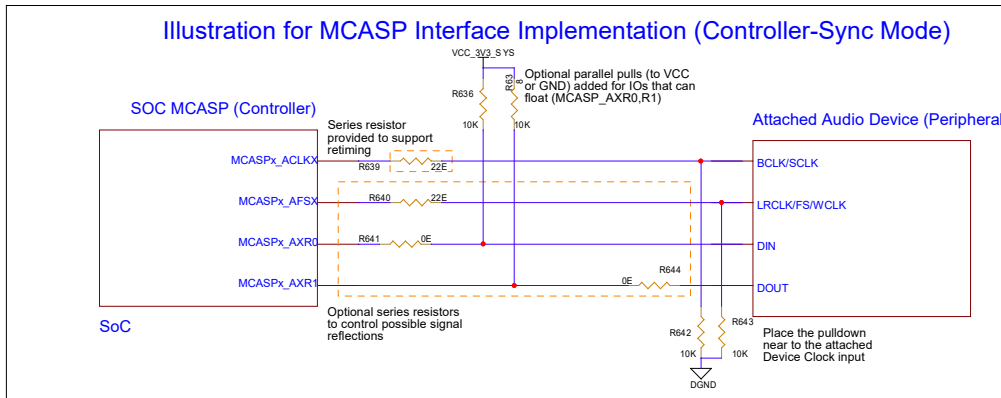
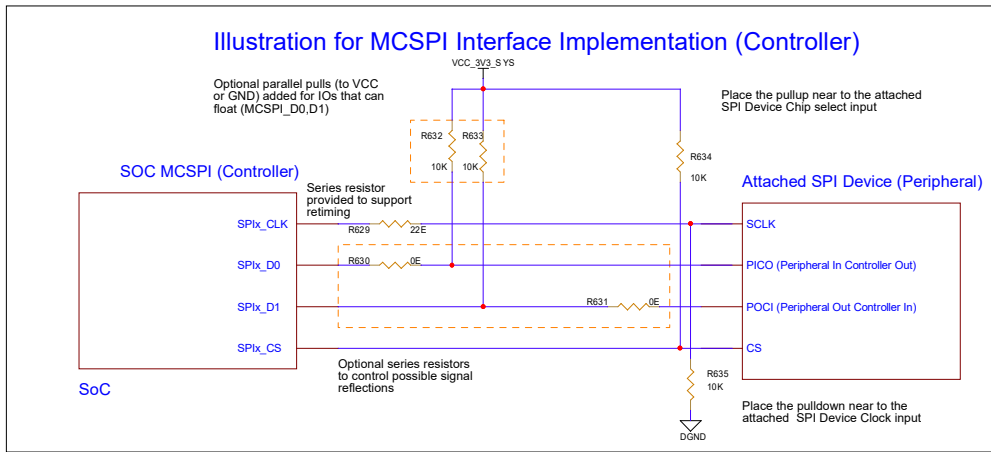


图 7-11. MCASPI 接口图示 (通用)

该处理器系列支持 3 (三) 个 (3 个主域) 音频外设实例 - 多通道音频串行端口 (MCASP)。3 个 MCASP 支持多达 4/6/16 个串行数据引脚 (串行器) 并具有独立的 TX 和 RX 时钟。MCASP 支持时分多路复用 (TDM)、内部 IC 声音 (I2S) 和类似格式。建议为 MCASP 时钟输出使用 22 Ω 串联电阻器 (作为起点)。建议将该电阻放置在靠近处理器时钟输出引脚的位置 (用于重定时)。建议在所连接器件时钟输入引脚附近使用下拉电阻器 (10k Ω)。

在复位期间和复位之后，处理器 IO 缓冲器是 (TX (输出) 和 RX (输入) 和内部拉电阻器 (上拉和下拉电阻器)) 关闭。建议为可能悬空的处理器或所连接器件的数据线使用并联拉电阻器 (47k Ω) (以防止所连接器件输入在由主机驱动之前处于悬空状态)。

MCASP 作为通用音频串行端口，针对各种音频应用的要求进行了优化。MCASP 模块可以在发送和接收模式下运行。MCASP 对于时分多路复用 (TDM) 流、IC 间音频 (I2S) 协议接收和发送以及元件间数字音频接口传输 (DIT) 非常有用。MCASP 可以灵活地无缝连接到 Sony/Philips 数字接口 (S/PDIF) 传输物理层元件。

有关更多信息，请参阅以下常见问题解答：

[\[常见问题解答\] AM625/AM623/AM620-Q1/AM62Ax/AM62Px/AM62D-Q1/AM62L 设计建议/定制电路板硬件设计 - 与 MCASP 相关的疑问](#)

7.5.1.1 MCSPI 和 MCASP 接口信号的连接

对于 MCSPI 接口，建议靠近处理器时钟输出引脚 (处理器 MCSPI 配置为控制器) 为 SPI 时钟输出信号 SPI0..3_CLK (MCSPI 0..3) 提供串联电阻器 (22 Ω)，因为时钟输出用于重定时。

建议为接收器时钟 (接收位时钟) 输出信号 MCASP0..2_ACLKR 与接收帧同步信号 MCASP0..2_AFSR (靠近所连接器件) 配置串联电阻器 (0 Ω 或 22 Ω)。建议为可悬空的处理器 IO 配置并联拉电阻

对于数据接口信号，建议为可悬空的处理器或连接器件 IO 使用一个并联拉电阻。建议在信号源附近配置串联电阻器，以控制可能的信号反射。

建议为接收器时钟 (接收位时钟) 输出信号 MCASP0..2_ACLKR 与接收帧同步信号 MCASP0..2_AFSR (靠近所连接器件) 配置串联电阻器 (0 Ω 或 22 Ω)。

对于数据接口信号，建议为可悬空的处理器或连接器件 IO 使用一个并联拉电阻。

建议在信号源附近配置串联电阻器，以控制可能的信号反射。

建议为接收器时钟 (接收位时钟) 输出信号 MCASP0..2_ACLKR 与接收帧同步信号 MCASP0..2_AFSR (靠近所连接器件) 配置串联电阻器 (0 Ω 或 22 Ω)。

在复位期间和复位之后，对于许多处理器 IO (LVCMOS 或 SDIO)，IO 缓冲器 TX (输出) 和 RX (输入) 均处于关闭状态，并且内部拉电阻器 (上拉和下拉电阻器) 也会关闭。建议验证是否在靠近所连接器件处为 SPI 片选 SPI0..3_CS0..3 (MCSPI 0..3) 提供了外部上拉电阻器 (10k Ω)。建议向可悬空的处理器和所连接器件信号 (数据接口 - 数据输入、数据输出) 添加拉电阻器 (10k Ω 或 47k Ω) (以使所连接器件输入在由主机驱动前处于确定的电平状态)。

允许将两 (2) 个或多个所连接器件 (通用的时钟连接 (BCLK、帧同步)、不同的数据信号连接，同时工作) 连接到 MCASP 接口。MCASP 可以配置为使发送和接收段与发送段时钟和发送帧同步信号同步工作。如果使用专用串行器，则所有目标器件的 BCLK 和帧同步需要相同，如果使用 TDM，则不是问题。在定制电路板设计期间，需要考虑信号质量/信号反射的电势 (从单个 MCASP 时钟输出驱动多个输入导致的信号反射)。对 BCLK 和帧同步信号进行缓冲是可行的处理方法之一。

关于 MCASP 信号的连接，请遵循以下应用手册：

[McASP 设计指南 — 提示、技巧和实用示例](#)

7.5.1.2 MCSPI 接口检查清单

通用

检查并验证定制原理图设计的以下内容：

1. 已查看用户指南上文提及的“[所有章节的通用检查清单](#)”部分的内容
2. 提供的时序和开关特性以及任何其他信息。
3. 根据为接口配置所用 IO 实现的缓冲器类型，验证所连接的 IO 电压电平
4. MCSPI 接口配置和信号连接

5. 将处理器引脚（焊球编号）映射到定制电路板上所需的功能（外设、信号名称）（所选引脚支持将 IO 多路复用以实现所需功能），并根据处理器数据表引脚属性中的信号名称列对信号进行命名（使用标准外设时）。
6. 处理器与所连接器件之间外设数据接口信号的极性匹配（例如映射 TX->RX、Dout->Din 或类似连接）
7. 在处理器引脚附近为处理器 MCSPI 接口时钟输出信号提供 22 Ω 串联电阻器配置（包括值和放置位置）
8. 在所连接器件输入附近为时钟输出信号连接下拉电阻器
9. 在源附近为 MCSPI 数据接口信号提供可选的串联电阻器配置
10. 外部 SPI 接口所连接器件的片选连接（包括上拉电阻器）
11. 配置 MCSPI 数据接口信号以实现 DIN 和 DOUT 功能
12. 为数据接口信号（可悬空的处理器或所连接器件输入）连接并联拉电阻器
13. IO 组 IO 电源和所连接器件 IO 电源的连接（连接到同一电源）
14. 连接到多个所连接器件时与接口性能和信号完整性相关的问题
15. 接口信号的失效防护运行情况
16. 添加所需的大容量电容器和电容及其数值

原理图审阅

定制原理图设计请遵循以下列表：

1. 接口配置和推荐的连接（包括遵循用于信号配置（分组）的 IOSET）
2. 添加到处理器时钟输出引脚附近的时钟输出信号的 22 Ω 串联电阻器（用于重定时）
3. 提供为接口信号添加串联电阻器（0 Ω）的配置（以隔离进行测试或控制可能的信号反射）
4. 以相应 MCSPI 实例和信号的处理器 VDDSHVx 或 VDDsx 为基准（由其供电）的上拉电阻器
5. 处理器 VDDSHVx 或 VDDsx 和所连接器件 IO 电源来自同一电源
6. 连接到以 MCSPI 外设为基准（由其供电）的 IO 组 VDDSHVx/VDDsx IO 电源和所连接器件 IO 电源的电源轨遵循 ROC
7. 对于为 MCSPI 接口配置的所有 IO，为 MCSPI 时钟（靠近所连接器件时钟输入引脚）提供下拉电阻器（10k Ω）配置，以将所连接器件保持在低电平状态（在某些情况下，时钟在低电平逻辑状态下停止或暂停，并且下拉电阻器选项与此逻辑状态一致）
8. 为 SPI 片选 SPI0..3_CS0..3 (MCSPI 0..3) 提供外部上拉电阻器配置（靠近所连接器件）。建议向可能悬空的处理器和所连接器件信号（数据接口 — 数据输入、数据输出）添加拉电阻（以防止所连接器件输入悬空，直到由主机驱动）。可使用上拉电阻器值（10k Ω 或 47k Ω）。
9. 处理器 SPIx 数据位 D0 和 D1 位（数据方向）的配置与所连接器件匹配，并为可悬空的信号添加所需的拉电阻器
10. 为可悬空的处理器或所连接 IO 添加了并联拉电阻器
11. 当连接到多个所连接器件时，接口性能（速度、数据吞吐量、通信错误）和信号完整性相关问题已被分析（模拟）
12. MCSPI 接口信号不具备失效防护。建议仅在处理器电源斜升后施加输入

其他

1. 建议验证处理器 IO 直接连接到外部接口信号或连接器（通过载板或附加电路板）时的失效防护运行情况。在处理器电源斜升之前对处理器 MCSPI 输入施加外部输入信号会导致馈电并影响定制电路板功能。
2. 当接口信号直接连接到外部输入时，可提供外部 ESD 保护。

7.5.1.3 MCASP 接口检查清单

通用

检查并验证定制原理图设计的以下内容：

1. 已查看用户指南上文提及的“所有章节的通用检查清单”部分的内容
2. 提供的时序和开关特性以及任何其他信息。
3. 根据为接口配置所用 IO 实现的缓冲器类型，验证所连接的 IO 电压电平

4. MCASP 接口配置和信号连接。
5. 将处理器引脚（焊球编号）映射到定制电路板上所需的功能（外设、信号名称）（所选引脚支持将 IO 多路复用以实现所需功能），并根据处理器数据表引脚属性中的信号名称列对信号进行命名（使用标准外设时）。
6. 处理器与所连接器件之间外设数据接口信号的极性匹配（例如映射 TX->RX、Dout->Din 或类似连接）
7. 在处理器引脚附近为处理器时钟输出信号提供串联电阻器配置（包括值和放置位置）
8. 在所连接器件输入附近为时钟输出信号连接下拉电阻器
9. 在源附近为 MCASP 接口信号提供可选的串联电阻器配置。
10. 为数据接口信号（可悬空的处理器或所连接器件输入）连接并联拉电阻器
11. IO 组 IO 电源和所连接器件 IO 电源的连接（连接到同一电源）
12. 接口性能（速度，数据吞吐量，通信错误）和信号完整性相关问题。
13. 连接到多个连接器件时 MCASP 信号的连接。
14. 连接到多个器件时的时钟输出缓冲
15. MCASP 接口的失效防护运行情况。
16. 添加所需的大容量电容器和电容及其数值

原理图审阅

定制原理图设计请遵循以下列表：

1. MCASP 接口配置和建议连接（包括遵循用于信号配置（分组）的 IOSET）
2. 在处理器时钟输出引脚（用于重定时）附近为时钟输出信号（发送位时钟）添加串联电阻器（ $22\ \Omega$ ），并在处理器时钟输出引脚附近为发送帧同步信号提供 $0\ \Omega$ 或 $22\ \Omega$ 的串联电阻器配置，以控制可能的信号反射
3. 提供为接口信号添加串联电阻器（可选 $0\ \Omega$ ）的配置（以隔离进行测试或控制可能的信号反射）
4. 对于为 MCASP 接口配置的所有 IO，MCASP 时钟（靠近所连接器件时钟输入引脚）的下拉电阻器（ $10k\ \Omega$ ）配置可使所连接器件保持低电平状态（在某些情况下，时钟在低电平逻辑状态下停止或暂停，并且下拉电阻器选项与该逻辑状态一致）
5. 连接到以 MCASP 外设为基准（由其供电）的 IO 组 VDDSHVx/VDDsx IO 电源和所连接器件 IO 电源的电源轨来自同一电源，并遵循 ROC
6. 以相应 MCASP 实例和信号的处理器 VDDSHVx 或 VDDsx 为基准（由其供电）的上拉电阻器
7. 为靠近所连接器件的 MCASP 接口（发送或接收）提供外部上拉电阻器配置。建议向可能悬空的处理器和所连接器件信号（数据接口—数据输入、数据输出）添加拉电阻（以防止所连接器件输入悬空，直到由主机驱动）。使用的上拉电阻器值（ $10k\ \Omega$ 或 $47k\ \Omega$ ）
8. 当连接到多个所连接器件时，接口性能（速度、数据吞吐量、通信错误）和信号完整性相关问题已被分析（模拟）
9. 连接到多个连接器件时 MCASP 信号的连接。请遵循通用设计指南以更大限度地减少残桩
10. 为处理器或可悬空的所连接器件 IO 添加的并联拉电阻器
11. MCASP 接口信号不具备失效防护。建议仅在处理器电源斜升后施加输入

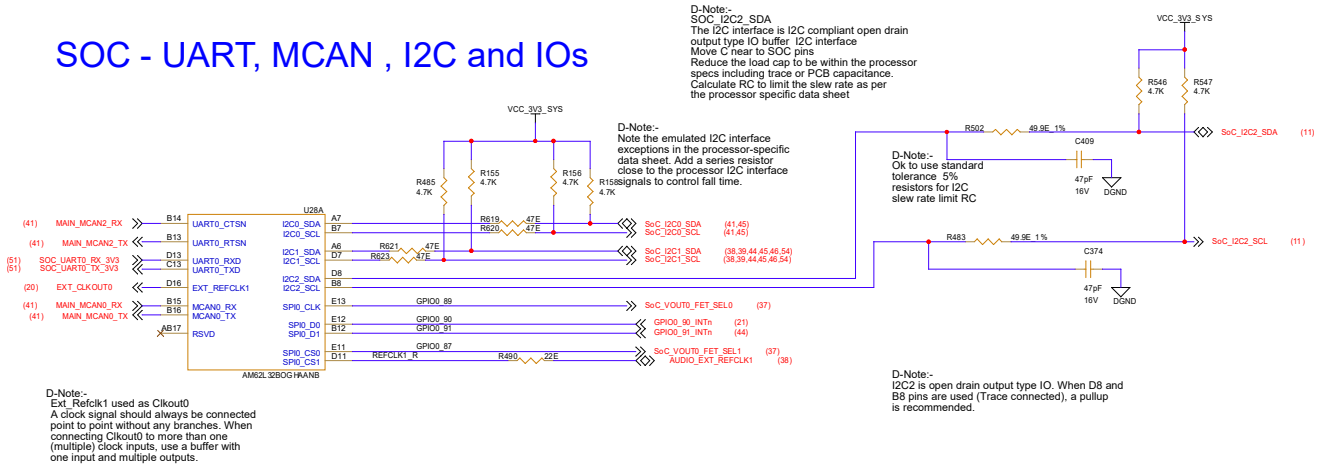
其他

1. 建议验证连接到外部信号时的失效防护操作。在处理器电源斜升之前对处理器 MCASP 输入施加外部输入信号会导致馈电并影响定制电路板功能。
2. 支持将两个（x2）或更多器件（公共时钟连接、不同数据信号连接、同时工作）连接到 MCASP 接口。在对位时钟进行布线（发送位时钟和接收位时钟）时，建议遵循良好或建议的布局实践。使用 IBIS 模型执行仿真。建议 x2 器件（例如：编解码器和放大器）采用相同的格式（TDM/I2S 等）运行，建议编解码器和放大器采用相同的格式（TDM/I2S 等）运行，并且其字长设置应与位时钟和帧同步信号保持同步。
3. 当接口信号直接连接到外部输入时，可提供外部 ESD 保护。

7.5.2 内部集成电路 (I2C)

图 7-12 包含适用于开漏输出型缓冲器 (I2C2) 和仿真开漏输出型缓冲器 (I2C0、I2C1) I2C 接口的 I2C 接口连接。拉至 3.3V 以限制压摆率时，为开漏 I2C 接口添加了一个 RC 电路。在仿真开漏 I2C 接口信号上添加了一个串联电阻器，用于控制下降时间。

SOC - UART, MCAN, I2C and IOs



SOC- JTAG

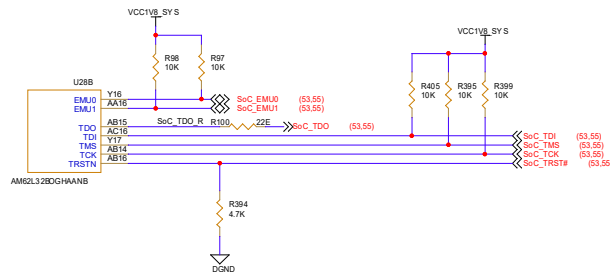


图 7-12. 开漏或仿真开漏

备注

处理器外设 (MCAN、MCSPi、MCASP、I2C) 将具有相同功能的信号连接到多个引脚上, 这些信号被分组为 IOSET。建议在定制电路板设计中验证和使用正确的 IOSET (分组信号)。该接口的时序闭合基于 IOSET。

该处理器系列支持 x5 (六个) (x1 (一个) 符合 I2C 标准的失效防护漏极开路输出型 IO 缓冲器和 x4 (四个) 基于 LVCMOS 缓冲器类型 IO 而仿真的 I2C 接口。支持的 I2C 接口包括 x4 主域、x1 WKUP 域 I2C 接口。

建议验证应用是否需要完全符合 I2C 总线规范的 I2C 接口。I2C2 (仅当使用具有 I2C OD FS 缓冲器类型的处理器引脚时。例如 ANB 封装的 B8、D8) 是真正的开漏输出型缓冲器, 具有失效防护且完全符合 I2C 规范。当 IO 缓冲器 (接口) 在 1.8V 电压下运行时, 开漏输出缓冲器类型 I2C 接口可支持 HS 模式 (高达 3.4Mbps) 下的运行。

备注

对于具有开漏输出型缓冲器 (I2C2) 的 I2C 接口, 若使用 IO (用于 I2C 接口或配置为用作 IO 的备选功能), 建议使用外部拉电阻器。具有开漏输出型缓冲器 (I2C2) 的 I2C 接口信号在不使用时可保持开路状态 (走线无需连接)。

当配置为 I2C 功能时, 建议为 LVCMOS IO 使用上拉电阻器 (4.7kΩ, 测试后调整)。建议使用尽可能最短的残桩连接上拉电阻器。

当开漏输出型缓冲器 I2C 接口被拉至 3.3V 电源时, IO 具有指定的压摆率要求。建议使用 RC 来限制压摆率。对于 RC 实现 (电容器靠近处理器引脚), 请参阅 EVM 原理图。

有关更多信息, 请参阅 [将电源轨连接到外部上拉电阻器](#) 一节。

如果需要额外的 I2C 接口，请使用仿真开漏输出型 I2C 接口：I2C0、I2C1、I2C3、WKUP_I2C0 和 I2C2（使用具有 I2C OD FS 缓冲器类型的处理器引脚时除外）。仿真开漏输出 I2C 接口不完全符合 I2C 规范，尤其是下降沿的速度很快 (< 2ns)。

建议查阅处理器特定数据表中 *时序和开关特性 - I2C* 一节的 *异常* 部分。请注意仿真开漏输出型缓冲器 I2C 接口的异常。连接到仿真开漏类型缓冲器 (LVCMOS) I2C 接口的任何所连接器件都需要在下降时间更短的情况下正常运行。仿真开漏输出型缓冲器 I2C 接口支持 100kHz 和 400kHz 运行频率。为 I2C 接口配置 IO 时，建议使用上拉电阻器。使用尽可能短的残桩连接上拉电阻。建议使用串联电阻器 (47 Ω，测试后调整) 来控制下降时间。该值取决于定制电路板设计并建议在测试中最终确定。

如需更多信息，请参阅常见问题解答：

[\[常见问题解答\] AM62L \(AM62L32、AM62L31\) 定制电路板硬件设计 - I2C 接口](#)

当计划使用 TI 提供的软件时，请将推荐的处理器 I2C 接口连接到 PMIC，因为 WKUP_I2C0 是用于 PMIC 控制的接口。

备注

请参阅处理器特定数据表的 *信号说明* 一节。当使用 I2C2 (支持 I2C OD FS 或 LVCMOS 缓冲器类型) 和 I2C3 接口时，请参阅处理器特定数据表 *时序和开关特性、外设、I2C* 一节中的注释 (可以多路复用到多个引脚)。

备注

建议在定制电路板设计期间，查阅处理器特定数据表中 *时序和开关特性 - I2C* 一节的 *异常* 部分。请注意仿真开漏输出型缓冲器 I2C 接口的异常。**建议添加一个串联电阻器 (47 Ω，测试后调整) 来控制下降时间。**

7.5.2.1 I2C (开漏输出类型 IO 缓冲器) 接口检查清单

通用

检查并验证定制原理图设计的以下内容：

1. 已查看用户指南上文提及的“**所有章节的通用检查清单**”部分的内容
2. 提供的时序和开关特性以及任何其他信息。
3. 将处理器引脚 (焊球编号) 映射到定制电路板上所需的功能 (外设、信号名称) (所选引脚支持将 IO 多路复用以实现所需功能)，并根据处理器数据表引脚属性中的信号名称列对信号进行命名 (使用标准外设时)。
4. 处理器与所连接器件之间外设数据接口信号的极性匹配 (如数据、时钟或类似连接的映射)
5. 支持的开漏输出缓冲器类型 I2C 接口实例 (I2C2，可配置为使用 LVCMOS 缓冲器类型)，以及连接多个所连接器件。
6. 开漏输出缓冲器类型 I2C 接口配置、I2C 接口的上拉要求和连接建议。
7. 拉至 3.3V 电源时的压摆率要求和用于压摆率控制的 RC 连接 (电容器靠近处理器引脚)。
8. 所连接器件地址输入的连接
9. 开漏输出型缓冲器 I2C 接口的失效防护运行支持
10. 添加所需的大容量电容器和电容及其数值
11. 接口未使用时的开漏输出型 I2C 接口连接建议。
12. 上拉电阻器的电压连接，用以支持 Hs 模式 (拉至 1.8V 时支持高达 3.4Mbps 的数据传输速率)

原理图审阅

定制原理图设计请遵循以下列表：

1. I2C2 (仅当使用具有“I2C OD FS”缓冲器类型的处理器引脚时。示例：ANB 封装的 B8、D8) 控制器具有专用的符合 I2C 标准的开漏输出型缓冲器。

2. 仅当 IO 用作 I2C 接口或 IO 接口时，才需要上拉电阻器。未使用 IO 时，可使 I2C 接口信号保持未连接状态。
3. 建议对照 EVM 原理图实现方案验证 I2C 接口使用的上拉电阻器值，或根据负载计算上拉电阻器值。建议为 I2C 接口使用上拉电阻器 (4.7kΩ，测试后调整)。
4. 连接的 I2C 上拉电源电压遵循失效防护 IO 规定的稳态最大电压。电源阈值取决于连接到 IO 组 IO 电源的电源电压。
5. 开漏输出型 IO 缓冲器的 RC，用于在接口以 3.3V 运行 (拉取) 时限制输入压摆率。当实现了用于输入压摆率控制的 RC 时，连接在处理器 I2C 接口引脚附近的电容器。验证 RC 对 I2C 接口速度的影响，并根据需要调整 RC。
6. 连接到以 I2C 外设为基准 (由其供电) 的 IO 组 VDDSHVx/VDDsx IO 电源和所连接器件 IO 电源的电源轨来自同一电源，并遵循 ROC。
7. 所连接器件的地址输入，通过电阻器 (>1kΩ) 连接到 IO 电源。
8. 处理器支持多个 I2C 实例。建议验证任何 I2C 接口上是否有 I2C 地址冲突。如果需要额外的 I2C 接口，可以使用 I2C 开关。

其他

1. 建议在设计阶段审阅处理器特定数据表的 *时序和开关特性*、*I2C 异常* 部分，包括所需的电路。
2. I2C 总线的运行速度只能与最慢外设的运行速度一致。如果需要更快的运行速度，请将慢速器件移至另一个 I2C 端口。
3. 建议不要在 I2C 总线上放置多组上拉电阻，因为上拉电阻可能会导致负载过大和运行错误。根据配置的总线速度调整上拉电阻值。
4. 建议确保为处理器 I2C IO 供电的 IO 组 IO 电源与上拉电阻和所连接 I2C 器件 IO 电源所使用的电源电压相匹配。将上拉电阻连接到适当的电源电平可防止 I2C 接口错误运行。
5. I2C 接口支持时钟延展。如果由于总线负载或信号压摆率导致测得的时钟频率与配置的频率不匹配，建议调整上拉电阻。

7.5.2.2 I2C (仿真开漏输出类型 IO) 接口检查清单

通用

检查并验证定制原理图设计的以下内容：

1. 已查看用户指南上文提及的“[所有章节的通用检查清单](#)”部分的内容
2. 提供的时序和开关特性以及任何其他信息。
3. 根据为接口配置所用 IO 实现的缓冲器类型，验证所连接的 IO 电压电平
4. 将处理器引脚 (焊球编号) 映射到定制电路板上所需的功能 (外设、信号名称) (所选引脚支持将 IO 多路复用以实现所需功能)，并根据处理器数据表引脚属性中的信号名称列对信号进行命名 (使用标准外设时)。
5. 处理器与所连接器件之间外设数据接口信号的极性匹配 (如数据、时钟或类似连接的映射)
6. 支持的仿真开漏输出型 I2C 接口实例 (I2C0、I2C1、I2C2 (若所选引脚支持 LVCMOS 缓冲器类型)、I2C3、WKUP_I2C)，以及连接多个所连接器件。
7. I2C 接口支持的 IO 电源电平 (1.8V/3.3V 或固定 1.8V) 与所连接电压电平的对比
8. 仿真开漏输出缓冲器类型 I2C 接口的引脚配置、I2C 接口的上拉建议和连接。
9. 所连接器件地址输入的连接。
10. 仿真开漏输出型 I2C 接口的异常情况和用于下降时间控制的连接建议 (串联电阻器)
11. 仿真开漏输出型 I2C 接口的失效防护运行
12. 添加所需的大容量电容器和高频电容器及其数值
13. 不使用接口时的仿真开漏输出型 I2C 接口连接建议。

原理图审阅

定制原理图设计请遵循以下列表：

1. I2C 接口配置和推荐的连接 (包括根据 IOSET 对接口信号进行分组)。I2C 接口类型和上拉电阻器要求。
2. 当 IO 配置为 I2C 接口时，建议使用上拉电阻 (4.7kΩ)。

3. 建议使用 EVM 原理图验证 I2C 接口的上拉电阻器值，或根据负载计算上拉电阻器值。建议为 I2C 接口使用上拉电阻器 (4.7kΩ，测试后调整)。
4. 以处理器 VDDSHVx 或 VDDsx 为基准 (由其供电) 的上拉电阻器 (I2C 上拉电阻器连接到正确的电压)。
5. 当不使用 I2C 接口时，这些 IO 可以配置为备选功能，且上拉电阻取决于 IO 功能。
6. 连接到以 I2C 外设为基准 (由其供电) 的 IO 组 VDDSHVx/VDDsx IO 电源和所连接器件 IO 电源的电源轨来自同一电源，并遵循 ROC。
7. 处理器支持多个 I2C 实例。建议验证任何 I2C 接口上是否有 I2C 地址冲突。如果需要额外的 I2C 接口，可以使用 I2C 开关。
8. 附加器件地址引脚，通过电阻器 (>1kΩ) 连接到 IO 电源。
9. 对于仿真开漏输出型 I2C 接口，请注意处理器特定数据表 *时序和开关特性* 部分中的 I2C 异常。建议在处理器 I2C 接口信号附近使用串联电阻器 (47Ω，测试后调整)，以控制下降时间。

其他

1. 模拟开漏输出型 IO 的 LVCMOS 类型 IO 缓冲器并不完全符合 I2C 规范，尤其是下降沿的速度很快 (< 2ns)。
2. 建议在设计阶段审阅处理器特定数据表的 *时序和开关特性*、*I2C 异常* 部分。
3. I2C 总线的运行速度只能与总线上最慢外设的运行速度一致。如果需要更快的运行速度，请将慢速器件移至另一个 I2C 端口。
4. 建议不要在 I2C 总线上放置多组上拉电阻，因为上拉电阻可能会导致负载过大和运行错误。根据配置的总线速度调整上拉电阻值。
5. 建议确保为处理器 I2C IO 供电的 IO 组 IO 电源与上拉电阻和所连接 I2C 器件 IO 电源所使用的电源电压相匹配。将上拉电阻连接到适当的电源电平可防止 I2C 接口错误运行。
6. I2C 接口支持时钟延展。如果由于总线负载或信号压摆率导致测得的时钟频率与配置的频率不匹配，建议调整上拉电阻。
7. 失效防护接口支持 (仿真开漏输出型 IO 没有失效防护功能，建议在处理器 IO 电源斜升之前不要施加任何外部输入)。建议验证连接到外部接口信号时的失效防护操作。在处理器电源斜升之前对处理器 I2C 输入施加外部输入信号可能会导致馈电并影响定制电路板功能。

7.6 用户接口 (DPI、DSI)、GPIO 和硬件诊断

7.6.1 显示子系统 (DSS)

备注

该系列处理器为 DPI 和 DSI 接口支持引脚输出 (引脚属性已定义)。处理器 (内部硬件) 支持配置 (使用) MIPI DSI (x4 通道 D-PHY (DPHY)) 或 DPI (24 位 RGB LVCMOS) 显示 (外部)。处理器显示接口的选择需要在引导时完成。

有关 DPI 接口 (包括 DPI 接口信号映射和 MIPI DSI 接口映射) 的信息，请参见处理器特定 TRM 的 *显示子系统和外设* 一节。

7.6.1.1 显示并行接口 (DPI)

有关支持的数据格式 (包括 BT656) 的信息，请参阅处理器特定数据表和 TRM。

7.6.1.1.1 AM62Lx 处理器系列

该处理器系列支持 1 路每像素 24 位、RGB/YUV422 模式、LVCMOS 输出、DPI (并行) 显示接口实例。

有关 DPI 展频时钟支持的信息，请参阅 [AM62x](#)、[AM62Ax](#)、[AM62Px](#)、[AM62Lx 展频时钟](#) 应用手册。

有关 DPI 的更多信息，请参阅以下常见问题解答：

[\[常见问题解答\] AM625/AM623/AM620-Q1/AM625-Q1/AM625SIP 定制电路板硬件设计 - 显示并行接口 \(DPI\) 24 位 RGB - 显示接口](#)

常见问题解答是通用的，也可用于 AM62Lx 处理器系列。

7.6.1.1.1.1 IO 电源

处理器 DPI 接口由 VDDSHV0 电源导轨 (GPMC IO 组的 IO 电源) 供电。

7.6.1.1.1.2 连接

验证显示 (RGB) 连接。

DPI 显示接口支持包括 12、16、18 和 24 位 RGB 有源矩阵显示。将 16 位数据连接到 18 位面板 (BGR565 到 BGR666) 时, 建议将 D0-D4 连接到 LCD 模块输入的 B1-B5, 将 D5-D10 连接到 LCD 模块输入的 G0-G5, 将 D11-D15 连接到 LCD 模块输入连接器的 R1-R5。对于 LCD 模块输入侧的 18 位接口, 建议将 B0 连接到 B5, 将 R0 连接到 R5, 将 G0 连接到 G5。

7.6.1.1.1.3 DPI (连接器件) 复位

建议使用双输入 “与运算” 逻辑来实现所连接器件的复位 (LCD 模块), 因为 “与运算” 逻辑提供了灵活性, 能够在包括本地复位在内的所有处理器复位条件下复位所连接器件 (适用于所连接器件无响应且需要在不进行下电上电的情况下复位的情形)。处理器 GPIO (用于 LCD 模块本地复位) 作为与门的其中一个输入进行连接, 在 “与运算” 逻辑与门输入端附近提供上拉电阻器 (10k Ω 或 47k Ω) (上拉电阻器已使能) 并提供 0 Ω , 以隔离 GPIO 输出供测试或调试。与门的另一个输入是 MAIN 域热复位状态输出 (RESETSTATz)。

如果直接使用 (连接) 处理器 MAIN 域热复位状态输出 (RESETSTATz) 来复位 DPI (所连接器件), 建议将 RESETSTATz 的 IO 电压电平与所连接器件相匹配。建议使用电平转换器来匹配 IO 电平。如果选择了电阻分压器的理想值, 则也可以使用电阻分压器进行电平转换。若电阻分压器值过高, 连接到 DPI 复位输入的处理器 IO 的上升/下降时间可能会很慢, 且会引入延迟。使用过低值电阻器作为分压器会导致处理器在正常运行期间提供过多的稳态电流。

7.6.1.1.1.4 DPI 信号连接

建议为 VOUT0_PCLK (像素时钟输出) 提供配置来连接一个串联电阻器 (0 Ω) (靠近处理器时钟输出引脚以控制可能的信号反射)。如果空间不受限制, 建议为靠近处理器引脚的所有其他控制 and 数据信号添加串联电阻器 (0 Ω)。

7.6.1.1.1.5 电源导轨的电容器

建议确认已为 VDDSHV0 (电源导轨以 DPI 接口信号为基准 (由其供电)) 电源导轨及所连接器件提供大容量电容与去耦电容 (若有推荐方案则使用推荐电容, 或遵循相关 EVM 实现)。

如果没有可用的建议, 建议遵循处理器特定 EVM 实现。

7.6.1.1.1.6 DPI (VOUT0) 外设检查清单

通用

检查并验证定制原理图设计的以下内容:

1. 已查看用户指南上文提及的 “所有章节的通用检查清单” 部分的内容
2. 处理器 DPI 信号与所连接器件的映射和连接
3. 将处理器引脚 (焊球编号) 映射到定制电路板上所需的功能 (外设、信号名称) (所选引脚支持将 IO 多路复用以实现所需功能), 并根据处理器数据表引脚属性中的信号名称列对信号进行命名 (使用标准外设时)。
4. 处理器与所连接器件之间外设数据接口信号的极性匹配 (例如 RGB 信号 (D0-D7)、时钟、控制信号或类似连接的映射)
5. 在处理器引脚附近为处理器像素时钟输出信号添加串联电阻器
6. 在处理器引脚附近为 DPI 显示接口控制 and 数据接口信号添加串联电阻器
7. 所连接器件复位逻辑的实现
8. 提供外部 ESD 保护
9. 为所连接器件添加所需的大容量电容器和电容及数值

原理图审阅

定制原理图设计请遵循以下列表：

1. 接口信号的连接，包括处理器的 DPI 引脚与所连接器件（RGB 显示器）和显示控制信号的映射。
2. 连接到 IO 组 VDDSHV0 的 IO 电源的电源导轨以 DPI 外设和所连接器件 IO 电源为基准，并遵循推荐工作条件。
3. 建议将 DPI IO 电源的去耦电容器与相关 EVM 进行比较。
4. 处理器时钟输出引脚 PCLK 附近时钟输出信号的串联电阻器 (0 Ω) 连接（用于控制可能的信号反射）。
5. 用于显示接口 DPI 控制和数据接口信号的串联电阻器是可选的。空间不受限制时，建议添加串联电阻器。
6. 建议使用 2 输入“与运算”逻辑来实现所连接器件（LCD 模块）的复位。处理器 GPIO 作为其中一个输入连接到与门，在“与运算”逻辑与门输入端附近提供上拉电阻器或下拉电阻器（上拉电阻器已使能）并提供 0 Ω，以隔离 GPIO 输出用于测试或调试。与门的另一个输入是 MAIN 域热复位状态输出 (RESETSTATz)。
7. 建议配置外部 ESD 保护（基于用例）。

7.6.1.2 显示串行接口 (DSI)

7.6.1.2.1 AM62Lx 处理器系列

该处理器系列支持具有 x4（四个）数据通道和 x1（单个）时钟通道的显示接口。

有关支持的显示分辨率，请参阅处理器特定数据表。

7.6.1.2.1.1 使用 DSITX0 外设

处理器 DSITX0 接口以 VDDA_CORE_DSI、VDDA_CORE_DSI_CLK 和 DSITX0 1.8V 模拟电源 VDDA_1P8_DSI 为基准（由其供电）。

建议在 DSI0_TXRCALIB（靠近处理器）和 VSS 之间连接一个并联电阻器。有关建议电阻值和容差，请参阅处理器特定数据表。

如果需要复位所连接器件，建议遵循 DPI0 所连接器件的复位实现。

请参阅以下常见问题解答：

[\[常见问题解答\] AM625/AM623/AM620-Q1/AM62L/AM62A/AM62P/AM62D-Q1/AM64x/AM243x 设计建议/定制电路板硬件设计 — 与无源元件参数值、容差和额定电压相关的疑问](#)

7.6.1.2.1.1.1 DSITX0 外设检查清单

通用

检查并验证定制原理图设计的以下内容：

1. 已查看用户指南上文中的“所有章节的通用检查清单”章节。
2. 将 DSITX0 接口信号连接到所连接器件。
3. 处理器与所连接器件之间外设数据接口信号的极性匹配（如 DSI0 时钟、数据或类似连接的映射）
4. 建议的外部校准电阻器 DSI0_TXRCALIB 的连接方式。
5. DSITX0 内核、DSITX0 时钟内核、DSITX0 模拟电源的连接
6. 为所连接器件添加所需的大容量电容器和电容及数值
7. 所连接器件复位逻辑的实现
8. 不使用时的 DSITX0 接口信号连接
9. 不使用部分通道时的 DSITX0 接口信号连接
10. 不使用 DSITX0 接口并进行边界扫描时，DSITX0 内核、DSITX0 时钟内核、DSITX0 模拟电源的连接
11. 不使用 DSITX0 接口且不进行边界扫描时，DSITX0 内核、DSITX0 时钟内核、DSITX0 模拟电源的连接
12. 提供外部 ESD 保护

原理图审阅

定制原理图设计请遵循以下列表：

1. DSITX0 外设信号与所连接器件的连接，包括极性。
2. $499\ \Omega \pm 1\%$ 与 DSI0_TXRCALIB 引脚和接地的连接方式。
3. 使用 DSITX0 外设时，用于 DSITX0 模拟和内核电源的铁氧体和电容器。遵循 EVM 原理图。
4. 连接到 DSITX0 外设电源导轨的电源导轨以及所附加器件的 IO 电源来自同一电源，并遵循建议工作条件。
5. 不使用 DSITX0 外设且需要边界扫描功能时应遵循的引脚连接要求。当不使用 DSITX0 接口但需要边界扫描功能时，IO 校准电阻器可以为 DNI。
6. 不使用 DSITX0 外设且不需要边界扫描功能时应遵循的引脚连接要求。

其他

1. 建议配置外部 ESD 保护（基于用例）。
2. 建议包含差分信号的标记（可选）($100\ \Omega$) 和差分阻抗值。

7.6.1.2.1.2 不使用时的 DSITX0 外设连接

不使用时，DSITX0 外设对接口信号和电源有特定的连接要求。

有关连接 DSITX0 外设信号、电源（内核和模拟）的信息，请参阅处理器特定数据表的 *引脚连接要求* 一节。

使用边界扫描功能时，建议将 DSITX0 电源（VDDA_CORE_DSI、VDDA_CORE_DSI_CLK 和 VDDA_1P8_DSI）连接到建议的电源轨。建议在电源引脚上使用去耦电容器。大容量电容器和铁氧体是可选项。

当不使用边界扫描功能和 DSITX0 接口时，建议通过单独的 $0\ \Omega$ 电阻器将 DSITX0 电源（VDDA_CORE_DSI、VDDA_CORE_DSI_CLK 和 VDDA_1P8_DSI）连接到 VSS。不建议组装去耦电容器、大容量电容器和铁氧体。

7.6.2 通用输入/输出 (GPIO)

备注

有关连接处理器 IO，请参阅处理器特定数据表的 *引脚连接要求* 一节结尾的注释。

该处理器系列支持 MAIN 域中的一个通用输入/输出 GPIO 模块实例 (GPIO0) 和 Wakeup 域中的一个 GPIO 模块实例 (WKUP_GPIO0)。GPIO 模块支持可配置为输入或输出的信号（引脚）。当配置为输出时，软件可以对内部寄存器进行写入来控制输出引脚上驱动的状态。当配置为输入时，软件可以通过读取内部寄存器的来读取输入的状态。此外，GPIO 外设可以在不同的中断/事件生成模式下生成主机 CPU 中断和 DMA 同步事件。处理器特定数据表的 *引脚属性* 和 *信号说明* 两节提供了有关处理器引脚的信息，这些引脚可配置为支持 LVCMOS 和 SDIO IO 缓冲器类型的 GPIO（推挽输出类型）。*引脚属性* 一节还介绍了处理器支持的其他类型 IO。

请参阅以下常见问题解答：

[\[常见问题解答\] AM625/AM623/AM620-Q1/AM62Ax/AM62Px/AM62D-Q1/AM62L/AM64x/AM243x 设计建议/定制电路板硬件设计 — 与 GPIO 相关的疑问](#)

[\[常见问题解答\] AM625/AM623/AM620-Q1/AM62L/AM62Ax/AM62D-Q1/AM62Px/AM64x/AM243x 定制电路板硬件设计的设计建议/常见错误 — LVCMOS 输入磁滞相关的疑问](#)

[\[常见问题解答\] AM625/AM623/AM620-Q1/AM62L/AM62A/AM62P/AM62D-Q1/AM64x/AM243x 设计建议/定制电路板硬件设计 — 数据表引脚属性及引脚连接相关问题](#)

7.6.2.1 处理器 GPIO 上 CLKOUT 的可用性

WKUP_OSC0_XO 的缓冲输出可在 WKUP_CLKOUT0 上配置。

7.6.2.2 GPIO 连接和添加外部缓冲器

建议添加一个串联电阻器（其值取决于用例并按照处理器特定数据表限制电流）。当消耗（需要）更高电流的负载（高于处理器特定数据表值）连接到处理器 GPIO 时，建议在连接到负载之前缓冲处理器 IO。

通用处理器 LVCMOS IO 接口指南：

1. 很多处理器 IO 都没有失效防护功能。在处理器电源斜升之前，不建议施加任何外部输入

2. 处理器 LVCMOS IO 指定了压摆率要求，建议不要应用慢速斜坡输入或在输入端连接电容器
3. 不建议在 LVCMOS IO 输出端连接大于 22pF 的电容负载。请将电容器设置为 DNI，或根据用例执行仿真。
4. 在复位期间和复位之后，处理器 IO 缓冲器 (TX (输出) 和 RX (输入) 和内部拉电阻器 (上拉和下拉电阻器)) 会关闭。建议在可悬空的处理器 IO 驱动的所连接器件附近添加一个并联拉电阻器 (以防止所连接器件输入在由主机驱动前处于悬空状态) 。
5. 对于连接了布线但未被主动驱动的任何处理器 IO (焊盘) ，建议使用一个并联拉电阻器 (47kΩ) 。当添加并联拉电阻器不可行时，请确保布线远离噪声信号
6. 不允许也不建议将可配置为备选功能的处理器 IO 直接连接到电源或接地 (包括引导模式输入) 。定制电路板可能存在固件配置问题，错误地将这些本应设为输入的 LVCMOS IO 配置为输出并将其驱动为逻辑高电平。
7. 请验证处理器输出的电容器负载 (当连接任何大于 22pF (取决于具体用例，最大值) 的电容器时，建议进行仿真) ，以及输入信号的压摆率 (LVCMOS 输入压摆率应为 1000ns 或更小)
8. 建议验证处理器 IO (输入) 与所连接器件 IO (输出) 之间的 IO 电平兼容性
9. 当外部 IO 直接连接到处理器输入时，提供外部 ESD 保护配置
10. 确保为所有 IO 启用 PADCONFIG 寄存器中的 ST_EN 位
11. 确保处理器 IO 使用的上拉或下拉电阻值大于 4.7kΩ
12. 确保为处理器 IO 安装了上拉或下拉电阻器。当同时提供上拉和下拉电阻器配置时，按三焊盘布局放置电阻器

7.6.2.3 其他信息

除非另有说明，否则未使用的 IO 上的引脚 (或焊盘) 可以保留为无连接状态。许多 IO 都有一个焊盘配置寄存器可用于控制 IO 的功能 (每个 conf_<module>_<pin> 寄存器中的 RXENABLE 字段) 的配置。更多信息，请参阅处理器特定 TRM 的 *控制模块* 一章。在早期初始化期间，软件可禁用设计中未使用的 IO 接收缓冲器 (即 RXENABLE=0) 。当相关引脚悬空时，建议软件不要意外使能 IO 接收器 (通过设置 RXENABLE 位) 。

备注

如需了解配置某些未使用的引脚 (或外设) 的指导信息，建议参阅处理器特定数据表的 *引脚连接要求* 一节。

备注

PADCONFIG 寄存器位配置 — ST_EN :

如果 PADCONFIG 寄存器被软件修改，建议保持 ST_EN 位使能。每个 *电气特性表* 中定义的最小输入转换率参数与长期可靠性相关联。这些参数不受 ST_EN 位的影响。通过滤除不超过磁滞的噪声脉冲，输入缓冲器中实现的施密特触发功能只会更改输入缓冲器的输出结果。当应用向 IO 输入施加慢于处理器特定数据表中定义的转换率时，施密特触发功能不会改变输入缓冲器的工作方式。

备注

如需了解有关配置 IO 的指导信息，请参阅处理器特定 TRM 的 *焊盘配置寄存器* 一节。

备注

特定外设和 GPIO 支持去抖功能。建议在处理器特定数据表的 *信号说明* 一节中查阅与外设或 GPIO 的去抖功能相关的注释。

有关未使用处理器外设和 IO 连接的更多信息，请参阅以下常见问题解答：

[\[常见问题解答\] AM625/AM623/AM620-Q1/AM62L/AM62A/AM62D-Q1/AM62P 定制电路板硬件设计过程中的设计建议/常见错误 - 不使用时的 SOC 外设和 IO 连接](#)

有关连接 (已使用/未使用) 处理器引脚和外设的信息，请参阅以下常见问题解答：

[常见问题解答] AM62x、AM62Ax、AM62D-Q1、AM62L、AM62Px、AM64x、AM243x 定制电路板硬件设计 — 如何处理已使用/未使用的引脚/外设以及添加上拉或下拉电阻？(例如 GPIO、SERDES、USB、CSI、MMC (eMMC、SD 卡)、CSI、OLDI、DSI、CAP_VDDsx……)

使用处理器 GPIO 时，请参阅处理器特定数据表 *连接要求* 一节末尾的注释。

7.6.2.4 GPIO 检查清单

通用

检查并验证定制原理图设计的以下内容：

1. 已查看用户指南上文中的“[所有章节的通用检查清单](#)”章节。
2. 将电源连接到 IO 组的 IO 上拉电源和 IO 电源 (所有以 VDDSHVx、VDDsx、VDDs_WKUP、VDDs_RTC 为基准 (由其供电) 的 IO 引脚均连接到相同的电压电平)。缓冲器类型和支持的电压电平 (1.8V/3.3V 或固定 1.8V)
3. 根据为接口配置所用 IO 实现的缓冲器类型，验证所连接的 IO 电压电平
4. 与外部施加输入的 IO 电平兼容性。
5. 基于所需 IO 功能的相关 PADCONFIG 寄存器配置
6. 按处理器特定数据表相关要求配置 LVCMOS (SDIO) 输入压摆率、电容器在输入端的连接或电容器在处理器 IO 输出端的连接。
7. 将处理器 IO 直接连接到电源或 VSS
8. 将多个 IO 直接连接在一起
9. IO 灌电流或拉电流遵循处理器特定数据表中的建议。
10. IO 接口的一个常见用例是驱动 LED 进行指示。建议定制电路板设计人员检查 LED 拉电流或灌电流，对处理器 IO 电压电平的影响，并调整电流。
11. 如果预计会持续消耗电流，建议使用外部 FET 或基于晶体管的开关驱动 LED。
12. LVCMOS (SDIO) IO 的失效防护运行

原理图审阅

定制原理图设计请遵循以下列表：

1. 每个 IO 都有一个用于为 IO 单元 (VDDSHVx、VDDsx、VDDs_WKUP 或 VDDs_RTC) 供电的相关电源电压。建议将 VDDsx 或 VDDs_WKUP 连接到 1.8V 电源。如果 VDDSHVx 由 3.3V (1.8V) 电源供电，则建议在 3.3V (1.8V) 电平下连接 (运行) 以 VDDSHVx 电源轨为基准 (由其供电) 的所有 IO。
2. 连接到处理器 IO 的所有上拉电阻器的电源电压与施加到相应 IO 组 IO 电源 (VDDSHVx、VDDsx、VDDs_WKUP 或 VDDs_RTC) 的电压相匹配。将信号拉至不同的 IO 电压可能导致电压泄漏 (残余电压)。
3. 连接到 GPIO 组的电源轨以 IO 组 VDDSHVx、VDDsx、VDDs_WKUP、VDDs_RTC IO 电源为基准 (由其供电)，并且外部输入或 GPIO 上拉电压电平遵循 ROC。
4. 不建议或不允许将处理器 IO 直接连接到电源或 VSS (包括引导模式输入)。定制电路板设计人员可能遇到固件错误，并且错误配置用于输入 (而是将输出驱动为逻辑高电平) 的 LVCMOS GPIO。
5. 来自附加电路板或载板的外部施加输入或通过外部连接器 (添加了提供外部 ESD 保护的配置) 直接连接到 IO 的外部输入的 IO 电平兼容性。
6. 为任何可能悬空的处理器 (或所连接器件) IO 添加外部拉电阻 (以防止所连接的器件输入在主机驱动之前悬空)。
7. 施加到处理器 LVCMOS 输入的输入信号遵循符合处理器特定数据表的压摆率要求。在输入端直接连接一个电容器可能会增加信号压摆，因此不建议这样做。
8. 不允许将电容负载直接连接到处理器输出以控制或使能所连接器件。建议在 GPIO 的输出端使用 > 22pF (占位值) 的电容负载时进行仿真。
9. 很多处理器 IO 都没有失效防护功能。在 IO 组 IO 电源 VDDSHVx、VDDs、VDDs_WKUP、VDDs_RTC 斜升之前，不允许向处理器 IO 施加外部输入电压 (失效防护 IO 除外)。
10. 不建议直接将多个 IO 短接在一起。不建议将 IO 直接连接到电源或接地。

其他

1. 为直接连接到 IO 的外部输入提供外部 ESD 保护配置。
2. 通用处理器 LVCMOS IO 接口指南，请参阅用户指南的 [GPIO 连接和添加外部缓冲器](#)。许多处理器 IO (LVCMOS、SDIO) 都没有失效防护功能。在处理器电源斜升之前，不建议施加任何外部输入。
3. 处理器 IO 指定了压摆率要求。不建议应用慢速斜升输入或在输入端直接连接电容器。
4. 不建议在输出端连接一个 $> 22\text{pF}$ (占位值) 的电容器负载。DNI 电容器或 (根据用例) 执行仿真。
5. 在复位期间和复位之后，处理器 IO 缓冲器是 (TX (输出) 和 RX (输入) 和内部拉电阻器 (上拉和下拉电阻器)) 关闭。建议为由可能悬空的处理器 IO 驱动的所连接器件添加拉电阻 (以防止所连接器件输入在主机驱动之前悬空)。
6. 对于连接了走线且未主动驱动的任何处理器 IO (焊盘)，建议使用并联拉电阻 ($47\text{k}\Omega$)。当添加拉电阻不可行时，建议走线远离噪声信号布线 (在复位期间和复位后，处理器 IO 缓冲器 (TX (输出) 和 RX (输入) 以及内部拉电阻 (上拉和下拉)) 关闭)。建议在所连接器件附近使用上拉电阻 ($47\text{k}\Omega$)，以保持可能悬空的所连接器件的输入处于已知状态。
7. 连接到外部信号时进行失效防护操作。在处理器电源斜升之前对处理器 GPIO 输入施加外部输入信号可导致馈电并影响电路板性能。
8. 当 IO 直接连接到外部接口信号时，建议提供外部 ESD 保护配置。
9. 失效防护 IO 包括 PORz、I2C2 (仅当使用具有 I2C OD FS 缓冲器类型的处理器引脚时。例如 ANB 封装的 B8、D8 引脚)、EXTINTn 以及 USBn_VBUS (n = 0-1) (当使用处理器特定数据表中推荐的 VBUS 分压器时)。

7.6.3 板载硬件诊断

7.6.3.1 内部温度监测

该处理器支持一个 VTM 模块：WKUP_VTM0 (支持单个温度传感器 temp0)，该模块位于 WKUP 域中。传感器 temp0 的模拟电源由 VDDA_PLL0 (PLL 模拟电源) 提供。

VTM 模块可通过控制片上温度传感器，支持电压和热管理。

温度传感器位于处理器上指定的热点。建议在 Linux 中读取片上温度传感器并执行热管理。请参阅 [E2E 主题](#)。

有关更多信息，请参阅以下常见问题解答：

[\[常见问题解答\] AM625/AM623/AM620-Q1/AM62Ax/AM62D-Q1/AM62Px/AM62L/AM64x/AM243x \(ALV, ALX\) 定制电路板硬件设计 — 电压热管理器 \(VTM\)](#)

7.6.3.1.1 内部温度监测检查清单

通用

检查并验证定制原理图设计的以下内容：

1. 已查看用户指南上文提及的“[所有章节的通用检查清单](#)”部分的内容
2. 将建议的电源连接到温度传感器 temp0 电源引脚
3. 为 temp0 传感器模拟电源引脚添加滤波电容器

7.7 模数转换器 (ADC)

该处理器系列支持 x1 12 位模数转换器 (ADC0)、采样率高达 2MSPS，具备 x4 (四个) 模拟输入 (时间多路复用)。

有关允许的 ADC0 输入范围、电气特性和采样率，请参阅处理器特定数据表的 [ADC 电气特性](#) 一节。

ADC0_REFP 和 ADC0_REFN 直接连接到处理器内部的 VDDA_ADC0 和 VSS。

7.7.1 ADC0 的连接 (使用时)

建议将 ADC0 模拟电源 VDDA_ADC0 连接到处理器特定数据表中建议的电源轨。

使用 ADC0 之前，建议遵循处理器特定数据表的 [信号说明](#)、[ADC](#)、[MAIN](#) 域表末尾添加的注释。

备注

ADC0 输入不具有失效防护功能。不建议也不允许在处理器 VDDA_ADC0 电源斜升之前向任何 ADC0 输入施加电压。施加的输入（基于输入电平）可能导致处理器电源轨上出现残余电压，从而可能导致电路板启动问题。请参阅处理器特定数据表的 *绝对最大额定值表*。如果需要监控处理器电源斜升之前可用的电源轨，建议通过一个开关将这些输入连接到 ADC0。该开关既可由处理器 GPIO 控制，也可由来自任何电源（包括 PMIC）的电源正常信号控制。

7.7.2 ADC0 的连接 (未使用时)

当未使用整个 ADC0 时，对 ADC0 输入和 ADC0 电源轨有特定的端接要求。当未使用任何 ADC0 输入时，对未使用的输入有特定的端接要求。

如需连接 ADC0 输入、模拟电源引脚，请参阅处理器特定数据表的 *引脚连接要求* 一节。

当未使用 ADC0 时，建议通过单独的 0 Ω 电阻器将 ADC0 输入和处理器模拟电源引脚连接到 VSS。该配置为了将来的扩展或增强而准备，是可选操作。

7.7.3 ADC0 检查清单

通用

检查并验证定制原理图设计的以下内容：

1. 已查看用户指南上文提及的“[所有章节的通用检查清单](#)”部分的内容
2. 选择支持 ADC 功能的处理器 OPN
3. ADC0 模拟电源 VDDA_ADC0 的连接 (ADC0_REFP 和 ADC0_REFN 在内部直接连接至 VDDA_ADC0 和 VSS)
4. 模拟输入的连接 (包括输入范围和滤波器配置)
5. 模拟输入和 ADC0 电源的滤波和去耦电容器
6. 未使用部分或完整 ADC0 时 ADC0 输入的连接
7. ADC 输入的失效防护运行

原理图审阅

定制原理图设计请遵循以下列表：

1. 审阅支持 ADC0 功能的处理器器件型号的选择
2. ADC0 模拟电源的连接，符合处理器特定数据表中的相关说明并遵循 ROC。(ADC0_REFP 和 ADC0_REFN 直接连接到处理器内部的 VDDA_ADC0 和 VSS)
3. 施加的模拟输入电压范围在数据表输入电压范围规范内
4. ADC0 电源和模拟输入所需滤波器和去耦电容器的连接 (建议遵循 EVM 的实现方式)
5. 如果不使用部分或完整的 ADC0，请参阅连接 ADC 输入的引脚连接要求

其他

1. ADC0 输入不具有失效防护功能。建议在 ADC0 电源斜升之前，不要施加任何输入。当 ADC0 输入在 ADC0 电源斜升之前可用时，通过一个由处理器电源或处理器 IO 控制的开关连接 ADC0 输入。

7.8 EVM 特定电路实现 (重复使用)

如果重复使用了下面列出的某些 EVM 实现：

- DPI 转 HDMI
- 音频编解码器
- FT4232 UART 转 USB 桥接器
- XDS110 调试程序
- CPSW3G RGMII 或 RMII - EPHY

- M.2 接口 - SDIO
- 电流监控器件
- USB Type-C PD 控制器和电源

建议遵循以下常见问题解答：

[常见问题解答] [AM625/AM623/AM620-Q1/AM62L/AM64x/ AM243x \(ALV\)/AM62Ax/AM62D-Q1/AM62Px 设计建议/定制电路板硬件设计](#) — 在定制电路板设计上重复使用下面列出的 SK 特定实现的指南

7.9 在定制电路板启动期间执行电路板级测试

7.9.1 使用 PinMux 工具的处理器引脚配置

建议使用 TI [SysConfig-PinMux](#) 工具验证所有处理器外设和 IO 配置，以确保配置了有效的 IOSET。

有关更多信息，请参阅以下应用手册：

[利用集成 SysConfig 的 MCU+SDK 加速开发进程](#)

有关更多信息，请参阅 SysConfig-PinMux 工具提供的 PinmuxConfigSummary.csv 文件。

7.9.2 原理图配置

建议验证为替代功能或测试提供的电路选项在定制电路板设计中标记为 DNI 并且在为电路板供电之前未安装在电路板上，这些选项在电路板正常运行期间必须为 DNI（安装元件可能会影响定制电路板的性能）。

7.9.3 将电源导轨连接到外部上拉电阻器

将处理器 IO 上拉电阻器连接到不同的 IO 电源导轨/工作电压（与 IO 组参考的 IO 组的 IO 电源电压电平不匹配）可能导致 IO 导轨上漏电压并影响定制电路板性能或处理器可靠性。每个信号的 IO 组都有一个相关的 IO 电源（例如：VDDSHVx、VDDsx、VDDs_WKUP 或 VDDs_RTC）。有关更多信息，请参阅处理器特定数据表中的 [引脚属性表](#)。

例如，要在 GPIO 多路复用模式 (GPIO0_0) 中上拉 SPI0_CLK 信号，请将所连接的电源导轨外部上拉电阻器连接至 IO 组的 IO 电源 VDDs1。

7.9.4 外设 (子系统) 时钟输出

对于任何包括时钟输出的处理器外设，建议配置相应 CTRLMMR_PADCONFIGx 寄存器的 RXACTIVE 位。该位配置是时钟输出正常工作的必需条件。

7.9.5 通用板启动和调试

启动电路板之前的电路板启动提示，包括验证以下内容：

- 定制电路板上组装的处理器（所选 OPN）、所连接器件和其他元件（无源元件）与设计（定制电路板原理图和定制电路板设计要求）相匹配
- 已根据 BOM 检查装配电路板的元件贴装情况（确保未贴装（安装）SK、EVM 原理图或定制电路板原理图中标记为 DNI 的元件）。
- 已检查装配电路板的组装情况（元件焊接和焊接工艺）
- 在连接定制电路板电源且处理器电源斜升并稳定之前，没有外部输入连接到处理器输入

请参阅以下常见问题解答：

[常见问题解答] [Sitara 器件 \(AM64x、AM243x、AM62x、AM62L、AM62Ax、AM62D-Q1、AM62Px\) 的电路板启动提示](#)

7.9.5.1 电路板启动、测试或调试的时钟输出

处理器上提供以下时钟输出，仅用于测试和调试：

WKUP_SYSCLKOUT0

WKUP_PLL0_HSDIV0_CLKOUT (PER_SYSCLK0) 经 4 分频后连接到名为 WKUP_SYSCLKOUT0 的特定引脚。该时钟输出仅用于测试或调试目的。

SYSCLKOUT0

MAIN_PLL0_HSDIV0_CLKOUT (MAIN_SYSCLK0) 经 4 分频后连接到名为 SYSCLKOUT0 的特定引脚。该时钟输出仅用于测试和调试目的。

WKUP_OBSCLK0

当 WKUP_OBSCLK_OUTMUX 用于选择 WKUP_HFOSC0 的直接输出时，输出只能用作功能时钟源。

当选择任何其他时钟源时，输出仅可用于测试和调试目的。

OBSCLKn [n = 0-1]

只有当使用 OBSCLK0_CTRL 选择来自 WKUP_HFOSC0 的直接输出时，观察时钟输出才能用作功能时钟源。

当选择任何其他时钟源时，输出仅可用于测试和调试目的。

建议在可行时为名称为 OBSCLK0、OBSCLK1、WKUP_OBSCLK0、WKUP_SYSCLKOUT0 和 SYSCLKOUT0 的处理器引脚提供 TP 和并联拉电阻器 (10k Ω 或 47k Ω)。

如果时钟输出引脚配置为备选功能，建议在布线上插入 TP，并提供将信号所连接器件进行隔离的配置，从而进行测试或调试。

7.9.5.2 其他信息

建议为 PG 输出提供测试点，以便在不使用时进行测试或调试。

对于具有警报输出、过流指示输出或 PG (电源良好) 输出的板载已连接器件 (分立直流/直流或 LDO 或温度传感器或电压监控器)，建议提供上拉电阻器 (10k Ω) 和测试点，用于测试或后续增强 (不使用时)。

7.9.5.3 通用板启动和调试检查清单

通用

检查并验证定制电路板原理图设计的以下内容：

1. 建议添加相关配置，以将可用于调试的 IO 与备选功能隔离
2. 建议添加相关配置，以便在初始电路板构建期间连接 UART0 接口进行调试
3. 建议为可悬空的 UART 接口信号添加拉电阻器配置
4. 建议为 JTAG 连接器或 JTAG 接口信号测试点添加相关配置
5. 建议按引脚连接要求在处理器 JTAG 接口引脚附近放置 JTAG 接口信号以及 EMU0、EMU1 的拉电阻器
6. 建议为 UART 和 JTAG 接口信号添加外部 ESD 保护配置

原理图审阅

定制原理图设计请遵循以下列表：

1. 提供了连接调试 UART 的配置 (UART0、WKUP_UART0)
2. 为 UART 接口信号提供所需的上拉电阻器和串联电阻器
3. 当外部接口信号直接连接到处理器 UART 信号时增加了外部 ESD 保护配置

其他

1. 包括 UART 在内的许多处理器 IO 都不具有失效防护功能。建议仅在处理器电源斜升后连接外部输入
2. 建议在处理器电路板断电时断开外部接口信号

请参阅以下常见问题解答：

[\[常见问题解答\] SK-AM62：不同 UART 的用途](#)

常见问题解答是通用的，也可用于 AM62Lx 处理器系列。

8 定制电路板原理图设计的自我审查

备注

在定制电路板设计周期中，建议遵循 [使用 AM62L \(AM62L32、AM62L31 \) 处理器系列的定制电路板硬件设计注意事项](#) 用户指南以及 [原理图设计指南与原理图审查清单](#) 用户指南。

(按照用户指南、EVM 或 SK 原理图实现、硬件设计注意事项用户指南和 TI.com 上的其他配套资料) 完成所需的原理图更新后，定制电路板设计的下一个阶段是进行自我审查。可按照用户指南中各电路或接口章节详细设计指南说明末尾提供的审查清单 (通用、原理图审查和附加) 完成自我审查。自我审查原理图审查检查清单章节示例：

- [处理器内核和外设内核电源检查清单](#)
- [通用板启动和调试检查清单](#)

原理图审查清单也提供 Excel 格式。该审查清单包含多个工作表，按以下方式分类：

- 说明页，包含所有待审查原理图章节的跳转链接
- 目录页，汇总所有电路模块章节，并提供定制电路板设计期间可查阅的常见问题解答和其他配套资料跳转链接
- IO 电源连接和 DDRSS 接口 (DDR4、LPDDR4
- MMC0、MMC1 和 MMC2 的存储器接口连接
- OSPI0 和 GPMC 的存储器接口连接
- CPSW3G 的外设 (高速) 接口连接 - 以太网、USB0、USB1、UART 和 MCAN
- MCSPI、MCASP 和 I2C 的外设 (同步) 接口连接
- CSI-2、DPI、DSI 和 GPIO 接口的外设 (用户界面) 接口连接
- 处理器电源连接，包括处理器和处理器外设内核电源、处理器模拟电源和 IO 电源、电子保险丝编程电源
- 时钟 - 输入和输出，复位 - 输入和输出，RTC 电源
- 引导模式配置
- 针对外部接口设计的一般建议
- 电源架构 - PMIC 或分立式

该审查清单包含各原理图章节的示意图 (图示) 及说明标签，可供参考。Excel 文件可用于执行自我审查、填写审查状态、共享或存档。

以下常见问题解答列出了对定制电路板原理图进行自我审查时定制电路板设计人员可以遵循的可用配套资料和步骤：

[\[常见问题解答\] AM62L \(AM62L32、AM62L31 \) 设计建议/定制电路板硬件设计 — 定制电路板原理图自检](#)

请参考以下各节：

- AM62L32、AM62L31 处理器系列原理图设计检查清单和通用指南及原理图审查清单：
 - [AM62L32_AM62L31_Schematic_Design_Checklist_General_Guidelines](#)
 - [带图示的定制电路板原理图审查清单](#) - 建议在阅读上述定制电路板原理图设计指南后使用

以下常见问题解答列出了观察到的常见错误 (基于对多个客户原理图的审查并参考多个配套资料)。建议阅读错误列表并对定制电路板原理图进行所需的更新：

[\[常见问题解答\] AM625/AM623/AM620-Q1/AM62L/AM62A/AM62P/AM62D-Q1/AM64x/AM243x 设计建议/定制电路板硬件设计 — 在客户原理图审查期间观察到的错误列表](#)

9 定制电路板布局注释 (在原理图部分附近添加) 和通用指南

建议考虑为处理器、所连接器件和其他板载器件添加所需或适用的设计注释，以减少定制电路板设计期间的错误。建议为处理器内存添加必要的设计注释 (例如：USB2.0 接口、以太网接口、显示 (DSITX0) 接口，包括 eMMC、OSPI、SD 卡、SDIO 和其他使用到的处理器外设，如 USB、MCSPI、MCASP)。建议包含注释，以包括定制电路板引导模式配置、串联和并联电阻的放置、去耦和大容量电容器的放置。

建议标记所有差分信号、可能影响性能的关键信号并指定目标阻抗 (根据需要)。请参见以下示例：

- USB2.0 数据线的差分阻抗应在 $90\ \Omega$ 标称值的额定容差范围内。
- DSITX0 接口信号的差分阻抗应在 $100\ \Omega$ 标称值的额定容差范围内。

请参阅以下常见问题解答，其中包含要遵循的电路板布局指南：

[\[常见问题解答\] AM625：针对特定外设的 PCB 模式建议](#)

[\[常见问题解答\] AM625：MMC0 PCB 连接要求](#)

[AM6442：MMCSD0 \(eMMC\)和 MMCSD1 \(SD 卡\) 的 PCB 布局指南](#)

常见问题解答是通用的，也可用于 AM62Lx 处理器系列。

有关更多信息，请参阅以下常见问题解答：

[\[常见问题解答\] AM625/AM623/AM620-Q1/AM62L/AM64x/AM243x \(ALV\)/ AM62Ax/AM62D-Q1/AM62Px 电路板布局 — 通用高速布局指南文档链接](#)

有关 LVCMOS 电路板设计和仿真指南，请参阅以下文档：

[高速并行接口的电路板设计和仿真指南](#)

9.1 布局布线注意事项

通用

检查并验证定制原理图设计的以下内容：

1. 已查看用户指南上文提及的“[所有章节的通用检查清单](#)”部分的内容
2. 建议确保定制电路板设计符合处理器特定数据表 *时序和开关特性* 一节 *时序条件* 表中定义的 PCB 布线延迟要求
3. 建议遵循处理器特定数据表 *应用、实施和布局布线* 一节的相关部分
4. 建议遵循通用高速设计指南

有关更多信息，请参阅以下常见问题解答：

[\[常见问题解答\] AM625/AM623/AM620-Q1/AM62L/AM64x/AM243x \(ALV\)/ AM62Ax/AM62D-Q1/AM62Px 电路板布局 — 通用高速布局布线指南的文档链接](#)

10 定制电路板设计仿真

所连接内存 (DDR4 或 LPDDR4) 的基线驱动阻抗和 ODT 设置源自对 EVM 执行的信号完整性 (SI) 仿真。

建议对定制电路板设计进行仿真，以最终确定这些值，因为配置值可能与 EVM 原理图实现不同。

执行仿真时，可以参考以下常见问题解答：

[\[常见问题解答\] AM625/AM623/AM620-Q1/AM625-Q1/AM625SIP/AM62A7/AM62A3/AM62A1-Q1/AM62D-Q1/AM62L/AM62P/AM62P-Q1/AM64x/AM243x 定制电路板硬件设计 — IO 缓冲器的 S 参数和 IBIS 模型](#)

[\[常见问题解答\]将 DDR IBIS 模型用于 AM64x、AM243x \(ALV\)、AM62x、AM62L、AM62Ax、AM62D-Q1、AM62Px](#)

要了解高速 LPDDR4 接口的电路板提取、仿真和分析方法，请参阅 [AM62x、AM62Lx DDR 电路板设计和布局布线指南](#) 应用手册的 *LPDDR4 电路板设计仿真* 一章。

使用 SysConfig 上的 [DDR 寄存器配置工具](#) 可调节驱动强度。

有关配置 DDRSS 寄存器更多信息，请参阅以下常见问题解答：

[\[常见问题解答\] AM62A7/AM62A3/AM62A1-Q1/AM62D-Q1 定制电路板硬件设计 — 处理器 DDR 子系统和器件寄存器配置](#)

常见问题解答是通用的，也可用于 AM62Lx 处理器系列。

有关 PDN Power SI 仿真的相关问题，请参阅以下常见问题解答：

[\[常见问题解答\] AM62A3-Q1 : AM62A3-Q1 PDN Power SI 仿真问题](#)

常见问题解答是通用的，也可用于 AM62Lx 处理器系列。

10.1 DDR-MARGIN-FW

利用 DDR 裕度固件和支持脚本，可以在板载 DDR 接口中实现定制电路板裕度的可视化和测量。这些工具能够对关键数据信号进行无探头测量，以了解定制电路板设计是否遵循接口的建议设计指南。

[DDR-MARGIN-FW — 用于测量系统 DDR 裕度的固件和脚本](#)

请查看 TI.com 上的处理器特定 ([AM62L](#)) 产品页面以了解供货情况。

有关更多信息，请参阅以下常见问题解答：

[\[常见问题解答\] PROCESSOR-SDK-AM62X : 有关 AM625/AM623/AM620-Q1/AM625-Q1/AM625SIP DDR 裕度测试工具的问题](#)

常见问题解答是通用的，也可用于 AM62Lx 处理器系列。

11 其他参考内容

其他参考资料包含针对特定处理器的常见问题解答和 [定制电路板设计硬件设计注意事项](#) 文档。连接器件 (包括 PMIC 和 EPHY) 的原理图。

11.1 涵盖 AM64x、AM243x、AM62x、AM62Ax、AM62D-Q1、AM62Px、AM62Lx 处理器系列的常见问题解答

以下常见问题解答汇总了在定制电路板原理图设计和定制电路板原理图审阅期间可以参考的主要配套资料。

[\[常见问题解答\] AM64x、AM243x \(ALV、ALX\)、AM62x、AM62Ax、AM62Px、AM62D-Q1、AM62L 定制电路板硬件设计 — 原理图设计和原理图审阅期间用于参考的配套资料](#)

备注

使用 EVM PDF 原理图以及 D-Note 和 R-Note 进行定制电路板原理图审查时，建议查看原理图中添加的常见问题解答链接，以获取更多信息。

11.2 常见问题解答 - 处理器产品系列和 Sitara 处理器系列

根据 TI sitara 处理器应用和系统团队与多位定制电路板设计人员的互动交流、定制电路板设计人员的咨询以及从定制电路板设计人员收到的咨询中获得的信息和内部配套资料的审阅，创建了常见问题解答 (包含以下相关内容：(添加了详细说明和示例说明) 处理器运行、处理器电源和 IO 连接、处理器外设和接口、处理器评估 SK 或 EVM、在客户电路板设计审阅期间发现的常见错误、数据表和引脚属性以及常见 E2E 咨询问题)，以在定制电路板设计阶段为定制电路板设计人员提供支持。请参阅下面的常见问题解答列表。建议客户可在定制电路板设计期间使用该列表以及 TI.com 上的其他可用设计配套资料 (包括 [定制电路板设计硬件设计注意事项](#) 和 [原理图设计指南和原理图审查检查清单](#))：

AM62Lx 处理器系列：

[\[常见问题解答\] AM62L \(AM62L32、AM62L31\) 定制电路板硬件设计 - 与处理器配套资料、功能、外设、接口和 EVM 相关的常见问题解答](#)

AM62Px 处理器系列：

[\[常见问题解答\] AM62P、AM62P-Q1 定制电路板硬件设计 - 与处理器配套资料、功能、外设、接口和入门套件相关的常见问题解答](#)

AM62Ax 与 AM62D-Q1 处理器系列：

[常见问题解答] [AM62A7/AM62A7-Q1/AM62A3/AM62A3-Q1/AM62A1-Q1/AM62D-Q1](#) 定制电路板硬件设计 - 有关处理器配套资料、正常运行、外设、接口和入门套件的常见问题解答

AM62x 处理器系列：

[常见问题解答] [AM625、AM623、AM620-Q1、AM625-Q1、AM625SIP](#) 定制电路板硬件设计 - 与处理器配套资料、功能、外设、接口和入门套件相关的常见问题解答

Sitara 处理器系列：

[常见问题解答] 定制电路板硬件设计 — 所有 Sitara 处理器 ([AM62x](#)、[AM62Ax](#)、[AM62D-Q1](#)、[AM62Px](#)、[AM62L](#)、[AM64x](#)、[AM243x](#)、[AM335x](#)) 系列的主要 (完整) 常见问题解答列表

请参阅下面的常见问题解答，其中提供了所有可用的常见问题解答，包括与软件或 sitara 系列处理器相关的常见问题解答：

[常见问题解答] [AM6x](#)：有关 [AM62x](#)、[AM62Ax](#)、[AM62D-Q1](#)、[AM62Px](#)、[AM62L](#)、[AM64x](#)、[AM24x](#)、[AM3x](#)、[AM4x](#) Sitara 器件的最新常见问题解答

备注

常见问题解答会经常更新。建议定期查看感兴趣的常见问题解答和常见问题解答主列表以获取最新信息。

11.3 原理图审查 (自我审查) 与原理图审查需求 (供应商)

建议在定制电路板设计周期中对设计进行自我审查和团队审查。可根据需要安排与器件供应商开展外部审查。请查阅供应商特定文档，了解原理图审查申请所需遵循的流程。

如果需要向 TI 提交原理图审查申请，建议遵循以下常见问题解答：

[常见问题解答] [Sitara MPU 硬件应用支持 — 原理图审查申请](#)

11.4 处理器连接器件检查清单

[以太网 PHY PCB 设计布局检查清单](#)

备注

建议验证 [Ti.com](#) 上所连接器件的器件特定原理图审查检查清单的可用性，并使用可用检查清单验证定制电路板原理图实现。

12 用户指南内容和使用情况摘要

本用户指南提供了原理图设计指南，可供定制电路板设计人员在定制电路板原理图设计过程中参考。本用户指南还包含各外设章节对应的原理图审查清单，可用于定制电路板设计的审查。定制电路板设计人员可参考本用户指南中提供的相关建议，据此优化定制电路板设计、大幅减少原理图错误、缩短定制电路板启动时间和调试时间，以及尽可能减少日后重新设计电路板的工作。

13 参考资料

13.1 AM62L

- 德州仪器 (TI)：[AM62Lx Sitara 处理器](#)，数据表
- 德州仪器 (TI)：[AM62L Sitara 处理器](#)，技术参考手册
- 德州仪器 (TI)：[AM62Lx Sitara 处理器器件勘误表](#)
- 德州仪器 (TI)：[EVM TMDS62LEVM](#)，产品页面
- 德州仪器 (TI)：[使用 AM62L \(AM62L32 和 AM62L31\) 处理器系列的定制电路板设计的硬件设计注意事项](#)，用户指南
- 德州仪器 (TI)：[AM62x, AM62Lx DDR 电路板设计和布局布线指南](#)，应用手册
- 德州仪器 (TI)：[AM62Lx PCB 设计迂回布线](#)，应用手册

- 德州仪器 (TI) : [AM62L 最大电流额定值](#), 应用手册
- 德州仪器 (TI) : [AM62L 电源实现](#), 应用手册
- 德州仪器 (TI) : [AM62L 产品概述](#), 应用手册
- 德州仪器 (TI) : [Sitara AM62Lx 基准测试](#), 应用手册
- 德州仪器 (TI) : [AM625x/AM623x 和 AM62Lx 硬件迁移指南](#), 应用手册
- 德州仪器 (TI) : [高速并行接口的电路板设计和仿真指南](#), 应用手册
- 德州仪器 (TI) : [MCU+SDK 的 xSPI 定制闪存调试指南](#), 应用手册
- 德州仪器 (TI) : [AM62x 音频系统设计指南](#), 应用手册
- 德州仪器 (TI) : [AM275x 音频系统设计指南](#), 应用手册

13.2 AM62P、AM62P-Q1

- 德州仪器 (TI) , [AM62Px Sitara 处理器](#), 数据表
- 德州仪器 (TI) , [AM62Px Sitara 处理器](#), 技术参考手册
- 德州仪器 (TI) , [AM62Px 器件勘误表](#)
- 德州仪器 (TI) , [入门套件 SK-AM62P-LP](#), 产品页面
- 德州仪器 (TI) , [使用处理器的 AM62P、AM62P-Q1 系列的定制电路板硬件设计注意事项](#), 用户指南
- 德州仪器 (TI) , [AM62P 功耗估算工具](#), 应用手册
- 德州仪器 (TI) , [用于为 AM62Px 器件供电的 PMIC](#), 应用手册
- 德州仪器 (TI) , [AM62Px PCB 设计迂回布线](#), 应用手册
- 德州仪器 (TI) , [AM62Ax、AM62Px、AM62Dx LPDDR4 电路板设计和布局布线指南](#), 应用手册
- 德州仪器 (TI) , [SK-AM62P-LP 设计包文件夹和文件列表](#), 产品概述
- 德州仪器 (TI) , [Sitara AM62P 基准测试](#), 应用手册
- 德州仪器 (TI) , [使用 TPS6522430-Q1 和 TPS6522230-Q1 PMIC 的 Sitara AM62A/P/D\(-Q1\) 电源设计](#), 应用简介

13.3 AM62A7、AM62A3、AM62A7-Q1、AM62A3-Q1、AM62A1-Q1

- 德州仪器 (TI) , [AM62Ax Sitara 处理器](#), 数据表
- 德州仪器 (TI) , [AM62Ax Sitara 处理器](#), 技术参考手册
- 德州仪器 (TI) , [AM62Ax 器件勘误表](#)
- 德州仪器 (TI) , [入门套件 SK-AM62A-LP](#), 产品页面
- 德州仪器 (TI) , [使用 AM62A7、AM62A7-Q1、AM62A3、AM62A3-Q1、AM62A1-Q1 和 AM62D-Q1 处理器系列的定制电路板设计硬件设计注意事项](#), 用户指南
- 德州仪器 (TI) , [AM62A7、AM62A7-Q1、AM62A3、AM62A3-Q1、AM62A1-Q1 和 AM62D-Q1 处理器系列原理图设计指南和原理图审查检查清单](#), 用户指南
- 德州仪器 (TI) , [AM62Ax 最大电流额定值](#), 应用手册
- 德州仪器 (TI) , [AM62Ax 功耗估算工具](#), 应用手册
- 德州仪器 (TI) , [适用于 AM62Ax 的 PMIC 解决方案](#), 产品概述
- 德州仪器 (TI) , [为 AM62Px 器件供电的 PMIC](#), 产品概述
- 德州仪器 (TI) , [AM62Ax/AM62Dx PCB 设计迂回布线](#), 用户指南
- 德州仪器 (TI) , [AM62Ax、AM62Px、AM62Dx LPDDR4 电路板设计和布局布线指南](#), 应用手册
- 德州仪器 (TI) , [SK-AM62A-LP 设计包文件夹和文件列表](#), 产品概述
- 德州仪器 (TI) , [Sitara AM62Ax 基准测试](#), 应用手册
- 德州仪器 (TI) , [使用 TPS6522430-Q1 和 TPS6522230-Q1 PMIC 的 Sitara AM62A/P/D\(-Q1\) 电源设计](#), 应用简介

13.4 AM62D-Q1

- 德州仪器 (TI) , [AM62Dx Sitara 处理器](#), 数据表
- 德州仪器 (TI) , [AM62Dx Sitara 处理器](#), 技术参考手册
- 德州仪器 (TI) , [AM62Dx Sitara 处理器器件勘误表](#), 器件版本 1.0
- 德州仪器 (TI) , [AUDIO-AM62D-EVM 产品页面](#)。
- 德州仪器 (TI) , [使用 AM62A7、AM62A7-Q1、AM62A3、AM62A3-Q1、AM62A1-Q1 和 AM62D-Q1 处理器系列的定制电路板设计硬件设计注意事项](#), 用户指南

- 德州仪器 (TI), [AM62A7、AM62A7-Q1、AM62A3、AM62A3-Q1、AM62A1-Q1 和 AM62D-Q1 处理器系列原理图设计指南和原理图审查检查清单](#), 用户指南
- 德州仪器 (TI), [适用于 AM62Ax 的 PMIC 解决方案](#), 产品概述
- 德州仪器 (TI), [为 AM62Px 器件供电的 PMIC](#), 产品概述
- 德州仪器 (TI), [AM62Ax/AM62Dx PCB 设计迂回布线](#), 用户指南
- 德州仪器 (TI), [AM62Ax、AM62Px、AM62Dx LPDDR4 电路板设计和布局布线指南](#), 应用手册
- 德州仪器 (TI), [Sitara AM62Dx 基准测试](#), 应用手册
- 德州仪器 (TI), [使用 TPS6522430-Q1 和 TPS6522230-Q1 PMIC 的 Sitara AM62A/P/D\(-Q1\) 电源设计](#), 应用简介

13.5 AM625、AM623、AM620-Q1、AM625-Q1、AM625SIP

- 德州仪器 (TI), [AM62x Sitara 处理器](#), 数据表
- 德州仪器 (TI), [AM625SIP — 具有集成 LPDDR4 SDRAM 的 AM6254 Sitara 处理器](#), 数据表
- 德州仪器 (TI), [AM62x Sitara 处理器](#), 技术参考手册
- 德州仪器 (TI), [AM62x 器件勘误表](#)
- 德州仪器 (TI), [使用 AM625、AM623、AM620-Q1、AM625-Q1、AM625SIP 处理器系列的定制电路板设计硬件设计注意事项](#), 用户指南
- 德州仪器 (TI), [AM625、AM623、AM620-Q1、AM625-Q1、AM625SIP 处理器系列原理图设计指南和审查检查清单](#), 应用手册
- 德州仪器 (TI), [入门套件 SK-AM62B-P1](#), 产品页面
- 德州仪器 (TI), [分立式电源解决方案入门套件 SK-AM62B](#), 产品页面
- 德州仪器 (TI), [入门套件 SK-AM62-LP](#), 产品页面
- 德州仪器 (TI), [入门套件 SK-AM62-SIP](#), 产品页面
- 德州仪器 (TI), [AM62x 功耗](#), 应用手册
- 德州仪器 (TI), [AM62x 最大电流额定值](#), 应用手册
- 德州仪器 (TI), [AM62x 功耗估算工具](#), 应用手册
- 德州仪器 (TI), [利用 TPS65219 PMIC 为 AM62x 供电](#), 应用手册
- 德州仪器 (TI), [利用 TPS65219 PMIC 为 AM625SIP 供电](#), 应用手册
- 德州仪器 (TI), [AM62x 的分立式电源解决方案](#), 应用手册
- 德州仪器 (TI), [AM62 PCB 设计迂回布线](#), 应用手册
- 德州仪器 (TI), [AM62x \(AMC\) PCB 设计迂回布线](#), 应用手册
- 德州仪器 (TI), [AM62x SiP PCB 设计迂回布线](#), 应用手册
- 德州仪器 (TI), [AM62x/AM62Lx DDR 电路板设计和布局指南](#), 应用手册
- 德州仪器 (TI), [PRU-ICSS 特性比较](#), 应用手册
- 德州仪器 (TI), [AM625SIP 处理器如何通过集成 LPDDR4 加快开发](#), 应用简报
- 德州仪器 (TI), [AM625SIP：系统级封装释疑](#), 产品概述
- 德州仪器 (TI), [SK-AM62B-P1 设计包内容概述](#), 产品概述
- 德州仪器 (TI), [SK-AM62-LP 设计包内容概述](#), 产品概述
- 德州仪器 (TI), [SK-AM62-SIP 设计包文件夹和文件列表](#), 产品概述
- 德州仪器 (TI), [SK-AM62B 设计包文件夹和文件列表](#), 产品概述
- 德州仪器 (TI), [Sitara AM62x 基准测试](#), 应用手册

13.6 所有处理器系列通用

- 德州仪器 (TI), [AM623、AM625、AM625SIP、AM620-Q1、AM625-Q1、AM62A3、AM62A7、AM62A7-Q1、AM62D-Q1、AM62P-Q1 原理图设计指南和审阅检查清单](#) 应用手册
- 德州仪器 (TI), [利用集成 SysConfig 的 MCU+SDK 加速开发进程](#), 应用手册
- 德州仪器 (TI), [高速并行接口的电路板设计和仿真指南](#), 应用手册
- 德州仪器 (TI), [AM62x、AM62Ax、AM62Px、AM62Lx 展频时钟](#), 应用手册
- 德州仪器 (TI), [Sitara 处理器配电网络：实现与分析](#) 应用手册
- 德州仪器 (TI), [高速接口布局指南](#) 应用手册
- 德州仪器 (TI), [高速布局指南](#) 应用手册
- 德州仪器 (TI), [Jacinto7 AM6x、TDA4x 和 DRA8x 高速接口设计指南](#) 应用手册

- 德州仪器 (TI), [DSP 和 Arm 应用处理器热设计指南](#) 应用手册
- 德州仪器 (TI), [仿真和跟踪接头技术参考手册](#) 用户指南
- 德州仪器 (TI), [XDS 目标连接指南](#) 应用手册
- 德州仪器 (TI), [TIA/EIA-644 \(LVDS\) 的接口电路](#) 设计注意事项
- 德州仪器 (TI), [通用硬件设计/BGA PCB 设计/BGA 去耦](#) 应用手册
- 德州仪器 (TI), [MSL 等级和回流焊曲线](#) 应用手册
- 德州仪器 (TI), [湿敏等级搜索](#) 封装搜索
- 德州仪器 (TI), [KeyStone 器件时钟设计指南](#) 应用手册
- 德州仪器 (TI), [KeyStone II 器件硬件设计指南](#) 应用手册
- 德州仪器 (TI), [TIDA-01413 - ADAS 8 通道传感器融合集线器参考设计](#) 设计指南
- 德州仪器 (TI), [Jacinto 7 DDRSS 寄存器配置工具](#) 应用手册
- 德州仪器 (TI), [使用 IBIS 模型进行时序分析](#) 应用手册
- 德州仪器 (TI): [显示接口 : Sitara MPU 可视化设计综合指南](#) 应用手册
- 德州仪器 (TI), [McASP 设计指南 - 提示、技巧和实用示例](#) 应用手册
- 德州仪器 (TI), [使用单个 LVCMOS 振荡器驱动多个负载](#) 应用手册

13.7 可用常见问题解答主列表 - 按处理器系列

提供了完整的常见问题解答列表，建议用于快速查看所选处理器或处理器系列的可用常见问题解答列表。

[\[常见问题解答\] AM62L \(AM62L32、AM62L31 \) 定制电路板硬件设计 - 与处理器配套资料、功能、外设、接口和 EVM 相关的常见问题解答](#)

[\[常见问题解答\] AM62P、AM62P-Q1 定制电路板硬件设计 - 与处理器配套资料、功能、外设、接口和入门套件相关的常见问题解答](#)

[\[常见问题解答\] AM62A7/AM62A7-Q1/AM62A3/AM62A3-Q1/AM62A1-Q1/AM62D-Q1 定制电路板硬件设计 - 有关处理器配套资料、正常运行、外设、接口和入门套件的常见问题解答](#)

[\[常见问题解答\] AM625、AM623、AM620-Q1、AM625-Q1、AM625SIP 定制电路板硬件设计 - 与处理器配套资料、功能、外设、接口和入门套件相关的常见问题解答](#)

13.8 可用常见问题解答主列表 - Sitara 处理器系列

[\[常见问题解答\] 定制电路板硬件设计 - 所有 Sitara 处理器 \(AM62x、AM62Ax、AM62D-Q1、AM62Px、AM62L、AM64x、AM243x、AM335x\) 系列的主要 \(完整\) 常见问题解答列表](#)

13.9 常见问题解答，包括相关软件

[\[常见问题解答\] AM6x : 有关 AM62x、AM62Ax、AM62D-Q1、AM62Px、AM62L、AM64x、AM24x、AM3x、AM4x Sitara 器件的最新常见问题解答](#)

13.10 有关连接器件的常见问题解答

[\[常见问题解答\] DP83869-EP : 以太网合规性测试失败](#)

[\[常见问题解答\] TPS65219 : 为 Sitara AM62x MPU 供电的 PMIC 与分立式解决方案的优势](#)

[\[常见问题解答\] TPS6594-Q1、TPS6593-Q1、LP8764-Q1 PMIC 的常见问题解答列表](#)

14 术语

ADC	模数转换器
BOM	物料清单
CAN	控制器局域网
CPPI	通信端口编程接口
CPSW3G	通用平台 3 端口千兆位以太网交换机
DFU	器件固件升级
DNI	请勿安装

DPI	显示并行接口
DRD	双角色设备
E2E	工程师对工程师
ECC	错误校正码
EMC	电磁兼容性
EMI	电磁干扰
eMMC	嵌入式多媒体卡
EMU	仿真控制
EOS	电过应力
ESD	静电放电
ESL	有效串联电感
ESR	有效串联电阻
常见问题解答	常见问题解答
FET	场效应晶体管
GPIO	通用输入/输出
GPMC	通用存储器控制器
HS-RTDX	高速实时数据交换
I2C	内部集成电路
IBIS	输入/输出缓冲器信息规范
IEP	工业以太网外设
JTAG	联合测试行动组
LDO	低压降
LVC MOS	低压互补金属氧化物半导体
MAC	介质访问控制器
MCASP	多通道音频串行端口
MCSP I	多通道串行外设接口
MDI	媒体相关接口
MDIO	管理数据输入/输出
MMC	多媒体卡
MMCS D	多媒体卡/安全数字
ODT	片上端接
OPN	可订购器件型号
OSPI	八线串行外设接口
PCB	印刷电路板
PDN	配电网络
PET	功耗估算工具
PMIC	电源管理集成电路
POR	上电复位
QSPI	四线串行外设接口
RGMII	简化千兆位媒体独立接口
RMII	简化媒体独立接口
ROC	处理器特定数据表 建议运行条件

SD	安全数字
SDIO	安全数字输入输出
SPI	串行外设接口
TCK	测试时钟输入
TDI	测试数据输入
TDO	测试数据输出
TEN	测试使能
TMS	测试模式选择输入
TRC_DATAn	跟踪数据 n
TRM	技术参考手册
TRSTn	复位
UART	通用异步收发器
WKUP	唤醒
XDS	扩展开发系统
ZQ	存储器件校准基准电阻器

15 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

Changes from MARCH 31, 2025 to MAY 30, 2026 (from Revision * (March 2025) to Revision A (May 2026))

	Page
• 将标题更改为“AM62L (AM62L32、AM62L31) 处理器系列原理图、设计指南、设计检查清单和审查清单”。	0
• 更新了摘要。	1
• 更新了“特定处理器系列用户指南”一节。	2
• 更新了定制电路板原理图设计实现检查清单小节说明。	3
• 添加了“处理器特定数据表用例和用户指南编辑所引用的版本”一节。	6
• 更新了“选择所需处理器 GPN (通用器件型号) 和 OPN (订购器件型号) 的检查清单”一节。	7
• 添加了“用于处理器 IO 电源时序的负载开关”图。	8
• 更新了“AM62Lx 处理器系列电源架构”一节。	8
• 更新了“TPS65214x 基于 PMIC 的电源架构检查清单”一节。	9
• 更新了“元件选型检查清单”。	15
• 添加了“原理图设计页面排序和 SK 电路板布局”一节。	16
• 添加了“处理器特定 SDK”一节。	17
• 更新了“RSVD0 预留引脚 (信号)”一节。	18
• 添加了“电源轨”图。	20
• 更新了“电源”一节。	20
• 更新了“处理器内核和外设内核电源检查清单”。	23
• 添加了“外部电容器 Cap_VDDsx 连接”图。	24
• 更新了“IO 组的双电压 IO 电源检查清单”。	26
• 更新了“用于 (外设) IO 组的固定电压 1.8V IO 电源检查清单”。	27
• 添加了“电子保险丝 LDO 和 EN 控制”图。	28
• 更新了“VPP 电源 (电子保险丝 ROM 编程)”一节。	28
• 添加了“仅 RTC 低功耗模式电源”图。	30
• 更新了“仅 RTC 低功耗模式”一节。	30
• 更新了“仅 RTC 低功耗模式检查清单”。	32
• 更新了“电源轨电容器检查清单”。	34

• 添加了“WKUP_OSC0 时钟连接”图。.....	34
• 更新了“WKUP_OSC0 (高频率) 时钟 (内部振荡器) 或 LVCMOS 数字时钟 (外部振荡器) ”一节。.....	34
• 添加了“LFOSC0 时钟连接”图。.....	36
• 更新了“LFOSC0 (低频率) 时钟 (内部振荡器) 或 LVCMOS 数字时钟 (外部振荡器) ”一节。.....	36
• 更新了“时钟输入检查清单 - LFOSC0”。.....	39
• 添加了“SOC_Cold_Warm_RESET_Debounce_Logic”图。.....	40
• 更新了“处理器复位输入检查清单”。.....	42
• 添加了“引导模式配置开关”图。.....	44
• 更新了“引导模式的配置 (针对处理器) ”一节。.....	44
• 更新了“引导模式的配置 (针对处理器) 检查清单”。.....	46
• 添加了“JTAG 拉电阻器连接”图。.....	47
• 更新了“使用 JTAG 和 EMU 检查清单进行定制电路板调试”。.....	49
• 添加了“支持的处理器内核和 MCU 内核”一节.....	50
• 添加了“IO 组的 IO 电源连接”图。.....	50
• 更新了“IO 组的 IO 电源的电源连接检查清单”。.....	52
• 更新了“布线拓扑和存储器终端连接”一节。.....	53
• 更新了“DDR4 实现检查清单”。.....	54
• 添加了“DDRSS LPDDR4 接口”图。.....	55
• 更新了“LPDDR4 实现检查清单”。.....	57
• 添加了“MMC0 eMMC 接口”图。.....	58
• 更新了“MMC0 (eMMC) 检查清单”。.....	60
• 添加了“MMC1 SD 卡接口”图。.....	61
• 更新了“SD 卡接口 (MMC1) 检查清单”。.....	65
• 添加了“使用 SDIO 接口实现 M.2 接口”图。.....	66
• 更新了“SDIO (建议 MMC2, 嵌入式) 接口检查清单”。.....	68
• 添加了“OSPI0 接口”图。.....	69
• 更新了“OSPI0 或 QSPI0 外设接口实现检查清单”。.....	72
• 更新了“GPMC 接口检查清单”。.....	74
• 添加了“以太网 (MAC) 接口”一节.....	75
• 更新了“MAC (数据、控制和时钟) 接口信号连接”一节。.....	77
• 更新了“以太网接口检查清单”。.....	80
• 添加了“USC SOC 主机接口”图。.....	81
• 更新了“USB 接口检查清单”。.....	83
• 添加了“UART 接口连接 (包括流控制) ”图。.....	84
• 更新了“通用异步接收器/发送器 (UART) 检查清单”。.....	86
• 更新了“模块化控制器局域网检查清单”。.....	87
• 添加了“SPI 接口图示 (通用) ”图。.....	88
• 添加了“MCSPi 接口图示 (通用) ”图。.....	88
• 更新了“MCSPi 接口检查清单”。.....	92
• 更新了“MCASP 接口检查清单”。.....	93
• 添加了“I2C 接口 - 开漏或仿真开漏”图。.....	94
• 更新了“I2C (开漏输出型 IO 缓冲器) 接口检查清单”。.....	96
• 更新了“I2C (仿真开漏输出型 IO) 接口检查清单”。.....	97
• 更新了“DPI (VOUT0) 外设检查清单”。.....	99
• 更新了“DSITX0 外设检查清单”。.....	100
• 更新了“GPIO 检查清单”。.....	103
• 将 ADC 采样率从 4MSPS 更改为 2MSPS。.....	104
• 更新了“ADC0 检查清单”。.....	105
• 更新了“定制电路板原理图设计的自我审查”一节。.....	109
• 添加了 DDR-MARGIN-FW 部分.....	111

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 [TI 销售条款](#)、[TI 通用质量指南](#) 或 [ti.com](#) 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2026，德州仪器 (TI) 公司

最后更新日期：2025 年 10 月