

*User's Guide***AM62A3、AM62A7-Q1、AM62A1-Q1、AM62D-Q1 处理器系列原理图、设计指南和审阅检查清单****摘要**

AM62Ax (AM62A7、AM62A7-Q1、AM62A3、AM62A3-Q1、AM62A1-Q1) 和 AM62D-Q1 处理器系列的用户指南包含：定制电路板设计规范、原理图设计指南、处理器外设电路实现建议，以及适用于所有该系列处理器的定制电路板设计人员原理图审阅检查清单。本用户指南涵盖处理器电源、外部时钟、GPIO 配置、支持的处理器外设以及将处理器外设连接到附加（外部）器件的相关信息。原理图审阅检查清单（包含于各章节末尾）提供了特定章节中所述外设的全面审阅要点清单。建议定制电路板设计人员使用提供的审阅检查清单（要点）核对定制电路板原理图设计实现情况，并确认是否已实现（遵循）检查清单中的建议或指南。

此外，还提供了以下项的链接（包括 [TI.com](#) 上的产品页面）：处理器产品页面、处理器相关配套资料、E2E 上发布的与处理器和处理器外设相关的常见问题解答，以及定制电路板设计期间常用的参考文档。建议定制电路板设计人员在定制电路板设计过程中参考这些附加链接，以更大限度地减少设计错误、优化设计工作、尽量减少电路板制造迭代并优化项目时间安排。

内容

1 简介	2
1.1 用户指南使用指南	2
1.2 按系列列出的处理器	4
1.3 原理图设计指南和原理图审阅检查清单更新	4
2 相关配套资料	4
2.1 定制电路板原理图设计期间常用参考配套资料的链接	4
2.2 定制电路板硬件设计注意事项用户指南	4
3 处理器特定信息	5
3.1 选择处理器 OPN (可订购器件型号)	5
3.2 处理器特定数据表用例和用户指南编辑参考版本	5
3.3 外设实例命名规范 - 数据表和 TRM	5
3.4 不使用 (未使用) 时的处理器外设和 IO 连接	6
3.5 AM62Ax 和 AM62D-Q1 处理器系列的订购和质量信息	6
3.6 选择所需处理器 GPN (通用器件型号) 和 OPN (可订购器件型号) 的检查清单	6
4 处理器电源架构	6
4.1 生成处理器特定和外设 (所连接器件) 电源轨	7
4.2 处理器电源轨电源控制、时序和电源过载保护	12
5 一般建议	12
5.1 处理器性能评估模块 (SK - 入门套件)	13
5.2 处理器特定 SK 或 EVM 与数据表	13
5.3 处理器特定 SDK	17
5.4 开始定制电路板设计之前的一般设计建议 (须知)	17
6 针对电源、时钟、复位、引导和调试的处理器特定建议	20
6.1 通用 (处理器启动) 连接	20
6.2 使用 JTAG 和 EMU 进行定制电路板调试	38
7 处理器外设电源、接口和连接	40
7.1 支持的处理器内核与 MCU 内核	40
7.2 IO 组的 IO 电源的电源连接	40
7.3 存储器接口 (DDRSS (DDR4/LPDDR4)、MMCS (eMMC/SD 卡 / SDIO)、OSPI/QSPI 和 GPMC)	41
7.4 外部通信接口 (以太网 (CPSW3G0)、USB2.0、UART 和 MCAN)	56

7.5 板载同步通信接口 (MCSPI、MCASP 和 I ₂ C)	66
7.6 用户接口 (CSIRX0、DPI) 、GPIO 和硬件诊断.....	72
7.7 SK 或 EVM 特定电路实现 (重复使用)	80
7.8 在定制电路板启动期间执行电路板级测试.....	80
8 定制电路板原理图设计的自我审阅.....	83
9 定制电路板布局布线注释 (添加在原理图部分附近) 和通用指南.....	83
9.1 布局布线注意事项.....	84
10 定制电路板设计仿真.....	84
10.1 DDR-MARGIN-FW.....	84
11 其他参考内容.....	85
11.1 涵盖 AM64x、AM243x、AM62x、AM62Ax、AM62D-Q1、AM62Px 和 AM62Lx 处理器系列的常见问题解答.....	85
11.2 常见问题解答 - 处理器产品系列和 Sitara 处理器系列.....	85
11.3 原理图 (自我) 审阅和原理图审阅申请 (供应商)	86
11.4 处理器连接器件检查清单.....	86
12 用户指南内容和使用摘要.....	86
13 参考资料.....	86
13.1 AM62A7、AM62A3、AM62A7-Q1、AM62A3-Q1、AM62A1-Q1.....	86
13.2 AM62D-Q1.....	87
13.3 AM62L.....	87
13.4 AM62P、AM62P-Q1.....	87
13.5 AM625、AM623、AM620-Q1、AM625-Q1、AM625SIP.....	87
13.6 所有处理器系列通用.....	88
13.7 可用常见问题解答主列表 - 按处理器系列.....	88
13.8 可用常见问题解答主列表 - Sitara 处理器系列.....	89
13.9 常见问题解答，包括相关软件.....	89
13.10 有关连接器件的常见问题解答.....	89
14 术语.....	89
15 修订历史记录.....	92

商标

WEBENCH® is a registered trademark of Texas Instruments.

USB Type-C® is a registered trademark of USB Implementers Forum.

所有商标均为其各自所有者的财产。

1 简介

1.1 用户指南使用指南

用户指南 AM62Ax (AM62A7、AM62A7-Q1、AM62A3、AM62A3-Q1、AM62A1-Q1) 和 AM62D-Q1 处理器系列特定的原理图设计指南和原理图审阅检查清单包括原理图设计指南，可供定制电路板设计人员可在定制电路板原理图设计阶段使用。每个章节的末尾都包含原理图审阅检查清单，可供定制电路板设计人员用于在设计完成后、开始布局之前审阅定制电路板原理图。

1.1.1 定制电路板原理图设计指南 - 用户指南中使用的参考

本用户指南包含原理图设计指南和原理图审阅检查清单，可供定制电路板设计人员在为所选处理器及已实现的外设 (板载或载板 (或附加)) 进行原理图设计时使用，这些外设包括存储器 (DDR、闪存) 、电源、通信接口、IO 及其他电路部分。

在本用户指南中，对处理器的引用指所选用的 AM62Ax 或 AM62D-Q1 处理器 OPN；对附加器件的引用指与处理器接口连接的外部 (板载或载板 (或附加)) 外设 (基于所设计的目标终端设备和应用用例) 。

1.1.2 特定处理器系列用户指南

本用户指南介绍 AM62A7、AM62A7-Q1、AM62A3、AM62A3-Q1、AM62A1-Q1 和 AM62D-Q1 处理器 (GPN)。每个处理器 GPN 可以有多个 OPN。本用户指南包括可在定制电路板设计期间使用的原理图设计指南和原理图审阅检查清单。特定处理器系列用户指南提供以处理器为中心的指南和检查清单，可在为特定处理器系列设计电路板时协助定制电路板设计人员。对于所选的处理器和处理器系列 (在本例中为 AM62Ax 和 AM62D-Q1)，本用户指南更简单易用。

1.1.3 原理图设计指南

本用户指南提供了原理图设计指南，可供相关人员在定制电路板原理图设计阶段使用，以实现所选处理器支持的处理器与外设之间的电路连接。除设计指南外，还添加了指向相关常见问题解答的链接（作为每个章节指南的一部分）。常见问题解答（已添加链接）提供了有关特定外设或接口主题的额外信息，包括关于实现方式/用例的说明和详细信息以及从客户互动中获得的经验。

建议定制电路板设计人员遵循这些原理图设计指南，以更大限度地减少可能影响电路板功能和性能的设计误差，并优化定制电路板的设计/构建/测试工作。

1.1.4 原理图审阅检查清单

在用户指南各章节小节的末尾添加了可供定制电路板设计人员用于审阅定制电路板原理图（包括特定外设）的原理图审阅检查清单。本用户指南中介绍的一般建议、处理器电源和处理器外设章节小节的末尾均包含检查清单。原理图审阅检查清单分为一般、原理图审阅和其他三类。定制电路板设计人员可以使用原理图审阅检查清单对定制电路板原理图设计进行自我审阅。自我审阅可更大限度地减少可能导致功能或性能相关问题的原理图错误，同时减少了正式审阅（内部或外部）期间的审阅工作。原理图审阅可更大限度地减少定制电路板启动或性能测试期间所需的工作量，从而提高电路板设计质量并按计划的时间线完成设计。

有关可用检查清单和格式的信息，请参阅以下常见问题解答：

[常见问题解答] [AM625/AM623/AM620-Q1/AM62Ax/AM62Px/AM62D-Q1/AM62L/AM64x/AM243x \(ALV\)/AM335x 设计建议/定制电路板硬件设计 — 原理图审阅检查清单](#)

1.1.4.1 用于所有原理图设计指南和原理图审阅章节的通用检查清单

1. 已审阅上述章节，包括 TI.com 上的常见问题解答链接和相关应用手册。
2. 已审阅处理器特定数据表中的引脚属性和信号说明部分。
3. 已审阅“时序和开关特性”章节，以及处理器特定数据表中提供的任何其他信息。

1.1.4.1.1 定制电路板原理图设计实现检查清单子部分说明

原理图实现审阅检查清单包含 3 个子部分：

常规：

通用部分以要点形式列出（总结）了电路实现要求，这些电路实现要求是支持检查清单部分（设计指南部分）上方所述外设部分的功能所需（所预期）的。该部分还包括将该部分与另一部分连接以实现所需外设或模块功能时需要考虑的注意事项（可能不需要电路实现）。建议在继续进行原理图审阅之前，先查看并完成所提供的实现检查项。

原理图审阅：

原理图审阅部分以要点形式列出（总结）了需要（应该）由定制电路板设计人员为特定电路模块添加的电路实现细节，这些实现细节可支持相关功能，包括实现外设或模块时应遵循的参数值、连接方式和其他实现细节。建议在开始布局布线前，将定制电路板的原理图设计实现细节与原理图检查清单进行比对，以确保实现方案符合设计指南要求。

补充说明：

补充说明部分以要点形式列出（详细阐明）了实现方案和用例描述，可供定制电路板设计人员结合原理图审阅部分一同参阅，以理解电路设计的原理（及其必要性），然后再考虑优化电路设计。

1.1.5 原理图自检期间的用户指南使用常见问题解答参考

以下常见问题解答包含定制电路板设计人员在使用现有处理器特定配套资料进行自检时可参考的指南：

[常见问题解答] [AM625/AM623/AM620-Q1/AM62A/AM62D-Q1/AM62P/AM62L/AM64x/AM243x 设计建议/定制电路板硬件设计 - 定制电路板原理图自检](#)

1.2 按系列列出的处理器

本用户指南适用于以下列出的所有处理器。所选处理器的所有相关文档可在 [TI.com](#) 的产品页面上找到。建议点击下方列出的产品页面链接以查看相关产品页面。

1.2.1 AM62Ax [AMB、ANF] 处理器系列

请参阅以下产品页面上的订购和质量部分，了解有关 OPN 的信息：

- [AM62A7](#)
- [AM62A7-Q1](#)
- [AM62A3](#)
- [AM62A3-Q1](#)
- [AM62A1-Q1](#)

1.2.2 AM62D-Q1 [ANF] 处理器系列

请参阅以下产品页面上的订购和质量部分，了解有关 OPN 的信息：

- [AM62D-Q1](#)

1.3 原理图设计指南和原理图审阅检查清单更新

作为持续完善配套资料工作的一部分，[原理图设计指南](#)和[原理图审阅检查清单](#)用户指南可能会针对 [TI.com](#) 上发布的当前修订版更改或添加章节（基于客户反馈、经验积累、添加/优化章节、错误修正或改进），这些内容将在下次文档修订时更新。

以下常见问题解答列出了定制电路板设计人员在进行定制电路板设计期间（在 [TI.com](#) 上发布修订版用户指南之前）需要遵循的更改：

[常见问题解答] [AM625/AM623/AM620-Q1/AM62L/AM62A/AM62P/AM62D-Q1/AM64x/AM243x 定制电路板硬件设计 — 硬件设计注意事项和原理图设计指南配套资料更新](#)

建议在定制电路板设计的所有阶段，经常查阅常见问题解答以获取可能的更新。

2 相关配套资料

2.1 定制电路板原理图设计期间常用参考配套资料的链接

[TI.com](#) 上的处理器特定产品页面提供了许多与所选处理器（系列）相关的文档。建议定制电路板设计人员在开始定制电路板设计之前，阅读相关配套资料（列于以下常见问题解答）。

2.1.1 AM62Ax 处理器系列

以下常见问题解答汇总了在开始进行定制电路板设计时可以参考的部分关键配套资料：

[常见问题解答] [AM62A7/AM62A7-Q1 定制电路板硬件设计 - 入门配套资料](#)

[常见问题解答] [AM62A3/AM62A3-Q1/AM62A1-Q1 定制电路板硬件设计 - 入门配套资料](#)

2.1.2 AM62D-Q1 处理器系列

以下常见问题解答汇总了在开始进行定制电路板设计时可以参考的部分关键配套资料：

[常见问题解答] [AM62D-Q1 定制电路板硬件设计 - 入门配套资料](#)

2.2 定制电路板硬件设计注意事项用户指南

在定制电路板设计阶段，建议阅读、审查并遵循下方链接的处理器特定[定制电路板硬件设计注意事项](#)用户指南中的适用建议：

使用 AM62A7、AM62A7-Q1、AM62A3、AM62A3-Q1、AM62A1-Q1 和 AM62D-Q1 处理器系列的[定制电路板硬件设计注意事项](#)

3 处理器特定信息

备注

在定制电路板设计周期内，建议遵循[使用 AM62A7、AM62A7-Q1、AM62A3、AM62A3-Q1、AM62A1-Q1 和 AM62D-Q1 处理器系列进行定制电路板设计时的硬件设计注意事项](#)用户指南以及[原理图设计指南和原理图审阅检查清单](#)用户指南。

3.1 选择处理器 OPN (可订购器件型号)

(根据所需特性) 选择处理器 OPN 是定制电路板设计期间的一个关键且重要的阶段。要了解处理器系列 (AM62Ax (AM62A7、AM62A7-Q1、AM62A3、AM62A3-Q1、AM62A1-Q1) 和 AM62D-Q1) 架构以及根据所需的功能、特性、封装 (AMB (AM62Ax)、ANF (AM62Ax) 和 ANF (AM62D-Q1)) 以及速度等级选择所需的处理器 OPN (定制电路板上使用的处理器) ，请参阅器件特定数据表的功能方框图、器件比较、器件命名规则、器件速度等级和封装信息部分。

建议使用所选处理器 OPN 更新原理图。

有关 AM62Ax 和 AM62D-Q1 处理器系列支持 (可用) 封装的信息，请参阅以下常见问题解答：

[常见问题解答] [AM625/AM623/AM620-Q1/AM625-Q1/AM625SIP/AM62A/AM62D-Q1/AM62P/AM62L 定制电路板硬件设计 - 可用器件封装](#)

3.2 处理器特定数据表用例和用户指南编辑参考版本

处理器特定数据表包含：

1. 引脚属性 (焊球编号，引脚到多路复用功能的映射) 。
2. 信号说明。
3. 引脚连接要求。
4. 适用处理器外设的电气特性、时序和开关特性以及时序图。
5. 处理器电源轨的建议运行条件。
6. 处理器电源轨的时序 (加电和断电) 。
7. 最大运行条件和建议运行条件。
8. 处理器内部结构的详细说明。
9. 应用、实现和布局。
10. 器件和文档支持，包括器件命名规则 (器件命名约定) 、工具和软件。
11. 修订历史记录。
12. 机械、封装和可订购信息。

(用户指南编辑过程中) 参考的处理器特定数据表及其修订编号：

AM62Ax 处理器系列

SPRSP77D — 2023 年 3 月 — 2025 年 6 月修订 (AM62Ax Sitara 处理器数据表 (修订版 D))

AM62D-Q1 处理器系列

SPRSPB5A — 2024 年 12 月 — 2025 年 5 月修订 (AM62Dx Sitara 处理器数据表 (修订版 A))

有关更多信息，请参阅以下常见问题解答：

[常见问题解答] [AM625/AM623/AM620-Q1/AM62L/AM62A/AM62P/AM62D-Q1/AM64x/AM243x 设计建议/定制电路板硬件设计 - 当前数据表的修订、更新、修订备份和使用说明](#)

3.3 外设实例命名规范 - 数据表和 TRM

关于外设命名和可用外设实例数量，处理器特定 TRM 中的描述往往为通用描述，而处理器特定数据表中的描述则更为具体 (包含所支持的实例数量) 。建议始终参阅处理器特定数据表，以了解支持的外设和外设实例。

在处理器特定数据表的信号命名中，即使只有一个外设实例，也会在外设名称后附加后缀编号。后缀以 0 开头。

对于通用平台以太网交换机 3 端口千兆位 (CPSW3G0) 端口名称，端口 0 是交换机的内部 (通信端口编程接口 (CPPI) 主机) 端口。

3.4 不使用 (未使用) 时的处理器外设和 IO 连接

在定制电路板设计期间，不使用 (未使用) 部分处理器外设。不使用时，处理器外设 (包括具有专用功能的外设) 具有特定连接要求。有关不使用时连接外设的信息，请参阅处理器特定数据表的引脚连接要求部分。连接要求部分包括连接电源轨和接口信号的建议。

处理器 GPIO (与外设、SDIO 或 LVCMOS 缓冲器类型多路复用) 支持配置替代功能 (多路复用)，在不使用时可保持未连接状态 (如果未指定连接要求)。外设和 IO 的焊盘配置可以处于复位状态。

有关更多信息，请参阅以下常见问题解答：

[[常见问题解答](#)] AM625/AM623/AM620-Q1/AM62L/AM62A/AM62P/AM62D-Q1/AM64x/AM243x 设计建议/定制电路板硬件设计 — 数据表引脚属性及引脚连接相关疑问

3.5 AM62Ax 和 AM62D-Q1 处理器系列的订购和质量信息

有关所选处理器的订购和质量的信息，请访问以下链接：

AM62Ax 处理器系列

[AM62A7 - 订购和质量](#)

[AM62A7-Q1 - 订购和质量](#)

[AM62A3 - 订购和质量](#)

[AM62A3-Q1 - 订购和质量](#)

[AM62A1-Q1 — 订购和质量](#)

AM62D-Q1 处理器系列

[AM62D-Q1 — 订购和质量](#)

3.6 选择所需处理器 GPN (通用器件型号) 和 OPN (可订购器件型号) 的检查清单

通用

在定制电路板原理图设计过程中、查看和验证以下配套资料和信息：

1. 常用存储器接口、高速通信、板载同步和异步通信接口、摄像头和显示接口是否可用。
2. 板载调试和诊断支持 (JTAG、UART、OBSCLK[1:0] 和 CLKOUT0)。
3. 所需电源轨数量、电源轨的推荐工作条件，以及内核、存储器接口、模拟和 IO 电源的上电和下电时序。
4. 所选外设的电气特性和时序信息。
5. 应用手册、外设接口电路实现建议或示例以及布局指南是否可用。
6. 与处理器功能运行、引导模式 (支持的模式和注意事项、所配置引导模式的权变措施) 和相关外设相关的器件勘误表。
7. 供评估的 SK 或 EVM 以及供参考和/或重复使用的设计文件是否可用。

4 处理器电源架构

备注

在定制电路板设计周期内，建议遵循[使用 AM62A7、AM62A7-Q1、AM62A3、AM62A3-Q1、AM62A1-Q1 和 AM62D-Q1 处理器系列进行定制电路板设计时的硬件设计注意事项](#)用户指南以及[原理图设计指南](#)和[原理图审阅检查清单](#)用户指南。

要了解 TI 电源管理产品系列，请参阅 TI [电源管理](#) 页面。

[WEBENCH® 电路设计器工具](#) 提供一个可视界面，可用于创建定制的电源架构。

4.1 生成处理器特定和外设（所连接器件）电源轨

可使用集成式（使用 PMIC、分立式直流/直流转换器、分立式 LDO）或分立式（使用直流/直流转换器、分立式 LDO）电源架构生成所选处理器和连接器件所需的电源轨。

PMIC（集成式电源架构）专为特定处理器或处理器系列而设计。使用 PMIC 可简化电源架构（电源轨）设计。PMIC 可生成所需（常用）的处理器和连接器件电源。PMIC 在内部管理加电时序、断电时序、电源压摆率控制、可选残余电压（电压衰减）检测，并满足处理器特定电源（PDN）要求。其他分立式直流/直流转换器和分立式 LDO 可用于生成所需的其他板载电源（根据用例）。

使用分立式电源架构可灵活选择电源器件和电源架构设计。由于定制电路板设计人员负责选择提供所需负载电流的分立式直流/直流转换器和 LDO、可调节或配置以生成所需电源电压的直流/直流转换器和 LDO，以及能够支持所需负载电流瞬变、控制、电源压摆率并支持配置所需电源时序的直流/直流转换器和 LDO，因此设计工作量可能会增加。

处理器电源轨指定了压摆率要求。对于电源轨（生成式或开关式），建议遵循处理器特定数据表的电源压摆率要求部分。

以下各节总结了可用于使用 PMIC 或分立式电源架构实现板载电源的电源转换器系列（直流/直流转换器和 LDO）产品和相关配套资料：

4.1.1 AM62Ax 和 AM62D-Q1 处理器系列电源架构

4.1.1.1 基于电源管理 IC (PMIC) 的电源架构

推荐用于集成式电源架构的 PMIC 包括 [TPS6593-Q1](#)。可使用 PMIC 设计这种经过空间、性能和物料清单 (BOM) 优化的电源架构，以便为处理器和附加器件供电。

有关实现，请参阅[入门套件 SK-AM62A-LP](#) 原理图。

有关更多信息，请参阅[适用于 AM62A 的 TPS65931211-Q1 PMIC 用户指南](#) 用户指南。

或者，集成式电源架构可以基于 [TPS65224-Q1](#) 等 PMIC。

有关实现细节，请参阅[AUDIO-AM62D-EVM](#) 原理图。

有关更多信息，请参阅[使用 TPS6522430-Q1 和 TPS6522230-Q1 PMIC 进行 Sitara AM62A/P/D\(-Q1\) 的电源设计](#) 应用简报。

备注

对于汽车功能安全用例，建议将处理器的 MCU_I2C0 接口连接到 PMIC (TPS65224/TPS65222) I2C1 接口。

请参阅以下常见问题解答：

[常见问题解答] AM62A7/AM62A7-Q1/AM62A3/AM62A3-Q1/AM62A1-Q1/AM62D-Q1 设计建议/定制电路板硬件设计 – PMIC TPS6593 的常见问题

[常见问题解答] AM62A7/AM62A7-Q1/AM62A3/AM62A3-Q1/AM62A1-Q1/AM62D-Q1/AM62P/AM62P-Q1 设计建议/定制电路板硬件设计 – PMIC TPS65224-Q1 的常见疑问

[常见问题解答] TMUX1308-Q1 : EN 和控制输入端接 - AM62P、AM62A 用例

有关残余电压及其检测的信息，请参阅以下常见问题解答：

[常见问题解答] AM625/AM623/AM620-Q1/AM62L/AM62A/AM62P/AM62D-Q1/AM64x/AM243x 设计建议/定制电路板硬件设计 – 与残余电压、检测和电源衰减相关的疑问

4.1.1.1.1 TPS6593x 基于 PMIC 的电源架构检查清单

通用

检查并验证定制原理图设计的以下内容：

1. 已审阅上述用户指南“所有章节的通用检查清单”章节
2. PMIC 选型 (OPN) 和输出电压配置
3. 有关添加所需输入和输出电容器（包括值、反馈连接和引脚连接）的 PMIC 检查清单
4. 考虑降额时所选电容器的额定电压
5. 建议的 PMIC 控制和 IO 信号配置
6. 连接处理器 IO 电源时序和压摆率控制所需的控制信号
7. 用于连接 PMIC 的处理器 I2C 实例
8. 提供配置处理器内核电压的选项
9. 处理器到 PMIC 以及 PMIC 到处理器 IO 接口连接
10. 电源导轨的命名（指示配置的输出电压电平）
11. 处理器和连接器件 IO 电源的网络名称匹配（同名）
12. 连接用于 PMIC IO 的中断、EN/PB/VSENSE 和睡眠信号和所需拉电阻连接

原理图审阅

定制原理图设计请遵循以下列表：

1. 根据定制电路板要求配置 PMIC 输出以匹配处理器和附加器件的 IO 电源工作电压
2. 采用 SK 或 EVM 原理图实现方案实现定制电路板 PMIC（包括电容器数量、尺寸和值、IO 连接）
3. 连接 PMIC 降压输出反馈（将反馈点连接在输出大容量电容器之后，或采用远端反馈）
4. 内核电压配置，使用 GPIO6（GPIO6 高电平 — BUCK1、2、3 : 0.85V、GPIO6 低电平/悬空 — BUCK1、2、3 : 0.75V）、VDD_CORE 和 VDDR_CORE 时序控制
5. 提供配置处理器内核电压的选项（对于 TPS6593x，使用 GPIO6）
6. SD 卡 IO 电压控制 (VSEL_SD) 引脚连接（处理器启动或电路板复位期间为 3.3V，支持 UHS-I SD 卡时切换到 1.8V）
7. 连接 SD 卡电源使能 SDCARD_EN（GPIO11，连接到 SD 卡负载开关使能“与运算”逻辑输出）
8. 直接连接到处理器 MCU_PORz 输入时的 PMIC nRSTOUT0 压摆（上拉电阻阻值）（建议使用分立式推挽输出型缓冲器）
9. 连接处理器 IO 电源时序所需的控制信号（用于处理器和附加器件 IO 电源电压的负载开关 EN，并预留通过外部电容器控制负载开关输出电压压摆率的能力）
10. 考虑降额时所选电容器的额定电压（常用指南为最坏情况下施加电压的两倍）
11. PMIC 输出电压电平与处理器和附加器件的电源要求相匹配（基于 OPN）
12. 用于连接 PMIC 的处理器 I2C 实例（遵循 SK/EVM 或根据用例审查所需的 I2C 实例）
13. 配置与 PMIC 搭配使用的分立式直流/直流输出和 LDO 以生成额外的电源轨
14. 为生成 VPP 电源（电子保险丝编程）而设计的外部 LDO 实现方案，包括 LDO 输出使能 (EN) 控制、在考虑负载电流瞬态的情况下增加大容量电容器和去耦电容器，以及提供隔离电阻来测试 VPP 电源输出使能时序

其他

1. 若定制电路板设计的电源架构基于 TI PMIC，建议就已完成的实现方案，向 PMIC 团队（业务部门或产品线）寻求详细的审核意见。
2. 建议在 PMIC 及分立式直流/直流、LDO 的输出端使用 0Ω 的电阻或跳线，以便在初次制作电路板时进行隔离或电流测量。建议添加 TP 进行测量。建议遵循开尔文电流检测连接方式，以便将 TP 连接到 0Ω 电阻或跳线。
3. 建议分别显示用于降压（直流/直流）输入和 VSYS 的 PMIC 输入大容量电容器，并靠近各引脚，以便于放置和布线。
4. 建议将 PMIC 降压输出的反馈点设置在大容量电容器之后。建议连接反馈点以确保移除 0Ω 电阻不会影响 PMIC 的正常工作（反馈点应连接在电阻的 PMIC 一侧）。PMIC 支持在负载附近连接远端反馈。
5. 建议查看并遵循与残余电压相关的常见问题解答。

6. 若使用非 TI 的 PMIC，建议定制电路板设计人员审阅并遵循相关的处理器配套资料，包括处理器特定数据表和最大额定电流 应用手册。建议查看处理器特定数据表的推荐工作条件、电源压摆率要求、MCU_PORz 时序要求、上电时序和下电时序部分，并确认所选的基于 PMIC 的电源架构符合上述要求和残余电压 (RV) 检查要求。

4.1.1.1.2 TPS65224x 基于 PMIC 的电源架构检查清单

通用

检查并验证定制原理图设计的以下内容：

1. 已审阅上述用户指南 “所有章节的通用检查清单” 章节
2. PMIC 选型 (OPN) 和输出电压配置
3. 有关添加所需输入和输出电容器 (包括值、反馈连接和引脚连接) 的 PMIC 检查清单
4. 考虑降额时所选电容器的额定电压
5. 建议的 PMIC 控制和 IO 信号配置
6. 连接处理器 IO 电源时序和压摆率控制所需的控制信号
7. 用于连接 PMIC 的处理器 I2C 实例
8. 提供配置处理器内核电压的选项
9. 处理器到 PMIC 以及 PMIC 到处理器 IO 接口连接
10. 将模拟输入连接到 TPS65224 PMIC ADC 输入
11. 电源导轨的命名 (指示配置的输出电压电平)
12. 处理器和连接器件 IO 电源的网络名称匹配 (同名)
13. 连接用于 PMIC IO 的中断、EN/PB/VSENSE 和睡眠信号和所需拉电阻连接

原理图审阅

定制原理图设计请遵循以下列表：

1. 根据定制电路板要求配置 PMIC 输出以匹配处理器和附加器件的 IO 电源工作电压
2. 采用 SK 或 EVM 原理图实现方案实现定制电路板 PMIC (包括电容器数量、尺寸和值、IO 连接)
3. 连接 PMIC 降压输出反馈 (将反馈点连接在输出大容量电容器之后，或采用远端反馈)
4. 内核电压配置，使用 GPIO3 (GPIO3 高电平 — BUCK1、2 : 0.85V、GPIO3 低电平/悬空 — BUCK1、2 : 0.75V)、连接 VDD_CORE 和 VDDR_CORE 并对其进行时序控制
5. 提供配置处理器内核电压的选项 (对于 TPS65224，使用 GPIO3)
6. 直接连接到处理器 MCU_PORz 输入时的 PMIC nRSTOUT0 压摆 (上拉电阻阻值) (建议使用分立式推挽输出型缓冲器)
7. 连接处理器 IO 电源时序所需的控制信号 (用于处理器和附加器件 IO 电源电压的负载开关 EN，并预留通过外部电容器控制负载开关输出电压压摆率的能力)
8. 考虑降额时所选电容器的额定电压 (常用指南为最坏情况下施加电压的两倍)
9. PMIC 输出电压电平与处理器和附加器件的电源要求相匹配 (基于 OPN)
10. 用于连接 PMIC 的处理器 I2C 实例 (遵循 SK/EVM 或根据用例审查所需的 I2C 实例)
11. 配置与 PMIC 搭配使用的分立式直流/直流输出和 LDO 以生成额外的电源轨
12. 在外部实现 SD 卡电源切换和电源开关复位逻辑以支持 UHS-I SD 卡
13. GPIO4 或 GPIO5 的模拟输入连接和模拟输入范围 (用作 ADC)
14. 为生成 VPP 电源 (电子保险丝编程) 而设计的外部 LDO 实现方案，包括 LDO 输出使能 (EN) 控制、在考虑负载电流瞬态的情况下增加大容量电容器和去耦电容器，以及提供隔离电阻来测试 VPP 电源输出使能时序

其他

1. 若定制电路板设计的电源架构基于 TI PMIC，建议就已完成的实现方案，向 PMIC 团队 (业务部门或产品线) 寻求详细的审核意见。
2. 建议在 PMIC 及分立式直流/直流、LDO 的输出端使用 0Ω 的电阻或跳线，以便在初次制作电路板时进行隔离或电流测量。建议添加 TP 进行测量。建议遵循开尔文电流检测连接方式，以便将 TP 连接到 0Ω 电阻或跳线。

3. 建议将 PMIC 降压输出的反馈点设置在大容量电容器之后。建议连接反馈点以确保移除 0Ω 电阻不会影响 PMIC 的正常工作（反馈点应连接在电阻的 PMIC 一侧）。PMIC 支持在负载附近连接远端反馈。
4. 建议分别显示用于降压（直流/直流）输入和 VSYS 的 PMIC 输入大容量电容器，并靠近各引脚，以便于放置和布线。
5. 为支持 PMIC 的远程电压检测，建议将该器件的反馈引脚 FB_Bx 连接到处理器上相应的检测引脚。或者，也可将 FB_Bx 引脚连接到具有代表性的负载电容器。若采用差分反馈方式，则还需将负反馈引脚连接至同一负载电容器的负端。
6. 建议查看并遵循与残余电压相关的常见问题解答。
7. 若使用非 TI 的 PMIC，建议定制电路板设计人员审阅并遵循相关的处理器配套资料，包括处理器特定数据表和最大额定电流 应用手册。建议查看处理器特定数据表的推荐工作条件、电源压摆率要求、MCU_PORz 时序要求、上电时序和下电时序部分，并确认所选的基于 PMIC 的电源架构符合上述要求和残余电压 (RV) 检查要求。

4.1.1.1.3 其他参考内容

有关更多信息，请参阅处理器特定数据表的以下部分。

- 器件连接和布局基本准则
- 电源
- 电源设计

4.1.1.2 基于分立式电源器件（直流/直流、LDO）的电源架构

如要生成处理器和附加器件所需的电源轨，可考虑采用分立式电源架构。

电源架构可以基于分立式直流/直流转换器和 LDO。

有关可用或推荐分立式电源架构的信息，请参阅 TI.com 上的处理器特定（AM62A7/AM62A7-Q1/AM62A3/AM62A3-Q1/AM62A1-Q1 和 AM62D-Q1）产品页面。

处理器特定产品页面提供了有关可用电源架构的最新信息。

实施定制（TI 或非 TI）分立式电源架构时，请注意以下要求：电源容量（额定电流）、电源时序、电源压摆率控制，以及在所有电源斜升后 MCU_PORz 输入从低到高的延迟（保持时间，用于振荡器启动和稳定）要求。建议根据处理器特定数据表验证是否满足上述要求。

在断电期间，建议 MCU_PORz 输入在电源开始斜降之前达到有效的逻辑低电平。在电源轨下电（断电）期间，建议在电源开始斜降之前使 MCU_PORz 输入达到有效的逻辑低电平。建议将分立式电源架构设计为能够在任意电源轨降至建议运行条件中定义的最小值以下时，在启动新的上电序列之前关闭所有电源轨并监控电源轨衰减到 300mV 以下。

建议在上电期间将 MCU_PORz 输入（必需）保持为低电平（有效），直到所有处理器电源斜升并有效（稳定）加最短延迟 9.5ms（处理器特定数据表中称为 9500000ns），以便内部振荡器启动并稳定（使用外部晶体加内部振荡器时，请参阅处理器特定数据表）或 MCU_PORz 输入保持低电平（有效），直到所有处理器电源斜升并有效，并且外部振荡器时钟输出稳定（当使用外部 LVCMOS 数字时钟源（振荡器）时），加上最小延迟 1.2 μ s（在处理器特定数据表中称为 1200ns）（请参阅处理器特定数据表）。

建议考虑最大电流额定值 应用手册来确定电源尺寸。

请参阅以下常见问题解答：

[常见问题解答] AM625/AM623/AM620-Q1/AM62Ax/AM62D-Q1/AM62Px/AM62L/AM64x/AM243x 设计建议/定制电路板硬件设计 — 与分立式电源架构相关的疑问

4.1.1.2.1 分立式直流/直流转换器

建议考虑采用分立式直流/直流转换器，例如 TPS62826、LM61460-Q1 或类似的开关电源器件。

有关可用直流/直流转换器（降压）的概述，请参阅 交流/直流和直流/直流转换器（集成 FET） 页面。

此外，请参阅以下文档和视频库：

TI 降压开关直流/直流转换器快速参考指南应用手册

电源设计培训资源 - 视频库

4.1.1.2.2 分立式 LDO

建议考虑使用分立式 LDO 器件，如 [TPS74518](#)、[TLV7103318](#)、[TLV75518](#) 或类似 LDO。

要了解可用分立式 LDO 的概述，请参阅 TI [线性和低压降 \(LDO\) 稳压器](#) 页面。

此外，也请参阅以下应用手册：

[低压降稳压器快速参考指南](#)

[LDO 线性稳压器设计指南](#)

[TI LDO 应用手册的主题索引](#)

4.1.1.2.3 基于分立式电源器件（直流/直流、LDO）的电源架构检查清单

通用

检查并验证定制原理图设计的以下内容：

1. 已审阅上述用户指南“[所有章节的通用检查清单](#)”章节。
2. 为电源轨配置的输出电压电平和电流容量（额定值）。
3. 输出电压反馈连接和反馈电阻分压器容差。
4. 精选的分立式直流/直流支持有源放电。
5. 分立式直流/直流输出压摆率符合处理器要求。
6. 电源轨时序符合处理器要求。
7. MCU_PORz 输入（直流/直流 PG 正常输出）压摆率。
8. 考虑降额时所选电容的额定电压。
9. 支持 UHS-I SD 卡的 SD 卡接口 IO 电源实现。
10. VPP（电子保险丝编程）电源的实现。
11. 电源轨的命名。
12. 分立式直流/直流或分立式 LDO 电压电平的匹配。
13. 处理器和连接器件 IO 电源的网络名称匹配（同名）。

原理图审阅

定制原理图设计请遵循以下列表：

1. 连接至反馈端以产生所需输出电源电压的电阻分压器值（含容差）与分立式直流/直流或 LDO 的计算值一致。
2. 直流/直流或 LDO 输出的电流容量。
3. 分立式直流/直流或 LDO PG 输出具有所需的上拉电阻，并连接到其他直流/直流或 LDO EN 以实现电源时序。
4. 直流/直流或 LDO 输出压摆率符合处理器的压摆率要求。
5. MCU_PORz 输入（直流/直流 PG 输出）的压摆率（通过分立式推挽输出型缓冲器连接）以及在所有处理器电源斜升后的低到高延迟（MCU_PORz 输入低电平保持时间用于时钟启动和稳定）实现。
6. 电源斜坡后的 MCU_PORz 输入低保持时间，如果直流/直流 PG 输出直接连接到处理器 MCU_PORz 输入。
7. VPP（电子保险丝编程）电源的实现，包括用于支持负载电流瞬变和输出使能（EN）的电容器。
8. 用于支持 UHS-I SD 卡的 SD 卡接口 IO 电源的 LDO 实现。
9. 电源轨的命名（指示配置的输出电压）。
10. 分立式直流/直流或分立式 LDO 电压电平与处理器和附加器件的电源要求相匹配。
11. 考虑降额时所选电容器的额定电压（大于常用指南为最坏情况下施加电压的两倍）。
12. 分立式电源器件选型，需考虑：输出电源电压轨（工作电压/幅度）和额定电流、有源放电、使能配置、压摆率控制、残余电压检测（仅在下电后电源电压小于 300mV 时允许上电）。

其他

1. 若定制电路板设计的电源架构基于 TI 电源方案，建议通过相关业务部门或产品线详细审查实现方案。
2. 建议在分立式直流/直流和 LDO 的输出端使用 0Ω 的电阻或跳线，以便在初次制作电路板时进行隔离或电流测量。建议添加 TP 进行测量。建议遵循开尔文电流检测连接方式，以便将 TP 连接到 0Ω 电阻或跳线。
3. 当使用可调输出型分立式直流/直流或分立式 LDO 时，建议在分立式直流/直流或分立式 LDO 的输出端添加一个齐纳二极管。

4.2 处理器电源轨电源控制、时序和电源过载保护

4.2.1 负载开关 (处理器电源轨电源开关)

负载开关用于对处理器和附加器件的电源轨进行开关和时序控制。使用负载开关控制（打开和关闭）以同一输入电源轨为基准（由其供电）的特定外设或子系统的电源，而不是使用多个分立式直流/直流转换器或 LDO 生成电源。在某些应用中，建议遵循建议的上电和下电序列。负载开关简化了电源时序控制的实现，以满足上电和下电时序要求。负载开关使能可由 PMIC 或分立式直流/直流 PG 输出控制，以满足处理器的电源时序要求。

考虑 TPS22965、TPS22918、TPS22902 和 TPS22946 等负载开关。

要了解可用负载开关系列的概述，请参阅 TI [负载开关](#) 页面。

4.2.1.1 负载开关 (处理器电源轨电源开关) 检查清单

通用

检查并验证定制原理图设计的以下内容：

1. 已审阅上述用户指南 “所有章节的通用检查清单” 章节。
2. 负载开关额定电流。
3. 负载开关使能的连接和时序。
4. 输出电压压摆率控制配置。
5. 考虑降额时所选电容的额定电压。

原理图审阅

定制原理图设计请遵循以下列表：

1. 输入和输出电容器值、符合数据表的比率以及电容器额定电压。
2. 根据处理器 IO 电源压摆率要求配置输出电压压摆率（电容器值选择）。

4.2.2 电子保险丝 IC (电源开关和保护)

在定制电路板设计中，可在电源输入端使用电子保险丝进行保护。电子保险丝电源开关和保护 IC 是集成的电源路径保护器件，用于在故障情况下将电路电流和电压限制在安全电平。电子保险丝为设计提供了许多优势，并且包含通常难以使用分立式元件实现的保护功能。有关可用电子保险丝系列的概述，请参阅 TI [电子保险丝和热插拔控制器](#) 页面。

5 一般建议

备注

在定制电路板设计周期内，建议遵循 [使用 AM62A7、AM62A7-Q1、AM62A3、AM62A3-Q1、AM62A1-Q1 和 AM62D-Q1 处理器系列进行定制电路板设计时的硬件设计注意事项](#) 用户指南以及 [原理图设计指南](#) 和 [原理图审阅检查清单](#) 用户指南。

以下各节包含在开始定制设计之前建议遵循的一般建议。本节还包含在使用 SK 或 EVM 配套资料作为参考（包括原理图）以及在设计定制电路板原理图期间的一般建议。

请参阅以下常见问题解答：

[常见问题解答] AM625/AM623/AM620-Q1/AM62L/AM64x/AM243x (ALV)/AM62Ax/AM62D-Q1/AM62Px 设计建议/定制电路板硬件设计 — 有关处理器内核、VDD_CORE、VDDR_CORE、VPP 和其他内核电源的信息

5.1 处理器性能评估模块 (SK - 入门套件)

处理器 (硬件) 性能评估模块和平台 (SKS 或 EVM) 并非参考设计。这些模块和平台并不代表正确或完整的电路板或终端设备功能实现。在某些情况下，SKS 或 EVM 在处理器设计完成之前便已进行了部分或完全设计并发布进行制造。设置时间表是为了确保在首批器件可用时便可使用硬件平台。在处理器启动和基准测试期间会出现新的 (额外的) 处理器要求。这些新要求可能未在 SK 或 EVM (硬件评估平台) 中体现。因此，TI 希望定制电路板设计人员在设计定制电路板时仔细查阅并严格遵循处理器特定数据表、器件勘误表、硬件设计注意事项用户指南、原理图设计指南和 TRM 中定义的所有要求。

处理器 (硬件) 性能评估平台的设计并未涵盖 EMI 或 EMC (电磁干扰、电磁兼容性测试，包括辐射抗扰度、辐射发射、ESD) 、噪声敏感性、热管理等所有定制电路板或终端设备特定要求。

有关定制电路板设计人员可参考的设计更新说明以及 SK 或 EVM 原理图，请参阅以下常见问题解答：

[常见问题解答] AM625/AM623/AM620-Q1/AM62Ax/AM62Px/AM62D-Q1/AM62L 定制电路板硬件设计过程中的设计建议/常见错误-SK 原理图设计更新说明

5.1.1 评估模块 (入门套件) 检查清单

通用

检查并验证定制原理图设计的以下内容：

1. 已审阅上述用户指南 “[所有章节的通用检查清单](#)” 章节。
2. 基准 (遵循的) SK 或 EVM 与所选处理器系列和 OPN 相匹配。
3. 基准 SK 或 EVM 板上的处理器封装与为定制电路板设计选择的处理器相匹配。
4. 基准 SK 或 EVM 原理图修订版本包括设计说明 (D-Note) 、修订说明 (R-Note) 和 CAD 说明 (CAD Note)。

5.2 处理器特定 SK 或 EVM 与数据表

在定制电路板设计的设计阶段，如果在处理器评估或定制电路板设计期间发现处理器特定 SK 或 EVM 与处理器特定数据表之间存在任何差异，建议遵循处理器特定数据表。尽管 SK 或 EVM 设计人员已经尽了很大努力，但 SK 或 EVM 原理图还是可能包含仍然起作用但不完全符合处理器特定数据表规范的错误。

5.2.1 有关元件选择的注意事项

备注

SK 或 EVM 原理图中提供的元件参数值、封装尺寸和额定电压可为定制电路板设计人员提供良好的起点，并非总是最优方案。建议定制电路板设计人员验证这些参数值、尺寸和额定电压是否适用于具体的定制电路板实现并进行必要的更新。

建议结合定制电路板设计要求审阅 SK 或 EVM BOM，并根据处理器特定数据表中的建议、应用要求、所遵循的定制电路板设计方法以及可用 (公司特定或通用) 的设计 / 元件选择指南优化元件。

建议在最终确定元件 (值、封装、额定电压和额定功率) 前先进行电路实现所需的设计计算、板级测试和测量以及内部设计审查。

5.2.1.1 串联电阻

建议根据用例在处理器 IO 接口上配置一个串联电阻 (0Ω)。进行定制电路板设计时，可采用 SK 或 EVM 原理图中使用的串联电阻阻值作为设计起点。建议定制电路板设计人员验证定制电路板设计上的数值，并进行相应调整 (引脚上出现的阶跃函数不接近 $1/2 V_s$) 。建议根据需要进行仿真以最终确定值。

5.2.1.2 并联拉电阻

备注

除非有业界通用规定的拉电阻要求，否则外部拉阻并无硬性规定或要求。拉电阻的业界通用规定是我们能够针对 eMMC 和 SD 卡信号的外部拉电阻提出明确建议的主要原因。对于其他外设，建议客户评估连接到定制电路板上每个处理器信号的所连接器件功能，并运用适当的技术/工程判断来确定是否需要使用外部拉电阻，以防止在打开所连接器件输入缓冲器时任何输入悬空。设计指南中提供的建议为通用建议，客户应在实施前查阅设计要求和附加器件内部拉电阻的可用性。务必避免提供与内部拉电阻冲突的外部拉电阻。示例：例如，添加一个与内部拉电阻（附加器件内部）冲突的外部拉电阻，这种冲突会导致信号（输入）端产生一个 $1/2 \text{ Vs}$ 电势。

建议为连接了布线且未被主动驱动的处理器 IO 提供并联拉电阻配置，或为连接到可悬空所连接器件输入的 IO 提供并联拉电阻配置（以防止所连接器件输入悬空，直到主机软件配置 IO）。并联拉电阻的极性和拉电阻值取决于特定的外设连接建议、处理器性能和可靠性提升建议以及相关接口或接口标准要求。提供上拉电阻的建议。

处理器特定 SK 或 EVM 中使用的拉电阻值可用作起点，定制电路板设计人员可根据处理器和所连接器件的建议或特定电路板设计要求选择适当的拉电阻值。对于没有具体建议的 IO 或接口，建议使用 $10\text{k}\Omega$ 或 $47\text{k}\Omega$ （允许选择上拉电阻以标准化元件选择和 BOM）的拉电阻值。可根据电路板设计选择拉电阻值，以优化元件的使用、降低电流或提升噪声性能。

当布线连接到处理器引脚（IO 焊盘）且 IO 未被主动驱动（悬空）时，建议使用并联拉电阻 ($47\text{k}\Omega$)。在复位期间和复位后，处理器 IO 缓冲器 (TX (输出) 和 RX (输入) 以及内部拉电阻 (上拉和下拉)) 均关闭。IO 处于高阻抗状态，实际上相当于可拾取噪声的天线。如果没有并联拉电阻，则 IO 处于高阻抗状态。高阻抗使得噪声可以轻松地将能量耦合到悬空信号布线上，并产生可能超出 IO 建议运行条件的电位。这种电位会在 IO 上产生电过应力 (EOS)。处理器内部的静电放电 (ESD) 保护电路设计仅用于在将器件安装到 PCB 上之前的搬运过程中保护器件免受 ESD 损坏。

5.2.1.3 驱动强度配置

AM62A7、AM62A7-Q1、AM62A3、AM62A3-Q1、AM62A1-Q1 和 AM62D-Q1 处理器系列目前不支持配置除标称（默认）值以外的驱动强度（任何其他可用配置）（例如：SDIO 或 LVCMS 缓冲器的驱动强度）。标称值（SDIO 为 40Ω ，LVCMS 为 60Ω ）是唯一完成处理器级 STA（静态时序分析）收敛的配置。IBIS 模型目前已更新为仅包含已在内部关闭时序的驱动强度。

有关驱动强度配置支持的信息，请参阅以下常见问题解答：

[常见问题解答] [AM625/AM623/AM620-Q1/AM62Ax/AM62Px/AM62D-Q1/AM62L/AM64x/AM243x 设计建议/定制电路板硬件设计 — SDIO 和 LVCMS 的 I/O 驱动强度配置](#)

5.2.1.4 处理器特定数据表建议

定制电路板设计人员负责实现所需或所推荐的电路，以确保定制电路板设计符合处理器特定数据表中的引脚连接要求。示例：I²C 开漏型电气性的要求 - 上拉至 3.3V 电源时的输入压摆率限制要求。

如果缺乏处理器特定数据表建议，建议以原理图设计指南或 SK/EVM 原理图实现方案为起点进行设计。

5.2.1.5 处理器 IO 保护 — 提供外部 ESD 保护器件

建议为直接连接到外部输入或连接到外部连接器的处理器 IO 提供外部 ESD 保护。内部 ESD 保护不能满足板级 ESD 要求。要了解 ESD 保护器件，请参阅 TI [ESD 保护](#) 页面。

5.2.1.6 外设时钟输出串联电阻

建议在靠近处理器时钟输出（对于 MCSPI、MCASP）引脚处为时钟输出信号添加串联电阻 (22Ω)，因为该时钟也用于重定时。该串联电阻还支持可能的反射控制（减少信号失真）。

对于 MMC0、MMC1、MMC2、OSPI0、GPMC0 接口，在内部使用未绑定焊盘进行重定时（环回）。我们并不使用通过 PCB 发送到附加器件的同一时钟作为捕获时钟。我们在器件内部将输出时钟分成了两路，分别发送到两个独立的 IO 单元。一个 IO 单元连接到一个封装焊球，用于为附加器件提供时钟。另一个 IO 单元未绑定（未连接

到任何封装焊球）。用作接收捕获时钟的时钟会通过这个未绑定的 IO 单元送出，并在用作捕获时钟之前环回至器件内部。我们这样做是为了让该时钟具有与发送到附加器件的时钟路径相同的延迟，以及与从附加器件返回的数据路径相同的延迟。此未绑定的 IO 单元焊盘不会经历 PCB 信号布线源端所产生的电压阶跃。建议使用（配置）一个低阻值串联电阻（初始可用 0Ω ）来控制可能出现的信号反射（出于信号完整性目的）。

5.2.1.7 外设时钟输出下拉电阻

建议在靠近附加器件的时钟输入处，为连接到附加器件的外设时钟输出（eMMC、SDIO、SD 卡、OSPI0、MCSPI、MCASP、GPMC0）配置下拉电阻。可选择预留电容器（ 8pF 至 10pF ）并将其配置为“不贴装”。若观察到与板级信号完整性相关的问题，可安装该电容器。建议以最短桩线将该电容器连接到附加器件的时钟输入。

5.2.1.8 元件选型检查清单

通用

检查并验证定制原理图设计的以下内容：

1. 已审阅上述用户指南“所有章节的通用检查清单”章节。
2. 选择电阻值、容差、尺寸和功率。
3. 某些特定电阻有 $\pm 1\%$ 的容差要求（请参阅处理器或附加器件数据表、SK 原理图或 EVM）。
4. 标准容差电阻可用于其他用例，例如：上拉电阻、下拉电阻、LED 限流电阻、附加器件地址配置电阻或串联电阻。
5. 建议将定制电路板上的拉电阻值实现方案与 SK 或 EVM 原理图进行比较。
6. 所用电容器的额定电压已包含降额（对于非极性电容器，通常采用的准则是大于最恶劣工况下所施加电压的两倍）。
7. 为 CAP_VDDSn 选择电容器的额定电压（需在推荐值范围内）时已考虑直流偏置效应。
8. 封装选择（取决于应用和用例，考虑电压和温度范围）。
9. 选择兼容的附加器件（DDR 和闪存、EPHY (EPHy)）。
10. 选择所需的存储器大小 (DDR) 并根据需要提供扩展存储器的配置。
11. 查看与无源元件参数值、容差和额定电压相关的常见问题解答。

作为了解 EVM 和 SK 所用关键元件、元件参数值和容差的起点，请参阅以下常见问题解答：

[常见问题解答] AM625/AM623/AM620-Q1/AM62Ax/AM62Px/AM62D-Q1/AM62L/AM64x 设计建议/定制电路板硬件设计 — 入门套件/EVM 型号（版本）和关键器件（元件）列表

[常见问题解答] AM625/AM623/AM620-Q1/AM62L/AM62A/AM62P/AM62D-Q1/AM64x/AM243x 设计建议/定制电路板硬件设计 — 与无源元件参数值、容差和额定电压相关的疑问

5.2.2 有关 SK 或 EVM 设计（原理图、电路板）和复用的附加信息

5.2.2.1 更新的 SK 或 EVM 原理图（添加了设计、审核和 CAD 注解）

在定制电路板设计期间，作为定制电路板设计流程的一部分，定制电路板设计人员可以（通常会）重复使用 SK 或 EVM 设计（CAD 文件）并进行所需的编辑。或者，定制电路板设计人员可以重复使用常见电路实现（部分），包括处理器、存储器、电源和高速通信接口。由于 SK 或 EVM 设计应具有额外的功能，因此定制电路板设计人员倾向于根据定制电路板要求优化 SK 或 EVM 原理图设计。在对 SK 或 EVM 原理图进行优化时，可能会在定制电路板设计中引入误差，这类误差可能影响定制电路板的功能、性能或可靠性。优化 SK 或 EVM 原理图时，定制电路板设计人员可能提出与 SK 或 EVM 电路实现相关的疑问。在原理图审阅期间和定制电路板调试期间，发现多个定制电路板设计的常见设计和优化错误。根据客户疑问、客户意见、内部人员建议和数据表引脚连接建议，已在 SK 或 EVM 原理图的各部分附近添加了全面的设计注释（D-Note）、审阅说明（R-Note）和 CAD 注解（CAD-Note），供定制电路板设计人员查看并遵循（实现建议以更大限度地减少电路板设计错误）。

AM62Ax 处理器系列：

以下产品概述文档列出了可下载的设计文档：

[SK-AM62A-LP 设计包文件夹和文件列表](#) [产品概述](#)

AM62D-Q1 处理器系列：

以下常见问题解答中列出了可下载的设计文档：

[[常见问题解答](#)] AM62D-Q1 : - 定制电路板硬件设计 - 关于重复使用 AUDIO-AM62D- EVM 原理图的设计和审阅说明

产品概述文档目前正在起草中。查看上述常见问题解答，或者建议定期访问 TI.com 获取最新文档。

5.2.2.2 定制电路板设计中 SK 或 EVM 设计文件的重复使用

根据定制电路板设计期间遵循的设计方法和项目时间表，可以将 SK 或 EVM 设计文件作为起点，进行必要的更新（根据定制电路板要求进行更改）。建议在实施前先审查 SK 或 EVM 原理图设计。建议根据定制电路板的功能和性能要求审阅元件的尺寸、容差和额定电压等选型参数。

以下常见问题解答涵盖 PDF 原理图以及与 SK 或 EVM 相关的其他信息：

[[常见问题解答](#)] AM62A7/AM62A3/AM62A1-Q1/AM62D-Q1 定制电路板硬件设计 - 重复使用 TI SK (EVM) 设计文件

5.2.2.2.1 SK 或 EVM 设计文件重复用于定制电路板设计 — 检查清单

通用

检查并验证定制原理图设计的以下内容：

1. 已审阅上述用户指南 “[所有章节的通用检查清单](#)” 章节。
2. 引用所选或所需 SK 或 EVM 设计文件（配套资料）的最新版本。
3. 已审阅并考虑靠近原理图部分添加的设计注释 (D-Note) 和审阅说明 (R-Note)。
4. 另存为其他项目或重新排列原理图页面或电路部分时，复位电路元件安装选项配置（不安装配置复位，所有元件均显示为已安装）。
5. 将原理图设计转换为替代 CAD 工具时，包括跨页连接在内的电路连接（连接缺失）的变化。

5.2.3 SK 或 EVM 原理图页面排序（基于功能，重复使用）和 SK 或 EVM 电路板布局布线

对于当前已发布或正在开发（未来发布）的 SK 或 EVM 原理图修订版，我们将以模块化格式排列（排序）原理图页面，以便于重复使用。原理图页面流程从必需的页面开始，包括处理器电源生成、处理器电源和外设连接、所连接器件的电路实现。在必需的页面之后添加了可选的调试和监测部分。这种安排有助于定制电路板设计人员在定制电路板设计期间删除未使用的原理图部分。

SK 或 EVM 电路板设计实现采用扁平架构，处理器和所连接器件集成在同一电路板上。定制电路板设计人员在设计扁平架构定制电路板时可以遵循 SK 或 EVM 实现。如果客户电路板架构采用 SOM (模块上系统) 和载板，则电路板布局布线方法（信号布线要求）、建议可能会发生变化。建议客户验证以下指南，同时遵循通用 SOM 设计和布局布线指南，以解决电路板级信号完整性问题：

1. SOM 和载板之间的信号连接（高速、差分信号）（包括极性）
2. 选择高速信号在电路板之间传输时不会影响电路板功能或性能的高速连接器（较低接触电阻和电感）
3. 在连接器上的信号之间提供足够数量的接地焊盘配置以屏蔽信号，从而优化电路板性能（更大限度地减少与信号完整性相关的问题）
4. 提供了存储器和其他高速或低速外设的建议或所需端接
5. 满足了 SOM 和载板信号之间的失效防护运行要求
6. SOM 和载板之间连接电路实现的完整性
7. SOM 和载板信号之间的 IO 电平兼容性
8. 与可悬空的处理器接口的任何处理器 IO 或所连接器件 IO 均已提供并联拉电阻配置，并且已验证极性
9. 在电路板构建（SOM 和载板）开始之前已执行所需的仿真

有关高速设计（包括基于 SOM 的设计）的其他输入，请参阅以下常见问题解答：

[[常见问题解答](#)] AM625/AM623/AM620-Q1/AM62L/AM64x/AM243x (ALV)/AM62Ax/AM62D-Q1/AM62Px 电路板布局布线 – 通用高速布局布线指南文档链接

5.3 处理器特定 SDK

如果针对新平台进行定制电路板设计或针对现有平台进行更新，建议使用 TI.com 上软件开发工具的最新版本/修订版。

AM62Ax 处理器系列：

请参阅以下链接，下载所需的 SDK 版本：

[PROCESSOR-SDK-AM62A](#)

PROCESSOR-SDK-LINUX-AM62A : Linux SDK，适用于 AM62A 的边缘 AI 应用程序

MCU-PLUS-SDK-AM62A : 适用于 AM62A 的 MCU+ SDK – RTOS、No-RTOS

请参阅 **AM62A 软件构建表 (AM62Ax 处理器系列所支持功能的构建表)**。

如果使用较旧的版本/修订版，建议使用版本说明验证兼容性，或联系 TI (通过 E2E) 。

AM62D-Q1 处理器系列：

请参阅以下链接，下载所需的 SDK 版本：

[AM62D-AWE-SDK — 适用于 AM62D 的 AudioWeaver 音频 SDK](#)

5.4 开始定制电路板设计之前的一般设计建议 (须知)

5.4.1 处理器文档

在定制电路板设计周期中，建议参考/使用最新版本的配套资料/文档，示例包括处理器特定数据表、器件勘误表、TRM 和其他常用参考设计配套资料。请定期查看 TI.com 上的处理器特定产品页面，查找最新的可用文档修订版或添加的新文档。

文档搜索提示：在文档中搜索 **recommended**、**Required**、**do not**、**note**、**pin connectivity** 等字词。处理器的重要条件通常包含其中一个或多个词语。

获取更新信息的技巧：在 TI.com 的处理器产品页面上，有一个 **通知按钮**。在此按钮处注册便可启用关于处理器文档更改的自动通知。

TI.com 上提供了处理器特定数据表或其他配套资料的最新修订版。建议在内部存档较旧的版本以供将来使用。

5.4.2 处理器引脚属性 (引脚排列) 验证

验证定制电路板设计中使用的处理器引脚的以下属性：

- 处理器引脚编号标注和命名（与处理器符号章节关联的引脚编号）与处理器特定数据表 **引脚属性** 一节中列出的正确引脚编号相对应。建议在符号内部保留处理器特定数据表名称，并根据应用用例更改功能（网）名称。
- 连接至处理器电源引脚的电源电压遵循建议运行条件。
- 原理图中显示了处理器的所有引脚（按功能分组并具有单独的符号块，包括保留的引脚），以更大程度地减少工具相关错误和功能错误。
- 复位期间和复位后，多个处理器 IO TX (输出) 和 RX (输入) 缓冲器会禁用，并且内部拉电阻（上拉和下拉电阻）会关闭。建议配置外部拉电阻（ $10\text{k}\Omega$ 或 $47\text{k}\Omega$ ），以便在软件初始化 IO、布线连接且 IO 未主动驱动前使任何附加器件保持有效状态。当 TP 连接至处理器 IO 时，建议使用一个并联拉电阻 ($47\text{k}\Omega$)。当添加拉电阻不可行时，建议使布线远离高频信号。
- 为提升定制电路板性能，可考虑预留处理器电源轨（电压）外部测量、电源轨电流消耗测量以及板载热点温度测量的配置方案。

有关处理器特定数据表中引脚属性的相关问题，请参见以下常见问题解答：

[常见问题解答] [AM625/AM623/AM620-Q1/AM62L/AM62A/AM62P/AM62D-Q1/AM64x/AM243x 设计建议/定制电路板硬件设计 - 与 SOC 数据表引脚属性电子表格格式相关的疑问](#)

5.4.3 器件比较、IOSET 和电压冲突

比较表中所列特性的可用性是共享 IO 引脚的功能，其中与许多特性相关的 IO 信号会多路复用到有限数量的引脚。建议使用 **SysConfig-PinMux** 工具为引脚分配信号功能。**SysConfig-PinMux** 工具可以更好地理解与引脚多路复用相关的限制。

处理器外设使用分组为 **IOSET** 的 IO 进行时序闭合。**IOSET** 是特定于某个接口的信号分组，这些信号作为一组进行时序闭合。建议任何具有 **IOSET** 的接口都从同一 **IOSET** 中选择所有接口信号。某些接口信号可以通过多个 **IOSET** 共享。**SysConfig-PinMux** 工具中详细介绍了支持特定外设的 **IOSET** 引脚有效组合。

电压冲突：

信号按功能 IO 域而不是按电源域分组。使用某些外设 IO 配置可能会遇到电压冲突警告。警告是为了突出显示 IO 的首选电压与配置电压之间的差异，以便定制电路板设计人员可以在发生实际电压冲突时采取必要的措施。该警告在对来自不同电领域的 GPIO 信号进行分组时非常有用，因为当前工具配置仅允许每个外设使用一个首选电压。任何包含具有不同电压电平的 IO (引脚) 的外设都会显示警告。显示警告的原因是首选电压与 IO (引脚) 电压不同 (例如：引脚电压为 1.8V 时，首选电压为 3.3V)。只要所选 IO (引脚) 的预期电压为 1.8V，就可以抑制该警告。冲突指示并非硬件问题或工具错误，而是通知首选电压与配置的 IO (引脚) 电压不同。该警告仅用于突出显示首选工作电压与选定 (配置) 工作电压之间的冲突。只要用户了解冲突的原因，就可以抑制警告。

有关电压冲突和 **IOSET** 的信息，请参阅以下常见问题解答：

[常见问题解答] [AM625/AM623/AM620-Q1/AM62L/AM62A/AM62P/AM62D-Q1/AM64x/AM243x 设计建议/定制电路板硬件设计 — 与 SysConfig-PinMux IOSET 和电压冲突相关的疑问](#)

5.4.4 RSVD 预留引脚 (信号)

名为 **RSVD** 的引脚被预留。建议按照处理器特定数据表中的建议，将 **RSVD** 引脚保持未连接状态 (无测试点 (TP))。

建议将 **RSVD** 引脚保持未连接状态 (请勿连接任何 PCB 布线或测试点)。

有关更多信息，请参阅以下常见问题解答：

[常见问题解答] [AM625/AM623/AM620-Q1/AM625-Q1/AM625SIP : 定制电路板硬件设计 — RSVD 引脚的连接建议](#)

这是通用常见问题解答，也可用于 AM62A7、AM62A7-Q1、AM62A3、AM62A3-Q1、AM62A1-Q1 和 AM62D-Q1 系列处理器。

5.4.5 PADCONFIG 寄存器注意事项

许多处理器 IO (LVCMOS 或 SDIO 缓冲器类型) 支持在同一引脚上多种 (不同) 功能的多路复用。可以从支持的多种功能中选择所需的 IO 功能。处理器特定数据表中引脚属性表的信号名称列中列出了每个 IO (焊盘) 上可用功能的列表。

使用相关 (关联) 焊盘配置寄存器的 **MUXMODE** 字段配置所需的功能。**PADCFG_CTRL0_CFG0_PADCONFIG0** 至 **PADCFG_CTRL0_CFG0_PADCONFIG150** 寄存器支持 (可用于) 处理器 MAIN 域中 IO 的信号多路复用，**MCU_PADCFC_CTRL0_CFG0_PADCONFIG0** 至 **MCU_PADCFC_CTRL0_CFG0_PADCONFIG33** 寄存器支持 (可用于) 处理器 MCU 域中 IO 的信号多路复用。

处理器特定 **TRM** 焊盘配置寄存器一节、焊盘配置寄存器功能说明小节的焊盘配置寄存器位说明表汇总了位字段说明、支持的配置和 **PADCONFIG** 寄存器的复位值。配置 **PADCONFIG** 寄存器时，建议审阅并遵循表末尾列出的注释。在没有为与相应 **PADCONFIG** 寄存器关联的引脚提供有效逻辑输入的情况下，建议不要 (切勿) 设置 **RXACTIVE** 位。悬空输入可能会损坏处理器 IO 或影响处理器的可靠性。**ST_EN** 位默认已设置。建议验证 **ST_EN** 位，并在该位值复位为 0 时将其设置为 1。建议不要修改该位的默认值。处理器特定 **TRM** 焊盘配置寄存器一节、焊盘配置 **PADCONFIG** 寄存器小节的焊盘配置 **PADCONFIG** 寄存器表中列出了所有 **PADCONFIG** 寄存器默认配置的汇总。

有关更多信息，请参阅以下常见问题解答：

[常见问题解答] AM625/AM623/AM620-Q1/AM62L/AM64x/AM243x (ALV)/AM62Ax/AM62D-Q1/AM62Px 设计建议/定制电路板硬件设计 — PADCONFIG 位和 PADCONFIG 寄存器默认值汇总信息

5.4.6 针对失效防护操作的处理器 IO (信号) 隔离

建议将处理器 IO 组 IO 电源和所连接器件（或者 FPGA、MCU 或处理器）的 IO 电源接入同一电源供电，以确保不会出现与失效防护运行相关的违规情况。当处理器与所连接器件或额外处理器连接到不同的电源（由不同的电源供电）时，建议进行信号隔离，因为许多处理器 IO 都不具备失效防护功能。建议通过 FET 总线开关电路连接信号，该电路设计用于在 IO 电源对作为输入连接的器件无效时自动隔离这两个器件。建议 FET 总线开关和控制逻辑由常开电源供电，并且仅由多个（不同）电源的电源正常信号的“与”函数启用。

5.4.7 引脚连接要求和对处理器特定 SK 或 EVM 的参考

处理器特定数据表的信号说明和引脚连接要求部分包含特定于处理器系列的外设、IO 和引脚（功能）连接建议。

当处理器特定数据表不包含具体的连接要求时，可参考处理器特定 SK 或 EVM。

5.4.8 定制电路板高速接口设计指南

有关 USB2.0 和 CSI-RX 信号连接和布线的建议，请参阅 [高速接口布局布线指南](#)。建议包含与定制电路板设计期间应遵循的布线要求相关的适当约束或注释。

对于 USB 接口，当定制电路板预计将在恶劣的工业环境中工作时，可以选择添加共模来提高定制电路板 USB 接口的防噪性能。添加共模扼流圈可以降低信号振幅并降低 USB 接口性能（速度、数据吞吐量，通信错误）。建议添加使用 0Ω 电阻器旁路共模扼流圈的配置。建议根据应用要求为 USB 接口和 USB 电源添加外部 ESD 保护配置。

有关更多信息，请参阅以下常见问题解答：

[常见问题解答] AM625/AM623/AM620-Q1/AM62L/AM64x/AM243x (ALV)/AM62Ax/AM62D-Q1/AM62Px 电路板布局布线 – 通用高速布局布线指南文档链接

5.4.9 对 LVC MOS (GPIO) 输出拉电流或灌电流的建议

处理器 IO 拉出且配置为输出的直流电流输出需要保持为小于定义的最大 I_{OH} 和 I_{OL} 值，以实现电气特性表中定义的 V_{OL} 最大值和 V_{OH} 最小值。处理器特定数据表中定义的输出电流不应用作稳态电流的限制值。仅当对信号电容进行充电或放电以将信号从低电平转换为高电平或从高电平转换为低电平时，才可达到数据表中定义的输出电流限制值。一旦信号达到有效逻辑状态，稳态电流预计会远低于数据表中定义的电流限制值。输出可承受一定水平的稳态电流，以满足过驱典型上/下拉电阻的需求，但并不期望其承受较大的稳态电流，例如持续驱动 LED 或类似负载所需的电流。建议使用由处理器 IO 控制的外部 FET 或晶体管开关来驱动 LED 或可能消耗连续电流的类似负载。

5.4.10 将慢速斜升信号（输入）或电容器负载（输出）连接到处理器 IO

LVC MOS (SDIO) 输入指定了压摆率要求（作为电气规格的一部分）。不建议将慢速斜升输入（信号）直接连接到 LVC MOS (SDIO) 输入。如果施加的输入（信号）在 V_{IHSS} 和 V_{ILSS} 之间的电压区域停留更长时间，那么输入缓冲器可能存在长期可靠性问题（隐患）。允许（建议）的转换时间小于 1000ns 。压摆率与频率相关。当信号切换速率不高（非频率相关限值）时，建议的最大压摆率为 1000ns 。如果 IO 在 1.8V （举例说明）电压下工作，当信号切换速率 $< 100\text{kHz}$ 时， $1.8\text{E}+6\text{V/s}$ 的非频率相关限值将变为较大的值。当信号切换速率 $> 100\text{kHz}$ 时， 18fV/s ($f =$ 输入信号的切换频率，以 Hz 为单位) 的频率相关限值将变为较大的值。当施加慢速斜升输入时（当输入为 $1/2 V_s$ 时），击穿电流可从 VDD 通过部分导通的 P 沟道晶体管和部分导通的 N 沟道晶体管流向 VSS 。长期暴露于慢速斜升输入会导致 IO 性能、电路板性能或处理器可靠性问题。

不建议在 LVC MOS (SDIO) 输出端直接连接大型电容器。LVC MOS (SDIO) 输出缓冲器不适用于驱动大型电容负载。当 LVC MOS (SDIO) 类型 IO 配置为输出并在输出端连接电容器时，建议根据处理器特定数据表的建议选择允许的电容值或添加串联电阻器，以限制 IO 电流消耗。建议执行仿真以最终确定电容值。

5.4.11 定制电路板设计期间与处理器和处理器外设设计相关的疑问

在定制电路板设计过程中，可能会出现与处理器和处理器外设相关的问题（疑问）。建议针对与处理器和处理器外设相关的疑问发起 E2E 提问，以寻求器件专家的支持。建议在 E2E 查询中输入与设计、外设或特定主题等特定章节相关的查询内容，以尽量缩短问题分配时间和应答延迟。

5.4.12 开始进行定制电路板设计之前的通用设计建议（须知）检查清单

通用

检查并验证定制原理图设计的以下内容：

1. 已审阅上述用户指南“所有章节的通用检查清单”章节。
2. 引用所选 SK 或 EVM 设计的最新版本。
3. 请参阅 TI.com 上的相关配套资料，更大限度地减少设计误差（设计工作量）。
4. 定制电路板原理图上使用的处理器原理图符号遵循处理器特定数据表引脚属性部分中针对特定外设的焊球名称、引脚编号和 IOSET 分组建议。
5. 考虑了所需的 IO 功能和 PADCONFIG 配置。
6. 根据用例缓冲处理器 IO（输出）以驱动更高的负载。
7. 考虑了处理器 IO 的失效防护运行和输出电容负载要求。
8. 建议经常查看 TI.com 产品页面，了解（感兴趣文档的）最新文档版本。
9. 建议使用 E2E（寻求澄清，而非自行假设）。

5.4.13 附加器件建议

TI 不为定制电路板设计提供具体的附加器件建议。

建议参考处理器特定数据表的 DDR 电气特性部分选择 LPDDR4 存储器。

与 MMC0 关联的 MMCSD 主机控制器和 PHY 设计为符合处理器特定数据表（和 TRM）中所述的标准。选择 eMMC 时，建议参考处理器特定数据表的“MMC0 - eMMC/SD/SDIO 接口”部分。

定制电路板设计器件，有关 EVM 和 SK 所用关键器件（元件）的信息，请参阅以下常见问题解答：

[常见问题解答] AM625/AM623/AM620-Q1/AM62Ax/AM62Px/AM62D-Q1/AM62L/AM64x/AM243x 设计建议/定制电路板硬件设计 - 入门套件/EVM 型号（版本）和关键器件（元件）列表

6 针对电源、时钟、复位、引导和调试的处理器特定建议

备注

在定制电路板设计周期内，建议遵循 [使用 AM62A7、AM62A7-Q1、AM62A3、AM62A3-Q1、AM62A1-Q1 和 AM62D-Q1 处理器系列进行定制电路板设计时的硬件设计注意事项](#) 用户指南以及原理图设计指南和原理图审阅检查清单用户指南。

6.1 通用（处理器启动）连接

6.1.1 电源

在选择或设计处理器电源架构时，建议考虑以下列出的指南：

- 每个电源轨的电流（电源）要求因使用的接口和工作环境而异。
- 处理器电源轨的电流消耗可以通过功耗估算工具 (PET) 针对特定用例进行估算。
- 如果电源轨为其他板载连接（外设）器件供电，则考虑所连接器件的最大电流消耗以确定电源轨的尺寸。
- 有关电源规格和处理器电源轨最大额定电流的信息，请参阅 [AM62Ax 最大额定电流](#)。建议经常查看相关处理器产品页面以了解更新文档的可用性。
- 建议验证所选电源架构（包括 PMIC、分立式直流/直流转换器和分立式 LDO）的输出额定电流是否满足所选处理器和所连接器件的最大电流额定电流。建议为设计或制造差异添加额外的裕度。

- 建议验证电源序列（加电和断电）和电源压摆率是否遵循处理器特定数据表。有关建议的电源时序要求，请参阅处理器特定数据表的电源时序一节。

有关处理器建议运行条件 (ROC) 的更多信息，请参阅以下常见问题解答：

[常见问题解答] AM625/AM623/AM620-Q1/AM62Ax/AM62D-Q1/AM62Px/AM62L/AM64x/AM243x 设计建议/定制电路板硬件设计 — SOC ROC 建议运行条件

以下是选择或设计处理器电源架构时应考虑的一些指南：

- 电源轨配置为所需的工作电压电平，并且电源输出在处理器建议运行条件范围内。
- 电源架构遵循处理器特定数据表规定的加电与断电序列。
- 电源架构符合处理器特定数据表规定的电源轨压摆率要求。
- 在释放 MCU_PORz 输入（置为无效）之前，所有电源均斜升并稳定。
- 处理器电源斜升和 MCU_PORz 输入高电平之间的延迟遵循处理器特定数据表建议（最小值为 9.5ms）。
- 建议确保仅在冷复位期间电源电压斜降至 300mV 以下（无残余电压）时使能电源。
- 所有电源轨均衰减至 300mV 以下（没有与要求相关的时间或衰减电压容差），然后方可允许任何电源轨在断电加电循环后斜升。
- MCU_PORz 输入压摆率应尽可能小，以避免内部复位电路干扰（建议通过分立式推挽输出型缓冲器以最小压摆率连接 MCU_PORz 输入）。

有关残余电压和检测的信息，请参阅以下常见问题解答：

[常见问题解答] AM625/AM623/AM620-Q1/AM62L/AM62A/AM62P/AM62D-Q1/AM64x/AM243x 设计建议/定制电路板硬件设计 — 与残余电压、检测和电源衰减相关的疑问

备注

有关如何连接电源轨和名为 RSVD 的处理器信号，请阅读处理器特定数据表引脚连接要求部分开头的注释。

6.1.1.1 内核和外设电源

为确保正常运行，建议将所有电源引脚（焊球）连接到处理器特定数据表建议运行条件一节中建议的电源电压。处理器特定数据表的引脚连接要求一节列出了具有特定连接要求的电源引脚。

备注

无法单独为 MCU 域与主域供电。处理器系列不支持（无法实现）单独的 MCU 与主电源域。所有电源引脚（电源轨）均需通电，并且建议其遵循处理器特定数据表中定义的电源序列。MCU 域与主域的概念适用于内部功能与处理器域。

备注

关于 VDD_CANUART 电源的连接，请参阅下面用户指南的部分 IO (低功耗) 模式配置的电源连接一节。

建议使用同一电源为处理器内核电源 VDD_CORE 和外设内核电源 VDDA_CORE_CSIRX0、VDDA_CORE_USB 以及 VDDA_DDR_PLL0 供电，这些电源可配置为在 0.75V 或 0.85V 电压下工作（建议运行条件 (ROC) 规定的额定工作电压）。当处理器内核电源和外设内核电源在 0.75V 电压下工作时，建议在 0.85V 电源之前斜升 0.75V 电源。

VDDR_CORE 的额定工作电压为 0.85V。当 VDD_CORE 在 0.85V 下运行时，建议将 VDD_CORE 和 VDDR_CORE 一起斜升（由同一电源供电）。

建议始终连接 VDDS_OSC0 和 VDDA MCU 电源。

该处理器系列支持多个模拟电源引脚，这些引脚可为 VDDA_MCU、VDDA_PLLx [x = 0-4]、VDDA_1P8_CSIRX0 和 VDDA_1P8_USB 等敏感模拟电路供电。建议使用滤波（铁氧体）电源。

建议将 VDDA_3P3_USB 连接到 3.3V 模拟电源以支持 USB2.0 接口。

更多信息，请参阅处理器特定数据表的建议运行条件部分和电源时序部分。

6.1.1.1 电源斜升（压摆率）要求和动态电压调节

对于所有处理器电源，建议允许受控的电源斜升（遵循电源压摆要求）。有关更多信息，请参阅处理器特定数据表的电源转换率要求部分。

该处理器（系列）不支持对处理器内核、外设内核和外设模拟电源进行动态电压调节（更改）。

有关更多信息，请参阅以下常见问题解答：

[常见问题解答] AM625/AM623/AM620-Q1/AM62Ax/AM62Px/AM62D-Q1/AM62L/AM64x/AM243x 设计建议/定制电路板硬件设计 — SOC 内核(VDD_CORE)、外设内核和模拟电源的动态电压调节

6.1.1.2 其他信息

有关处理器电源时序要求的信息，请参阅以下常见问题解答：

[常见问题解答] AM625/AM623/AM620-Q1/AM625-Q1/AM625SIP：定制电路板硬件设计 — 上电和下电的处理器电源时序要求

这是通用常见问题解答，也可用于 AM62A7、AM62A7-Q1、AM62A3、AM62A3-Q1、AM62A1-Q1 和 AM62D-Q1 系列处理器。

有关使用铁氧体进行处理器电源轨滤波的信息，请参阅以下常见问题解答：

[常见问题解答] AM625/AM623/AM620-Q1/AM625-Q1/AM625SIP 定制电路板硬件设计 — 针对 SoC 电源轨的铁氧体（电源滤波器）建议

这是通用常见问题解答，也可用于 AM62A7、AM62A7-Q1、AM62A3、AM62A3-Q1、AM62A1-Q1 和 AM62D-Q1 系列处理器。

6.1.1.3 处理器内核和外设内核电源检查清单

通用

检查并验证定制原理图设计的以下内容：

1. 已审阅上述用户指南“所有章节的通用检查清单”章节。
2. 处理器内核 VDD_CORE 以及外设内核 VDDA_CORE_CSIRX0、VDDA_CORE_USB 和 VDDA_DDR_PLL0 电源轨的连接。
3. 处理器内核和外设内核电源轨的建议运行条件、压摆率和电压序列要求。
4. VDD_CORE 电源为 0.75V 或 0.85V 时，VDD_CORE 和 VDDR_CORE 的连接。
5. 外设内核电源滤波器。
6. 未使用特定外设内核电源的连接。
7. 未使用特定外设但需要边界扫描功能时，外设内核电源 VDDA_CORE_CSIRX0 (CSIRX0) 的连接。

原理图审阅

定制原理图设计请遵循以下列表：

1. 建议将电源轨的大容量电容器和去耦电容器实现与 SK 或 EVM 原理图实现进行比较，或参阅 PDN 应用手册。
2. 连接到处理器内核电源的电源轨工作电压遵循建议运行条件。
3. 建议将 0.75V 或 0.85V 电源电压施加到处理器内核 VDD_CORE 以及外设内核 VDDA_CORE_CSIRX0、VDDA_CORE_USB 和 VDDA_DDR_PLL0 电源轨工作电压。

4. 连接到相关电源引脚的处理器内核和外设内核电源轨遵循建议的电压序列。请参阅处理器特定数据表的加电时序—电源/信号分配部分，了解使用部分 IO 低功耗模式和未使用部分 IO 低功耗模式时内核电源的时序。
5. 电源轨的压摆率遵循数据表要求。
6. 在加电或断电期间，施加到 VDDR_CORE 的电位绝不能超过施加到 VDD_CORE 的电位 +0.18V。当 VDD_CORE 工作电压为 0.75V 时，该时序要求 VDD_CORE 在 VDDR_CORE 之前斜升并在 VDDR_CORE 之后斜降。
7. 建议在 VDD_CORE 以 0.85V 电压运行时使用同一电源为 VDD_CORE 和 VDDR_CORE 供电。
8. 根据 SK 或 EVM 原理图实现，为外设内核电源（CSI、USB、CANUART）提供了铁氧体滤波器。
9. 根据引脚连接要求，当未使用特定外设时的内核电源连接。
10. 当未使用外设但需要边界扫描功能时，外设电源（适用于 CSIRX0 的 VDDA_CORE_CSIRX0）的连接须遵循数据表引脚连接要求。铁氧体和大容量电容器对于外设内核电源是可选项。

其他

1. 建议添加一个 0Ω 电阻器或跳线，以便在内核电源的 PMIC 直流/直流或 LDO 输出端进行隔离或电流测量。建议添加 TP 进行测量。建议遵循开尔文电流检测连接来连接 TP。根据电源轨电流和电阻载流电容器选择电阻器封装。
2. 不支持（不建议或不允许）内核电源的动态电压调节（DVS）。
3. 器件从复位状态释放后，不允许更改内核电压。如果内核电源关闭，则建议根据断电序列斜降所有电源轨，并等待所有电源轨衰减至 300mV 以下，然后接通电源。
4. 当 USB 驱动程序未初始化且 USB 校准过程未发生时，连接电源并保留所有 USB 引脚对于 USB0 和/或 USB1 是可以接受的。当两个 USB 接口均未使用时，根据引脚连接要求将 USB 电源接地可降低功耗（如果低功耗是一项关键要求）。

6.1.1.4 外设模拟电源检查清单

通用

检查并验证定制原理图设计的以下内容：

1. 已审阅上述用户指南“所有章节的通用检查清单”章节。
2. 建议的电源电压将连接到外设模拟电源轨 VDDS_OSC0、VDDA MCU、VDDA_PLL0、VDDA_PLL1、VDDA_PLL2、VDDA_PLL3、VDDA_PLL4、VDDA_1P8_CSIRX0、VDDA_1P8_USB、VDDA_TEMP0、VDDA_TEMP1、VDDA_TEMP2。
3. 3.3V USB 模拟电源 VDDA_3P3_USB 的连接。
4. 外设模拟电源轨的建议运行条件、压摆率和电压序列要求。
5. 外设模拟电源滤波器。
6. 未使用特定外设时外设模拟电源的连接。
7. 未使用特定外设但需要边界扫描功能时，外设模拟电源（适用于 CSIRX0）的连接。

原理图审阅

定制原理图设计请遵循以下列表：

1. 建议将电源轨的大容量电容器和去耦电容器实现与 SK 或 EVM 原理图实现进行比较。
2. 连接到外设电源的电源轨工作电压遵循建议运行条件。
3. 建议的 1.8V 电源电压将连接到外设模拟电源轨 VDDS_OSC0、VDDA MCU、VDDA_PLL0、VDDA_PLL1、VDDA_PLL2、VDDA_PLL3、VDDA_PLL4、VDDA_1P8_CSIRX0、VDDA_1P8_USB、VDDA_TEMP0、VDDA_TEMP1、VDDA_TEMP2。
4. 建议将电源轨 VDDA_3P3_USB 连接到 3.3V 模拟电源，以支持 USB2.0 接口。
5. 连接到相关电源引脚的处理器模拟电源轨遵循建议的电压序列。有关模拟电源时序控制，请参阅处理器特定数据表的加电时序—电源/信号分配部分。
6. 模拟电源轨的压摆率遵循数据表要求。

7. 根据 SK 或 EVM 原理图实现，为外设模拟电源 (CSI、PLL、USB (1.8V)、MCU_OSC0) 提供了滤波器 (铁氧体)。
8. 根据引脚连接要求，当未使用特定外设时的外设模拟电源连接。
9. 根据引脚连接要求，当未使用特定外设但需要边界扫描功能时，外设模拟电源 (适用于 CSIRX0 的 VDDA_1P8_CSIRX0) 的连接。铁氧体和大容量电容器是可选项。

其他

1. 建议添加一个 0Ω 电阻器或跳线，以便在模拟电源的 PMIC 直流/直流转换器或 LDO 输出端进行隔离或电流测量。建议添加 TP 进行测量。建议遵循开尔文电流检测连接来连接 TP。根据电源轨电流和电阻载流电容器选择电阻器封装。
2. 不支持 (不建议或不允许) 模拟电源的动态电压调节 (DVS)。
3. 当 USB 驱动程序未初始化且 USB 校准过程未发生时，连接电源并保留所有 USB 引脚对于 USB0 和/或 USB1 是可以接受的。当两个 USB 接口均未使用时，根据引脚连接要求将 USB 电源接地可节省电力。

6.1.1.2 IO 组的 IO 电源

下面的常见问题解答包含有关 CAP_VDDSn 电容值的建议，以及电容器组件 (安装或短路) 的影响：

[常见问题解答] AM625/AM623/AM620-Q1/AM62L/AM62Ax/AM62D-Q1/AM62Px/AM64x/AM243x 设计建议/定制电路板硬件设计 - 与 CAP_VDDSw CAP_VDDs 相关的问题

备注

有关 VDDSHV_CANUART 电源连接，请参阅用户指南中的以下章节：部分 IO (低功耗) 模式配置的电源连接。

这些处理器系列支持 9 (九) 组 IO 组 (VDDSHVx [x = 0-6]) 的双电压 IO 电源、IO 组 CANUART (VDDSHV_CANUART) 的 IO 电源和 IO 组 MCU (VDDSHV_MCU) 的 IO 电源。每组 IO 组 IO 电源均连接 (对应) 至一组固定的 IO。IO 组的每组 IO 电源均可独立连接至固定的 (VDDSHV4、VDDSHV5、VDDSHV6 支持动态电源切换) 3.3V 或 1.8V 电源。IO 组的 IO 电源定义了整组 (一组固定) IO 的通用工作电压。

指定为 CAP_VDDSn [n = 0-6]、CAP_VDDs_CANUART 和 CAP_VDDs_MCU 的处理器焊盘 (引脚) 在 IO 组的 IO 电源连接到 3.3V 电源时，将外部电容器连接到内部 IO 组的 IO 电源稳压器 (当 IO 组的 IO 电源连接到 1.8V 时为可选)。建议在引脚和 VSS 之间连接一个 $1\mu F$ 的电容器 (详见处理器特定数据表)。有关建议的电容器额定电压和允许的电容范围，请参阅处理器特定数据表。当 IO 组的 IO 电源连接到 3.3V 时，稳态直流输出为 $VDDSHVx/2$ ，在选择电容器的额定电压时应考虑此电压及直流偏置效应。

为了更大限度地降低 PCB 环路电感，请将电容器放置在 BGA 阵列 PCB 背面。电容器额定电压的选择会影响电容器封装 (尺寸) 的选择。

建议选择 $ESR < 1\Omega$ 的电容器，将布线环路电感保持在 $< 2.5nH$ 。

6.1.1.2.1 其他信息

许多处理器 IO 不具备失效防护功能。有关可用失效防护 IO 的信息，请参阅处理器特定数据表。建议将附加器件的 IO 电源连接至接入 IO 组相应处理器双电压 IO 电源 (VDDSHVx) 的同一电源，以确保定制电路板设计不会向未供电的任何处理器 IO 施加电位。若在 IO 组的 IO 电源不可用时向没有失效防护功能的 IO 施加外部输入，可能会影响处理器功能、性能和可靠性。

有关处理器和附加器件之间电源时序的更多要求，包括用于失效防护操作的信号隔离的信息，请参阅以下常见问题解答：

[常见问题解答] AM625/AM623/AM620-Q1/AM625-Q1/AM625SIP : 定制电路板硬件设计 - SOC (处理器) 和附加器件 (失效防护) 之间的电源时序

这是通用常见问题解答，也可用于 AM62A7、AM62A7-Q1、AM62A1-Q1、AM62D-Q1 和 AM62D-Q1 系列处理器。

备注

建议确保在将输入施加到相关处理器 IO 或外设之前，VDDSHVx 存在有效的电源电压。

建议无论处理器 IO 或外设如何使用，都连接 VDDSHVx 电源和相关的 CAP_VDDSn (连接的 IO 电源为 3.3V 时，可选 1.8V) 电容器。

6.1.1.2.2 IO 组 IO 电源检查清单

通用

检查并验证定制原理图设计的以下内容：

1. 已审阅上述用户指南 “所有章节的通用检查清单” 章节。
2. IO 组 IO 电源的连接。
3. 处理器 IO 组 IO 电源的建议运行条件、电压序列和压摆率要求。
4. IO 组引脚的建议外部电容器连接。CAP_VDDSn 电容器额定电压选择。

原理图审阅

定制原理图设计请遵循以下列表：

1. 建议将电源轨的大容量电容器和去耦电容器实现与 SK 或 EVM 原理图实现进行比较。
2. 根据建议运行条件，有效的固定 1.8V/3.3V 电源连接到所有 IO 组 IO 电源 (VDDSHV_CANUART、VDDSHV MCU、VDDSHV0、VDDSHV1、VDDSHV2、VDDSHV3)。
3. 根据建议运行条件，有效电源 1.8V/3.3V (可动态切换) 连接到 VDDSHV4、VDDSHV5、VDDSHV6。
4. 所有 IO 组 IO 电源 VDDSHVx 均已连接一个有效的电源，无论使用何种以 IO 组 IO 电源为基准的 IO。
5. 连接到 IO 组 IO 电源 VDDSHVx 的电源轨遵循建议运行条件。
6. 处理器 IO 组 IO 电源遵循的压摆率要求。请参阅处理器特定数据表。
7. 建议电容器到 CAP_VDDSn 引脚和 VSS 的连接。每个 CAP_VDDSn 引脚都需要一个相对于 VSS (接地) 连接的单独 1 μF 电容器 (对于内部 LDO，在 CAP_VDDSn 引脚和 VSS 之间)。
8. CAP_VDDSn 电容器封装 (建议使用尽可能小的 (0201 或更接近 0201 的封装大小) 封装，以更大限度地减小环路电感)。
9. 电容值在 0.8 μF 至 1.5 μF 范围内所选 CAP_VDDSn 电容器的额定电压 (包括：老化、温度以及直流偏置效应)。使用 10V 或更高电压。
10. 选择 < 1 Ω ESR 的 CAP_VDDSn 电容器，将布线环路电感保持在 2.5nH 以下。
11. IO 电源电压序列遵循符合处理器特定数据表的加电与断电序列。

其他

1. 建议添加一个 0 Ω 电阻器或跳线，以便在 IO 电源轨的 PMIC 直流/直流转换器或 LDO 输出端进行隔离或电流测量。建议添加 TP 进行测量。建议遵循开尔文电流检测连接来连接 TP。根据电源轨电流和电阻载流电容器选择电阻器封装。
2. 在 VDDSHVx IO 电源轨由 3.3V 电源供电的用例中，所有以 VDDSHVx 为基准 (由其供电) 的 IO 需要在 3.3V IO 电平下运行。如果 VDDSHVx 电源轨由 1.8V 电源供电，则所有以 VDDSHVx 为基准 (由其供电) 的 IO 均需要在 1.8V IO 电平下运行。
3. 一些接口涵盖多个 VDDSHVx，例如 MMC2 和 GPMC0。使用任意一个接口时，所有支持特定接口 (外设) 的 VDDSHVx 域都需要通过相同的电源供电。
4. 许多处理器 IO 不具备失效防护功能。不建议也不允许在相应的 VDDSHVx 电源关闭时向 IO 施加输入电压。
5. 建议验证每个 VDDSHVx (或 VDDSHV MCU) 上的所有 IO 引脚是否连接到单一电压电平。
6. 不建议将 VDDSHVx 导轨保持未连接状态。建议根据用例将 IO 组 IO 电源的引脚连接到 1.8V 或 3.3V。

6.1.1.3 VPP 电源 (电子保险丝 ROM 编程)

建议用于对处理器电子保险丝进行编程的 VPP (电子保险丝 ROM 编程) 电源由独立的 LDO 提供 (供电)，该 LDO 可支持所需的 (请参阅处理器特定数据表) 负载电流、负载电流瞬变和有源 (快速) 输出放电。建议仅在进

行电子保险丝编程期间使能 LDO。在电子保险丝编程期间，VPP 工作电压须保持在 ROC 范围内。建议采用通过更高输入电压（2.5V 或 3.3V）供电的 LDO，通过串联导通晶体管补偿压降，并且在高负载电流瞬态期间保持正确的工作电压。建议在处理器 VPP 引脚附近使用本地大容量电容器来支持 LDO 瞬态响应。

由于存在高负载电流瞬变且 VPP 电源轨需满足处理器电源的 ROC，若通过一个电压变化超出 ROC ($\pm 5\%$) 的电源轨为 VPP 电源轨供电，或者使用负载开关或基于 FET 的开关，可能会带来问题。负载开关或基于 FET 的开关拓扑未考虑通过负载开关的压降。如果定制电路板设计人员使用变化较小（相对于 ROC）的电源，则可以选择负载开关，以便确保电源变化加上通过负载开关的压降不会超过 VPP 的建议工作范围。作为替代方案，可以使用外部电源进行电子保险丝编程。其电源要求与板载 LDO 类似，建议使用一个处理器 IO 来控制外部电源的 EN（使能）时序。当使用外部 VPP 电源时，建议在处理器板上靠近 VPP 电源引脚处配置大容量电容器和去耦电容器。

有关更多信息，请参阅以下常见问题解答：

[常见问题解答] [AM625/AM623/AM620-Q1/AM625-Q1/AM625SIP：定制电路板硬件设计 — 有关 VPP eFuse 编程电源选择和应用的问题](#)

这是通用常见问题解答，也可用于 AM62A7、AM62A7-Q1、AM62A3、AM62A3-Q1、AM62A1-Q1 和 AM62D-Q1 系列处理器。

6.1.1.3.1 VPP 的电源检查清单

通用

检查并验证定制原理图设计的以下内容：

1. 已审阅上述用户指南“所有章节的通用检查清单”章节。
2. VPP 电源和电源隔离的实现方法。
3. OTP 电子保险丝编程的建议运行条件。
4. VPP 电源 (LDO EN) 控制。
5. 建议的大容量电容器和滤波电容器。
6. 外部电源的连接建议。
7. 外部 VPP 电源时序控制。
8. VPP 电源序列。
9. 不建议、不允许也不支持将 VPP 电源连接至 1.8V 连续电源轨。

原理图审阅

定制原理图设计请遵循以下列表：

1. 提供建议的大容量电容器和滤波电容器（遵循 SK 或 EVM 原理图实现）。
2. 连接到 VPP 电源的处理器电源轨（用于电子保险丝编程）遵循处理器建议运行条件。
3. 实现板载电源或提供连接外部电源与处理器板上添加的大容量电容器和去耦电容器的配置。
4. 建议使用固定输出 LDO 或 PMIC 输出（最大电流为 400mA）（不建议或不允许使用基于 FET 的开关或负载开关）。
5. 选择额定电压为 1.8V 并支持最小 400mA 电流的板载 LDO，具有良好的负载电流瞬态响应和快速输出放电（有源放电）能力。遵循 SK 或 EVM 原理图上使用的 LDO 规格。
6. 使用可调 LDO 时，建议验证输出电压配置、输出电压精度、输出电压的压摆率和输出过压保护（齐纳二极管）的使用。
7. 处理器 IO 用于控制 LDO 的 EN，并提供建议的拉电阻。
8. 建议验证 EN 拉电阻是否会在断电加电循环期间和之后使 LDO 保持关断状态。
9. 连接外部电源后，建议在处理器板上靠近处理器 VPP 引脚处添加大容量电容器和去耦电容器配置，并提供一个 TP 以连接外部电源。
10. 外部 VPP 电源（使用时）应遵循根据处理器特定数据表建议的电源序列和压摆率要求。

其他

1. 建议始终在处理器板上提供配置来连接 VPP 电源（板载或外部电源）。
2. 建议将 LDO 输出连接到具有低环路电感路径的处理器 VPP 引脚，以提供高负载电流瞬态，其中 VPP 引脚处的电源绝不会降至最低工作电压以下。
3. 该器件配有一个用于将处理器 VPP 电源与 LDO 输出隔开，以便测试时序或 LDO 输出的串联电阻器或跳线。电阻器封装的额定电流应 > 400mA。
4. 使用可调输出 LDO 时，考虑在 LDO 输出端添加一个基于外部齐纳二极管的过压保护，并提供隔离 LDO 输出连接的 VPP 电源引脚以测试 LDO 输出的配置。
5. 由于电子保险丝编程期间的负载电流瞬态要求，不建议使用负载开关或基于 FET 的开关。负载开关或基于 FET 的开关可能有未补偿的较高压降。
6. 如果用例需要使用负载开关或基于 FET 的开关，建议在编程期间测量处理器 VPP 引脚上的电压来表征电路板，并验证 VPP 电源是否不会降至低于建议运行条件最小限值。VPP 电源路径中的多个变量可能会导致电源超出建议运行条件，这些变量在实现前需要进行特征分析。检查负载开关或基于 FET 的开关是否违反处理器特定数据表中规定的最大 VPP 电源压摆率要求。
7. 在加电序列、断电序列和器件正常运行期间，建议使处理器 VPP 电源引脚悬空 (Hi-Z) 或接地。

6.1.1.4 部分 IO (低功耗) 模式配置的电源连接

6.1.1.4.1 部分 IO 模式功能

处理器加电（首次，冷复位）时，与部分 IO 功能相关的处理器电路部分被禁用。禁用部分 IO 电路后，MCU_PORz 输入信号会传播到实现部分 IO 功能的电路。在软件启用部分 IO 功能（电路）并将处理器配置为监测唤醒输入后，将阻止来自实现部分 IO 功能电路的 MCU_PORz 输入信号。这是必要的，因为当信号开始与其他处理器电源轨相关的断电序列时，PMIC 会将 MCU_PORz 输入信号置为有效。

6.1.1.4.2 使用时的部分 IO 低功耗模式

建议将 VDD_CANUART 和 VDDSHV_CANUART 连接到常开电源，以支持部分 IO 低功耗模式。

VDD_CANUART 可在 0.75V 或 0.85V 电压下工作，正常运行期间与 VDD_CORE 没有电压相关性。只有在加电和断电排序期间才存在电压相关性。

有关部分 IO 低功耗模式的实现方式，请参阅以下常见问题解答：

[常见问题解答] [AM625/AM623/AM620-Q1/AM625-Q1/AM625SIP/AM62A/AM62D-Q1/AM62P 定制电路板硬件设计 - 部分 IO LPM 支持](#)

6.1.1.4.3 未使用时的部分 IO 低功耗模式

建议将 VDD_CANUART 连接到与 VDD_CORE 相同的电源，并将 VDDSHV_CANUART 连接到任何有效的 IO 电源。

6.1.1.4.4 电源序列的处理器特定数据表参考

建议参阅处理器特定数据表的加电时序、断电时序和部分 IO 低功耗模式电源时序章节中与部分 IO 低功耗模式相关的注释。

6.1.1.4.5 部分 IO (低功耗) 模式检查清单

通用

检查并验证定制原理图设计的以下内容：

1. 已审阅上述用户指南“[所有章节的通用检查清单](#)”章节。
2. 实现部分 IO 低功耗模式功能的 VDD_CANUART 和 VDDSHV_CANUART 电源的连接。
3. 未实现部分 IO 低功耗模式功能时 VDD_CANUART 和 VDDSHV_CANUART 的连接。
4. 相对于 VDD_CORE 的 VDD_CANUART 工作电压要求。
5. VDDSHV_CANUART 和 VDD_CANUART 的建议运行条件、压摆率和电压序列要求。

原理图审阅

定制原理图设计请遵循以下列表：

1. 在实现部分 IO 低功耗模式功能时，在其他处理器电源可用之前，VDDSHV_CANUART 和 VDD_CANUART 电源已可用。
2. 当使用部分 IO 低功耗模式时，建议将 VDD_CANUART 和 VDDSHV_CANUART 连接至常开型电源。
3. 连接到 VDDSHV_CANUART 和 VDD_CANUART 的电压轨（电平）遵循复合处理器特定数据表的建议运行条件和压摆率要求。
4. 当 VDD_CANUART 连接到常开型电源时，建议向 VDD_CORE 施加的电位切勿大于在加电或断电期间施加到 VDD_CANUART + 0.18V 的电位。
5. 部分 IO 低功耗模式要求 VDD_CANUART 在 VDD_CORE 之前斜升并在 VDD_CORE 之后斜降。
6. VDD_CANUART 和 VDD_CORE 工作电压没有任何相关性（可在不同的内核电压下运行）。
7. 如果未实现部分 IO 低功耗模式，建议将 VDDSHV_CANUART 连接到有效的 1.8V 或 3.3V IO 电源。
8. 不使用部分 IO 低功耗模式功能时，VDDSHV_CANUART 和 VDD_CANUART 遵循建议的电源序列。
9. 如果未实现部分 IO 低功耗模式，建议将 VDD_CANUART 连接到与 VDD_CORE、VDDA_CORE_CSIRX0、VDDA_CORE_USB 和 VDDA_DDR_PLL0 相同的电源。

其他

1. 建议验证处理器输入与所连接器件（唤醒源）连接的输入之间的 IO 电平兼容性。
2. **部分 IO 模式功能：**处理器加电（首次，冷复位）时，与部分 IO 功能相关的处理器电路部分被禁用。禁用部分 IO 电路后，MCU_PORz 输入信号会传播到实现部分 IO 功能的电路。在软件启用部分 IO 功能（电路）并将处理器配置为监测唤醒输入后，将阻止来自实现部分 IO 功能电路的 MCU_PORz 输入信号。这是必要的，因为当信号开始与其他处理器电源轨相关的断电序列时，PMIC 会将 MCU_PORz 输入信号置为有效。

6.1.1.5 其他信息

对于初始电路板构建，建议放置与内核电源及其他电源导轨一致的 0Ω 电阻（分流器）或跳线。 0Ω 电阻（分流器）或跳线可用于在电路板启动和调试期间隔离电源或测量电流。建议添加 TP 进行测量。建议采用开尔文电流检测连接方式将 TP 连接至电阻或跳线。

采用开尔文检测连接方式连接至 INA（仪表放大器）的分流电阻器用于测量 SK 或 EVM 板上的电源轨电流。

建议评估在定制电路板上增加 0Ω 电阻（分流器）预留设计的性能影响（若采用毫欧 ($m\Omega$) 级分流（电阻）阻值进行测量，需考虑其压降效应）。

6.1.2 电源轨的电容器

6.1.2.1 AM62Ax 和 AM62D-Q1 处理器系列

建议确保已为包括双电压 IO 组电源轨 IO 电源在内的所有电源轨提供了所需数量的去耦电容器和大容量电容器（包括容值）。

建议将去耦电容器靠近处理器电源引脚放置。较大的大容量电容器可以放置在更远的位置。

建议使用低 ESL 电容器，并通过尽可能短的走线连接电容器，以大幅降低回路电感。更多信息，请参阅 [Sitara 处理器配电网路：实现与分析](#) 应用手册。

作为设计起点，建议遵循 SK 或 EVM 原理图中关于大容量电容器和去耦电容器的实现方案。建议执行仿真（PDN 分析）以优化电容器的使用。要实现滤波（铁氧体）电源，请遵循处理器特定 SK 或 EVM。此外，也请遵循 [Sitara 处理器配电网路：实现与分析](#) 应用手册。

建议使用馈通（3 端子）电容器（在 SK-AM62A-LP 和 AUDIO-AM62D-EVM 电路板上使用）来优化所用电容器的数量。使用 3 端子电容器可更大限度地减少环路电感，并可用于优化处理器性能（主要是 DDR 性能）。

6.1.2.2 其他信息

当不使用任何处理器外设实例 (CSI-2 (摄像头串行接口 2、CSIRX0) 、 DDR 子系统 (DDRSS0) 和 USB2.0 (USB0 和 USB1)) 时，与这些外设相关的电源 (外设内核、模拟) 有特定的连接要求。有关更多信息，请参阅处理器特定数据表的引脚连接要求一节。电源滤波器 (铁氧体) 和电容器 (大容量) 为可选配置。

6.1.2.3 电源轨电容器检查清单

通用

检查并验证定制原理图设计的以下内容：

1. 查看用户指南的 [节 1.1.4.1](#)
2. 使用大容量电容器和高频电容器。
3. 所用电容器的数量、封装和值。
4. 所用电容器的额定电压。

原理图审阅

定制原理图设计请遵循以下列表：

1. 所有处理器电源轨均使用大容量和高频去耦电容器。需要引起注意的关键电源域是低电压、高电流域 (VDD_CORE、VDDR_CORE) 。
2. 作为设计起点，建议遵循经过验证的 SK、EVM 或 PDN 应用手册。若 SK/EVM 与 PDN 之间存在差异，建议遵循 PDN。若 PDN 中缺乏相关信息，则遵循 SK 或 EVM 的实现方案。
3. 建议使用低 ESL 电容器，并通过短走线连接，以尽可能减小 PCB 布线环路电感。
4. 建议确认每个电源轨引脚都有一个去耦电容器，且每个电源轨组都有一个大容量电容器。
5. 所用电容器的额定电压 (常用准则是最坏情况下施加电压的两倍以上) 。

其他

1. 若 SK/EVM 与 PDN 应用手册推荐的电容器数量和容值存在差异，建议优先考虑 PDN 应用手册中的建议。
2. 在优化电容时，建议执行静态和动态 PDN 分析，以验证是否满足 R_{eff} 、Cap LL 和阻抗目标的要求
3. 在某些情况下，SK 或 EVM 会因封装电感低而使用 3 端电容器。确保 3 端电容器的连接未作为直列式或滤波器元件实现
4. 建议显示电容器靠近相关引脚的连接，以便于放置和布线

6.1.3 处理器时钟 (输入/输出)

6.1.3.1 时钟输入

6.1.3.1.1 MCU_OSC0 (高频) 时钟 (内部振荡器) 或 LVC MOS 数字时钟 (外部振荡器)

处理器运行需要 MCU_OSC0 25MHz (必需) 基准时钟。该时钟在内部用于生成处理器运行所需的多个时钟。其他时钟输入取决于特定终端设备或实现的电路板功能。支持的时钟选项包括外部晶体 + 内部振荡器或外部 1.8V LVC MOS 方波数字时钟源。不支持扩频时钟 (时钟输入) 选项。

如果使用连接到内部高频振荡器 (MCU_HFOSC0) 的 25MHz 外部晶体作为内部处理器运行的时钟源，建议将用于实现振荡器电路的分立式负载电容器放置在靠近 MCU_OSC0_XI 和 MCU_OSC0_XO 引脚处。当采用基于晶体的振荡器时，建议遵循处理器特定数据表的 [MCU_OSC0 晶体电路要求](#) 表来选择负载电容器。负载电容器的电容值包括 PCB 电容。建议参阅处理器特定数据表的时钟布线指南、振荡器布线部分，获取关于晶体和负载电容器布局和布线的说明。

可将 1.8V LVC MOS 时钟源用作处理器时钟源。当外部振荡器的时钟输出通过一个串联电阻连接到 XI 输入时，建议根据处理器特定数据表中的建议将 XO 接地。处理器特定数据表图 [1.8V LVC MOS 兼容时钟输入](#) 中所示的逆变器意在表示 LVC MOS 输出，该 LVC MOS 输出可以是振荡器输出缓冲器，也可以是某个时钟分配器件的 LVC MOS 输出。并不要求对时钟源进行反相。

有关 LVC MOS 时钟源的更多信息（包括规格），请参阅以下常见问题解答：

[常见问题解答] AM625/AM623/AM620-Q1/AM625-Q1/AM625SIP/AM62A7/AM62A3/AM62A1-Q1/AM62D-Q1/AM62P/AM62P-Q1/AM62L 定制电路板硬件设计-有关 MCU_OSC0 (WKUP_OSC) 或 WKUP_LFOSC0 (LFOSC0) 的 LVC MOS 数字时钟源的疑问

在 XI 和 XO 信号路径上均已实施内部交流耦合电容器，并且连接到一个内部比较器以产生方波。如果 XI 引脚相对于 XO 引脚出现直流稳态条件，会使比较器在器件的内部时钟树上产生毛刺，并导致时钟电路出现不可预测的操作。不建议也不允许将直流输入连接到 XI 引脚。

有关时钟选择和时钟规格的信息，请参阅以下常见问题解答：

[常见问题解答] AM625/AM623/AM620-Q1/AM625-Q1/AM625SIP/AM62A7/AM62A3/AM62A1-Q1/AM62D-Q1/AM62P/AM62P-Q1/AM62L 定制电路板硬件设计 - 有关晶体选型和时钟规格的问题

有关晶体 (MCU_OSC0) 启动时间的信息，请参阅以下常见问题解答：

[常见问题解答] AM625/AM623/AM620-Q1/AM625-Q1/AM625SIP 定制电路板硬件设计 — 有关晶体 (MCU_OSC0) 启动时间的问题

这是通用常见问题解答，也可用于 AM62A7、AM62A7-Q1、AM62A3、AM62A3-Q1、AM62A1-Q1 和 AM62D-Q1 系列处理器。

备注

25MHz 是当前唯一支持的晶体频率。有关支持的晶体频率和推荐的晶体参数，请参阅处理器特定数据表。

请参阅处理器特定数据表的 *MCU_OSC0 LVC MOS 数字时钟源*、*MCU_OSC0 LVC MOS 数字时钟源要求*一节。

使用外部时钟 (LVC MOS) 振荡器作为处理器和 EPHY (EPHY、EPHY) 的时钟源时，可以使用单个振荡器，也可以使用独立的振荡器。如果使用单个振荡器，建议在连接到处理器和 EPHY 之前先对时钟输出进行缓冲。

可以使用处理器和 EPHY 的单输出缓冲器（独立 IC）或具有处理器和 EPHY 单输入的双路/多路输出缓冲器（单个 IC）来将振荡器的时钟输出连接到处理器和 EPHY。

对于特定用例（使用时间敏感网络 (TSN) 的某些工业应用的要求），建议将两个或更多个具有单个输入的输出（根据所使用的 EPHY 数量）缓冲器用于处理器和 EPHY。

6.1.3.1.2 WKUP_LFOSC0 (低频) 时钟 (内部振荡器) 或 LVC MOS 数字时钟 (外部振荡器)

这些处理器系列支持低频 (32.768kHz) WKUP_LFOSC0。根据用例，可将 32.768kHz 外部晶体 + 内部振荡器用作时钟源，也可以使用外部 1.8V LVC MOS 方波数字时钟源。

WKUP_LFOSC0 的用例有限，可以是可选的。当未使用 WKUP_LFOSC0 时，建议将 WKUP_LFOSC0_XI 连接到 VSS，并使 WKUP_LFOSC0_XO 保持未连接状态。有关连接未使用的 WKUP_LFOSC0 的有关更多信息，请参阅处理器特定数据表的 *未使用 WKUP_LFOSC0* 一节。

有关更多信息，请参阅以下常见问题解答：

[常见问题解答] AM625/AM623/AM620-Q1/AM625-Q1/AM625SIP : LFOSC 在处理器中的使用

这是通用常见问题解答，也可用于 AM62A7、AM62A7-Q1、AM62A3、AM62A3-Q1、AM62A1-Q1 和 AM62D-Q1 系列处理器。

[常见问题解答] AM625/AM623/AM620-Q1/AM625-Q1/AM625SIP/AM62A7/AM62A3/AM62A1-Q1/AM62D-Q1/AM62P/AM62P-Q1/AM62L 定制电路板硬件设计-有关 MCU_OSC0 (WKUP_OSC) 或 WKUP_LFOSC0 (LFOSC0) 的 LVC MOS 数字时钟源的疑问

建议将用于实现外部晶体基振荡器的分立式元件靠近 **WKUP_LFOSC0_XI** 和 **WKUP_LFOSC0_XO** 引脚放置。对于晶振，建议使所选的负载电容处于处理器特定数据表中 **WKUP_LFOSC0** 晶振电气特性表指定的范围内。无需将 PCB 电容附加到负载电容上。

处理器特定数据表中的 **WKUP_LFOSC0** 晶体实现图显示了推荐的晶体电路。TI 建议预量产印刷电路板 (PCB) 设计包含两个可选电阻器 **Rbias** 和 **Rd**，因为在与量产晶体电路元件结合使用时，需要使用这些电阻器来确保振荡器正常运行。在许多用例中，DNI 或删除 **Rbias** 和 **Rd** 为 0Ω 电阻。在使用安装在预量产 PCB 上的量产晶体电路元件评估振荡器性能后，可以从量产 PCB 设计中移除这些电阻选项。

6.1.3.1.3 EXT_REFCLK1 (主域的外部时钟输入)

EXT_REFCLK1 输入通过布线连接至时钟多路复用器，作为计时器模块 (DMTIMER/WDT)、安全子系统中的 DMTIMER (SMS)、MCAN 和 CPTS (时间戳模块) 的可选时钟源。当终端设备/应用需要将特定时钟频率馈送到计时器模块时，可选择使用 **EXT_REFCLK1**。时间同步即是一个应用实例。当使用 **EXT_REFCLK1** 作为时钟源时，根据外部时钟的可用性，建议在处理器时钟输入引脚附近添加一个下拉电阻 ($10k\Omega$)。

6.1.3.1.4 时钟输入检查清单 - **MCU_OSC0**

通用

检查并验证定制原理图设计的以下内容：

1. 已审阅上述用户指南 “[所有章节的通用检查清单](#)” 章节。
2. 配置处理器时钟输入源、晶体振荡器 + 内部振荡器/外部振荡器。
3. 选择晶体、晶体频率和晶体负载电容器。
4. 选择 **MCU_OSC0** 外部晶体负载电容器。
5. 使用晶体振荡器 + 内部振荡器/外部振荡器时的连接建议。
6. 当外部振荡器输出连接至 **XI** 时连接 **XO**。

原理图审阅

定制原理图设计请遵循以下列表：

1. 必须连接 **25MHz MCU_OSC0** 时钟。
2. 根据数据表要求选择外部晶体振荡器或外部时钟振荡器。
3. 确认所选晶体、晶体频率和晶体负载电容器是否遵循处理器特定数据表中的建议。
4. **25MHz** 是当前支持的时钟输入频率。有关支持的时钟输入频率，请参阅处理器特定数据表。
5. 根据处理器特定数据表的要求直接连接晶体 (不使用串联或并联电阻) 及连接晶体负载电容电路 (**MCU_OSC0**)。
6. 建议外部晶体负载电容器的容值为晶体负载值的两倍，包括 PCB 电容 (约 $4pF$)。
7. 建议选择的晶体负载值应能使负载电容器选用标准值的电容器。
8. 建议将 **HFOSC0** 寄存器保留为默认状态。
9. 使用外部振荡器时，建议在振荡器电源引脚附近添加去耦电容器和一个大容量电容器，并在时钟输出引脚上串联一个电阻器。
10. 建议在外部振荡器 (LVCMS 时钟) 输出连接到 **XI** 时将 **XO** 连接至 **VSS**。
11. 为靠近振荡器的时钟输出引脚添加串联电阻 (22Ω)。

其他

1. 有关时钟布线指南，请参阅处理器特定数据表的应用、实施和布局部分。
2. 建议将 **25MHz** (性能仅在 **25MHz** 频率下经过验证) 晶体直接连接到处理器的 **XI** 和 **XO** 引脚，不建议使用串联或并联电阻。内部振荡器实现自动增益控制 (AGC) 以进行振幅控制。
3. 处理器特定数据表显示，**MCU_OSC0** 不会在内核电压斜坡之前启动，因为在某些情况下，振荡器可能不会启动，直到 **VDD_CORE** 斜坡。在大多数应用场景下，振荡器会在 **VDDS_OSC0** 电源斜升时启动 (尽管振荡器并不总是在 **VDDS_OSC0** 电源斜升时启动)。处理器特定数据表中的振荡器启动图显示了最大启动时间，其中包括基于 **VDD_CORE** 有效的延迟情况。

4. MCU_OSC0_XI 引脚上不允许出现直流稳态条件，因为该引脚在内部是交流耦合到一个比较器的，而直流稳态会导致比较器进入未知状态。
5. 提供给 MCU_OSC0_XI 输入的 LVC MOS 时钟需具有单调转换特性，并通过靠近时钟源放置的串联电阻，以点对点连接方式连接到 MCU_OSC0_XI。串联端接电阻值可将时钟源输出阻抗与传输线路阻抗相匹配。例如，当时钟源输出阻抗为 30Ω 且 PCB 信号布线特征阻抗为 50Ω 时，可使用一个 20Ω 的电阻。这样的电阻可以完全吸收从末端接传输线路的远端返回的反射，从而避免引入任何非单调事件。
6. 建议尽量缩短连接外部时钟源与 MCU_OSC0_XI 的 PCB 布线长度。这样可以减小容性负载并大幅降低外部噪声源耦合到时钟信号的可能性。减小容性负载可优化时钟信号的上升/下降时间，从而降低（向时钟源或定制电路板）引入抖动的可能性。
7. 建议向晶体供应商或制造商确认晶体选型。

6.1.3.1.5 时钟输入检查清单 - WKUP_LFOSC0

通用

检查并验证定制原理图设计的以下内容：

1. 已审阅上述用户指南“所有章节的通用检查清单”章节。
2. 选择 WKUP_LFOSC0 时钟源 - 外部晶体振荡器 + 内部振荡器/外部振荡器。
3. 选择 WKUP_LFOSC0 外部晶体频率。
4. 选择晶体负载电容器。
5. 将串联和并联电阻连接到晶体基振荡器电路。
6. 选择外部振荡器以及连接电容器和串联电阻。
7. 当外部振荡器输出连接至 XI 时连接 XO。
8. 未使用 WKUP_LFOSC0 时连接 XI 和 XO。

原理图审阅

定制原理图设计请遵循以下内容：

1. 支持的 WKUP_LFOSC0 时钟输入频率为 32.768kHz 。
2. 按照处理器特定数据表中的建议连接时钟电路 (WKUP_LFOSC0)。
3. 选择晶体负载和负载电容值（请遵循处理器特定数据表的说明），负载电容应为晶体负载的两倍（此计算不包含 PCB 电容）。
4. 使用外部振荡器时，建议在振荡器电源引脚附近添加去耦电容器和一个大容量电容器，并在时钟输出引脚上串联一个电阻器。
5. 使用外部振荡器 (XO 接地) 时连接 XO。
6. 未使用 WKUP_LFOSC0 (XI 接地) 时连接 XI 输入。
7. 根据处理器特定数据表要求为初始原型（预量产）板和量产板（可移除）连接串联和并联电阻。

其他

1. 晶体负载电容与 LFOSC0 寄存器。定制电路板设计人员更改的唯一 LFOSC0 寄存器位是 BP_C、PD_C 和 CTRLMMR_WKUP_LFXOSC_TRIM[18:16]，其中 PD_C 复位 (0) 以启用振荡器，并且仅设置 (1) BP_C 位以在使用 LVC MOS 时钟源时将振荡器置于旁路模式。CTRLMMR_WKUP_LFXOSC_TRIM[18:16] 位是根据施加到晶体上的实际电容负载设置的，由负载电容公式定义。
2. 有关预量产 PCB 和量产 PCB 期间的建议电路配置（无源元件），请参阅处理器特定数据表。
3. WKUP_LFOSC0 的用例有限，建议在不使用时钟选项时提供将 XI 输入接地的配置。

6.1.3.2 时钟输出

名为 CLKOUT0 和 WKUP_CLKOUT0 的处理器 IO (引脚) 可配置为时钟输出。时钟输出可以用作所连接器件（外部外设 — 例如：EPHY）的时钟源。

WKUP_CLKOUT0 是 AM62A7、AM62A7-Q1、AM62A3、AM62A3-Q1、AM62A1-Q1 和 AM62D-Q1 处理器复位后可用的高频振荡器 (HFOSC0) 的缓冲输出。

建议将以点对点连接方式连接时钟。当 CLKOUT0 和 WKUP_CLKOUT0 用于为多个附加器件供电时，建议对其进行缓冲。

由于许多电路板或终端设备特定的依赖项可能会影响时钟性能，因此处理器特定的数据表中未定义 CLKOUT0 和 WKUP_CLKOUT0 时钟输出的性能。建议检查实际电路板的性能（时钟输出满足电路板或终端设备特定要求）。

6.1.3.2.1 时钟输出检查清单

通用

检查并验证定制原理图设计的以下内容：

1. 已审阅上述用户指南“所有章节的通用检查清单”章节。
2. CLKOUT0 和 WKUP_CLKOUT0 时钟输出的配置。

原理图审阅

定制原理图设计请遵循以下列表：

1. 默认情况下，WKUP_CLKOUT0 为 XO 的缓冲输出。添加 TP 进行测试。
2. 当 WKUP_CLKOUT0 用作 IO 或 32.768kHz 时钟源时，定制电路板设计人员应考虑复位期间输出为 25MHz 的影响。
3. 提供串联电阻器 0Ω 配置以控制可能的信号反射。
4. 将时钟输出连接到单个或多个负载。当连接到多个负载（输入）时，建议将每个所连接器件的输入都连接到一个缓冲的输出。
5. 在所连接器件时钟输入附近提供可悬空的拉电阻（以防止所连接器件输入悬空，直到主机软件配置时钟输出）。

其他

1. EXT_REFCLK1 可以配置为 CLKOUT0。建议点对点连接时钟信号，不使用任何分支。将 CLKOUT0 连接到多个时钟输入时，请使用缓冲器（具有一个输入和多个输出或单独的缓冲器（基于应用用例））。
2. 由于许多电路板或终端设备特定的依赖项可能会影响时钟性能，因此处理器特定的数据表中未定义 CLKOUT0 和 WKUP_CLKOUT0 时钟输出的性能。

6.1.4 处理器复位

处理器复位模块包括冷热复位输入以及冷热复位状态输出。

有关更多信息，请参阅以下常见问题解答：

[常见问题解答] AM625/AM623/AM620-Q1/AM625-Q1/AM62Ax/AM62D-Q1/AM62Px/AM64x/AM243x (ALV、ALX) 设计建议/定制电路板硬件设计 - 处理器复位输入、复位状态输出和连接建议

6.1.4.1 外部复位输入

该处理器系列支持三个 (x3) 外部复位输入（引脚），包括 MCU 和 MAIN 域冷复位输入 (MCU_PORz)、MCU 和 MAIN 域热复位请求输入 (MCU_RESETz) 和 MAIN 域热复位请求输入 (RESET_REQz)。

MCU_PORz 是外部 MCU 域和 MAIN 域冷复位输入。建议在电源斜升以及晶体/振荡器启动和时钟稳定期间将 MCU_PORz 输入保持低电平。请遵循处理器特定数据表的加电时序图中建议的 MCU_PORz 输入时序。

MCU_PORz 输入为承受 3.3V 电压的失效防护输入类型 IO。尽管可以施加 3.3V 输入，但输入阈值应遵循 1.8V IO 电平并以 VDDS_OSC0 为基准。

使用基于 PMIC 的电源架构时，建议通过推挽输出型逻辑门或分立式缓冲器（具有快速上升时间）将 PMIC 的开漏输出类型复位信号 (**nRSTOUT0**) 连接到处理器作为 **MCU_PORz** 输入（而不是连接可能干扰内部复位电路的缓慢上升开漏输出）。如果直接使用 **nRSTOUT0**，建议调整上拉电阻以尽可能降低压摆率 (< 100ns)。

建议在 **MCU_PORz** 输入端提供连接到 22pF 抗干扰滤波器的配置。建议始终将有效输入连接到 **MCU_PORz**。不允许将有效输入连接到 **MCU_PORz** 输入的用例。如果未连接 **MCU_PORz** 输入，则处理器在加电期间无法完成复位序列，并可能导致不可预测或随机的行为。当处理器内部电路未经历有效复位时，内部电路可能处于随机（未定义）状态。

建议在 **MCU_PORz** 输入端提供连接滤波（抗干扰）电容器。电容器值和电容器安装方式取决于用例。建议选择的电容器值应确保所使用的电容器不会导致 LVCMS 输入违反压摆率要求或导致在内部出现复位干扰。

外部热复位输入 **MCU_RESETz** 和 **RESET_REQz** 可用于执行外部热复位。可以实现外部按钮或复位电路来执行处理器的热复位。部分寄存器在热复位期间保持该状态（例如，引导模式输入捕获寄存器 **Devstat**）。有关复位和功能的相关信息，请参阅处理器特定 TRM。

如需连接热复位输入，请按照处理器特定数据表中引脚连接要求部分的说明操作。

冷复位输入 (LVCMS IO) 有指定的压摆率要求。不允许或不建议将慢速斜升输入连接到 **MCU_PORz** 复位输入。慢速斜升输入可导致内部复位电路出现干扰。建议使用快速上升时间分立式推挽输出型缓冲器输出作为 **MCU_PORz** 输入。

热复位输入 (LVCMS IO) 有指定的输入压摆率要求。不建议直接在输入端连接电容器（慢速斜升）。建议使用基于施密特触发的去抖逻辑（电路）。有关实现去抖逻辑的信息，请遵循处理器特定 SK 或 EVM 原理图。连接按钮以控制 **RESET_REQz** 或 **MCU_RESETz** 热复位输入时，建议添加外部 ESD 保护的配置。

请参阅以下常见问题解答：

[常见问题解答] AM625/AM623/AM620-Q1/AM625-Q1/AM625SIP : **MCU_PORz** 输入压摆率

这是通用常见问题解答，也可用于 AM62A7、AM62A7-Q1、AM62A3、AM62A3-Q1、AM62A1-Q1 和 AM62D-Q1 系列处理器。

[常见问题解答] AM625/AM623/AM620-Q1/AM625-Q1/AM62Ax/AM62D-Q1/AM62Px/AM64x/AM243x (ALV、ALX) 设计建议/定制电路板硬件设计 - 处理器复位输入、复位状态输出和连接建议

MCU_RESETz 复位输入和 **MCU_RESETSTATz** 复位状态输出的使用说明

MCU_RESETz 输入和 **MCU_RESETSTATz** 有特定的用例建议。请参阅公告文章 *i2407-RESET*。如果处理器特定勘误表的 **MCU_RESETz** 被置位为低电平，**MCU_RESETSTATz** 不可靠。

6.1.4.2 复位状态输出

处理器系列支持 3 (三) 个复位状态输出 (引脚)，包括主域 POR (冷复位) 状态 (**PORz_OUT**) 输出、MCU 域热复位状态 (**MCU_RESETSTATz**) 输出和主域热复位状态 (**RESETSTATz**) 输出。

当复位状态输出 **PORz_OUT**、**MCU_RESETSTATz** 以及 **RESETSTATz** 用于驱动附加器件的复位输入 (/reset) 时，建议为处理器复位状态输出采用下拉电阻 (10kΩ)，以便在上电与处理器复位期间将附加器件的复位（使附加器件保持复位状态）置为有效。

备注

在附加器件均无内部上拉电阻的应用场景中，连接在复位状态输出端的外部下拉电阻可将附加器件的复位输入保持在低电平。如果任何附加器件启用了一个内部上拉电阻，则复位信号会被拉至 1/2 Vs。建议在连接复位状态输出之前先验证具体用例。

主域热复位状态输出 **RESETSTATz** 可用于复位板载存储器或外设，这些存储器或外设支持外部复位输入功能 (eMMC、OSPI 或 EPHY) 或 SD 卡电源开关 EN。**PORz_OUT** 可用于在复位期间锁存硬件搭接配置（例如：锁存以太网 PHY 搭接配置或引导模式配置）。

如果复位状态输出未使用，建议将这些输出连接到测试点，以便用于测试或未来功能增强。可选择提供一个下拉电阻 ($10\text{k}\Omega$)，并在使用时焊接。

备注

MCU_RESETz 输入和 MCU_RESETSTATz 有特定的用例建议。请参阅公告文章 *i2407-RESET*。如果处理器特定勘误表的 **MCU_RESETz** 被置位为低电平，**MCU_RESETSTATz** 不可靠。

6.1.4.3 其他信息

建议将用于配置处理器引导模式的 BOOTMODE[15:00] 输入保持在已知状态，以便选择处理器特定 TRM 中定义的合适引导模式配置，直至在 PORz_OUT 的上升沿期间锁存引导模式配置。

6.1.4.4 处理器复位输入检查清单

通用

检查并验证定制原理图设计的以下内容：

1. 已审阅上述用户指南“[所有章节的通用检查清单](#)”章节。
2. MCU_PORz 输入连接、电源斜升后从低到高的延迟。
3. MCU_PORz 输入 IO 电平和失效防护功能。
4. 处理器电源斜升期间的 MCU_PORz 输入状态。
5. 复位输入遵循处理器特定数据表中规定的压摆率要求 (FS RESET、LVCMOS)。
6. 来自 PMIC、分立式直流/直流或分立式 LDO 的开漏输出型复位信号 (nRSTOUT0) 连接到 MCU_PORz 输入时的压摆率。
7. RESET_REQz 输入和 MCU_RESETz 输入电压电平及其连接。
8. 不使用时热复位输入的连接。

原理图审阅

定制原理图设计请遵循以下列表：

1. 电源斜升或斜降期间 MCU_PORz 输入会保持低电平。
2. 根据处理器特定数据表要求提供所有电源斜坡后，冷复位输入 (MCU_PORz) 取消置位保持时间 (最小值为 9.5ms (9500000ns))。
3. 已考虑冷复位和热复位输入压摆率要求，并添加了所需的缓冲器。较慢的压摆率可能在内部导致复位信号毛刺。
4. 来自 PMIC、分立式直流/直流或分立式 LDO 的开漏输出型复位信号 (nRSTOUT0) 直接连接到复位输入时的压摆率。压摆率越小越好 (小于 100ns)。建议通过快速上升时间的分立式推挽输出型缓冲器进行连接。
5. MCU_PORz (POR) 输入可耐受 3.3V 电压且具有失效防护功能。阈值遵循 1.8V IO 电平 (VDDS_OSC0)。
6. 在 MCU_PORz 复位输入端提供了毛刺滤波器 (电容器) 的预留设计 (添加 22pF (占位值) 电容器配置)。
7. MCU 和主域热复位输入 RESET_REQz 的 IO 电平遵循 VDDSHV0 电源 (1.8V 或 3.3V)，MCU 域复位输入 MCU_RESETz 的 IO 电平则遵循 VDDSHV_MCU 电源 (1.8V 或 3.3V)。
8. 通过去抖电路连接按钮热复位输入 (施密特触发缓冲器输出)。
9. 建议根据引脚连接要求，在不使用热复位输入时进行连接 (建议使用上拉电阻)。

其他

1. MCU_PORz 输入指定了转换率要求。将 PMIC_POWERGOOD (开漏输出型信号) 连接到 MCU_PORz 输入是唯一可用的选项时，请调整上拉电阻以优化上升时间 (约 100ns)。
2. 仅在下电期间电压斜降至低于 300mV 后，处理器才需要重新启动 (释放复位) (没有与该斜降要求相关的时间或容差。在允许任何电源轨斜升前，建议使每个电源轨降至 300mV 以下)。
3. 未连接有效的 MCU_PORz 输入会导致不可预测的随机行为，因为处理器未获得有效复位输入，且内部电路处于随机状态。慢速斜升复位输入会导致内部处理器复位电路出现干扰。
4. LVCMOS 输入指定了压摆率要求。建议为连接到处理器热复位输入的慢速斜坡按钮输出信号使用基于施密特触发的去抖电路。建议在使用按钮或 RC 作为复位输入时使用基于施密特触发的去抖电路。

5. 为靠近复位信号添加的手动（推入按钮）复位输入提供外部 ESD 保护。
6. 连接到外部复位输入时的失效防护操作（MCU_RESETz 输入和 RESET_REQz 输入）。如在处理器电源斜升之前向处理器复位输入施加外部输入信号，可能会导致馈电并影响电路板性能。
7. 已审阅与 MCU_RESETz 输入相关的器件勘误表。
8. 建议在考虑采用非 TI 电源架构时，遵循复位要求，包括压摆率以及电源斜升后的 MCU_PORz 输入保持时间。

6.1.4.5 处理器复位状态输出检查清单

通用

检查并验证定制原理图设计的以下内容：

1. 已审阅上述用户指南“所有章节的通用检查清单”章节。
2. PORz_OUT、RESETSTATz 和 MCU_RESETSTATz 状态输出的连接（端接）。
3. 已审阅与 MCU_RESETSTATz 相关的器件勘误表。
4. 处理器复位状态输出与附加器件复位输入之间的 IO 电平兼容性。
5. 复位状态输出端的电容器负载连接。
6. 不使用时的复位状态输出。
7. 当连接到载板或外部连接器时，为复位状态输出提供外部 ESD 保护。

原理图审阅

定制原理图设计请遵循以下列表：

1. PORz_OUT 用作输入，以在处理器冷复位期间锁存处理器引导模式配置或附加器件搭接配置。
2. RESETSTATz 和 MCU_RESETSTATz 用于在处理器进行任何类型的全局复位（冷或热）时复位附加器件。
3. 在处理器引脚附近为 PORz_OUT、MCU_RESETSTATz 和 RESETSTATz 添加了下拉电阻，以在电源斜升与处理器复位期间使附加器件保持在复位状态。
4. 将电容器直接连接到靠近所连接器件复位输入的复位输出端（电容器 > 22pF）。执行仿真。
5. 处理器复位状态输出与附加器件复位输入之间的 IO 电平兼容性（可能会导致出现残余电压，进而影响到定制电路板的性能）。
6. 当未使用任何复位状态输出时提供 TP 选项。
7. 建议将处理器复位输出 IO 电平与附加器件的输入 IO 电平相匹配，以避免电压泄漏。

6.1.5 引导模式的配置（针对处理器）

这些处理器系列支持 16 个引导模式输入引脚，这些引脚可由定制电路板设计人员进行配置，以便从所需（设计好的）存储器接口或外设启动系统。

有关支持的引导模式配置，请参阅以下常见问题解答：

[常见问题解答] [AM625/AM623/AM620-Q1/AM64x/AM243x/AM62Ax/AM62Px/AM62D-Q1/AM62L — 支持的引导模式配置](#)

在冷复位期间，处理器引导模式输入引脚的内部拉电阻（上拉或下拉电阻）未启用。建议连接外部拉电阻（10kΩ 或 47kΩ 上拉/下拉电阻）以配置所需的引导模式。建议不要将任何引导模式输入引脚（包括保留引脚）保持未连接状态。

在使用 DIP 开关配置所需引导模式的用例中，建议使用 1kΩ（上拉电阻）和 47kΩ（下拉电阻）的电阻分压器值来改善噪声性能。

若仅使用电阻（不使用 DIP 开关）配置引导模式，可以使用标准电阻（上拉和下拉电阻可以使用相同的阻值）阻值。例如，由于只安装上拉电阻或下拉电阻之一，可使用 10kΩ 或 47kΩ 的电阻。建议提供将上拉电阻或下拉电阻连接到所有引导模式引脚（包括保留或未使用的引脚）的配置。

目前 BOOTMODE14 和 BOOTMODE15 引脚为保留引脚。

建议为具有配置功能的引导模式输入（引脚）添加上拉和下拉电阻配置，以便进行测试/调试（包括为 USB0 DFU、UART0 引导模式配置预留选项）、增强设计灵活性以及实现适应未来功能增强。建议为每个引导模式引脚安装上拉或下拉电阻。不建议也不允许将引导模式引脚直接接地或连接到 IO 电源轨，因为 IO 具有替代功能，可能在启动后被配置，且可能会被软件无意地配置为输出。

引导模式输入（引脚）不具备失效防护功能。建议在处理器 IO 电源斜升之前勿施加任何外部输入。若不使用引导模式缓冲器，而直接通过上拉/下拉电阻配置引导模式连接，建议将 IO 电源连接至处理器 IO 引脚所关联的 IO 组对应的 IO 电源。若使用引导模式缓冲器，建议将与处理器 IO 相连的 IO 电源连接至缓冲器 B 端口电源引脚（处理器侧）。当连接来自载板的外部输入以配置引导模式输入时，建议在处理器电源斜升后驱动输入，且这些输入需在 MCU_PORz 输入被拉至高电平之前保持稳定。

根据应用要求，可以使用仅在复位状态输出（PORz_OUT 或可选的 RESETSTATz 为低电平）期间才被驱动的缓冲器来驱动处理器的引导配置输入。

建议在缓冲器的输出端使用一个串联电阻（ $1k\Omega$ ），以限制输出电流，防止在缓冲器 OE 置为无效之前将引导模式引脚配置为输出。如需实现的更多信息，请参阅处理器特定 SK 或 EVM。

6.1.5.1 处理器引导模式输入隔离缓冲器用例和优化

在 SK 或 EVM 中，引导模式输入 BOOTMODE[15:00] 通过两个缓冲器（用于隔离）进行配置。这些缓冲器可确保当引导模式输入被锁存（在 PORz_OUT 上升沿期间）时，由 SYSBOOT 拉电阻（上拉和/或下拉电阻）（引导模式配置电阻器）控制信号的 IO 电平。引导模式配置电阻器与连接的其他外设隔离（因为引导模式输入引脚具有替代功能），以便其他连接的外设不会与预期的引导模式配置（IO 电平）相冲突。

当 PORz_OUT 为低电平时，会启用缓冲器。一旦 PORz_OUT 被置为无效（变为高电平），缓冲器输出即进入 Hi-Z 状态。

为优化定制电路板设计（包括物料清单（BOM）），可对引导模式缓冲器进行优化或删除（取决于具体用例，需由定制电路板设计人员验证）。建议选择拉电阻值，使这些电阻不会影响附加器件的运行。

6.1.5.2 启动模式配置

如需配置所需处理器引导模式，请参阅处理器特定 TRM 的 初始化一章中的 ROM 代码引导模式表。

6.1.5.2.1 USB 引导模式注意事项

USB0 接口支持 DFU（器件固件升级）引导。当 USB0 配置为 DFU 引导时，不建议将永久 3.3V 电源（直接或使用分压器）连接到 USB0_VBUS 输入。禁止连接等效于 USB0_VBUS 分压器输入的永久电源。在没有 USB_VBUS 检测分压器/钳位电路的情况下连接电源会违反失效防护操作。

根据处理器特定数据表中的建议，建议将通过 USB 接口连接器连接的主机 5V 电源（开关式）通过电阻分压器连接到 USB0_VBUS 输入。如果定制电路板设计中的 VBUS 电位没有大于 5.5V，且板载电源已连接，则可删除齐纳二极管，将两个电阻（ $16.5k\Omega$ 和 $3.48k\Omega$ ）合并为一个 $20k\Omega$ 电阻，用于 USB_VBUS 检测分压器/钳位电路。

6.1.5.3 引导模式实现方法

有关实现引导模式的信息，请参阅以下常见问题解答：

[常见问题解答] AM625/AM623/AM620-Q1/AM64x/AM243x/AM62A/AM62P/AM62D-Q1/AM62L — 使用隔离缓冲器的引导模式实现

[常见问题解答] AM625/AM623/AM620-Q1/AM64x/AM243x/AM62A/AM62P/AM62D-Q1/AM62L — 无隔离缓冲器的引导模式实现

6.1.5.4 其他信息

连接外部输入以配置引导模式输入时，建议在释放处理器 MCU_PORz（冷复位）（L->H）之前使引导模式配置输入保持稳定。

使用以太网引导和简化千兆位媒体独立接口（RGMII）时，建议使用一个 EPHY，其在 EPHY 的 RDx 数据路径上支持 RGMII_ID 并在 TDx 数据路径上禁用 RGMII_ID（处理器在 TDx 输出上实现固定的 RGMII_ID）。处理器 ROM 不会对连接的 EPHY 启用或禁用 RGMII_ID 模式。RGMII_ID 使用 EPHY 的引脚配置（strap）设置。

建议选择一个能够通过引脚配置 (strap) 设置 RGMII_ID 的 EPHY。有关使用 TI EPHY 的实现，请参阅处理器特定的 SK 或 EVM。

6.1.5.5 引导模式的配置 (针对处理器) 检查清单

通用

检查并验证定制原理图设计的以下内容：

1. 已审阅上述用户指南 “所有章节的通用检查清单” 章节。
2. 处理器引导模式输入连接。
3. 引导模式配置 (使用 DIP 开关和电阻分压器或电阻器)。
4. 建议的锁存期间引导模式输入状态。
5. 备选功能的引导模式输入连接建议。
6. 引导模式输入的失效防护功能。

原理图审阅

定制原理图设计请遵循以下列表：

1. 引导模式配置输入根据 SK 或 EVM 实现使用电阻器、开关 + 电阻分压器和缓冲器连接到处理器。
2. 建议验证引导模式输入配置设置是否遵循 PLL 时钟输入、主引导和次级引导的处理器特定 TRM 建议。
3. 引导模式输入 IO 兼容性 (以 VDDSHV3 为基准 (由其供电) 的 1.8V 或 3.3V)。
4. 使用 DIP 开关来配置引导时，建议使用 $1\text{k}\Omega$ 和 $47\text{k}\Omega$ 阻值的电阻器。
5. 不使用 DIP 开关时，可将标准 $10\text{k}\Omega$ 电阻器用作上拉和下拉电阻，以配置引导模式。建议组装上拉或下拉电阻以配置所需的引导模式。不使用 DIP 开关时，电阻分压器是可选项。
6. 所有引导模式配置输入引脚都具有外部拉电阻或电路，用于在处理器冷复位期间驱动所需的引导模式输入 (请勿将任何引导模式配置输入引脚保持未连接状态)。
7. 建议在释放处理器冷复位输入 (MCU_PORz) (0->1) 之前，将应用的外部引导模式输入保持稳定。
8. 当使用缓冲器实现引导模式或由外部控制信号驱动时，缓冲器的输出端使用 $1\text{k}\Omega$ 串联电阻器。
9. 建议通过 0Ω 将引导模式输入信号连接到备选功能，以隔离或测试引导模式功能。
10. 引导模式输入不具备失效防护功能 (不建议在处理器电源斜升之前应用任何外部引导模式输入)。

其他

1. 处理器 BOOTMODE 输入引脚在复位期间 (锁存引导模式输入配置时) 不会使能内部上拉或下拉电阻。
2. 对于初始 (早期或第一个原型) 设计，建议为引导模式输入 (引脚) 连接外部 PU/ PD 电阻器。有关支持的引导模式的信息，请参阅处理器特定 TRM。
3. 当 PORz_OUT 变为高电平时，将锁存引导模式输入。如果在运行期间重新配置引导模式输入用于另外的功能，则将引导模式输入释放/设置回所需的配置，以便在处理器复位 (冷复位) 时选择引导模式。如果信号由外部外设驱动，则引导模式配置值得关注。
4. 不建议将引导模式输入直接连接到 IO 电源或 VSS。不建议将多个引导模式输入短接在一起并连接一个公共电阻器。(定制电路板设计人员可能遇到固件配置问题，即用作输入的 LVCMSIO 被意外配置为输出，驱动逻辑高电平信号，而不是保持高阻抗状态。)
5. 建议为引导模式输入添加外部 ESD 保护，以防引导模式开关在不受控制的环境中进行配置。
6. 引导模式输入不具有失效防护功能。不建议或不允许在处理器 IO 电源斜升以前施加外部输入。在处理器电源斜升之前施加外部输入信号到处理器引导模式输入可导致馈电并可能影响定制电路板功能。
7. 引导模式输入缓冲器是可选的，在 SK 或 EVM 上提供以支持测试自动化。
8. 使用缓冲器或逻辑门配置引导模式输入时，建议验证所用器件是否支持 OE (输出使能功能)。

6.2 使用 JTAG 和 EMU 进行定制电路板调试

6.2.1 JTAG 接口和 EMU 信号 (使用时)

实现 JTAG 接口时，建议使用 TI 建议、定义和支持的 20 引脚连接器，而不是 10 引脚 ARM 连接器。10 引脚 JTAG 连接器不包含 TRSTn 信号或 EMU0、EMU1 信号。建议根据处理器特定数据表的引脚连接要求一节的说明连接 JTAG (TDI、TCK、TMS 和 TRSTn) 和 EMU (EMU0 和 EMU1) 信号。建议将上拉和下拉电阻 ($10\text{k}\Omega$) 置于处理器 JTAG 接口引脚附近。

建议为所有 JTAG 接口以及靠近外部接口连接器的 EMU0 和 EMU1 信号添加外部 ESD 保护。EMU0 和 EMU1 信号支持冷复位 (MCU_PORz 输入高电平) 后的引导序列和调试。TDO 的上拉电阻为可选项，取决于所选调试器。(可选) 建议在 TDO (靠近处理器) 信号上连接串联电阻器 (0Ω)，以匹配 JTAG 工具缓冲器阻抗。

有关其他信息，请参阅处理器特定 TRM 的片上调试一章。

有关更多信息，请参阅以下常见问题解答：

[常见问题解答] AM625/AM623/AM620-Q1/AM625-Q1/AM625SIP/AM62L/AM62Ax/AM62D-Q1/AM62Px/ AM64x/ AM243x (ALV、ALX) 定制电路板硬件设计 — JTAG

[常见问题解答] AM625/AM623/AM620-Q1/AM625-Q1/AM625SIP 定制电路板硬件设计 — JTAG 下拉电阻/上拉电阻

这是通用常见问题解答，也可用于 AM62A7、AM62A7-Q1、AM62A3、AM62A3-Q1、AM62A1-Q1 和 AM62D-Q1 系列处理器。

6.2.2 JTAG 接口和 EMU 信号 (不使用时)

如需连接 JTAG 接口信号和不使用 JTAG 接口时的 EMU 信号，请参阅处理器特定数据表的引脚连接要求部分。

在定制电路板设计期间，为支持早期原型调试，建议配置连接到测试点的最少 JTAG 接口信号 (包括 EMU0、EMU1)，或配置一个接头封装。JTAG 接口相关元件在电路板的量产版本中可以不安装 (DNI, Do Not Install)。建议根据引脚连接要求部分提供配置来组装建议的拉电阻，并在 JTAG 连接器或 TP 附近提供外部 ESD 保护配置。

6.2.3 其他信息

当 JTAG 接口连接到多个附加器件时，建议对时钟和 JTAG 接口信号进行缓冲。即使对于单个器件的实现，也建议进行时钟缓冲。有关实现的信息，请参阅处理器特定 SK 或 EVM。

若使用跟踪接口，建议将 TRC_DATAn 信号连接至仿真连接器。所有 TRC_DATAn 信号都与其他信号进行引脚多路复用。建议选择使用跟踪功能或 GPMC 接口。TRC_DATAn 信号的短连接和偏差匹配连接 (电路板引线) 用于跟踪功能。跟踪信号以 VDDSHV3 为基准 (由其供电)，并且可能具有与其他 JTAG 信号不同的电源电压。更多有关 TRC/EMU 设计和布局的建议，请参阅 [仿真和跟踪接头技术参考手册](#)。[XDS 目标连接指南](#) 中提供了摘要。

若使用边界扫描，建议将 EMU0 和 EMU1 引脚连接到 JTAG 连接器。

有关 JTAG 接口的实现，请参阅 [仿真和跟踪接头技术参考手册](#)。

6.2.4 使用 JTAG 和 EMU 检查清单进行定制电路板调试

通用

检查并验证定制原理图设计的以下内容：

1. 已审阅上述用户指南 “[所有章节的通用检查清单](#)” 章节。
2. JTAG 接口信号的连接。
3. 所需上拉/下拉电阻的连接。
4. JTAG 接口信号 IO 兼容性。
5. JTAG 接口信号的失效防护运行。

原理图审阅

定制原理图设计请遵循以下列表：

1. 将 JTAG 接口信号和 EMU0、EMU1 信号连接到 JTAG 接口连接器。
2. 将电源电压连接到 JTAG 连接器（包括滤波电容器）（建议连接至与 VDDSHV_MCU 相同的电压源）。
3. 按照引脚连接要求在处理器 JTAG 接口引脚附近连接推荐的上拉和下拉电阻。
4. 所使用的上拉和下拉电阻值（建议值为 $10\text{k}\Omega$ ）。
5. JTAG 接口信号 IO 兼容性（IO 电源以 VDDSHV_MCU 为基准（由其供电））。
6. JTAG 接口信号的失效防护运行。处理器电源关闭时，JTAG 输入处于无效状态。

其他

1. 建议在定制电路板设计中至少包含（实现）一组最精简的 JTAG 信号，并将其连接至测试点或接头，以便执行早期原型调试。推荐的最精简 JTAG 信号包括：TCK、TMS、TDI、TDO、TRSTn 以及 EMU0、EMU1。如果需要，建议在电路板的量产版本中删除 JTAG 布线和元件封装（TRSTn 上的下拉电阻以及 TMS 和 TCK 上的上拉电阻除外）。
2. 若实现了跟踪功能，建议将 TRC_DATA_n 信号连接到仿真连接器。所有 TRC_DATA_n 信号都与其他信号进行引脚多路复用。如果连接了跟踪信号，建议不要使用其他多路复用功能。建议为 TRC_DATA_n 信号使用较短且斜率匹配的走线（布线）。跟踪信号以不同的电源域为基准（由其供电），并且可能在与 JTAG 信号不同的电压下工作。
3. 建议为外部 ESD 保护添加配置。当使用 JTAG 接口时，可以安装外部 ESD 保护器件。
4. 建议确认使用 JTAG 接口时的失效防护运行情况。在处理器电源斜升之前向处理器 JTAG 输入施加外部输入信号会导致馈电并影响定制电路板功能。

7 处理器外设电源、接口和连接

备注

在定制电路板设计周期内，建议遵循 [使用 AM62A7、AM62A7-Q1、AM62A3、AM62A3-Q1、AM62A1-Q1 和 AM62D-Q1 处理器系列进行定制电路板设计时的硬件设计注意事项](#) 用户指南以及 [原理图设计指南](#) 和 [原理图审阅检查清单](#) 用户指南。

备注

除非有业界通用规定的拉电阻要求，否则外部拉阻并无硬性规定或要求。拉电阻的业界通用规定是我们能够针对 eMMC 和 SD 卡信号的外部拉电阻提出明确建议的主要原因。对于其他外设，建议客户评估连接到定制电路板上各处理器信号的附加器件的功能，并运用适当的技术/工程判断力来确定是否需要通过配置外部拉电阻防止在附加器件输入缓冲器打开时任何输入悬空。设计指南中提供的建议为通用建议，客户应在实施前查阅设计要求和附加器件内部拉电阻的可用性。务必避免提供与内部拉电阻冲突的外部拉电阻。示例：例如，添加一个与内部拉电阻（附加器件内部）冲突的外部拉电阻，这种冲突会导致信号（输入）端产生一个 $1/2 \text{Vs}$ 电势。

7.1 支持的处理器内核与 MCU 内核

有关支持的处理器内核，建议参阅处理器特定数据表的特性部分。在选择 Arm Cortex-A53 微处理器子系统内核时，可以参阅处理器特定数据表的器件比较部分。

有关所需器件等级和器件工作性能点的定义，可以参阅处理器特定数据表的工作性能点 OPP 部分。

请参阅以下常见问题解答，了解更多详细信息：

[常见问题解答] [AM625/AM623/AM620-Q1/AM62L/AM64x/AM243x \(ALV\)/AM62Ax/AM62D-Q1/AM62Px 设计建议/定制电路板硬件设计 — 有关处理器内核、PLL、VDD_CORE、VDDR_CORE、VPP 和其他内核电源的信息](#)

7.2 IO 组的 IO 电源的电源连接

7.2.1 AM62Ax 和 AM62D-Q1 IO 电源

这些处理器系列支持用于 IO 组 VDDSHV x [$x = 0-6$]、VDDSHV_MCU 和 VDDSHV_CANUART 的 IO 电源。这些 IO 组的 IO 电源支持连接双电压 (3.3V 或 1.8V , 固定或动态切换) 电源。每个双电压 IO 组的 IO 电源为一组固定的 IO (或外设) 供电。可将 3.3V 或 1.8V 电源电压连接到任意双电压 IO 组的 IO 电源。

具体 IO 电源要求取决于 IO 缓冲器类型 (LVC MOS、SDIO 或开漏型 I2C) 和所连接的外设。

以 MMC0、MMC1、MMC2 信号组为基准的 IO 组的 VDDSHV4、VDDSHV5 和 VDDSHV6 IO 电源旨在支持上电、下电或不依赖于其他处理器电源轨的动态电源电压变化 (切换) 。动态电压切换功能可支持 UHS-I SD 卡。

建议无论是否使用 IO , 都为 IO 组的 IO 电源连接有效电源。

根据所选的存储器类型 (LPDDR4) , 建议按照 ROC 连接 DDR PHY IO 电源和 DDR 时钟 IO 电源。

7.2.2 IO 组的 IO 电源的电源连接检查清单

通用

检查并验证定制原理图设计的以下内容 :

1. 已审阅上述用户指南 “所有章节的通用检查清单” 章节。
2. 电气特性中引用的标准包括建议的运行条件和任何其他可用信息。
3. IO 缓冲器类型和允许的电源配置。
4. 电源到所有 IO 组 IO 电源 (VDDSHV x [$x = 0-6$]、VDDSHV_MCU 和 VDDSHV_CANUART) 的连接。
5. 处理器 IO 电源的时序控制。
6. 处理器 DDRSS IO 电源的连接。
7. IO 上拉电源电压基准。

原理图审阅

定制原理图设计请遵循以下列表 :

1. 支持的 IO 组包括 LVC MOS、SDIO 和 I2C OD 型 IO 缓冲器。
2. IO 缓冲器类型 LVC MOS 支持固定 (1.8V 或 3.3V) 或 SDIO 类型动态电压切换 (1.8V 或 3.3V) 。
3. 将有效电源 (固定、1.8V 或 3.3V) 连接到 IO 组 IO 电源 (VDDSHV x [$x = 0-3$]、VDDSHV_MCU、VDDSHV_CANUART) , 并将动态切换式电源 (1.8V 或 3.3V) 连接到 IO 组 IO 电源 (VDDSHV x [$x = 4-6$]) 。
4. 以所连接器件接口信号为基准的 IO 组 IO 电源和连接器件 IO 电源连接到同一电源。
5. 上拉电阻连接到与处理器 VDDSHV x 和所连接器件相连的同一电源轨或电压电平。
6. 使用的 IO 电源应遵循符合处理器特定数据表的建议运行条件。
7. IO 电源连接和电源时序遵循处理器特定数据表。
8. 根据所选存储器类型 (LPDDR4) 连接处理器 DDRSS IO 电源 (PHY IO 和时钟 IO、VDDS_DDR 以及 VDDS_DDR_C 应来自同一电源) 。

其他

1. 基于所使用 IO 组 IO 电源的电压电平 (3.3V 或 1.8V) , 建议遵循符合处理器特定数据表的电源时序要求。
2. 特定 IO 组 IO 电源 (VDDSHV4、VDDSHV5 和 VDDSHV6) 支持动态电压切换。
3. 不建议或不允许以 LVC MOS IO 缓冲器为基准 (连接到该缓冲器) 的 IO 组 IO 电源进行动态电压切换 (VDDSHV0-3、VDDSHV_MCU、VDDSHV_CANUART) 。
4. 不建议将 3.3V 输入电源 (非时序控制、永久开启、连接到 PMIC 输入的 3.3V 电源) 直接连接到 IO 组 IO 电源 VDDSHV x , 因为如果 PMIC 未启动并生成其他处理器电源轨 , IO 电源将在未定义的时间内可用。建议参阅处理器特定数据表中更新的电源时序图。

7.3 存储器接口 (DDRSS (DDR4/LPDDR4)、MMCS (eMMC/SD 卡/SDIO)、OSPI/QSPI 和 GPMC)

7.3.1 DDR 子系统 (DDRSS)

该处理器系列支持 DDR 子系统 DDRSS0 的一个实例，并支持连接到 16 位或 32 位 SDRAM。

当前支持的使用 DDR 子系统 (DDRSS0) 的存储器接口是 LPDDR4 存储器接口。

请参阅以下常见问题解答：

[常见问题解答] AM625/AM623/AM620-Q1/AM62L/AM62Ax/AM62D-Q1/AM62Px/AM64x/AM243x (ALV) 定制电路板硬件设计的设计建议/常见错误 — DDRSS : DDR4/LPDDR4 存储器接口

[常见问题解答] AM625 : DDR4/LPDDR4 性能差异

[常见问题解答] AM625/AM623/AM620-Q1/AM62L/AM62A/AM62P/AM62D-Q1/AM64x/AM243x 设计建议/定制电路板硬件设计 — 与无源元件参数值、容差和额定电压相关的疑问

7.3.1.1 DDR4 SDRAM (双倍数据速率 4 同步动态随机存取存储器)

7.3.1.1.1 AM62Ax 和 AM62D-Q1 处理器系列

当前不受支持。

7.3.1.1.2 LPDDR4 SDRAM (低功耗双倍数据速率 4 同步动态随机存取存储器)

7.3.1.2.1 AM62Ax 和 AM62D-Q1 处理器系列

有关实现指南和布线拓扑，请参阅 [AM62Ax、AM62Px、AM62Dx LPDDR4 电路板设计和布局布线指南](#)。

7.3.1.2.1.1 存储器接口配置

允许的存储器配置为 1 (单) 个 32 位或 1 (单) 个 16 位

1 (单) 个 8 位存储器配置是不允许或无效的配置。

7.3.1.2.1.2 布线拓扑和存储器终端连接

使用 32 位单列或双列 LPDDR4 时，建议地址、CKE 和 CK 信号布线遵循平衡 T 拓扑。

使用 16 位单列 LPDDR4 时，遵循点对点拓扑。建议根据 [AM62Ax、AM62Px、AM62Dx LPDDR4 电路板设计和布局布线指南](#) 建议，连接未使用的数据选通引脚 (DDR0_DQS2-3 和 DQS2-3_n)。

LPDDR4 的数据接口信号连接拓扑结构是点对点的，分为不同的字节通道。

VTT 端接不适用于 LPDDR4 存储器类型。地址和控制信号所需的端接由内部 (片上) 支持 (处理) 。

7.3.1.2.1.3 用于 DDRSS 控制和校准的电阻

建议在靠近存储器 (LPDDR4) 器件处为 DDR0_RESET0_n (LPDDR4_RESET_N) 添加下拉电阻 ($10\text{k}\Omega$)。可选择在该下拉电阻两端并联滤波电容器 (47pF 或类似容值)。

建议按照处理器特定数据表或 SK/EVM 原理图的推荐方案，连接以下推荐的电阻：DDR0_CAL0 (IO 焊盘校准电阻，需靠近处理器校准引脚) 、ODT_CA_A 与 ODT_CA_B (SK/EVM 采用 $2.2\text{k}\Omega$ ，用于芯片选择信号 n ($n = 0-1$) 的 DDRSS 片上终端，需靠近存储器 (LPDDR4) 器件)，以及 ZQn (存储器件校准参考电阻， $n = 0-1$ ，需靠近存储器 (LPDDR4) 器件)。

7.3.1.2.1.4 电源轨的电容器

建议验证是否已为处理器 DDRSS 电源轨和存储器 (LPDDR4) 器件电源轨提供足够的大容量电容器和去耦电容器。

如无具体建议，建议遵循处理器特定 SK 或 EVM 实现方案。

7.3.1.2.1.5 数据位或字节交换

在定制电路板设计过程中，如果需要进行位交换，则允许在数据字节内进行位交换，以及在某些限制条件下进行跨字节交换。不支持地址位和控制位交换。

有关更多信息，请参阅 [AM62Ax、AM62Px、AM62Dx LPDDR4 电路板设计和布局布线指南](#) 的通道、字节和位交换一节。

建议根据位交换的变化更新原理图，包括供今后参考或重复使用的注释。

7.3.1.2.1.6 LPDDR4 实现检查清单

通用

检查并验证定制原理图设计的以下内容：

1. 已审阅上述用户指南“[所有章节的通用检查清单](#)”章节。
2. 所选存储器符合相关 JEDEC (JESD209-4B) 标准。
3. 使用的存储器配置。
4. 建议在原理图中添加布局布线说明（建议遵循 [AM62Ax、AM62Px、AM62Dx LPDDR4 电路板设计和布局布线指南](#)）。
5. 连接到处理器 DDRSS 外设电源轨和附加存储器件 IO 的电源轨。
6. 地址、时钟、控制和数据信号的连接。
7. 将 DDRSS RESETn 信号连接到 LPDDR4_RESET_N 存储器复位输入。
8. 将片选 CSn0、CSn1 连接到附加存储器件。
9. ODT 上拉电阻连接、DDR CAL0 和存储器 ZQn 电阻连接。
10. 交换数据位或数据字节。

原理图审阅

定制原理图设计请遵循以下列表：

1. 对于 LPDDR4 存储器接口，支持的存储器配置为 x16 和 x32。有关将 DDRSS 连接到 16 位或 32 位存储器件的信息，请参阅 [AM62Ax、AM62Px、AM62Dx LPDDR4 电路板设计和布局布线指南](#)。
2. 建议将所使用的大容量电容器和去耦电容器及容值与 SK 或 EVM 原理图实现方案进行比较。
3. 连接到处理器 DDRSS 外设电源和附加存储器件 IO 的电源轨遵循处理器和附加存储器件的 ROC。
4. 地址、时钟、控制和数据信号的连接。对于 LPDDR4 存储器接口，支持的数据总线宽度为 x16 和 x32。有关将 DDRSS 连接到 16 位或 32 位存储器件的信息，请参阅 [AM62Ax、AM62Px、AM62Dx LPDDR4 电路板设计和布局布线指南](#)。
5. 将 DDRSS RESETn 信号直接连接到 LPDDR4_RESET_N 存储器复位输入（以便在上电初始化期间使信号保持为低电平）。建议为 DDRSS RESETn 信号添加一个下拉电阻 ($10\text{k}\Omega$)，并将其放置在靠近存储器件复位输入引脚处。
6. 将片选 CSn0、CSn1 连接到附加存储器件。请根据所选存储器遵循 [AM62Ax、AM62Px、AM62Dx LPDDR4 电路板设计和布局布线指南](#)。
7. 通过电阻 ($2.2\text{k}\Omega$ 或类似阻值，建议不要连接 DDRSS 信号并遵循 SK 或 EVM 原理图) 将存储器件 ODT 上拉。
8. 将 DDR0_CAL0 DDRSS 的 IO 焊盘校准电阻 ($240\Omega, \pm 1\%$) 跨接于 DDR0_CAL0 和 VSS 之间。
9. 将 ZQ0、ZQ1、存储器件 IO 校准电阻 ($240\Omega, \pm 1\%$) 跨接于 ZQ 和 VDD_LPDDR4 之间。
10. 数据位或字节交换。遵循 [AM62Ax、AM62Px、AM62Dx LPDDR4 电路板设计和布局布线指南](#)。

7.3.2 多媒体卡/安全数字 (MMCSD)

该处理器系列支持 x3 (三个) 多媒体卡/安全数字卡 (MMC/SD/SDIO) (8b + 4b + 4b)。

7.3.2.1 MMC0 - eMMC (嵌入式多媒体卡) 接口

7.3.2.1.1 AM62Ax 和 AM62D-Q1 处理器系列

这些处理器系列支持 1 个可配置为 eMMC/SD/SDIO 接口的外设实例 MMC0。由于 **MMC0** 的时序已针对 **eMMC** 接口进行闭合设计，故推荐将 MMC0 用于 eMMC 接口。MMC0 支持 8 位 eMMC (嵌入式多媒体卡) 接口。有关支持的速率，请参阅处理器特定数据表的 **MMC0 - eMMC/SD/SDIO 接口** 一节，具体实施方式请参考 SK 或

EVM。当不用于 eMMC 接口时，MMC0 信号可用于板载 SDIO 接口、用作 IO 或其他支持的多路复用功能。不建议将 MMC0 端口用于 SD 卡接口。

有关 eMMC 存储器接口的更多信息，请参阅以下常见问题解答：

[常见问题解答] AM625/AM623/AM620-Q1/AM62L/AM64x/ AM243x (ALV)/AM62Ax/AM62D-Q1/AM62Px 定制电路板硬件设计的设计建议/常见错误 — eMMC 存储器接口

[常见问题解答] AM62A7：MMC0 拉电阻器要求

[常见问题解答] AM625/AM623/AM620-Q1/AM62L/AM62A/AM62P/AM62D-Q1/AM64x/AM243x 设计建议/定制电路板硬件设计 — 与无源元件参数值、容差和额定电压相关的疑问

有关更多信息，请参阅处理器特定数据表的 *MMC0 - eMMC/SD/SDIO 接口* 一节。

7.3.2.1.1.1 IO 电源

用于 MMC0 (eMMC) 接口的处理器 IO 以 VDDSHV4 电源轨 (IO 组 4 的 IO 电源) 为基准 (由其供电) 。

VDDSHV4 旨在支持上电、下电或不依赖于其他电源轨的动态电压切换，让其工作电压从 3.3V 更改为 1.8V。

建议将所连接器件的 VDDSHV4 和 IO 电源轨连接到同一电源。

附加器件的 VDD (内核电压) 可由独立 (不同的电源) 电源供电。

7.3.2.1.1.2 eMMC 接口信号连接

建议进行如下连接：

- 建议在靠近处理器时钟输出引脚处为 MMC0_CLK 信号添加一个串联电阻 ($0\ \Omega$) (建议使用串联电阻来控制可能出现的信号反射，以免导致时钟误跳变)。建议最初使用 $0\ \Omega$ 电阻值，并进行调整以匹配 PCB 布线阻抗。
- 建议为靠近附加器件时钟输入引脚的 MMC0_CLK 配置一个外部下拉电阻 ($10k\ \Omega$) (靠近附加 eMMC 器件时钟输入引脚)，以使时钟保持在低电平状态 (在某些情况下，时钟会在低逻辑状态下停止或暂停，而下拉电阻选项与该逻辑状态一致)，直到主机将信号配置为时钟。
- 建议为 MMC0_DAT0 和 MMC0_CMD 信号连接外部上拉电阻 ($47k\ \Omega$) (靠近 eMMC 器件)，以防止附加器件输入在主机软件驱动接口信号前悬空。
 - 对于 MMC0_DAT[7:1] 信号，上拉电阻为可选配置 (删除或 DNI)，因为在主机将总线宽度更改为 4 位或 8 位模式前，需要 (应) 使用附加 eMMC 器件 (需符合 eMMC JEDEC 标准 JESD84-B51) 来开启针对 MMC0_DAT[7:1] 信号的内部上拉电阻。当切换至 4 位模式时，主机应启用内部上拉电阻，而 eMMC 器件则应关闭针对 MMC0_DAT[3:1] 的内部上拉电阻。当切换至 8 位模式时，主机应启用内部上拉电阻，而 eMMC 器件则应关闭内部上拉电阻或 MMC0_DAT[7:1]。
- 建议在靠近 eMMC 器件处，为 DS 信号连接一个带测试点 (可选配置) 的下拉电阻。

7.3.2.1.1.3 eMMC (连接器件) 复位

建议使用双输入“与运算”逻辑来实现所连接器件的复位。将处理器 GPIO 作为与门的一个输入端进行连接，并在“与运算”逻辑与门输入端附近预留上拉电阻 ($10k\ \Omega$ 或 $47k\ \Omega$) 以支持引导，同时预留 $0\ \Omega$ 电阻，以便在测试或调试时隔离 GPIO 输出。与门的另一个输入是 MAIN 域热复位状态输出 (RESETSTATz)。

如果直接使用处理器 MAIN 域热复位状态输出 (RESETSTATz) (不使用“与运算”逻辑) 来复位所连接的器件，建议将 RESETSTATz 的 IO 电压电平与所连接器件匹配。建议使用电平转换器来匹配 IO 电平。若选择了电阻分压器的理想值，则也可使用电阻分压器进行电平转换。如果过高，eMMC 复位输入的上升/下降时间可能会很慢，从而引入过大延迟。若使用阻值过低的电阻作为分压器，会导致处理器在正常工作期间产生过大的稳态电流。

7.3.2.1.1.4 电源轨的电容器

建议验证是否为 VDDSHV4 电源轨和附加器件 (核心和 IO 电源) 提供了大容量电容器和去耦电容器 (如有推荐电容器则使用推荐型号，否则遵循相关的 SK 或 EVM 实现方案) 。

如无具体建议，建议遵循处理器特定 SK 或 EVM 实现方案。

7.3.2.1.1.5 MMC0 (eMMC) 检查清单

通用

检查并验证定制原理图设计的以下内容：

1. 已审阅上述用户指南 “所有章节的通用检查清单” 章节。
2. MMC0 接口符合 JEDEC eMMC 电气标准 v5.1 (JESD84-B51)，并采用软 eMMC PHY 设计。
3. 为 DAT0 和 CMD 信号连接拉电阻。
4. 为 MMC0_CLK 配置串联电阻并确定位置布局。
5. 为 MMC0_CLK 配置下拉电阻及阻值。
6. IO 组的处理器 IO 电源 (VDDSHV4) 和附加 eMMC 器件的 IO 电源。
7. 实现附加器件的复位逻辑，以支持引导模式配置。
8. 无需从附加器件引导时实现附加器件的复位逻辑。
9. 处理器与附加器件之间的复位信号 IO 电平兼容性。
10. 添加所需的电容器和容值。

原理图审阅

定制原理图设计请遵循以下列表：

1. 为处理器和附加器件的 IO 电源轨提供了所需的大容量电容器和去耦电容器。建议与 SK 原理图 (SK-AM62P-LP) 实现方案进行比较，以此作为设计起点。
2. 建议将 eMMC 存储器接口与 SK 或 EVM 原理图实现方案进行比较，以配置并联拉电阻、串联电阻及其阻值。
3. IO 组 VDDSHV4 的 IO 电源 (1.8V 或 3.3V) 和附加 eMMC 器件 IO 电源由同一电源供电并遵循 ROC。
4. 建议在靠近 eMMC 器件处为 MMC0_DAT[7:1] 配置外部上拉电阻为可选配置。(eMMC 器件 (只要 eMMC 器件符合 eMMC JEDEC 标准) 为数据信号 MMC0_DAT[7:1] 启用了上拉电阻。进入 4 位模式时，eMMC 器件会关断 MMC0_DAT[3:1] 上拉电阻，进入 8 位模式时则关断 MMC0_DAT[7:1] 上拉电阻。在软件更改模式时，eMMC 主机软件会打开相应的 MMC0_DAT[7:1] 上拉电阻)。
5. 建议在 MMC0_CLK 上配置一个串联电阻 (0Ω)，并将其放置在靠近处理器时钟输出引脚处。已配置串联电阻来控制可能引起时钟误跳变的信号反射。
6. 建议在靠近附加器件的时钟输入处为 eMMC 附加器件时钟信号添加一个下拉电阻 ($10k\Omega$) (因为在某些情况下，时钟会在低逻辑状态下停止或暂停，而下拉电阻选项与该逻辑状态一致)。
7. 若需要 eMMC 引导模式配置，可使用双输入“与运算”逻辑来实现 eMMC 附加器件的复位。处理器 GPIO 作为一路输入连接到与门，在“与运算”逻辑与门输入附近配置上拉电阻，并配置 0Ω 电阻以便在测试或调试时隔离 GPIO 输出。与门的另一个输入是 MAIN 域热复位状态输出 (RESETSTATz)。
8. 或者，也可直接连接热复位状态输出 RESETSTATz 以对附加器件进行复位。如使用 RESETSTATz，建议确保处理器复位状态输出与附加器件复位输入之间的 IO 电平相匹配。建议验证 IO 电平匹配实现 (电平转换器或电阻) 是否符合设计建议。
9. 若 eMMC 存储器不用于引导，附加 eMMC 器件的复位输入可仅由处理器 GPIO 控制。建议将 eMMC 存储器部件的复位输入端配置为下拉。

其他

1. “与运算”逻辑还会执行 IO 电平转换。建议在优化复位“与运算”逻辑时验证复位输入端的 IO 电平兼容性。IO 电平不匹配可导致电源泄漏并影响电路板性能。
2. 根据 eMMC JEDEC 标准，建议在 CMD 和 DAT0 上使用外部上拉电阻，同时还应确保附加 eMMC 存储器部件输入在软件初始化与 MMC0 接口关联的处理器 IO 之前不会悬空。建议使用外部拉电阻，因为与 MMC0 关联的 IO 是通过标准双电压 LVCMSO IO 单元实现的，并且能够将额外的信号功能多路复用到相应的器件引脚。复位期间 MMC0 IO 缓冲器处于禁用状态。
3. 建议验证 eMMC 存储器部件复位 eMMC_RSTn 是否已启用 (eMMC 非易失性配置空间)，以确保外部复位逻辑正常工作。GPIO 复位选项用于在外设无响应的情况下复位附加 eMMC 器件，而无需复位整个处理器。只有热复位状态输出可用于复位附加 eMMC 器件。外设无响应时软件会强制进行热复位。但是，使用热复位状

态输出会复位整个处理器，而不是尝试恢复特定外设而不复位整个处理器。当使用 **RESETSTATz** 来复位附加器件时，建议验证 **RESETSTATz** 的 IO 电平是否与附加器件的 IO 电平匹配。

4. 建议使用电平转换器来匹配复位 IO 电平。若选择了电阻分压器的理想值，则也可使用电阻分压器进行电平转换。如果过高，eMMC 复位输入的上升/下降时间可能会很慢，从而引入过大延迟。如果过低，则会导致处理器在正常运行期间提供过多的稳态电流。
5. 当直接连接 **RESETSTATz** 或处理器 IO 时，不建议在 eMMC 附加器件的复位输入端添加电容器。不建议使用应用 RC 的独立复位连接来复位 eMMC 存储器器件。

7.3.2.1.2 有关 eMMC PHY 的额外信息

建议参阅处理器特定数据表信号说明一节 **MMC、MAIN 域** 小节中的注释。

备注

不同处理器系列使用的 eMMC 控制器和 eMMC PHY IP 的实现方式可能有所不同。建议在迁移至其他处理器系列时，遵循适用于 eMMC 接口的处理器特定设计建议，包括推荐的端接方案。建议查看处理器特定数据表、TRM，并遵循针对处理器和连接器件的连接建议。

可参考处理器特定 SK 或 EVM 实施方案作为初始设计依据。

7.3.2.1.3 MMC0 – SD (安全数字) 卡接口

在 SK 或 EVM 原理图中的 MMC0 接口上实现了 eMMC 接口。MMC0 接口不支持 CD (卡检测) 和 WP (写保护) 功能 (引脚)，因此无法实现 SD 卡接口。

不使用 eMMC 接口时，建议将 MMC0 端口配置为 SDIO 嵌入式接口或支持的其他多路复用功能。建议在实现嵌入式 SDIO 接口之前，务必确认提供的软件支持 (使用 E2E)。

不建议将 SD 卡连接至 MMC0 端口。建议将 MMC1 端口配置为 SD 卡接口。

7.3.2.2 MMC1/MMC2 – SD (安全数字) 卡接口

处理器系列支持两个外设实例 MMC1、MMC2，可配置为 SD 卡接口。MMC1、MMC2 接口支持 4 位 SD 卡接口，包括对 UHS-I SD 卡的支持。建议使用 **MMC1 作为 SD 卡接口 (根据定制电路板设计要求)**。由于 MMC1 支持 SD 卡引导模式，且 MMC1 IO 连接到支持 SD 卡功能的 IO 组 IO 电源，因此建议使用 MMC1 实现 SD 卡接口。当 MMC2 接口用于实现 SD 卡接口时，需要将信号 (SDCD 和 SDWP) 多路复用到连接至 VDDSHV0 的 IO。

有关更多信息，请参阅处理器特定数据表的 **MMC1/MMC2-SD/SDIO 接口** 部分。

7.3.2.2.1 IO 电源

MMC1 (CMD、CLK 和 Data) 接口 IO 以 VDDSHV5 电源轨 (IO 组 5 的 IO 电源) 为基准 (由其供电)。VDDSHV5 旨在支持上电、下电或不依赖于其他电源轨的动态电压切换，让其工作电压随着传输速度的增加从 3.3V 更改为 1.8V。

建议 VDDSHV5 电源从 3.3V 开始，并且允许在软件应该 (需要) 更改 IO 电源电压时更改为 1.8V，以支持 UHS-I SD 卡。

建议在将 VDDSHV5 电源轨配置为 SD 卡接口模式时，为其采用可独立切换的独立电源 (分立式 LDO 或 PMIC)。

MMC1 SD 卡检测 (CD) 和写保护 (WP) 信号以 VDDSHV0 电源轨 (IO 组 0 的 IO 电源) 为基准 (由其供电)。建议将 MMC1_SD_CD 和 MMC1_SD_WP 的上拉电阻 (10kΩ 或 47kΩ) 连接到与 VDDSHV0 相连的同一电源轨 (固定电源)。

MMC2 (CMD、CLK 和 Data) 接口 IO 以 VDDSHV6 电源轨 (IO 组 6 的 IO 电源) 为基准 (由其供电)。VDDSHV6 旨在支持上电、下电或不依赖于其他电源轨的动态电压切换，让其工作电压随着传输速度的增加从 3.3V 更改为 1.8V。

建议 VDDSHV6 电源从 3.3V 开始，并且允许在软件应该（需要）更改 IO 电源电压时更改为 1.8V，以支持 UHS-I SD 卡。

建议在将 VDDSHV6 电源轨配置为 SD 卡接口模式时，为其采用可独立切换的独立电源（分立式 LDO 或 PMIC）。

MMC2 SD 卡检测 (CD) 和写保护 (WP) 信号以 VDDSHV6 (IO 组 6 的 IO 电源) 电源轨或 VDDSHV0 电源轨 (IO 组 0 的 IO 电源) 为基准（由其供电）。以 IO 组 0/6 IO 电源为基准（由其供电）的 IO 选择取决于具体用例。建议在靠近附加器件处为连接到 VDDSHV6 或 VDDSHV0 电源轨的 MMC2_SD_CD 和 MMC2_SD_WP (可选) 信号添加外部上拉电阻 (10kΩ)（取决于所选引脚 (IO)）。

7.3.2.2.2 信号连接

使用 MMC1 和 MMC2 信号实现 SD 卡接口时，建议进行以下连接：

7.3.2.2.1 用于 SD 卡接口的 MMC1 信号 (推荐)

- 建议在靠近处理器时钟输出引脚处，为 MMC1_CLK 添加一个串联电阻 (0Ω)，以控制可能出现的信号反射。建议在靠近附加器件输入处，为 MMC1_CLK 使用一个下拉电阻 (10kΩ)，以便在主机将信号配置为时钟前使时钟保持在低电平状态（在某些情况下，时钟会在低逻辑状态下停止或暂停，而下拉电阻选项与该逻辑状态一致）。
- 建议为 SD 卡数据信号 (MMC1_DAT[3:0]) 和 CMD 信号 (MMC1_CMD) 添加外部上拉电阻 (47kΩ)，以防止主机软件驱动接口信号前附加器件输入悬空。建议将 SD 卡接口信号上拉电阻连接到 IO 组 (MMC1 = VDDSHV5) 的双电压 IO 电源电源轨。
- 建议为连接到 VDDSHV0 电源轨的 MMC1_SD_CD 和 MMC1_SD_WP 信号添加外部上拉电阻 (10kΩ 或 47kΩ)（靠近附加器件 (SD 卡插槽)）。
- 插入 SD 卡时，处理器的 SD 卡检测 (SD_CD) 输入直接连接到接地端。建议使用一个串联电阻器 (100Ω) 限制电流，以防 IO 意外编程为输出。

7.3.2.2.2 用于 SD 卡接口的 MMC2 信号

- 建议为 MMC2_CLK 添加一个串联电阻器 (0Ω)（靠近处理器时钟输出引脚以控制可能的信号反射）。建议为靠近所连接器件输入的 MMC2_CLK 使用下拉电阻 (10kΩ)，以将时钟保持在低电平状态（在某些情况下，时钟在低逻辑状态下停止或暂停，并且下拉电阻选项与此逻辑状态一致），直到主机将信号配置为时钟。
- 建议为 SD 卡数据信号 (MMC2_DAT[3:0]) 和 CMD 信号 (MMC2_CMD) 添加外部上拉电阻器 (47kΩ)，以防止所连接器件输入悬空，直到主机软件驱动接口信号。建议将 SD 卡接口信号上拉电阻连接到双电压 IO 组 IO 电源 (MMC2 = VDDSHV6) 的电源轨。
- 要支持 SD 卡接口，建议将 MMC2_SD_CD 和 MMC2_SD_WP 信号作为基准（电源）连接到 VDDSHV0。建议为 MMC2_SD_CD 和 MMC2_SD_WP 信号添加外部上拉电阻 (10kΩ 或 47kΩ)，这些信号连接到与连接 VDDSHV0 电源轨相同的电源轨（靠近所连接器件 (SD 卡插槽)）。
- 插入 SD 卡时，处理器的 SD 卡检测 (SD_CD) 输入直接连接到接地端。建议使用一个串联电阻器 (100Ω) 限制电流，以防 IO 意外编程为输出。

7.3.2.2.3 其他信息

请参阅以下常见问题解答：

[常见问题解答] AM625/AM623/AM620-Q1/AM62L/AM64x/ AM243x (ALV)/AM62Ax/AM62D-Q1/AM62Px 定制电路板硬件设计的设计建议/常见错误 — SD 卡接口

[常见问题解答] AM62A7/AM62A3/AM62A1-Q1/AM62D-Q1：为什么 MMC1 由 VDDSHV0 和 VDDSHV5 这两个不同的电压电源供电？

[常见问题解答] AM62A7-Q1：如果未使用 SD 卡，如何连接引脚网络 VDDSHV4、VDDSHV5 和 VDDSHV6

[常见问题解答] AM6442 : AM6442 MMC1

[常见问题解答] AM625 : MMC 接口

这些是通用常见问题解答，也可用于 AM62A7、AM62A7-Q1、AM62A3、AM62A3-Q1、AM62A1-Q1 和 AM62D-Q1 处理器系列。

7.3.2.2.3 SD 卡电源开关 EN 复位逻辑

建议配置一个软件使能（控制）的电源开关（负载开关），该开关为 SD 卡提供电源（VDD）。一个固定的 3.3V 电源（处理器 IO 电源）连接作为电源开关的输入。

使用电源开关可以对 SD 卡电源进行下电上电（因为复位电源开关是复位 SD 卡的唯一方法），并在使用 UHS-I SD 卡时将其复位为默认状态。

建议使用 3 输入“与运算”逻辑来实现 SD 卡电源开关使能和复位逻辑。将处理器 GPIO 作为与门的一个输入端进行连接，并在“与运算”逻辑与门附近预留上拉电阻（ $10\text{k}\Omega$ 或 $47\text{k}\Omega$ ）以支持 SD 卡启动，同时预留 0Ω 电阻，以便在测试或调试时隔离 GPIO 输出。与门的其他两个输入是 MAIN 域 POR（冷复位）状态输出（PORz_OUT）和 MAIN 域热复位状态输出（RESETSTATz）。

建议将为 SD 卡供电的外部电源开关默认设置为开启（通电）状态，以支持 SD 卡启动。

有关实现的信息，请参阅处理器特定 SK 或 EVM。

7.3.2.2.4 SD 卡接口信号的外部 ESD 保护

建议为 SD 卡接口信号（数据、时钟和控制信号）提供外部 ESD 保护。内部 ESD 保护不能满足板级或终端设备级 ESD 要求。

7.3.2.2.5 用于 IO 组电源轨的 IO 电源电容器

建议验证是否为 VDDSHV0、VDDSHV5 和 VDDSHV6 电源轨和附加器件提供了大容量电容器和去耦电容器（如有推荐电容器则使用推荐型号，否则遵循相关的 SK 或 EVM 实现方案）。

如无具体建议，建议遵循处理器特定 SK 或 EVM 实现方案。

备注

建议遵循对于数据和控制信号的处理器特定连接建议。建议将时钟信号的串联电阻靠近处理器时钟输出引脚放置，以抑制可能出现的信号反射。

7.3.2.2.6 SD 卡接口 (MMC1) 检查清单

通用

检查并验证定制原理图设计的以下内容：

1. 已审阅上述用户指南“所有章节的通用检查清单”章节
2. 验证用于 SD 卡接口的 MMC 端口。建议将 MMC1 用于 SD 卡接口。
3. MMC1_CLK 的串联电阻和下拉电阻实现
4. MMC1_CMD 和 DAT[3:0] 信号接口
5. IO 组 IO 电源的电源连接
6. 用于数据、命令和时钟信号的拉电阻值
7. MMC1_SDCD 和 SDWP 信号连接的实现
8. 支持 UHS-I 卡的电路实现
9. 连接到 SD 卡电源开关输入的电源轨
10. SD 卡电源开关 EN 复位逻辑的实现
11. 为 SD 接口信号提供的 ESD 保护配置。

原理图审阅

1. 为电源轨提供了所需的大容量电容器和去耦电容器。当没有具体建议时，建议遵循处理器特定 SK 或 EVM 实现方案来实现大容量电容器和去耦电容器。
2. 连接到处理器 IO 组 IO 电源 VDDSHVx (VDDSHV5 和 VDDSHV0) 的电源轨遵循建议运行条件。

3. MMC1 CLK、CMD 和 DAT[3:0] 信号接口使用以 IO 组 IO 电源 VDDSHV5 为基准（由其供电）的 SDIO 缓冲器实现（SDIO 缓冲器类型 IO 支持动态电压切换 3.3V 或 1.8V，以支持 UHS-I SD 卡）。
4. 建议对数据和命令信号使用 $47\text{k}\Omega$ 上拉电阻，以满足 SD 卡规格（如果意外使能内部上拉电阻，则产生的上拉电阻（ $47\text{k}\Omega$ ，与内部上拉电阻并联）值仍处于指定范围内）。
5. MMC1_CLK 的串联电阻器（ 0Ω ）靠近处理器时钟输出引脚放置，用于控制可能的信号反射（可能导致错误的时钟转换）。置于所连接器件时钟输入附近的下拉电阻（ $10\text{K}\Omega$ ）。
6. MMC1_SDCD 和 SDWP 信号使用以 IO 组 IO 电源 VDDSHV0 为基准（由其供电）的 LVCMS 缓冲器实现（在固定 1.8V 或 3.3V 下运行）。
7. 建议在 SDCD 引脚上增加一个 100Ω 串联电阻器，因为当插入 SD 卡时，处理器 IO 会直接连接到接地端。
8. 为支持 UHS-I SD 卡，建议实现基于 LDO 或 PMIC 的分立式电源（能够在 3.3V 和 1.8V 之间切换输出），并将开关输出电压连接到以 SD 卡接口 IO 信号为基准（由其供电）的 IO 组的 IO 电源 VDDSHV5。
9. 为支持 UHS-I SD 卡，虽然 SD 卡接口的 IO 电压可以是 1.8V 或 3.3V，但 SD 卡 VDD 电源是固定的 3.3V 电源（3.3V_SYS，IO 组 IO 电源为 3.3V 电源）。
10. 建议配置一个软件使能（控制）的电源开关（负载开关），该开关为 SD 卡提供电源（VDD）。一个固定的 3.3V 电源（处理器 IO 电源）连接作为电源开关的输入。
11. 建议使用 3 输入“与运算”逻辑来实现 SD 卡电源开关使能和复位逻辑。处理器 GPIO 作为与门的输入之一连接，在“与运算”逻辑与门附近提供上拉电阻配置（以支持 SD 卡引导），并提供 0Ω 配置以隔离 GPIO 输出用于测试或调试。与门的其他两个输入是 MAIN 域 POR（冷复位）状态输出（PORz_OUT）和 MAIN 域热复位状态输出（RESETSTATz）。建议将为 SD 卡供电的外部电源开关默认设置为开启（通电）状态，以支持 SD 卡启动。

其他

1. 由于 MMC1 支持引导，建议将 SD 卡接口连接到 MMC1 接口。当主机切换 IO 工作电压以支持 UHS-I SD 卡时，MMC1_SDCD 和 MMC1_SDWP 输入的逻辑电平预计为固定值。MMC1_SDCD 和 MMC1_SDWP 信号连接到内部 SD 卡连接器开关，并通过连接到 VDDSHV0 的外部电阻器拉至高电平。
2. 由于 UHS-I SD 卡开始时以 3.3V IO 电平运行，并在 SD 卡切换到较高速度的数据传输模式之一时变为 1.8V IO 电平，因此实现动态电压切换。建议对任何可能悬空的处理器或所连接器件 IO 使用外部拉电阻（以防止所连接的器件输入在主机驱动之前悬空）。
3. 使用电源开关可以对 SD 卡电源进行下电上电（因为复位电源开关是复位 SD 卡的唯一方法），并在使用 UHS-I SD 卡时将其复位为默认状态。由于 SD 卡没有复位引脚，因此对 SD 卡进行断电加电循环（通过电源开关连接 SD 卡电源）是将 SD 卡切换回 3.3V IO 模式的唯一方法。要支持 UHS-I SD 卡，需要具有动态电源切换功能的 LDO 为处理器 IO 组 IO 电源供电。连接到 IO 组 IO 电源的处理器电源应与 SD 卡电源同时打开/关闭，并随之切换 IO 电压。控制电源的电路和软件驱动程序可验证两个器件是否关断/导通，以及是否在相同的 IO 电压下运行。
4. 在处理器引导期间，ROM 代码会检查卡检测输入（SDCD）的状态。建议将输入设置为低电平，以指示 SD 卡已插入（已检测到）。
5. 要使用 MMC2 接口信号实现 SD 卡接口，数据、CMD、时钟信号可以遵循 MMC1 连接。以 MMC2 信号为基准的 IO 组 IO 电源为 VDDSHV6。MMC2_SDCD 和 MMC2_SDWP 信号也可以 VDDSHV6 为基准。将 UHS-I SD 卡连接到 MMC2 需要将 MMC2_SDCD 和 MMC2_SDWP 连接到固定电源电压。建议使用备用引脚选项（IOSET）来实现信号功能，该选项使用以固定电压源 VDDSHV0 为基准的 LVCMS IO 类型。

7.3.2.3 MMC1/MMC2 SDIO（嵌入式）接口

处理器系列支持两个外设实例 MMC1、MMC2，可配置为 SDIO 接口。由于 MMC2 接口已在 SK 上针对 SDIO 接口进行了测试，因此建议将 MMC2 接口用于 Wi-Fi 或蓝牙收发器等板载固定电压嵌入式 SDIO 器件用例。MMC1 可根据需要用于 SDIO。由于尚未在 MMC1 上对 SDIO 接口进行测试，因此客户应检查软件支持的可用性，并对定制电路板设计执行所需的性能测试。

固定 IO 电源用于嵌入式 SDIO 接口，并简化了电源架构。使用的信号包括数据、命令、时钟和复位信号。连接 SDCD 和 SDWP 信号是可选的，并且可能取决于用例。

关于为嵌入式 SDIO 实现拉电阻（在所连接器件的内部提供或不提供拉电阻），没有特定的指南。实现嵌入式 SDIO 器件的定制电路板设计人员负责确定 SDIO 器件上支持的拉电阻，并在定制电路板设计中施加适当的外部拉

电阻。处理器 IO 缓冲器（用于多个 IO）在复位期间和复位后均处于关闭状态，并且在电路板引导和软件完成配置之前不会使能。为了防止输入悬空，建议对连接到可悬空的所连接器件输入端的信号使用外部拉电阻。

有关更多信息，请参阅处理器特定数据表的 **MMC1/MMC2-SD/SDIO 接口** 部分。

此外，请参阅以下常见问题解答：

[常见问题解答] **AM625/AM623/AM620-Q1/AM62L/AM64x/ AM243x (ALV)/AM62Ax/AM62D-Q1/AM62Px 定制电路板硬件设计的设计建议/常见错误 — SDIO (嵌入式) 接口**

7.3.2.3.1 IO 电源

MMC1 (CMD、CLK 和 Data) 接口 IO 以 VDDSHV5 电源轨 (IO 组 5 的 IO 电源) 为基准 (由其供电) 。 MMC1 SD 卡检测 (CD) 和写保护 (WP) 信号 (可选) 以 VDDSHV0 电源轨 (IO 组 0 的 IO 电源) 为基准 (由其供电) 。建议将 SDIO 接口的 **MMC1_SD_CD** 和 **MMC1_SD_WP** 的上拉电阻 ($10\text{k}\Omega$) 连接到同一电源轨 VDDSHV0 。

MMC2 (CMD、CLK 和 Data) 接口 IO 以 VDDSHV6 电源轨 (IO 组 6 的 IO 电源) 为基准 (由其供电) 。 MMC2 SD 卡检测 (CD) 和写保护 (WP) 信号 (可选) 以 VDDSHV6 (IO 组 6 的 IO 电源) 电源轨或 VDDSHV0 电源轨 (IO 组 0 的 IO 电源) 为基准 (由其供电) 。 SDIO 接口的 **MMC2_SD_CD** 和 **MMC2_SD_WP** 的上拉电阻 ($10\text{k}\Omega$) 可连接到 VDDSHV6 或 VDDSHV0 电源轨。

7.3.2.3.2 信号连接

备注

若未推荐拉电阻，建议遵循以下通用推荐做法。定制电路板设计人员负责审查附加器件支持的拉电阻，并确保未在外部添加极性相反的拉电阻。

建议为 MMC1 接口进行以下连接：

- 建议在靠近处理器时钟输出引脚处为 **MMC1_CLK** 连接一个串联电阻 (0Ω)，以控制可能出现的信号反射，并在靠近附加器件时钟输入引脚处为 **MMC1_CLK** 连接一个外部下拉电阻 ($10\text{k}\Omega$)，以使附加器件保持在低电平状态（在某些情况下，时钟会在低逻辑状态下停止或暂停，而下拉电阻选项与该逻辑状态一致）。
- 建议为连接到相应 IO 组双电压 IO 电源 (MMC1 = VDDSHV5) 电源轨的数据线路 (**MMC1_DAT[3:0]**) 和 CMD 信号 (**MMC1_CMD**) 添加外部上拉电阻 ($47\text{k}\Omega$)（靠近附加器件）。
- 建议为连接到 VDDSHV0 电源轨的 **MMC1_SD_CD** 和 **MMC1_SD_WP** (可选) 信号添加外部上拉电阻 ($10\text{k}\Omega$)（靠近附加器件）。

建议为 MMC2 接口进行以下连接：

- 建议在靠近处理器时钟输出引脚处为 **MMC2_CLK** 连接一个串联电阻 (0Ω)，以控制可能出现的信号反射，并在靠近附加器件时钟输入引脚处为 **MMC2_CLK** 连接一个外部下拉电阻 ($10\text{k}\Omega$)，以使附加器件保持在低电平状态（在某些情况下，时钟会在低逻辑状态下停止或暂停，而下拉电阻选项与该逻辑状态一致）。
- 建议为连接到相应 IO 组双电压 IO 电源 (MMC2 = VDDSHV6) 电源轨的数据线路 (**MMC2_DAT[3:0]**) 和 CMD 信号 (**MMC2_CMD**) 添加外部上拉电阻 ($47\text{k}\Omega$)（靠近附加器件）。
- 建议在靠近附加器件处为连接到 VDDSHV6 或 VDDSHV0 电源轨的 **MMC2_SD_CD** 和 **MMC2_SD_WP** (可选) 信号添加外部上拉电阻 ($10\text{k}\Omega$)（取决于所选引脚 (IO) ）。

7.3.2.3.3 SDIO (推荐使用 MMC2 , 嵌入式) 接口检查清单

通用

检查并验证定制原理图设计的以下内容：

- 已审阅上述用户指南 **“所有章节的通用检查清单”** 章节。
- 对于嵌入式 SDIO，其拉电阻 (CLK、DATA、CMD、SDCD、SDWP) 的实现尚无具体指南（提供或不提供连接器件内部的拉电阻）。实现嵌入式 SDIO 器件的定制电路板设计人员负责确定 SDIO 器件上支持的拉电阻，并在定制电路板设计中施加适当的外部拉电阻。
- 为 **MMC2_CLK** 实现串联电阻和下拉电阻

4. MMC2 CLK、CMD 和 DAT[3:0] 信号接口，以及 IO 组 IO 电源的电源连接
5. 实现 MMC2 SDSD 和 SDWP 信号连接
6. 实现附加器件的复位

原理图审阅

定制原理图设计请遵循以下列表：

1. 为电源轨提供了所需的大容量电容器和去耦电容器。当没有具体建议时，建议遵循处理器特定 SK 或 EVM 实现方案来实现大容量电容器和去耦电容器。
2. 使用以 IO 组 VDDSHV6 IO 电源为基准（由其供电）的 SDIO 缓冲器来实现 MMC2 CLK、CMD 和 DAT[3:0] 信号接口（SDIO 缓冲器类型 IO 支持动态电压切换（3.3V 或 1.8V）以支持 UHS-I SD 卡）。
3. 对于嵌入式 SDIO 应用，建议通过同一固定式 1.8V 或 3.3V 电源，为 IO 组的 IO 电源供电，该电源用于为附加器件（例如：Wi-Fi 模块）。
4. 使用以 IO 组 VDDSHV6 或 VDDSHV0 IO 电源（IOSET 配置）为基准（由其供电）的 LVCMS 缓冲器来实现 MMC2 SDSD 和 SDWP 信号，这些缓冲器在固定式 1.8V 或 3.3V 电压下工作。对于 SDIO 用例，由于 IO 电源不进行切换，可以使用 VDDSHV6。SDSD 和 SDWP 的使用取决于用例，没有具体建议。
5. MMC2_CLK 的串联电阻（ 0Ω ）应靠近处理器时钟输出引脚放置，以控制可能出现的信号反射（这可能会引起时钟误跳变）。将 MMC2_CLK 的下拉电阻（ $10k\Omega$ ）放置于靠近附加器件时钟输入处，以使时钟输入保持在低电平状态（在某些情况下，时钟会在低逻辑状态下停止或暂停，而下拉电阻选项与该逻辑状态一致）。建议在使用外部拉电阻时确认处理器或附加器件内部的拉电阻未配置。
6. 用于数据、命令和时钟信号的拉电阻值。建议遵循附加器件的相关建议，或将实现方案与 SK 或 EVM 原理图实现方案进行比较。当 SDIO 拉电阻没有可用建议时，作为一种良好的设计实践，建议使用 $47k\Omega$ 的上拉电阻值（以确保在内部拉电阻意外启用时仍符合 SD 卡规范）。使用 $47k\Omega$ 时，产生的拉电阻（ $(47k\Omega \text{ 外部上拉电阻与内部下拉电阻并联 })$ 阻值仍处于指定范围内。建议在使用外部拉电阻时确认处理器或附加器件内部的拉电阻未配置。
7. 连接到 IO 组 VDDSHVx（用于 SDIO 时为 VDDSHV6，配置 IO 集时为 VDDSHV0）处理器 IO 电源和附加器件 IO 电源的电源轨遵循 ROC。
8. 可使用处理器 IO 来实现附加器件复位。建议使用下拉电阻使附加器件保持在复位状态，直到主机初始化 SDIO 接口。

其他

1. 在复位期间和复位后，处理器 IO 缓冲器（TX（输出）和 RX（输入）以及内部拉电阻（上拉和下拉））均关闭。建议为任何可悬空的处理器或附加器件 IO 配置一个外部上拉电阻，以防止附加器件输入在主机驱动前悬空。建议为所有数据与命令信号使用上拉电阻。
2. 若接口信号通过附加卡连接，建议验证是否已为接口信号提供所需的外部 ESD 保护。
3. 使用 MMC1 作为嵌入式 SDIO 接口时，需要进行软件更改，因为 SK 或 EVM 仅在 MMC2 上实现 SDIO 接口。定制电路板设计人员负责执行性能测试。
4. 处理器 IO 缓冲器（用于 MMCx 信号）在复位期间和复位后均处于关闭状态，直到电路板启动并由软件配置后才会启用。为了防止输入悬空，建议对连接到可悬空的所连接器件输入端的信号使用外部拉电阻。为防止输入悬空，请对连接到可能悬空的附加器件输入端的任何信号使用外部拉电阻。

7.3.2.4 其他信息

建议参阅处理器特定数据表的信号说明、MMC、MAIN 域章节中的注释。

7.3.3 八路串行外设接口 (OSPI) 或四路串行外设接口 (QSPI)

备注

请参阅链接指向的部分，了解如何实现串联电阻和并联拉电阻：[处理器特定 SK 或 EVM 与数据表](#)。

这些处理器系列支持一个可配置为 OSPI0 或 QSPI0 接口的八路串行外设接口 (OSPI0) 实例。OSPI0 是一种串行外设接口 (SPI) 模块，允许对外部闪存器件进行单路、双路、四路或八路读取和写入访问。OSPI0 实例支持具备

DDR/SDR 功能的 OSPI/QSPI 接口。OSPI0 支持串行 NAND 和串行 NOR 闪存存储器件。OSPI0 外设具有存储器映射寄存器接口，可提供直接存储器接口用于从外部闪存器件访问数据，从而简化软件要求。

OSPI0 外设用于以存储器映射直接模式（例如处理器希望直接从外部闪存存储器执行代码）传输数据或以间接模式传输数据，其中模块设置为静默执行某些请求的操作，通过中断或状态寄存器发出完成信号。

对于间接操作，数据通过内部 SRAM 在系统存储器和外部闪存之间传输，器件控制器以低延迟系统速度加载该内部 SRAM 以进行写入，卸载以进行读取。中断或状态寄存器用于识别使用用户可编程配置寄存器访问该 SRAM 的特定时间。

有关详细信息，请参阅处理器特定数据表的 **OSPI/QSPI/SPI 电路板设计和布局布线指南**一节。

有关 OSPI 或 QSPI 存储器接口的更多信息，请参阅以下常见问题解答：

[常见问题解答] [AM625/AM623/AM620-Q1/AM62L/AM62Ax/AM62D-Q1/AM62Px 定制电路板硬件设计的设计建议/常见错误 — OSPI/QSPI 存储器接口](#)

[常见问题解答] [Sitara/Jacinto 器件的 OSPI 常见问题解答](#)

7.3.3.1 IO 电源

用于 OSPI0 (OSPI 或 QSPI) 接口的处理器 IO 以 VDDSHV1 电源轨 (IO 组 1 的 IO 电源) 为基准 (由其供电)。

建议将所连接器件的 VDDSHV1 和 IO 电源轨连接到同一电源。

附加器件的 VDD (内核电压) 可由独立 (不同的电源) 电源供电。

7.3.3.2 信号连接

建议进行如下连接：

- 建议在靠近处理器时钟输出引脚处为 OSPI0_CLK 连接一个串联电阻 (0Ω)，以控制可能出现的信号反射，并在靠近附加器件时钟输入引脚处为 OSPI0_CLK 连接一个外部下拉电阻 ($10k\Omega$)，以使附加器件保持在低电平状态 (在某些情况下，时钟会在低逻辑状态下停止或暂停，而下拉电阻选项与该逻辑状态一致)。
- 建议在靠近处理器时钟输出引脚处为 OSPI0_LBCLKO 配置一个串联电阻 (0Ω)，以便连接或断开 LBCLKO。
- 建议在靠近附加器件输入处为 CS 信号添加外部上拉电阻 ($10k\Omega$) 的配置。
- 建议在配置为中断输入的处理器 IO 输入附近为 INT# 输出添加外部上拉电阻 ($10k\Omega$) 的配置。
- 建议为连接到附加器件输入 (信号) 的数据线 (DAT0:7) 提供外部上拉电阻 ($10k\Omega$ 或 $47k\Omega$) 的配置，以防止附加器件输入在主机驱动前悬空。建议将上拉电阻连接到用于为 VDDSHV1 电源轨供电的同一电源。

7.3.3.3 OSPI/QSPI 器件复位

建议使用双输入“与运算”逻辑来实现所连接器件 (OSPI/QSPI 存储器) 的复位。将处理器 GPIO 作为与门的一个输入端进行连接，并在“与运算”逻辑与门输入端附近预留上拉电阻 ($10k\Omega$ 或 $47k\Omega$) 以支持引导，同时预留 0Ω 电阻，以便在测试或调试时隔离 GPIO 输出。与门的另一个输入是 MAIN 域热复位状态输出 (RESETSTATz)。

如果直接使用处理器 MAIN 域热复位状态输出 (RESETSTATz) (不使用“与运算”逻辑) 来复位所连接的器件，建议将 RESETSTATz 的 IO 电压电平与所连接器件匹配。建议使用电平转换器来匹配 IO 电平。若选择了电阻分压器的理想值，则也可使用电阻分压器进行电平转换。如果过高，OSPI/QSPI 复位输入的上升/下降时间可能会很慢，从而引入过大延迟。若使用阻值过低的电阻作为分压器，会导致处理器在正常工作期间产生过大的稳态电流。

除了数据、时钟和芯片选择输入外，建议选择支持外部复位输入引脚的存储器件。

7.3.3.4 环回时钟

请参阅处理器特定数据表的 **OSPI/QSPI/SPI 电路板设计和布局布线指南**部分。该部分介绍了在连接 OSPI、QSPI 或 SPI 存储器件时建议遵守的 PCB 布线指南。

建议验证环回时钟配置。可以使用 OSPI0_LBCLKO (OSPI0 环回时钟输出) 和 OSPI0_DQS (OSPI0 数据选通或环回时钟输入) 信号实现不同的时钟环回配置。有关支持的环回配置的相关信息，请参阅处理器特定数据表的 **OSPI/QSPI/SPI 电路板设计和布局布线指南** 部分中的下图：

- 无环回、内部 PHY 环回和内部焊盘环回的 OSPI 连接原理图
- 外部板环回的 OSPI 连接原理图
- DQS 的 OSPI 连接原理图

外部电路板级环回

处理器 DQS (或环回时钟输入) 与连接存储器件的 DS 数据选通输出搭配使用

如果所连接器件中有 DS (读取数据选通) 引脚，建议将所连接器件的 DS 引脚连接到处理器的 OSPI0_DQS 引脚。建议在不使用 OSPI0_LBCLKO 引脚时将其保持未连接状态。

如果所连接器件上没有 DS 引脚 (例如 : QSPI) ，建议配置外部环回。

建议将处理器的 OSPI0_LBCLKO 输出引脚连接到处理器的 OSPI0_DQS 输入引脚 (注意长度匹配要求) 。

不使用外部环回时，建议将 OSPI0_LBCLKO 和 OSPI0_DQS 引脚保持未连接状态。

备注

为支持传统 x1 命令，建议将处理器 OSPI0 接口的 D0 和 D1 引脚连接到 OSPI/QSPI 存储器件的 D0 和 D1 引脚。禁止进行数据位交换。

7.3.3.5 多个 (连接) 器件的接口

当前不支持将 OSPI0 外设 (存储器接口) 连接到多个存储器件。建议将 OSPI0 接口 (处理器) 连接到一个存储器件。当 OSPI0 连接到多个存储器件时，该接口会创建一条拆分的数据总线，这可能会降低更高速条件下的信号完整性。为了使用 OSPI0 以更高的速度访问存储器件，建议 OSPI0 接口信号使用点对点连接方式。

7.3.3.6 电源轨的电容器

建议验证是否为 VDDSHV1 电源轨和附加器件 (核心和 IO 电源) 提供了大容量电容器和去耦电容器 (如有推荐电容器则使用推荐型号，否则遵循相关的 SK 或 EVM 实现方案) 。

如无具体建议，建议遵循处理器特定 SK 或 EVM 实现方案。

7.3.3.7 OSPI0 或 QSPI0 外设接口实现检查清单

通用

检查并验证定制原理图设计的以下内容：

1. 已审阅上述用户指南 “[所有章节的通用检查清单](#)” 章节。
2. 所需的存储器接口配置和推荐的连接方式。
3. 处理器与附加器件之间的 IO 电平兼容性。连接附加器件 IO 电源和以 OSPI0 接口信号为基准 (由其供电) 的 IO 组 IO 电源。
4. 为 OSPI0_CLK 配置串联电阻和下拉电阻。
5. 为数据和控制信号配置上拉电阻。
6. 处理器与附加器件之间的 IO 电平兼容性。
7. 实现复位逻辑和连接附加器件的复位输入。
8. 基于存储器件和所选接口 (OSPI/QSPI) 的时钟环回配置。
9. 连接来自存储器 (QSPI) 的 DQS 输入或来自处理器 (QSPI) 的 LBCLKO。

原理图审阅

定制原理图设计请遵循以下列表：

1. 建议将 OSPI0 或 QSPI0 存储器接口与 SK 或 EVM 原理图实现方案进行比较，以配置并联拉电阻、串联电阻及其阻值。
2. 建议将附加器件复位逻辑的实现方式与 SK 或 EVM 原理图实现方案进行比较。
3. 为 OSPI0_CLK 配置串联电阻 (0Ω) (靠近处理器时钟输出引脚，以控制可能出现的信号反射)，并为 OSPI0_CLK 配置外部下拉电阻 ($10k\Omega$) (靠近附加器件的时钟输入引脚)，以使附加器件保持在低电平状态 (在某些情况下，时钟会在低逻辑状态下停止或暂停，而下拉电阻选项与该逻辑状态一致)。
4. 为可悬空的数据和控制信号提供上拉电阻 ($10k\Omega$ 或 $47k\Omega$) 的配置，以防止在主机驱动前附加器件输入悬空。建议验证连接到上拉电阻的电源。
5. 不建议也不允许将 OSPI0 接口连接到多个附加器件 (超过 1 个附加器件)。
6. 处理器与附加器件之间的 IO 电平兼容性。附加器件 IO 电源和以 OSPI0 接口信号为基准 (由其供电) 的 IO 组 VDDSHV1 IO 电源连接到同一电源。
7. 连接到 IO 组 VDDSHV1 IO 电源 (以 OSPI0 外设为基准 (由其供电)) 和附加器件 IO 电源的电源轨遵循 ROC。
8. 基于用例实现外部环回。
9. 连接来自 OSPI 存储器件的 DQS 并在处理器附近为 DQS 输入添加下拉电阻。
10. 通过 0Ω 电阻将 OSPI0_LBCLKO 连接至 QSPI 存储器件。
11. 不建议在复位或电源斜升期间将复位输入上拉至高电平状态。
12. 在用于引导时使用双输入 (RESETSTATZ 和处理器 IO) “与运算” 逻辑或主域热复位状态输出 RESETSTATZ 实现复位逻辑。
13. 当 OSPI0 接口未用于引导时，可使用处理器 IO 来实现复位逻辑。建议在复位输入附近使用一个下拉电阻。

其他

1. 建议验证是否遵循处理器特定数据表的 OSPI/QSPI/SPI 电路板设计和布局布线指南部分。
2. 如果实现了 OSPI/QSPI 引导模式，建议验证器件勘误表、所选存储器是否满足处理器特定 TRM 中描述的引导标准 (或建议使用 E2E 向 TI 验证)。

7.3.4 通用存储器控制器 (GPMC)

处理器系列支持一个通用存储器控制器 (GPMC0) 实例，可使用 8 位或 16 位 NAND 闪存接口信号将其连接到 NAND 闪存，或使用处理器特定数据表和器件比较表列出的支持并行存储器接口 (同步或异步) 选项将其连接到 NOR 闪存。

通用存储器控制器是一个统一的存储器控制器，专用于与外部存储器器件连接，例如：

- 类似 SRAM 的异步存储器和应用特定集成电路 (ASIC) 器件
- 异步、同步和页面模式 (仅在非多路复用模式下可用) 突发 NOR 闪存器件
- NAND 闪存
- 伪 SRAM 器件

请参阅处理器特定 TRM 中存储器接口一章的通用存储器控制器 (GPMC) 一节，了解支持的 GPMC 功能、各种访问类型以及 GPMC 接口可以与之通信的各种外部器件。有关支持的信号，请参阅处理器特定 TRM 的 GPMC I/O 信号部分，以及处理器特定数据表的信号说明、GPMC MAIN 域 GPMC0 信号说明部分。

7.3.4.1 IO 电源

用于 GPMC 接口的处理器 IO 以 VDDSHV3 电源轨 (IO 组 3 的 IO 电源) 为基准 (由其供电)。

建议将所连接器件的 VDDSHV3 和 IO 电源轨连接到同一电源。

附加器件的 VDD (内核电压) 可由独立 (不同的电源) 电源供电。

7.3.4.2 GPMC 接口

建议验证所使用的存储器接口配置和连接至 GPMC 接口的附加器件数量。

建议在配置为同步模式时，将 GPMC 接口连接到 1 (单) 个器件。使用多个附加器件 (CSn) 需要拆分板载 GPMC 时钟 (及其他接口信号)，这可能会引起信号完整性问题并影响性能。

在异步模式下连接多个器件时，建议进行详细的时序分析。在异步模式下连接多个器件时，必须将控制信号路由到多个器件。拆分路由和负载（布线长度和器件数量）会影响定制电路板的性能。

7.3.4.3 信号连接

建议在靠近处理器时钟输出引脚处为 GPMC0_CLK 连接一个串联电阻 (0Ω)，以控制可能出现的信号反射，并在靠近附加器件时钟输入引脚处为 GPMC0_CLK 连接一个外部下拉电阻 ($10k\Omega$)，以使附加器件保持在低电平状态（在某些情况下，时钟会在低逻辑状态下停止或暂停，而下拉电阻选项与该逻辑状态一致）。

建议在 GPMC0_CSn0-3（具体取决于配置）上配置外部上拉电阻 ($10k\Omega$)，以防止附加器件输入在主机驱动前悬空。

建议为 GPMC 地址和数据接口信号配置外部拉电阻 ($10k\Omega$)，以防止附加器件输入在主机驱动前悬空。

7.3.4.3.1 GPMC NAND

源自 NAND 闪存的高电平有效就绪和低电平有效繁忙 (R/B#) 输出为开漏输出型信号，并连接至 GPMC0_WAIT0 和 GPMC0_WAIT1 信号（具体取决于配置）。建议在靠近附加器件处添加上拉电阻（常用阻值为 $10k\Omega$ ）。

7.3.4.4 存储器（连接的器件）复位

当通过 GPMC 接口使用 NAND 闪存或 NOR 闪存时，复位输入的可用性取决于所选存储器件。

若存储器件支持复位引脚，建议检查所需的复位配置并将相关的外部复位输入信号连接到存储器复位输入引脚，包括实现 2 输入“与运算”逻辑。在复位引脚上添加一个上拉电阻会在电源斜升期间使能存储器，此做法不推荐。

7.3.4.5 电源轨的电容器

建议验证是否为 VDDSHV3 电源轨和附加器件（核心和 IO 电源）提供了大容量电容器和去耦电容器（如有推荐电容器则使用推荐型号，否则遵循相关的 SK 或 EVM 实现方案）。

如无具体建议，建议遵循处理器特定 SK 或 EVM 实现方案。

7.3.4.6 GPMC 接口检查清单

通用

检查并验证定制原理图设计的以下内容：

1. 已审阅上述用户指南“[所有章节的通用检查清单](#)”章节。
2. GPMC 接口配置和建议的连接。
3. GPMC0 时钟的串联电阻和下拉电阻连接。
4. 处理器与附加器件之间的 IO 电平兼容性。
5. IO 所需上/下拉电阻的连接。
6. 支持的地址和数据范围。
7. 来自 NAND 闪存的开漏输出型信号高电平有效就绪和低电平有效繁忙 (R/B#) 输出的连接。
8. 为替代功能 (GPMC 接口) 配置的引导模式输入。
9. 所需的 GPMC 接口时序与计算时序以及布局对时序影响之间的关系。在异步模式下连接多个器件时执行的时序和 IO 负载计算。

原理图审阅

定制原理图设计请遵循以下列表：

1. GPMC 接口配置和建议的连接。GPMC 存储器 NAND/NOR、地址和数据信号的连接 - 多路复用或非多路复用、同步或异步数据位宽度符合处理器特定 TRM。
2. 支持的地址和数据范围（处理器引脚引出的 IO，如处理器特定数据表中所述）。
3. 处理器与附加器件之间的 IO 电平兼容性。以 GPMC 接口信号为基准（由其供电）的附加器件 IO 电源和 IO 组 VDDSHV3 的 IO 电源连接至同一电源。
4. 为可能悬空的接口信号提供建议的拉电阻 ($47k\Omega$)，以防止附加器件输入在主机驱动前悬空。

5. 建议在 GPMC0_CSn0-3 (取决于配置) 上配置外部上拉电阻，以防止附加器件输入在主机驱动前悬空。
6. 为 GPMC0_CLK 配置串联电阻 (0Ω) (靠近处理器时钟输出引脚，以控制可能出现的信号反射)，并为 GPMC0_CLK 配置外部下拉电阻 ($10k\Omega$) (靠近附加器件的时钟输入引脚)，以使附加器件保持在低电平状态 (在某些情况下，时钟会在低逻辑状态下停止或暂停，而下拉电阻选项与该逻辑状态一致)。
7. 与 IO 组 VDDSHV3 IO 电源 (以 GPMC0 外设和附加器件的 IO 电源为基准 (由其供电)) 相连的电源轨均取自同一电源，并遵循 ROC。
8. 源自 NAND 闪存的开漏输出型信号——高电平有效就绪输出和低电平有效繁忙 (R/B#) 输出会连接至 GPMC0_WAIT0 和 GPMC0_WAIT1 信号 (具体取决于配置)。建议在靠近附加器件的位置提供上拉电阻 (常用阻值为 $10k\Omega$)。
9. 为替代功能 (GPMC 接口) 配置的引导模式输入需通过一个 0Ω 电阻连接，以便能够隔离以检查引导模式功能。

7.4 外部通信接口 (以太网 (CPSW3G0)、USB2.0、UART 和 MCAN)

备注

请参阅链接指向的部分，了解如何实现串联电阻和并联拉电阻：[处理器特定 SK 或 EVM 与数据表](#)。

7.4.1 以太网 (MAC) 接口

这些处理器系列支持 2 (两) 个具有独立 MAC ID 的独立以太网接口 (使用 CPSW3G0 外设)。每个 MAC 接口均支持 RGMII 或 RMII 接口。

有关以太网接口的更多信息，请参阅以下常见问题解答：

[常见问题解答] [AM6442、AM6441、AM6422、AM6421、AM6412、AM6411 和 AM2434、AM2432、AM2431 \(ALV、ALX\) 定制电路板硬件设计 - 以太网](#)

这是通用常见问题解答，也可用于 AM62A7、AM62A7-Q1、AM62A3、AM62A3-Q1、AM62A1-Q1 和 AM62D-Q1 系列处理器。

[常见问题解答] [AM625/AM623/AM620-Q1/AM62Ax/AM62Px/AM62D-Q1/AM62L/AM64x/AM243x 设计建议/定制电路板硬件设计 - 与 RGMII 接口和 RGMII TI EPHY 相关的疑问](#)

[常见问题解答] [AM625/AM623/AM620-Q1/AM62Ax/AM62Px/AM62D-Q1/AM62L/AM64x/AM243x 设计建议/定制电路板硬件设计 - 与 RMII 接口和 RMII TI EPHY 相关的疑问](#)

[常见问题解答] [AM625/AM623/AM620-Q1/AM625-Q1/AM625SIP : 以太网 PHY RGMII 同步时钟](#)

这是通用常见问题解答，也可用于 AM62A7、AM62A7-Q1、AM62A3、AM62A3-Q1、AM62A1-Q1 和 AM62D-Q1 系列处理器。

7.4.1.1 通用平台 3 端口千兆位以太网交换机 (CPSW3G0)

该处理器系列支持 CPSW3G0 以太网交换机的一个实例 (带两个外部端口)，可以配置为三端口交换机 (连接到两个外部以太网端口 (端口 1 和 2)) 或具有各自 MAC 地址的双独立 MAC 接口。

CPSW3G0 支持每个外部以太网接口端口的 RGMII (10/100/1000) 或 RMII (10/100) 接口。在 RGMII 接口中，TDx (处理器发送的数据) 数据路径和 RDx (处理器接收的数据) 数据路径彼此完全独立，各自拥有独立的时钟和数据信号，用于执行源同步数据传输。

7.4.1.1.1 IO 电源

处理器 MAC 接口 (CPSW3G0) 信号 (IO，用于与 EPHY 进行以太网接口通信) 以 VDDSHV2 电源轨 (IO 组 2 的 IO 电源) 为基准 (由其供电)。建议将 VDDSHV2 和附加器件的 IO 电源轨 (EPHY) 连接到同一电源。

附加器件 (EPHY) 的 VDD (内核电压) 可由独立 (不同的电源) 电源供电。

7.4.1.1.2 MAC (数据、控制和时钟) 接口信号连接

建议为处理器以太网 MAC 接口信号配置串联电阻器 (0Ω) (对于 TDx 信号，建议将其置于处理器 MAC 接口引脚附近)。建议使用尽可能小的封装 (0402 或更小) 并将串联电阻器靠近源极放置。可以在测试期间调整电阻值。对于 RDx 信号，可以使用 EPHY 提供的内部阻抗控制 (如果 EPHY 支持) 选项。如果空间充足或 EPHY 不支持内部阻抗控制，建议在 RDx 信号端提供外部串联电阻器 (0Ω) 配置。

EPHY 的中断输出可以连接到处理器 EXTINTn (中断) 引脚。建议为 EXTINTn 连接一个靠近处理器的上拉电阻 ($10\text{k}\Omega$ 或 $47\text{k}\Omega$)。

7.4.1.1.3 EPHY 复位

可以使用 3 输入“与运算”逻辑来实现连接器件 (EPHY) 复位。将处理器 GPIO 作为与门的一个输入端进行连接，并在“与运算”逻辑与门输入端附近预留上拉电阻 ($10\text{k}\Omega$ 或 $47\text{k}\Omega$) 以支持引导，同时预留 0Ω 电阻，以便在测试或调试时隔离 GPIO 输出。与门的其他两个输入是 MAIN 域 POR (冷复位) 状态输出 (PORz_OUT) 和 MAIN 域热复位状态输出 (RESETSTATz)。

如果考虑使用双输入“与运算”逻辑，则 PORz_OUT (加电时的引脚配置 (strap)) 或 RESETSTATz 可作为其中一个输入连接，处理器 GPIO 输入作为另一个 (第二个) 输入连接。当使用多个 (两个) EPHY 时，建议提供单独复位 EPHY 的配置。

根据 EPHY 复位输入极性，可以在“与运算”逻辑的输出端使用上拉或下拉电阻 ($10\text{k}\Omega$)。在时钟有效后，EPHY 需要保持在复位状态，持续指定的最短时间。

如果直接使用处理器 MAIN 域热复位状态输出 (RESETSTATz) 来复位 EPHY (所连接的器件)，建议将 RESETSTATz 的 IO 电压电平与所连接器件匹配。建议使用电平转换器来匹配 IO 电平。若选择了电阻分压器的理想值，则也可使用电阻分压器进行电平转换。如果过高，EPHY 复位输入的上升/下降时间可能会很慢，从而引入过大延迟。若使用阻值过低的电阻作为分压器，会导致处理器在正常工作期间产生过大的稳态电流。

7.4.1.1.4 以太网 PHY (和 MAC) 运行和媒体独立接口 (MII) 时钟

建议使 EPHY 和处理器的时钟规格相匹配。

7.4.1.1.4.1 晶体用作处理器和 EPHY 时钟源

若使用晶体作为 EPHY 的时钟源，建议将晶体 (时钟) 规格与处理器时钟规格相匹配。

7.4.1.1.4.2 外部振荡器用作时钟源

外部 (LVCMS) 振荡器可用作处理器 (和 EPHY) 的时钟源。可以使用一 (单) 个振荡器或多个振荡器 (每个 EPHY 和处理器都有单独的振荡器)。使用一 (单) 个振荡器时，建议在连接到处理器和 EPHY 之前缓冲振荡器时钟输出 (对每个连接器件的时钟输入使用单独的缓冲器)。

单通道 (具有单输入和单输出) 缓冲器或具有双路或多路输出缓冲器的单输入可用于将振荡器的时钟输出连接到处理器和 EPHY。对于特定用例 (使用时间敏感网络 (TSN) 的某些工业应用的要求)，建议将单输入和两个或更多输出 (根据所使用的 EPHY 数量) 缓冲器用于处理器和 EPHY。

建议验证 EPHY 的 XO 是否根据建议的指南进行连接。

7.4.1.1.4.3 处理器时钟输出 (CLKOUT0)

为了优化定制电路板设计，处理器时钟输出 (CLKOUT0) 可用作 EPHY 的时钟源 (输入)。CLKOUT0 在内部进行缓冲，用于以点对点时钟拓扑方式连接。建议在连接到所连接器件 (EPHY) 的时钟输入之前 (单独) 对 CLKOUT0 进行缓冲。建议在 CLKOUT0 的源极端安装一个串联电阻 (0Ω ，测试后调整)，以控制可能的信号反射。

使用 RGMII 接口的 EPHY 需要一个与任何其他信号都不同步的 25MHz 时钟输入。 25MHz 时钟没有任何时序要求，但需要确保 EPHY 在时钟输入端不接收任何非单调转换。

当 EPHY 配置为 RMII 接口时，时钟设置选项取决于 EPHY 配置。

EPHY 配置为控制器时，许多 RMII EPHY 都需要一个与任何其他信号都不同步的 25MHz 输入时钟，该 25MHz 时钟信号没有任何时序要求，但务必要确保 EPHY 在时钟输入端不接收任何非单调转换。

RMII EPHY 为 MAC 提供 50MHz 时钟输出。在 RMII 用例中，相对于 EPHY，50MHz 数据传输时钟会延迟（硬件延迟）传递至 MAC。延迟会转换时钟数据时序关系，从而会减小时序裕量。如果延迟较大，逐渐缩小的时序裕度可能会对某些设计造成问题。

EPHY 配置为器件时，MAC 和 EPHY 使用一个与发送和接收数据同步的 50MHz 公共时钟。50MHz 时钟在 RMII 规范中定义为供 MAC 和 EPHY 使用的通用数据传输时钟信号，这种情况下，转换预计会同时到达 MAC 和 EPHY 器件引脚。通用时钟可以为发送和接收数据传输提供更好的时序裕量。需要确保 MAC 和 EPHY 不会在时钟输入端接收任何非单调转换。为了掌控时钟信号完整性，建议通过单输入、双输出相位对齐缓冲器路由通用时钟信号。建议使用与一半数据信号长度等长的信号布线来连接时钟缓冲器输出，其中一个时钟输出连接到 MAC，另一个连接到 EPHY。

对于 RMII 接口，建议的配置是处理器特定 TRM 中所述的 *RMII 接口典型应用 (外部时钟源)*。使用 *RMII 接口典型应用 (内部时钟源)* 配置时，建议在电路板级别验证性能。建议提供连接外部时钟的配置，以进行初始性能测试以及与内部时钟的比较。

在处理器和 EPHY (在 SK 或 EVM 电路板上使用) 上使用 25MHz 时钟频率验证以太网性能 (RGMII)。

可以使用 CLKOUT0 为处理器 (MAC) 和 EPHY 提供 25MHz 或 50MHz 时钟。在软件配置时钟输出后，CLKOUT0 输出将可用。需要支持以太网引导时，不建议使用 CLKOUT0 配置。只要更改配置，作为 EPHY 时钟输入连接的 CLKOUT0 就可能出现故障。

WKUP_CLKOUT0 是 MCU_OSC0_XO 的缓冲输出，在处理器复位后提供。时钟输出在时钟开始切换后不会出现故障。但是，第一个高电平脉冲或低电平脉冲可能很短，因为复位是与 MCU_OSC0 时钟异步释放的。

处理器特定数据表中未规定处理器时钟输出性能，因为时钟性能可能会受到每种定制电路板设计特有的许多变量的影响。建议定制电路板设计人员使用实际 PCB 延迟、最小或最大输出延迟特性以及每个器件的最低建立和保持要求来验证所有外设的时序，以确认是否有足够的时序裕量。

7.4.1.1.5 以太网 PHY 引脚配置 (strap)

部分 TI EPHY 在复位期间将输出配置为输入，并在释放 EPHY 复位时锁存 EPHY 配置（通过电阻器进行引脚配置 (strap)）。建议在配置 (strap) 输入 (IO) 上应用适当的上拉或下拉电阻（根据 EPHY 建议）（配置 (strap) 输入同时连接到处理器 IO）。处理器特定 SK 或 EVM 上使用的 TI EPHY 结合使用了上拉和下拉电阻，从而可以使用每个引脚来配置多种配置模式。在处理器复位期间，IO 缓冲器和内部上拉或下拉电阻均处于禁用状态，这样就尽可能减少了 EPHY 向处理器输入缓冲器施加 $1/2 V_s$ 电压的问题。使能任何相关的处理器输入缓冲器之前，需要将 EPHY 从复位状态配置为正常状态，以驱动有效的逻辑状态。

7.4.1.1.6 外部中断 (EXTINTn)

EXTINTn 是一种开漏输出类型失效防护 IO 缓冲器。当连接 PCB 布线并且外部输入未被主动驱动时，建议连接外部上拉电阻（ $10\text{k}\Omega$ 或 $47\text{k}\Omega$ ）。漏极开路输出类型 IO 缓冲器在上拉至 3.3V 时具有指定的转换率要求。建议使用 RC（延迟）来限制输入压摆率。建议将电容器放置在靠近处理器引脚的位置。

有关更多信息，请参阅以下常见问题解答：

[常见问题解答] [AM625/AM623/AM620-Q1/AM625-Q1/AM625SIP/AM62L/AM62A7/AM62A3/AM62A1-Q1/AM62D-Q1/AM62P/AM62P-Q1 定制电路板硬件设计 — EXTINTn 引脚上拉连接](#)

7.4.1.1.6.1 外部中断 (EXTINTn) 检查清单

通用

检查并验证定制原理图设计的以下内容：

1. 已审阅上述用户指南 “所有章节的通用检查清单” 章节。
2. 电气特性（拉至 3.3V 时的失效防护和压摆率要求）。
3. EXTINTn IO 的上拉电阻连接。
4. 拉至 3.3V 时 EXTINTn IO 的上拉电阻连接。

原理图审阅

定制原理图设计请遵循以下列表：

1. 使用的上拉电阻值。建议对比 SK 或 EVM 原理图实现方案，以此作为设计起点。
2. 以处理器 VDDSHV0 为基准（由其供电）的上拉电阻（上拉电阻连接到正确的 IO 电压电平）。
3. EXTINTn 是一种开漏输出类型失效防护 IO 缓冲器。当连接布线或外部输入时，建议使用外部上拉电阻。
4. 开漏输出型 IO 缓冲器 EXTINTn 在拉至 3.3V 电源时具有指定的压摆率要求。建议在输入端添加一个 RC 来限制输入压摆率。请参阅 TMDS64EVM。
5. 用于压摆率控制的 RC 值。请参阅 TMDS64EVM。建议将电容器连接到靠近处理器引脚的位置。

7.4.1.1.7 MAC (介质访问控制器) 到 MAC 接口

在两个处理器之间实现无 EPHY (MAC 到 MAC) 连接时，由于时钟为源同步，因此建议使用 RGMII 接口（请与 TI 联系以了解官方是否支持所选处理器系列的 MAC 到 MAC 接口）。

在两个处理器之间实现 MAC 到 MAC 接口时，验证失效防护运行情况、时钟规格匹配以及 IO 级兼容性。

7.4.1.1.8 MDIO (管理数据输入/输出) 接口

用于 MDIO 接口的处理器 IO 以 VDDSHV2 电源轨 (IO 组 2 的 IO 电源) 为基准（由其供电）。

建议为 MDIO0_Mdio (MDIO 数据) 信号连接外部上拉电阻 (2.2k Ω (遵循 EPHY 建议)，靠近 EPHY)。

对于 MDIO_MDC，建议验证 EPHY 是否支持内部拉电阻 (下拉电阻)。

7.4.1.1.9 包括磁性元件在内的以太网 MDI (介质相关接口)

如果在处理器板上实现了包括磁性元件和 RJ45 连接器在内的 EPHY 和 MDI (铜缆或光纤) 接口，建议参考 SK 或 EVM 的 MDI 接口连接、推荐磁性元件（建议使用 SK/EVM 采用的磁性元件或类似的磁性元件）以及 RJ45 连接器屏蔽层连接到电路地的实现方案。建议配置外部 ESD 保护。

7.4.1.1.10 电源轨的电容器

建议验证是否已为 VDDSHV2 电源轨和所连接器件 (CORE、ANALOG 和 IO 电源) 提供大容量电容器和去耦电容器（如有建议则使用建议的电容器，否则遵循相关的 SK 或 EVM 实现）。

如无具体建议，建议遵循处理器特定 SK 或 EVM 实现方案。

7.4.1.1.11 以太网接口检查清单

通用

检查并验证定制原理图设计的以下内容：

1. 已审阅上述用户指南 “所有章节的通用检查清单” 章节。
2. MAC 接口配置 — RGMII 或 RMII。
3. 处理器 MAC 接口信号和 EPHY (所连接器件) 之间的 IO 级兼容性。
4. 处理器和 EPHY 时钟规格匹配。
5. RMII 接口的 EPHY 和处理器 MAC 的时钟设置。
6. MAC 到 MAC 接口连接。
7. MDIO 接口和 EPHY 地址配置。
8. EPHY 复位逻辑的实现。
9. 两个 EPHY 复位逻辑的实现。
10. MDIO 接口 MDC (时钟信号) 上的上拉电阻是可选项 (EPHY 可能有内部下拉电阻；建议验证 EPHY 数据表中拉电阻的可用性)。

原理图审阅

定制原理图设计请遵循以下列表：

1. 建议将用于处理器和 EPHY 电源轨的大容量电容器和去耦电容器与 SK 或 EVM 原理图实现进行比较 (使用 TI EPHY 时)。
2. 建议提供串联电阻器配置 (基于靠近处理器 MAC TDX 输出引脚的 TDX 信号)。
3. 建议验证所连接器件的 IO 电源和以处理器 MAC 接口信号为基准 (由其供电) 的 IO 组 IO 电源 VDDSHV2 是否连接到同一电源并遵循建议运行条件。
4. MDIO 接口连接 , 包括在 EPHY 附近添加的 MDIO 数据信号的上拉电阻 ($2.2\text{k}\Omega$ (遵循 EPHY 建议))。MDIO 连接到多个器件 , 并在每个 EPHY 附近添加上拉电阻。当使用多个 EPHY 时 , MDIO 接口的 EPHY 地址配置。
5. 可以为每个 EPHY 使用具有内部振荡器或外部振荡器的晶体 , 也可以使用具有缓冲器的通用外部振荡器 (输出取决于用例)。
6. 建议匹配 EPHY 和处理器时钟规格。
7. RMII 接口的 EPHY 和处理器 MAC 的时钟设置 , 包括添加缓冲器 (根据 EPHY 配置) 和时钟架构 (使用具有多个输出的通用振荡器和缓冲器)。如果处理器时钟输出连接到多个输入 , 建议每个时钟输入均作为时钟的缓冲输出。
8. 当使用 MAC 到 MAC 接口时 , 建议验证 IO 电平兼容性、失效防护运行情况 (当两个处理器 MAC 以不同的电源为基准 (由其供电) 时) 以及时钟规格匹配。
9. 使用 TI EPHY 时 , 建议使用 SK 或 EVM 实现验证 EPHY 复位实现 , 包括 “ 与运算 ” 逻辑、与门输入上拉电阻和 EPHY 复位输入拉电阻。可以使用 3 输入 “ 与运算 ” 逻辑来实现连接器件 (EPHY) 复位。处理器 GPIO (用于本地复位 EPHY) 作为 “ 与运算 ” 逻辑与门的输入之一连接 , 在 “ 与运算 ” 逻辑与门输入附近提供上拉电阻配置 (以支持引导) , 并提供 0Ω 配置以隔离 GPIO 输出用于测试或调试。与门的其他两个输入是 MAIN 域 POR (冷复位) 状态输出 (PORz_OUT) 和 MAIN 域热复位状态输出 (RESETSTATz)。
10. 当使用多个 (两个) EPHY 时 , 建议提供单独复位 EPHY 的配置。

其他

1. 使用 TI EPHY 时 , 建议遵循以下推荐步骤 :
 - 获得对 EPHY 业务部门或产品线实施情况的审查。
 - 建议验证是否添加了建议的大容量电容器和去耦电容器 , 以及是否遵循电源序列要求。
 - 建议验证 RBIAS 电阻值和容差、RJ45 连接器选择、MDI 信号的外部 ESD 保护配置以及 RJ45 连接器屏蔽层到电路接地的连接
2. 单通道 (具有单输入和单输出) 缓冲器或具有双路或多路输出缓冲器的单输入可用于将振荡器的时钟输出连接到处理器和 EPHY。对于特定用例 (使用时间敏感网络 (TSN) 的某些工业应用的要求) , 建议将单输入和两个或更多输出 (根据所使用的 EPHY 数量) 缓冲器用于处理器和 EPHY。
3. 当 EPHY 配置为 RMII 外设时 , 建议使用单输入 (通用时钟输入) 、双输出相位对齐缓冲器。
4. 考虑在 RDx 信号的所连接器件 (EPHY) 附近添加 0Ω (可选且建议在空间充足时使用) 串联电阻器。
5. 为了优化 “ 与运算 ” 逻辑 , 可以使用双输入与门并将 RESETSTATz 和处理器 GPIO 作为输入。“ 与运算 ” 逻辑还会执行 IO 电平转换。在优化复位 “ 与运算 ” 逻辑之前 , 建议验证复位 IO 电平兼容性。IO 电平不匹配可能导致电源泄漏并影响电路板性能。
6. 如果考虑以太网引导 , 建议审阅器件勘误表、验证支持的 EPHY 接口配置、使用与建议的 MAC 接口端口以及建议的时钟和接口连接。

7.4.2 通用串行总线 (USB2.0)

处理器系列支持 2 (两) 个 USB 2.0 接口端口实例。这些 USB 接口 (USB0、USB1 端口) 可以配置为主机、器件或双角色器件 (DRD)。

建议按照处理器特定数据表的 *USB 设计指南*一节连接 USBn_VBUS ($n = 0-1$)。处理器特定数据表的 *建议运行条件*一节中定义了 USBn_VBUS 引脚的电源电压范围。当 VBUS 电源电压电平为 5V 时 , 施加的标称输入电压等于电阻分压器输出。

使用任何处理器 GPIO 均可实现 USBn_ID 功能。

备注

USBn_VBUS 为失效防护输入。失效防护输入仅在 VBUS 电源通过建议的 **USB VBUS 检测分压器/钳位电路** 连接时才有效。

7.4.2.1 USBn (n = 0-1) 接口 (使用时)

建议将 USB 电源 VDDA_CORE_USB (USB0 和 USB1 , 内核电源) 、 VDDA_1P8_USB (USB0 和 USB1 , 1.8V 模拟电源) 和 VDDA_3P3_USB (USB0 和 USB1 , 3.3V 模拟电源) 连接到根据处理器特定数据表建议的电源轨。

建议直接连接 USBn_DM (n=0-1) 和 USBn_DP (n=0-1) 信号 (无需任何串联电阻器或滤波电容器) 。建议使用不包含任何残桩或测试点的布线对 USBn 信号进行布线。

建议在 USBn_RCALIB (n=0-1) 引脚 (靠近处理器 RCALIB 引脚) 与 VSS 之间连接一个校准电阻器。有关建议电阻值和容差 , 请参阅处理器特定数据表。

7.4.2.1.1 配置为主机的 USB 接口

建议实现 USB 电源开关来控制外部连接 USB 器件的 VBUS 电源。电源开关可保护板载电源免受过载 (过度电流消耗) 的影响。

电源开关输出连接到 USB Type-A 连接器。建议将电容器 (最小值为 $120 \mu F$) 连接到靠近连接器的 VBUS 电源。

USBn_DRVVBUS (n = 0-1) 信号 (复位期间和复位后使能的内部下拉电阻) 可用于使能 VBUS 电源开关。不建议使用电源开关使能 (EN) 引脚附近的外部上拉电阻。外部下拉电阻 ($10k\Omega$) 是可选的。

建议使用具有 OC (过流) 指示的 USB 电源开关 , 添加上拉电阻 ($10k\Omega$ 或 $47k\Omega$) 并连接到处理器 IO (输入) 以检测 VBUS 过载。

USBn_VBUS 输入 (VBUS 电源输入 , 包括分压器、钳位) 的连接是可选的 (并非必需) 。

7.4.2.1.2 USB 接口配置为器件

VBUS 电源通过外部主机供电。USB 标准建议将 $< 10 \mu F$ 的电容器连接到靠近 USB B 型连接器的 VBUS 。

在连接到 USBn_VBUS 输入之前 , 建议按照处理器特定数据表的 **USB VBUS 设计指南** 部分 , 使用电阻分压器和齐纳二极管保护对 USB VBUS 电压 (USB 接口连接器附近的电源) 进行分压。

如果定制电路板设计人员完全确定电路板不会遇到 VBUS 电压 $> 5.5V$ (板载供电) 的情况 , 则可以将齐纳二极管保护 (建议) 视为可选项。

不建议或禁止使用等效分压器连接非开关式 (永久) 板载电源或连接 3.3V 永久电源 , 也不建议或禁止将 1.65V 永久电源直接连接到 USBn_VBUS 。建议使用可在会话结束时断开并在下一次会话开始时重新接通的开关式电源。

7.4.2.1.3 配置为双角色器件的 USB 接口

如果定制电路板采用 USB Micro-AB 连接器 , 则建议将来自该连接器的 USBn_ID 信号路由到任意处理器引脚。所使用的 GPIO 引脚可在电路板器件树文件中指定 , 包括 GPIO 引脚多路复用 (pinmux) 设置。

备注

不支持完全兼容的 USB On-The-Go (OTG) 特性。USB ID 引脚未进行外部键合。

7.4.2.1.4 USB Type-C

如果定制电路板设计使用 USB Type-C® 连接器 , 则不要求进行 USBn_ID 信号连接。DRD 模式开关由 USB Type-C 配套器件控制。

DRP (双角色端口) 需要一个控制器 , 主要用于根据协商的角色切换电源。在器件不是由 USB Type-C 连接器供电的 USB Type-C 实现方案 (仅限器件模式、USB2.0) 中 , 无需 USB Type-C 控制器。

- 连接器上的 CC 引脚需要通过 $5.1k\Omega$ 电阻独立接地。

- USB DP 和 USB DM 连接器引脚在 PCB 上短接 (DM=B7:A7 , DP=B6:A6)。无论电缆方向如何，短接都能实现 USB2.0 连接。建议使产生的残桩保持较短。

有关 USBn_VBUS 输入调节建议的更多信息，请参阅处理器特定数据表的 **USB VBUS 设计指南**一节。

AM62x SK USB0 接口设计可用作实现 USB Type-C 接口的参考。

请参阅以下常见问题解答：

[常见问题解答] SK-AM62A-LP : 是否可不使用 PD 控制器实现 USB OTG ?

这是通用常见问题解答，也可用于 AM62A7、AM62A7-Q1、AM62A3、AM62A3-Q1、AM62A1-Q1 和 AM62D-Q1 系列处理器。

7.4.2.2 不使用时的 USBn (n = 0-1) 接口

当定制电路板设计中不使用 USB0 和 USB1 接口时，建议为 USB0 接口预留 USB 接口信号连接配置（用于支持的 USB 引导配置 (USB0 - DFU)），并添加所需处理器 USB 电源连接配置以进行初始电路板构建。

当 USB0 和 USB1 均未使用，或其中某一接口未使用时，接口信号和电源有特定的连接要求。

如需连接 USB0 和 USB1、接口信号和电源引脚，请参阅处理器特定数据表的 **引脚连接要求**一节。

建议通过单独的 0Ω 电阻将 USB 电源 (VDDA_CORE_USB、VDDA_1P8_USB 和 VDDA_3P3_USB) 连接到 VSS。

如计划未来扩展使用 USB0 或 USB1，建议按照 USB 接口布线指南将信号 (USBn_DM、USBn_DP、USBn_RCALIB 和 USBn_VBUS) 连接到 USB 连接器。建议提供连接所需电源的配置。

7.4.2.3 其他信息

建议将 USBn_DM 和 USBn_DP 信号直接从处理器连接到 USB 集线器上行端口。然后，集线器将 USBn 信号分配到下行端口。由于每个集线器的实施要求不同，建议遵循集线器制造商的建议。

有关 USB2.0 接口的更多信息，请参阅以下常见问题解答：

[常见问题解答] AM625/AM623/AM620-Q1/AM625-Q1/AM625SIP : 定制电路板硬件设计 - USB2.0 接口

这是通用常见问题解答，也可用于 AM62A7、AM62A7-Q1、AM62A3、AM62A3-Q1、AM62A1-Q1 和 AM62D-Q1 系列处理器。

[常见问题解答] AM625/AM623/AM620-Q1/AM62L/AM62A/AM62P/AM62D-Q1/AM64x/AM243x 设计建议/定制电路板硬件设计 — 与无源元件参数值、容差和额定电压相关的疑问

7.4.2.4 USB 接口检查清单

通用

检查并验证定制原理图设计的以下内容：

1. 已审阅上述用户指南 “所有章节的通用检查清单” 章节。
2. 所需的 USB 接口配置（主机或器件）和建议的连接。
3. USBn_VBUS 的连接。基于 USB 接口配置的 USB VBUS 设计指南。
4. USB 电源的连接，包括滤波。
5. 处理器和外部 USB 接口连接器之间 USB 接口信号的连接。
6. 建议的 USBn 校准电阻器连接。
7. 当 USB 接口配置为主机时，USB VBUS 电源控制电源开关的实现。
8. USBn_DRVVBUS 的拉电阻实现。
9. USB 电源开关、使用 USBn_DRVVBUS 的 EN 以及电源开关 OC 输出到处理器 IO 的连接。
10. 在 USB 连接器附近的 USB VBUS 引脚上提供的建议电容器配置。
11. 为 USB 接口提供的外部 ESD 保护配置。
12. 如果实现了 USB 引导，建议验证器件勘误表、支持的接口配置，USB 端口和连接。

13. USBn_VBUS 和 USB 接口信号的失效防护运行情况。

原理图审阅

定制原理图设计请遵循以下列表：

1. USB 接口可以配置用于主机（请参阅相关的 SK 或 EVM 原理图）、器件或 DRD。
2. 从处理器到 USB 连接器的 USB 信号直接连接。USB 接口连接符合所需的 USB 接口配置（主机或器件）。将实现与 SK 或 EVM 原理图进行比较。
3. 任何处理器 GPIO 均可用于支持 DRD。
4. 对于 USB 主机配置，USBn_VBUS 连接是可选的。
5. 建议遵循处理器特定数据表中关于 VBUS 分压器值和容差 ($\pm 1\%$) 的建议。如果总电阻值、容差和分压器分压比在温度和电压范围内保持不变，则允许使用多个电阻器。VBUS 电源输入保护（齐纳二极管保护和值）和 VBUS 电容器值遵循 USB 标准（请参阅 SK 或 EVM）。
6. USBn_DRVVBUS 在复位期间和复位后使能内部下拉电阻。连接上拉电阻会将所连接器件驱动为 $1/2 V_S$ 。
7. 电源开关使能连接（如果使用处理器 USBn_DRVVBUS，则不建议或不允许使用上拉电阻，因为 USBn_DRVVBUS 在复位期间和复位后使能内部下拉电阻）。
8. 电源开关 OC 输出到处理器 IO 的连接和 IO 电平兼容性（上拉电阻连接）。
9. 电源（内核、外设和 IO）的连接。滤波电源（铁氧体和电容器）用于 VDDA_CORE_USB 和 VDDA_1P8_USB。VDDA_3P3_USB 可以连接到 3V3_SYS 电压。由于滤波器正在持续优化，因此请参阅具体和最新的 SK 或 EVM 来实现。
10. 连接的处理器 USB 外设电源轨遵循建议运行条件。
11. 将 $499 \Omega \pm 1\%$ 电阻器连接到 USB0 和 USB1 RCALIB 引脚。
12. 不建议也不允许将 5V 电源从 USB 连接器直接连接至 USBn_VBUS 引脚。不建议或不允许更改处理器特定数据表中建议的 VBUS 分压器和齐纳二极管值。仅当实现了根据处理器特定数据表中建议的分压器值时，VBUS 输入的失效防护功能支持才有效。
13. 根据 USB 配置建议的电容器连接。有关实现的信息，请参阅 SK 或 EVM 原理图。对于 USB 主机，建议将电容器（最小值为 $120 \mu F$ ）连接到靠近连接器的 VBUS 电源。对于 USB 器件，VBUS 电源由外部主机供电。USB 标准建议将 $< 10 \mu F$ 的电容器连接到靠近 USB B 型连接器的 VBUS。
14. 当不使用 USB0 或 USB1 时，建议遵循引脚连接要求来连接 USB 内核和外设。
15. 实现根据处理器特定数据表的 VBUS 配置时，支持 USBn_VBUS 功能。
16. USB 接口信号不具备失效防护功能。在电源斜升之前，不建议施加接口信号。

其他

1. 如果利用 TI 器件实现 Type-C USB 接口，建议与相关业务部门或产品线一起审阅实现。
2. 建议验证 USB 接口的失效防护运行情况。在处理器电源斜升之前施加外部接口信号会导致馈电并影响定制电路板功能。
3. 可以在 USB 接口信号上使用共模扼流圈（CMC）来控制 EMI。CMC 可以降低信号振幅并降低 USB 接口性能（速度、数据吞吐量，通信错误）。建议提供使用 0Ω 电阻器绕过 CMC 的配置。在 USB 接口信号上使用 CMC 时，建议验证连接（包括极性）。反转 CMC 连接极性可能会使 USB 接口数据信号短路。
4. 连接到 USBn_DRVVBUS 引脚的 DNI 外部上拉和下拉电阻，用于实现从深度睡眠功能唤醒。
5. 建议考虑标记差分信号和差分阻抗值。
6. 如果不使用 USB 接口，建议为初始电路板提供 USB0 DFU 引导接口配置。

7.4.3 通用异步收发器 (UART)

备注

处理器外设（UART、MCAN、MCSPI、MCASP、I2C）实现了 IOSET。建议在进行定制电路板设计时验证和使用正确的 IOSET。该接口的时序收敛基于 IOSET。

处理器系列支持 9 (九) 个 (7 个主域、1 个 MCU 域、1 个 WKUP 域) UART 接口实例，支持的功能包括数据传输 (TXD、RXD)、调制解调器控制功能 (CTS、RTS) 和扩展调制解调器控制信号 (DCD、RI、DTR、DSR - 由主域 UART1 支持)。

有关支持的 UART 实例数，请参阅处理器特定数据表。建议参阅处理器特定数据表的信号说明一节，了解各 UART 实例支持的功能。

建议验证 UART 接口 (外部通信接口或调试) 和功能 (配置、2 线或 4 线带流量控制) 的应用要求。

使用外部 RS232 收发器时，建议使外部接口信号 IO 电平与 IO 组双电压 IO 电源的工作电压电平匹配。建议利用同一电源为外部收发器的 IO 电源与 IO 组 VDDSHVx 的处理器 IO 电源供电。建议验证 UART 输入的失效防护运行以及连接到外部拉电阻的电压电平。

建议在接口信号上靠近源端配置串联电阻 (0Ω)，用于隔离 (调试) 或抑制可能出现的信号反射。

在复位期间和复位后，处理器 IO 缓冲器 (TX (输出) 和 RX (输入) 以及内部拉电阻 (上拉和下拉)) 均关闭。

建议在处理器 UART 接收输入端 (UARTn_RXD [n = 0-6]、MCU_UART0_RXD 和 WKUP_UART0_RXD) 配置一个上拉电阻 ($10k\Omega$ 或 $47k\Omega$)，以免处理器 IO 悬空 (以防止附加器件输入在主机驱动前悬空)。建议确认外部接口信号是否已配置拉电阻，并相应安装拉电阻。建议对处理器 UART 发送信号 (UARTn_TXD [n = 0-6]、MCU_UART0_TXD 和 WKUP_UART0_TXD) 使用一个上拉电阻 ($47k\Omega$)，以免处理器或附加器件输出悬空。

使用 UART 接口时观察到的常见错误之一是 UART 接口信号极性接反。建议按如下方式连接信号：

- TX 到 RX
- RX 到 TX

建议在使用额外的 UART 接口流控制信号时验证连接关系、IO 电平和极性匹配。

当外部 UART 接口信号直接连接到处理器 UART 接口时，建议验证 IO 电平兼容性和失效防护运行。建议为外部 ESD 保护提供配置。

建议为早期电路板构建配置 UART 引导 (UART0) 连接，以便进行电路板启动和调试。

7.4.3.1 不使用时的 UART 接口

当未在定制电路板设计中实现 UART 接口时，建议提供连接外部 UART 接口信号的配置以进行调试。建议在配置 UART 接口信号时遵循以下优先级：

- UART0
- MCU_UART0
- WKUP_UART0

建议在处理器电路板上添加 TP，以便连接外部输入。建议为可能悬空的 IO 配置并联拉电阻 ($10k\Omega$ 或 $47k\Omega$)，以防止附加器件输入在主机驱动前悬空。建议预留外部 ESD 保护电路空间，可在使用 UART 接口时安装。

UART 接口信号不具备失效防护功能。建议在处理器电源斜升之前不要施加任何外部输入 (UART 接口信号)。

7.4.3.2 通用异步接收器/发送器 (UART) 检查清单

通用

检查并验证定制原理图设计的以下内容：

1. 已审阅上述用户指南 “所有章节的通用检查清单” 章节。
2. 在源端附近为接口信号预留串联电阻配置。
3. 为处理器或附加器件 IO 增设并联拉电阻配置。
4. 接口信号 (数据信号、方向控制信号) 连接关系。
5. 所需通信速度 (波特率) 与支持的波特率。
6. 由于内部时钟信号分频器不匹配而导致的所需通信误差 (%) 与计算出的通信误差 (%) 对比。
7. IO 组的处理器 IO 电源和附加器件 IO 电源连接。

8. UART 接口信号的失效防护运行情况。
9. 当接口信号直接连接到外部输入时，可提供外部 ESD 保护。

原理图审阅

定制原理图设计请遵循以下列表：

1. 在源端附近为接口信号添加串联电阻 (22Ω) 的配置，用于抑制可能出现的信号反射或测试隔离。
2. 为可能悬空的接口信号配置并联拉电阻 ($10k\Omega$ 或 $47k\Omega$)，以防止附加器件输入在主机驱动前悬空。
3. 以相应 UART 实例和信号的处理器 VDDSHVx 为基准（由其供电）的上拉电阻相匹配。
4. 接口信号（数据信号、方向控制信号）连接关系，包括信号极性匹配。
5. 与 IO 组 VDDSHVx IO 电源（以 UART 外设和附加器件 IO 电源为基准（由其供电））相连的电源轨会连接至同一电源并遵循 ROC。
6. 为任何可悬空的处理器或所连接器件 IO 添加并联拉电阻的配置。
7. UART 接口信号不具备失效防护功能。建议仅在处理器电源斜升后施加输入。

其他

1. 当直接连接外部接口信号且其由不同于处理器 IO 组 IO 电源的其他电源供电时，建议验证失效防护运行情况。
2. 在处理器电源斜升之前施加外部输入信号到处理器 UART 输入可导致馈电并可能影响定制电路板功能。
3. 当直接连接外部输入时，建议为接口信号预留外部 ESD 保护电路。
4. 若未使用 UART 接口，建议提供连接 UART0、MCU_UART0 或 WKUP_UART0 的配置以进行调试。

7.4.4 模块化控制器局域网 (MCAN)，具有完整 CAN-FD 支持

备注

处理器外设（UART、MCAN、MCSPI、MCASP、I2C）实现了 IOSET。建议在进行定制电路板设计时验证和使用正确的 IOSET。该接口的时序收敛基于 IOSET。

该处理器系列支持 x3（三个）（x1 主域、x2 MCU 域）模块化控制器局域网 (MCAN) 实例，完整支持 CAN-FD。

MCAN 模块支持传统 CAN 和 CAN FD（具有灵活数据速率的 CAN）规范。

MCAN 接口通过外部 MCAN 收发器连接到支持 MCAN 接口的所连接器件。

如果使用外部收发器，建议使外部接口信号 IO 电平与双电压 IO 组 IO 电源的电压电平匹配。建议使用同一电源为收发器的 IO 电源和处理器 IO 电源轨供电。

建议在接口信号上靠近源端配置串联电阻 (0Ω)，用于隔离（调试）或抑制可能出现的信号反射。在复位期间和复位后，处理器 IO 缓冲器（TX（输出）和 RX（输入）以及内部拉电阻（上拉和下拉））均关闭。建议对处理器 MCAN 发送（接收）信号使用上拉电阻 ($47k\Omega$)，以防处理器或所连接器件的输出悬空。

建议为 MCAN 收发器外部接口输入提供推荐的端接。

7.4.4.1 模块化控制器局域网检查清单

通用

检查并验证定制原理图设计的以下内容：

1. 已审阅上述用户指南“所有章节的通用检查清单”章节。
2. 为源极附近的所有接口信号添加串联电阻器的配置。
3. 为处理器或所连接器件接口 IO 添加并联拉电阻的配置。
4. 连接 IO 组的 IO 电源和附加器件 IO 电源。
5. MCAN 接口信号的失效防护运行情况。

原理图审阅

定制原理图设计请遵循以下列表：

1. 使用的串联电阻值 (22Ω) 和放置位置 (靠近源极)。
2. 为任何可能悬空的处理器或所连接器件 IO 添加并联拉电阻值 ($10k\Omega$) (以防止所连接的器件输入在主机驱动之前悬空)。
3. 以相应 MCAN 实例的处理器 VDDSHVx 为基准 (由其供电) 的上拉电阻与引脚匹配。
4. 连接到以 MCAN 外设为基准 (由其供电) 的 IO 组 IO 电源 VDDSHVx 和所连接器件 IO 电源的电源轨将连接到同一电源并遵循建议运行条件。
5. 为任何可悬空的处理器或所连接器件 IO 添加并联拉电阻的配置。
6. MCAN 接口信号不具备失效防护。建议仅在处理器电源斜升后施加输入。

其他

1. 处理器 IO 不具有失效防护功能。在处理器电源斜升之前，不建议施加任何外部输入。建议连接到外部接口信号时验证失效防护运行情况。在处理器电源斜升之前施加外部输入信号到处理器 MCAN 输入可能导致馈电并可能影响定制电路板功能。
2. 当接口信号直接连接到外部输入时，可提供外部 ESD 保护。

7.5 板载同步通信接口 (MCSPI、MCASP 和 I2C)

7.5.1 多通道串行外设接口 (MCSPI) 和音频外设 — 多通道音频串行端口 (MCASP)

备注

处理器外设 (UART、MCAN、MCSPI、MCASP、I2C) 实现了 IOSET。建议在进行定制电路板设计时验证和使用正确的 IOSET。该接口的时序收敛基于 IOSET。

多通道串行外设接口 (MCSPI) :

该处理器系列支持 x5 (五个) (x3 主域、x2 MCU 域) MCSPI 实例。MCSPI 模块是多通道发送/接收同步串行总线，可以在控制器模式或外设模式下运行。在控制器模式下，处理器 SPI 接口向附加器件提供时钟信号。在外设模式下，附加器件需要为处理器提供 SPI 时钟源。

建议为 MCSPI 时钟输出信号使用串联一个 22Ω 电阻器 (作为起点)。建议将该电阻放置在靠近处理器时钟输出引脚的位置 (用于重定时)。建议在所连接器件时钟输入引脚附近使用下拉电阻 ($10k\Omega$)。对于靠近所连接器件的芯片选择 (CS) 引脚，建议使用上拉电阻 ($10k\Omega$)。

MCSPI 外设不支持引导。OSPI0 接口支持 SPI 引导。

对于 MCSPI 接口，SPIx_D0 和 SPIx_D1 为数据线路。数据线支持将信号编程为发送数据 (发送、输出) 或接收数据 (接收、输入)。

在复位期间和复位后，处理器 IO 缓冲器 (TX (输出) 和 RX (输入) 以及内部拉电阻 (上拉和下拉)) 均关闭。建议为可能悬空的处理器或所连接器件的数据线使用并联拉电阻 ($10k\Omega$ 或 $47k\Omega$) (以防止所连接的器件输入在主机驱动之前悬空)。

建议将 SPI 接口连接到 1 (单) 个存储器器件。连接到多个存储器器件时，建议遵循高速设计实践并执行仿真，以确保当单个时钟源连接到多个连接 SPI 的器件时，布局不会产生非单调时钟转换。

请参阅以下常见问题解答：

[常见问题解答] SK-AM64B : MCSPI 集成指南

[常见问题解答] AM6412 : AM64x SPI D0 和 D1 - MISO/MOSI

这是通用常见问题解答，也可用于 AM62A7、AM62A7-Q1、AM62A3、AM62A3-Q1、AM62A1-Q1 和 AM62D-Q1 系列处理器。

音频外设 - 多通道音频串行端口 (MCASP) :

该处理器系列支持 3 (三) 个 (3 个 MAIN 域) 音频外设实例 — 多通道音频串行端口 (MCASP)。3 个 MCASP 支持多达 4/6/16 个串行数据引脚 (串行器) 并具有独立的 TX 和 RX 时钟。MCASP 支持时分多路复用 (TDM)、内部 IC 声音 (I2S) 和类似格式。建议为 MCASP 时钟输出使用 22Ω 串联电阻器 (作为起点)。建议将该电阻放置在靠近处理器时钟输出引脚的位置 (用于重定时)。建议在所连接器件时钟输入引脚附近使用下拉电阻 ($10k\Omega$)。

在复位期间和复位后，处理器 IO 缓冲器 (TX (输出) 和 RX (输入) 以及内部拉电阻 (上拉和下拉)) 均关闭。建议为可能悬空的处理器或所连接器件的数据线使用并联拉电阻 ($47k\Omega$) (以防止所连接的器件输入在主机驱动之前悬空)。

MCASP 用作通用音频串行端口，并针对各种音频应用的要求进行了优化。MCASP 模块可以在发送和接收模式下运行。MCASP 对于时分多路复用 (TDM) 流、IC 间音频 (I2S) 协议接收和发送以及元件间数字音频接口传输 (DIT) 非常有用。MCASP 可以灵活地无缝连接到 Sony/Philips 数字接口 (S/PDIF) 传输物理层元件。

有关更多信息，请参阅以下常见问题解答：

[常见问题解答] [AM625/AM623/AM620-Q1/AM62Ax/AM62Px/AM62D-Q1/AM62L 设计建议/定制电路板硬件设计 - 与 MCASP 相关的疑问](#)

7.5.1.1 MCSPI 和 MCASP 接口信号连接

对于 MCSPI 接口，建议在靠近处理器时钟输出引脚 (处理器 MCSPI 配置为控制器) 处，为 SPI 时钟输出信号 SPI0..2_CLK (MCSPI 0..2) 和 MCU_SPI0..1_CLK (MCU_MCSPI 0..1) 配置串联电阻 (22Ω)，因为该时钟输出用于重定时。

对于 MCASP 接口，建议在靠近处理器时钟输出引脚 (处理器 MCASP 被配置为时钟源) 处，为发送时钟 (发送位时钟) 输出信号 MCASP0..2_ACLKX 和发送帧同步信号 MCASP0..2_AFSX 配置串联电阻 (22Ω)，因为该时钟输出用于重定时。

建议在靠近附加器件的时钟输入引脚处，为所有配置为 MCSPI 和 MCASP 接口的 IO 添加一个下拉电阻 ($10k\Omega$)，以使附加器件保持低电平状态 (在某些情况下，时钟会停止或暂停在低逻辑状态，而下拉电阻选项恰好与此逻辑状态保持一致)。

建议为接收器时钟 (接收位时钟) 输出信号 MCASP0..2_ACLKR 与接收帧同步信号 MCASP0..2_AFSR (靠近附加器件) 配置串联电阻 (22Ω)。

对于多个处理器 IO (LVCMOS 或 SDIO)，复位期间和复位后会禁用 IO 缓冲器 TX (输出) 和 RX (输入)，并且会关闭内部拉电阻 (上拉电阻和下拉电阻)。建议验证是否在靠近附加器件处，为 SPI 片选信号 SPI0..2_CS0..3 (MCSPI 0..2) 和 MCU_SPI0..1_CS0..3 (MCU_MCSPI 0..1) 配置外部上拉电阻 ($10k\Omega$ 或 $47k\Omega$)。建议为处理器和可能处于浮空状态的附加器件信号 (数据接口 - 数据输入、数据输出) 添加拉电阻 ($10k\Omega$ 或 $47k\Omega$)，以防止附加器件输入在主机驱动前浮空。

允许将两个 (2 个) 或更多器件 (通用时钟连接，不同的数据信号连接，同时工作) 连接到 MCASP 接口。

MCASP 可配置为使发送和接收段与发送段时钟和发送帧同步信号同步运行。若使用专用串行器，则所有目标器件的 BCLK 和帧同步信号需保持一致；若使用 TDM 则无此问题。进行定制电路板设计期间，需考虑信号质量/信号反射的潜在问题 (由单个 MCASP 时钟输出驱动多个输入引起的信号反射)。

7.5.1.2 MCSPI 接口检查清单

通用

检查并验证定制原理图设计的以下内容：

1. 已审阅上述用户指南 “所有章节的通用检查清单” 章节
2. 接口配置和连接
3. 时钟输出和放置的串联电阻器配置
4. 靠近源极的接口信号的串联电阻器配置
5. 时钟、数据和芯片选择的并联拉电阻连接
6. 外部 SPI 芯片选择连接

7. 连接 IO 组的 IO 电源和附加器件 IO 电源。
8. 接口性能和信号完整性
9. SPI 数据信号配置
10. 接口信号的失效防护运行情况

原理图审阅

定制原理图设计请遵循以下列表：

1. 接口配置和建议的连接（包括 IOSET）。
2. 添加到靠近处理器时钟输出引脚的时钟输出信号的 22Ω 串联电阻器（用于重新定时）。
3. 为接口信号添加串联电阻（可选）的配置，以便进行测试隔离或控制可能出现的信号反射。
4. 以相应 MCSPI 实例和信号的处理器 VDDSHVx 为基准（由其供电）的上拉电阻。
5. 处理器 VDDSHVx 和所连接器件 IO 电源来自同一电源。
6. 连接到以 MCSPI 外设为基准（由其供电）的 IO 组 IO 电源 VDDSHVx 和所连接器件 IO 电源的电源轨遵循建议运行条件。
7. 对于为 MCSPI 接口配置的所有 IO，为 MCSPI 时钟（靠近所连接器件时钟输入引脚）提供下拉电阻（ $10k\Omega$ ）配置，以将所连接器件保持在低电平状态（在某些情况下，时钟在低逻辑状态下停止或暂停，并且下拉电阻选项与此逻辑状态一致）。
8. 为 SPI 片选信号 SPI0..2_CS0..3 (MCSPI 0..2) 和 MCU_SPI0..1_CS0..3 (MCU MCSPI 0..1) 提供外部上拉电阻配置（靠近所连接器件）。建议向可能悬空的处理器和所连接器件信号（数据接口 — 数据输入、数据输出）添加拉电阻（以防止所连接器件输入悬空，直到由主机驱动）。使用的上拉电阻值（ $10k\Omega$ 或 $47k\Omega$ ）。
9. 处理器 SPIx 数据位 D0 和 D1 位（数据方向）的配置与所连接器件匹配，并为可悬空的信号添加所需的拉电阻。
10. 为可悬空的处理器或所连接器件 IO 添加了并联拉电阻。
11. 本文分析（模拟）了在连接到多个所连接器件时，与接口性能（速度、数据吞吐量、通信错误）和信号完整性相关的问题。
12. MCSPI 接口信号不具备失效防护功能。建议仅在处理器电源斜升后施加输入。

其他

1. 建议验证处理器 IO 直接连接到外部接口信号或连接器（通过载板或附加电路板）时的失效防护运行情况。在处理器电源斜升之前施加外部输入信号到处理器 MCSPI 输入可能导致馈电并可能影响定制电路板功能。
2. 当接口信号直接连接到外部输入时，可提供外部 ESD 保护。

7.5.1.3 MCASP 接口检查清单

通用

检查并验证定制原理图设计的以下内容：

1. 已审阅上述用户指南“所有章节的通用检查清单”章节。
2. MCASP 接口配置和连接。
3. 为时钟输出配置串联电阻并确定位置布局。
4. 在靠近源端处为接口信号配置串联电阻。
5. 为时钟和数据连接并联拉电阻。
6. 连接 IO 组的 IO 电源和附加器件 IO 电源。
7. 接口性能（速度、数据吞吐量、通信错误）和信号完整性相关问题。
8. 处理器或附加 IO 的并联拉电阻配置。
9. 连接到多个附加器件时 MCASP 信号的连接。
10. MCASP 接口的失效防护运行。

原理图审阅

定制原理图设计请遵循以下列表：

1. MCASP 接口配置和建议的连接（包括 IOSET）。
2. 添加到靠近处理器时钟输出引脚的时钟输出信号（发送位时钟、帧同步）的串联电阻（ 22Ω ）（用于重定时）。
3. 为接口信号添加串联电阻（可选）的配置，以便进行测试隔离或控制可能出现的信号反射。
4. 为所有配置为 MCASP 接口模式的 IO 的 MCASP 时钟（靠近附加器件的时钟输入引脚处）配置下拉电阻（ $10k\Omega$ ），以使附加器件保持在低电平状态（在某些情况下，时钟会在低逻辑状态下停止或暂停，而下拉电阻选项与该逻辑状态一致）。
5. 与 IO 组 VDDSHVx IO 电源（以 MCASP 外设和附加器件的 IO 电源为基准（由其供电））相连的电源轨均取自同一电源，并遵循 ROC。
6. 以相应 MCASP 实例和信号的处理器 VDDSHVx 为基准（由其供电）的上拉电阻。
7. 在靠近附加器件处为 MCASP 接口（发送或接收）提供外部上拉电阻的配置。建议向可能悬空的处理器和所连接器件信号（数据接口 — 数据输入、数据输出）添加拉电阻（以防止所连接器件输入悬空，直到由主机驱动）。使用的上拉电阻值（ $10k\Omega$ 或 $47k\Omega$ ）。
8. 本文分析（模拟）了在连接到多个所连接器件时，与接口性能（速度、数据吞吐量、通信错误）和信号完整性相关的问题。
9. 连接到多个附加器件时 MCASP 信号的连接。请遵循通用设计指南以大幅减少残桩。
10. 为处理器或可悬空的附加器件 IO 添加并联拉电阻。
11. MCASP 接口信号不具备失效防护功能。建议仅在处理器电源斜升后施加输入。

其他

1. 建议验证连接到外部信号时的失效防护操作。在处理器电源斜升之前施加外部输入信号到处理器 MCASP 输入可导致馈电并可能影响定制电路板功能。
2. 支持将两（2）个或更多器件（通用时钟连接、不同的数据信号连接，同时工作）连接到 MCASP 接口。在对位时钟进行布线（发送位时钟和接收位时钟）时，建议遵循良好或建议的布局实践。使用 IBIS 模型执行仿真。建议 2 个器件（例如：编解码器和放大器）以相同的格式（TDM/I2S 等）运行，编解码器和放大器也以相同的格式（TDM/I2S 等）运行，并且字长设置与位时钟和帧同步同步。
3. 当接口信号直接连接到外部输入时，可提供外部 ESD 保护。

7.5.2 内部集成电路 (I2C)

备注

处理器外设（UART、MCAN、MCSPI、MCASP、I2C）实现了 IOSET。建议在进行定制电路板设计时验证和使用正确的 IOSET。该接口的时序收敛基于 IOSET。

这些处理器系列支持 6（六）个（2（两）个符合 I2C 标准的失效防护开漏输出型 IO 缓冲器和 4（四）个 LVCMS 缓冲器类型的仿真开漏输出型 IO）I2C 接口实例。支持的 I2C 接口包括 4 个主域（LVCMS IO 缓冲器用于模拟开漏输出型 IO）、1 个 MCU 域（符合 I2C 标准的开漏输出型 IO 缓冲器）和 1 个 WKUP 域（符合 I2C 标准的开漏输出型 IO 缓冲器）I2C 接口。

MCU_I2C0 和 WKUP_I2C0 接口是具备失效防护功能的真正开漏输出型 IO 缓冲器，完全符合 I2C 规范（有关时序详情，请参阅 Philips I2C 总线规范版本 2.1）。

这些处理器系列包含多控制器内部集成电路（I2C）控制器，每个控制器都在本地主机（LH、AM62Ax 或 AM62D-Q1 处理器）与通过 I2C 总线连接的任何 I2C 总线兼容型器件之间提供一个接口。

每个 I2C 实例均可配置为 I2C 兼容型目标器件或控制器器件。I2C 接口可以使用符合 I2C 标准的专用开漏输出型 IO 缓冲器来实现，或使用标准 LVCMS IO 缓冲器来实现。与开漏 IO 缓冲器关联的 I2C 实例可以支持 HS 模式（当 IO 缓冲器在 1.8V 电压下运行时数据速率高达 3.4Mbps；当 IO 缓冲器在 3.3V 电压下运行时可支持高达 400Kbps 的数据速率）。与 LVCMS IO 缓冲器关联的 I2C 实例可以支持快速模式（数据速率高达 400Kbps）。

7.5.2.1 I_C 接口信号连接

备注

对于具有开漏输出型 IO 缓冲器 (MCU_I_C0 和 WKUP_I_C0) 的 I_C 接口，无论使用何种 IO 配置，都建议添加上拉电阻器 (4.7kΩ)。即使 I_C 接口 (外设) 未用于替代功能且预计会保持未连接状态，也建议使用外部上拉电阻器。

请参阅处理器特定数据表的引脚连接要求一节。建议为 I_C 接口使用上拉电阻 (4.7kΩ，测试后可调整)。I_C 接口支持时钟延展。时钟输出频率 (相对于设定的频率) 取决于总线负载。当在设定频率与测得的时钟频率之间观察到差异时，调整上拉电阻器 (减少) 并测量时钟频率。

当开漏输出型 IO 缓冲器 I_C 接口被拉至 3.3V 电源时，其指定了转换率要求。建议使用 RC (放置在处理器 I_C 接口引脚附近的电容器) 来限制转换率。有关 RC 实现，请参阅 AM64x EVM 原理图并参阅以下常见问题解答：

[常见问题解答] [AM625/AM623/AM620-Q1/AM62A/AM62P/AM62D-Q1/AM62L 定制电路板硬件设计过程中的设计建议/常见错误-SK 原理图设计更新说明](#)

有关更多信息，请参阅[将电源导轨连接到外部上拉电阻器](#)一节。

在需要多个 I_C 接口的应用中，可以考虑使用 I_C0、I_C1、I_C2 和 I_C3 接口。

I_C0、I_C1、I_C2 和 I_C3 接口使用 LVCMOS 型 IO 缓冲器来模拟开漏输出型 IO，并且不完全符合 I_C 规范，尤其是下降沿的速度很快 (< 2ns)。请参阅处理器特定数据表中的异常 (对于 I_C0、I_C1、I_C2 和 I_C3 接口)。建议将一个串联电阻器 (47Ω，测试调整后) 放置在处理器附近，以便接口信号控制下降时间。建议在测试期间最终确定串联电阻器值。

当为 I_C 功能配置 IO 时，建议为 LVCMOS IO 使用上拉电阻器 (4.7kΩ，测试后调整)。建议使用最短的残桩连接上拉电阻器。

有关更多信息，请参阅以下常见问题解答：

[常见问题解答] [AM62A7/AM62A3/AM62A1-Q1 和 AM62D-Q1 定制电路板硬件设计 - I_C 接口](#)

[常见问题解答] [AM62A7/AM62A7-Q1/AM62A3/AM62A3-Q1/AM62A1-Q1 和 AM62D-Q1 : MCU_I_C0 和 WKUP_I_C0 的内部拉电阻配置寄存器](#)

当计划使用 TI 提供的软件时，请将推荐的处理器 I_C 接口连接到 PMIC，因为 I_C0 是用于 PMIC 控制的接口。

备注

当使用 I_C3 接口时，请参阅处理器特定数据表的时序和开关特性、外设、I_C 一节中的 I_C3 注释 (可以多路复用到多个引脚)。

备注

建议进行定制电路板设计期间，请查阅处理器特定数据表中时序和开关特性 - I_C 一节的异常小节。请注意模拟开漏输出型 IO I_C 接口的异常。建议添加串联电阻来控制下降时间。

7.5.2.2 I_C (开漏输出类型 IO 缓冲器) 接口检查清单

通用

检查并验证定制原理图设计的以下内容：

1. 已审阅上述用户指南 “所有章节的通用检查清单” 章节。
2. 提供的时序和开关特性以及任何其他信息。
3. I_C 接口配置、建议的连接和 I_C 接口上拉电阻。
4. 压摆率要求和用于压摆率控制的连接。
5. 接口未使用时的开漏输出 I_C 接口连接。

6. I²C 实例以及与多个附加器件的连接。
7. 附加器件地址输入的端接处理。

原理图审阅

定制原理图设计请遵循以下列表：

1. WKUP_I2C0 和 MCU_I2C0 I²C 接口（控制器）是兼容的开漏输出型 IO 缓冲器。
2. 在处理器冷复位期间和复位后，如果 RX 缓冲器已使能，则无论 IO 配置如何，都建议使用上拉电阻（4.7kΩ）。
3. 在处理器冷复位期间和复位之后，使能 RX 缓冲器，无论 IO 使用情况如何（包括计划将 I²C 接口信号保持为 NC 的用例），都建议使用上拉电阻器。
4. 建议借助 SK 或 EVM 原理图实现方案验证用于 I²C 接口的上拉电阻阻值，或根据负载计算上拉电阻阻值。建议为 I²C 接口使用上拉电阻（4.7kΩ，测试后可调整）。
5. 连接的 I²C 上拉电源电压遵循失效防护 IO 规定的稳态最大电压。电源阈值取决于连接到 IO 组 IO 电源的电源电压。
6. 开漏输出型 IO 缓冲器的 RC，用于在接口以 3.3V 运行（拉取）时限制输入压摆率。当实现了用于输入压摆率控制的 RC 时，连接在处理器 I²C 接口引脚附近的电容器。验证 RC 对 I²C 接口速度的影响，并根据需要调整 RC。
7. 连接到以 I²C 外设为基准（由其供电）的 IO 组 IO 电源 VDDSHVx 和所连接器件 IO 电源的电源轨来自同一电源，并遵循建议运行条件。
8. 所连接器件的地址输入，通过电阻器 (>1kΩ) 连接到 IO 电源。
9. 处理器支持多个 I²C 实例。建议验证任何 I²C 接口上有无 I²C 地址冲突。如果需要额外的 I²C 接口，可以使用 I²C 开关。

其他

1. 建议在设计阶段审阅处理器特定数据表的时序和开关特性、I²C 例外情况部分，并包含所需的电路。
2. I²C 总线的运行速度只能与总线上最慢外设的运行速度一致。如果需要更快的运行速度，请将慢速器件移至另一个 I²C 端口。
3. 建议不要在 I²C 总线上放置多组上拉电阻，否则可能会导致负载过大和运行错误。根据配置的总线速度调整上拉电阻值。
4. 建议确保为处理器 I²C IO 供电的 IO 组 IO 电源与用于上拉电阻和附加 I²C 器件 IO 电源的电源电压相匹配。将上拉电阻器连接到适当的电源电平可防止 I²C 接口错误运行。
5. I²C 接口支持时钟延展。如果由于总线负载或信号压摆率导致测得的时钟频率与配置的频率不匹配，建议调整上拉电阻。

7.5.2.3 I²C (仿真开漏输出型 IO) 接口检查清单

通用

检查并验证定制原理图设计的以下内容：

1. 已审阅上述用户指南“所有章节的通用检查清单”章节。
2. 提供的时序和开关特性以及任何其他信息。
3. I²C 接口配置、I²C 接口上拉电阻要求和连接。
4. 未使用接口时的 I²C 上拉电阻。
5. I²C 实例以及与多个附加器件的连接。
6. 附加器件地址输入的端接处理。
7. 仿真开漏输出型 I²C 接口的例外情况和连接要求。

原理图审阅

定制原理图设计请遵循以下列表：

1. I₂C0、I₂C1、I₂C2 和 I₂C3 I₂C 接口是 LVCMOS 缓冲器类型的仿真开漏输出型 IO。
2. I₂C 接口配置和推荐连接（包括根据 IOSET 对接口信号进行分组）。I₂C 接口类型和上拉电阻要求。
3. 当 IO 配置为 I₂C 接口时，建议使用上拉电阻 (4.7kΩ)。
4. 建议借助 SK 或 EVM 原理图实现方案验证用于 I₂C 接口的上拉电阻阻值，或根据负载计算上拉电阻阻值。建议为 I₂C 接口使用上拉电阻 (4.7kΩ，测试后可调整)。
5. 以处理器 VDDSHVx 为基准（由其供电）的上拉电阻（I₂C 上拉电阻连接到正确的电压）。
6. 当不使用 I₂C 接口时，这些 IO 可以配置为替代功能，并且上拉/下拉配置取决于 IO 功能。
7. 与 IO 组 VDDSHVx IO 电源（以 I₂C 外设和附加器件的 IO 电源为基准（由其供电））相连的电源轨均取自同一电源，并遵循 ROC。
8. 处理器支持多个 I₂C 实例。建议验证任何 I₂C 接口上有无 I₂C 地址冲突。如果需要额外的 I₂C 接口，可以使用 I₂C 开关。
9. 附加器件地址引脚，通过电阻器 (>1kΩ) 连接到 IO 电源。
10. 请注意处理器特定数据表中时序和开关特性一节关于仿真开漏输出型 I₂C 接口的 I₂C 例外情况。建议在处理器 I₂C 接口信号附近放置串联电阻 (47Ω，测试后调整) 以控制下降时间。

其他

1. I₂C0、I₂C1、I₂C2 和 I₂C3 接口使用 LVCMOS 型 IO 缓冲器来模拟开漏输出型 IO，并且不完全符合 I₂C 规范，尤其是下降沿的速度很快 (< 2ns)。
2. 建议在设计阶段查看处理器特定数据表的时序和开关特性的 I₂C 例外情况部分。
3. I₂C 总线的运行速度只能与总线上最慢外设的运行速度一致。如果需要更快的运行速度，请将慢速器件移至另一个 I₂C 端口。
4. 建议不要在 I₂C 总线上放置多组上拉电阻，否则可能会导致负载过大和运行错误。根据配置的总线速度调整上拉电阻值。
5. 建议确保为处理器 I₂C IO 供电的 IO 组 IO 电源与用于上拉电阻和附加 I₂C 器件 IO 电源的电源电压相匹配。将上拉电阻器连接到适当的电源电平可防止 I₂C 接口错误运行。
6. I₂C 接口支持时钟延展。如果由于总线负载或信号压摆率导致测得的时钟频率与配置的频率不匹配，建议调整上拉电阻。
7. 失效防护接口支持（仿真开漏输出型 IO 不具有失效防护功能，建议在处理器 IO 电源斜升之前不要施加任何外部输入）。建议连接到外部接口信号时验证失效防护运行情况。如在处理器电源斜升之前向处理器 I₂C 输入施加外部输入信号，会导致馈电并影响定制电路板功能。

7.6 用户接口 (CSIRX0、DPI)、GPIO 和硬件诊断

7.6.1 摄像头串行接口 (CSI-RX、CSI-2、CSIRX0)

7.6.1.1 AM62Ax 处理器系列

该处理器系列支持单路摄像头串行接口 CSI-RX、CSI-2、CSIRX0 实例，使用 D-PHY (DPHY、DPHY_RX) 时支持 4 通道，并符合 MIPI CSI-2 v1.3 标准和 MIPI D-PHY 1.2 标准 (CSIRX0)。CSIRX0 支持多达 4 通道（单通道/双通道/3 通道/4 通道）数据通道与 D-PHY (DPHY_RX) 连接。有关支持的数据速率上限，请参阅处理器特定数据表特性一章中的带通道 D-PHY 的多媒体摄像头串行接口 (CSI-2) 接收器一节。

DPHY_RX (CSI-RX) 支持 1 个（单）时钟通道，所有数据通道的时钟频率均相同。帧速率由帧起始和帧结束信令决定，并允许每通道以不同的帧速率处理输入源。

如需连接未使用的 CSIRX0 信号，请参阅处理器特定数据表的引脚连接要求部分。

CSI_RX_IF 没有专用引脚。在器件层，视频输入来自 DPHY_RX。

有关 CSIRX0 的更多信息，请参阅以下常见问题解答：

[常见问题解答] AM625/AM623/AM620-Q1/AM625SIP/AM625-Q1/AM62Ax/AM62Px 定制电路板硬件设计 - CSI-2 功能

常见问题解答包含允许的数据通道和时钟通道交换相关信息。

7.6.1.1.1 使用 CSIRX0 外设时的注意事项

处理器 CSIRX0 外设以 VDDA_CORE_CSIRX0 (CSIRX0 内核电源) 和 VDDA_1P8_CSIRX0 (CSIRX0 1.8V 模拟电源) 为基准 (由其供电) 。

建议在 CSI0_RXRCALIB (靠近处理器 RXRCALIB 引脚处) 和 VSS 之间连接一个并联电阻。有关建议电阻值和容差 , 请参阅处理器特定数据表。

[常见问题解答] AM625/AM623/AM620-Q1/AM62L/AM62A/AM62P/AM62D-Q1/AM64x/AM243x 设计建议 / 定制电路板硬件设计 — 与无源元件参数值、容差和额定电压相关的疑问

7.6.1.1.2 未使用 CSIRX0 外设时的处理

不使用时 , CSIRX0 外设对接口信号和电源有特定的连接要求。

有关连接接口信号、电源 (内核和模拟) 的信息 , 请参阅处理器特定数据表的引脚连接要求一节。

使用边界扫描功能时 , 建议将 CSIRX0 电源 (VDDA_CORE_CSIRX0 和 VDDA_1P8_CSIRX0) 连接到相关 (相应的) 电源。建议在电源引脚上使用去耦电容器。大容量电容器和铁氧体是可选项。

当不使用边界扫描功能时 , 建议通过单独的 0Ω 电阻将 CSIRX0 电源 (VDDA_CORE_CSIRX0 和 VDDA_1P8_CSIRX0) 连接到 VSS 。可以移除或不焊接去耦电容器、大容量电容器和铁氧体。

当 CSIRX0 接口未使用时 , CSI0_RXRCALIB 电阻可标记为 DNI 。

7.6.1.1.3 CSIRX0 外设检查清单

通用

检查并验证定制原理图设计的以下内容 :

1. 已审阅上述用户指南 “所有章节的通用检查清单” 章节。
2. CSIRX0 外设信号到所连接器件的连接。
3. 建议的外部校准电阻器 CSI0_RXRCALIB 的连接。
4. 内核和模拟电源的连接。
5. CSIRX0 接口的失效防护运行情况。

原理图审阅

定制原理图设计请遵循以下列表 :

1. CSIRX0 外设信号与连接器件的连接 , 包括极性。
2. $499\Omega \pm 1\%$ 到 CSI0_RXRCALIB 引脚和接地的连接。
3. 使用 CSIRX0 外设时 , 使用铁氧体和电容器作为 CSIRX0 模拟和内核电源。遵循 SK 或 EVM 原理图。
4. 连接到 CSIRX0 外设电源轨和所连接器件 IO 电源的电源轨应来自同一电源 , 并遵循建议运行条件。
5. 不使用 CSIRX0 外设且需要边界扫描功能时 , 应遵循引脚连接要求。不使用 CSIRX0 接口但需要边界扫描功能时 , IO 校准电阻器可以不安装。
6. 不使用 CSIRX0 外设且不需要边界扫描功能时 , 应遵循引脚连接要求。
7. CSIRX0 输入不具有失效防护功能。建议在处理器外设电源斜升之前不要施加任何 CSIRX0 输入。

其他

1. 建议根据用例配置外部 ESD 保护。
2. 建议连接到外部接口信号时验证失效防护运行情况。在处理器电源斜升之前对处理器 CSIRX0 输入施加外部输入信号可导致馈电并影响电路板性能。
3. 建议包含差分信号的标记 (可选)(100Ω) 和差分阻抗值。

7.6.1.2 AM62D-Q1 处理器系列

该处理器系列支持 1 个摄像头串行接口 (CSI-2) 接收器和 4 通道 D-PHY，用于通过 CSI-2 和 MIPI D-PHY 实现高速外部处理器数据接收接口。

CSI-2 接口支持一 (单) 条时钟通道，因此所有数据通道的时钟频率均相同。

如需连接未使用的 CSIRX0 信号，请参阅处理器特定数据表的引脚连接要求部分。

备注

建议在定制电路板设计 (原理图和布局) 期间遵循“AM62Ax 实现”章节。

7.6.2 显示子系统 (DSS)

7.6.2.1 显示并行接口 (DPI)

备注

有关支持的数据格式 (包括 BT656) 的信息，请参阅处理器特定数据表和 TRM。

7.6.2.1.1 AM62Ax 处理器系列

该处理器系列支持 1 路每像素 24 位、RGB/YUV422 模式、LVCMS 输出、DPI (并行) 显示接口实例。

有关 DPI 的更多信息，请参阅以下常见问题解答：

[常见问题解答] [AM625/AM623/AM620-Q1/AM625-Q1/AM625SIP 定制电路板硬件设计 - 显示并行接口 \(DPI\) 24 位 RGB - 显示接口](#)

这是通用常见问题解答，也可用于 AM62A7、AM62A7-Q1、AM62A3、AM62A3-Q1、AM62A1-Q1 处理器系列。

7.6.2.1.1.1 IO 电源

处理器 DPI 以 VDDSHV3 电源轨 (IO 组 3 的 IO 电源) 为基准 (由其供电)。

7.6.2.1.1.2 连接

验证显示 (RGB) 连接。

DPI 显示接口支持包括 12、16、18 和 24 位 RGB 有源矩阵显示。将 16 位数据连接到 18 位面板 (BGR565 到 BGR666) 时，建议将 D0-D4 连接到 LCD 模块输入的 B1-B5，将 D5-D10 连接到 LCD 模块输入的 G0-G5，并将 D11-D15 连接到 LCD 模块输入连接器的 R1-R5。对于 LCD 模块输入侧的 18 位接口，建议将 B0 连接到 B5，R0 连接到 R5，并将 R0 连接到 R5。

7.6.2.1.1.3 DPI (连接器件) 复位

建议使用双输入“与运算”逻辑来实现所连接器件 (LCD 模块) 的复位。处理器 GPIO 作为与门的输入之一连接，在“与运算”逻辑与门输入附近提供上拉电阻或下拉电阻配置 (10kΩ 或 47kΩ) (上拉电阻已使能)，并提供 0Ω 配置以隔离 GPIO 用于测试或调试。与门的另一个输入是 MAIN 域热复位状态输出 (RESETSTATz)。

如果直接使用处理器 MAIN 域热复位状态输出 (RESETSTATz) (不使用“与运算”逻辑) 来复位所连接的器件，建议将 RESETSTATz 的 IO 电压电平与所连接器件匹配。建议使用电平转换器来匹配 IO 电平。若选择了电阻分压器的理想值，则也可使用电阻分压器进行电平转换。如果过高，DPI 复位输入的上升/下降时间可能会很慢，从而引入过大延迟。若使用阻值过低的电阻作为分压器，会导致处理器在正常工作期间产生过大的稳态电流。

7.6.2.1.1.4 DPI 信号连接

建议为 VOUT0_PCLK (像素时钟输出) 提供连接串联电阻器 (0Ω) 的配置 (靠近处理器时钟输出引脚，以控制可能的信号反射)。如果空间充足，建议为靠近处理器引脚的所有其他控制和数据信号添加串联电阻器 (0Ω)。

7.6.2.1.1.5 电源轨的电容器

建议验证是否为 VDDSHV3 (以 DPI 接口信号为基准 (由其供电) 的电源轨) 电源轨和附加器件提供了大容量电容器和去耦电容器 (如有推荐电容器则使用推荐型号, 否则遵循相关的 SK 实现方案)。

如无具体建议, 建议遵循处理器特定 SK 实现方案。

7.6.2.1.1.6 DPI (VOUT0) 外设检查清单

通用

检查并验证定制原理图设计的以下内容:

1. 已审阅上述用户指南 “所有章节的通用检查清单” 章节。
2. 为像素时钟输出信号添加串联电阻。
3. 用于显示接口 DPI 控制和数据接口信号的串联电阻。
4. 实现附加器件的复位逻辑。
5. 外部 ESD 保护。

原理图审阅

定制原理图设计请遵循以下列表:

1. 连接接口信号, 包括处理器 DPI 引脚与附加器件 (RGB 显示器) 的映射以及显示控制信号。
2. 连接至以 DPI 外设和附加器件 IO 电源为基准的 IO 组 VDDSHV3 IO 电源的电源轨遵循 ROC。
3. 建议将 DPI IO 电源的去耦电容器与相关 SK 或 EVM 进行比较。
4. 在靠近处理器时钟输出引脚 PCLK 处为时钟输出信号连接串联电阻 (0Ω) (以控制可能出现的信号反射)。
5. 可选择用于显示接口 DPI 控制和数据接口信号的串联电阻。若空间不受限, 建议添加串联电阻。
6. 建议使用双输入“与运算”逻辑来实现所连接器件 (LCD 模块) 的复位。将处理器 GPIO 连接为与门的一个输入, 并在“与运算”逻辑与门输入附近配置上拉或下拉电阻 (使能上拉电阻), 同时配置 0Ω 电阻以便在测试或调试时隔离 GPIO 输出。与门的另一个输入是 MAIN 域热复位状态输出 (RESETSTATZ)。
7. 建议根据用例配置外部 ESD 保护。

7.6.2.1.2 AM62D-Q1 处理器系列

不支持显示接口 (DPI)。

7.6.3 通用输入/输出 (GPIO)

备注

有关连接处理器 IO 的信息, 请阅读处理器特定数据表引脚连接要求部分结尾的注释。

该处理器系列支持 MAIN 域中的两个 GPIO 模块实例 (GPIO0 和 GPIO1) 和 MCU 域中的一个 GPIO 模块实例 (MCU_GPIO0)。通用输入/输出 (GPIO) 外设支持可以配置为输入或输出的信号 (引脚)。当配置为输出时, 软件可以对内部寄存器进行写入来控制输出引脚上驱动的状态。当配置为输入时, 软件可以通过读取内部寄存器来读取输入的状态。此外, GPIO 外设可以在不同的中断/事件生成模式下生成主机 CPU 中断和 DMA 同步事件。处理器特定数据表的引脚属性和信号说明部分提供了有关处理器引脚的信息, 这些引脚可配置为支持 LVC MOS 和 SDIO 缓冲器类型的 GPIO (推挽式)。引脚属性部分还介绍了处理器支持的其他类型 IO。

请参阅以下常见问题解答:

[常见问题解答] AM625/AM623/AM620-Q1/AM62Ax/AM62Px/AM62D-Q1/AM62L/AM64x/AM243x 设计建议/定制电路板硬件设计 — 与 GPIO 相关的疑问

[常见问题解答] AM625/AM623/AM620-Q1/AM62L/AM62Ax/AM62D-Q1/AM62Px/AM64x/AM243x 定制电路板硬件设计的设计建议/常见错误 — LVC MOS 输入磁滞相关的疑问

[常见问题解答] AM625/AM623/AM620-Q1/AM62L/AM62A/AM62P/AM62D-Q1/AM64x/AM243x 设计建议/定制电路板硬件设计 — 数据表引脚属性及引脚连接相关疑问

7.6.3.1 处理器 GPIO 上 CLKOUT 的可用性

MCU_OSC0_XO 的缓冲输出在 WKUP_CLKOUT0 上复位后可用。

7.6.3.2 GPIO 连接和外部缓冲器的添加

建议添加一个串联电阻（其值取决于具体用例，并需根据处理器特定数据表来限制电流）。当消耗（需要）更高电流（高于处理器特定数据表中规定的值）的负载连接到处理器 GPIO 时，建议在连接负载之前先对处理器 IO 进行缓冲处理。

通用处理器 LVCMSIO 接口指南：

1. 许多处理器 IO 不具备失效防护功能。建议在处理器电源斜升之前不要施加任何外部输入。
2. 处理器 LVCMSIO 指定了压摆率要求（LVCMSIO 输入压摆率 <1000ns），建议不要施加慢速斜升输入或在输入端直接连接电容器。
3. 不建议在输出端连接一个 $> 22\text{pF}$ 的电容器负载。DNI 电容器或（根据用例）执行仿真。
4. 在复位期间和复位后，处理器 IO 缓冲器（TX（输出）和 RX（输入）以及内部拉电阻（上拉和下拉））均关闭。建议在由处理器 IO 驱动且可能处于悬空状态的附加器件附近设置一个拉电阻，以防止附加器件输入在主机驱动前悬空。
5. 对于连接了布线但未被主动驱动的任何处理器 IO（焊盘），建议使用并联拉电阻（ $47\text{k}\Omega$ ）。当添加并联拉电阻不可行时，建议使布线远离噪声信号。
6. 建议验证处理器 IO 与附加器件之间的 IO 电平兼容性和失效防护操作。

7.6.3.3 其他信息

除非另有说明，否则未使用 IO 的引脚（或焊盘）可以保留为无连接状态。许多 IO 都有一个焊盘配置寄存器可用于配置控制 IO 的功能（每个 conf_<module>_<pin> 寄存器中的 RXENABLE 字段）。有关更多信息，请参阅处理器特定 TRM 的控制模块一章。作为早期初始化的一部分，软件可以禁用设计中未连接的 IO 接收缓冲器（即 RXENABLE=0）。当相关引脚悬空时，建议软件应避免意外启用 IO 接收器（通过设置 RXENABLE 位）。

备注

有关配置未使用引脚（或外设）的指导，建议参阅处理器特定数据表的引脚连接要求部分。

备注

PADCONFIG 寄存器位配置 — ST_EN：

建议保持 ST_EN 位处于启用状态以防止软件修改 PADCONFIG 寄存器。每个电气特性表中定义的最小输入压摆率参数与长期可靠性相关。这些参数与 ST_EN 位无关。通过滤除不超过迟滞的噪声脉冲，输入缓冲器中实现的施密特触发功能仅更改输入缓冲器的输出结果。当应用向 IO 输入施加比处理器特定数据表中规定值缓慢的压摆率时，施密特触发功能不会更改输入缓冲器的工作方式。

备注

如需了解有关配置 IO 的指导信息，请参阅处理器特定 TRM 的焊盘配置寄存器章节。

备注

特定外设和 GPIO 支持去抖功能。建议在处理器特定数据表的信号说明部分中查找与外设或 GPIO 去抖功能相关的注释。

有关未使用处理器外设和 IO 连接的更多信息，请参阅以下常见问题解答：

[常见问题解答] AM625/AM623/AM620-Q1/AM62L/AM62A/AM62D-Q1/AM62P 定制电路板硬件设计过程中的设计建议/常见错误 - 不使用时的 SOC 外设和 IO 连接

有关连接(已使用/未使用)处理器引脚和外设的信息,请参阅以下常见问题解答:

[常见问题解答] AM62x、AM62Ax、AM62D-Q1、AM62L、AM62Px、AM64x、AM243x 定制电路板硬件设计 — 如何处理已使用/未使用的引脚/外设以及添加上拉或下拉电阻?(例如 GPIO、SERDES、USB、CSI、MMC(eMMC、SD 卡)、CSI、OLDI、DSI、CAP_VDDSw……)

使用处理器 GPIO 时,请参阅处理器特定数据表引脚连接要求部分末尾的注释。

7.6.3.4 GPIO 检查清单

通用

检查并验证定制原理图设计的以下内容:

1. 已审阅上述用户指南“所有章节的通用检查清单”章节。
2. 电源到 IO 组 IO 电源的连接(所有以 VDDSHVx、VDDSHV_MCU 或 VDDSHV_CANUART 为基准(由其供电)的 IO 引脚均连接到相同的电压电平)。
3. 外部施加输入的 IO 电平兼容性。
4. 处理器 IO 到 IO 电源或 VSS 的连接。
5. LVC MOS (SDIO) 输入压摆率,电容器在处理器 IO 输入端或输出端的连接。
6. LVC MOS (SDIO) IO 的失效防护运行情况以及多个 IO 的连接。
7. IO 灌电流或拉电流遵循处理器特定数据表中的建议。IO 接口的一个常见用例是驱动 LED 进行指示。建议定制电路板设计人员检查 LED 拉电流或灌电流,对处理器 IO 电压电平的影响,并调整电流。如果预计会持续消耗电流,建议使用外部 FET 或基于晶体管的开关驱动 LED。
8. 基于所需 IO 功能的相关 PADCONFIG 寄存器配置。

原理图审阅

定制原理图设计请遵循以下列表:

1. 每个 IO 都有一个用于为 IO 单元(VDDSHVx、VDDSHV_MCU 或 VDDSHV_CANUART)供电的相关电源电压。如果 VDDSHVx、VDDSHV_MCU 或 VDDSHV_CANUART 由 3.3V (1.8V) 电源供电,则建议在 3.3V (1.8V) 电平下连接(运行)以 VDDSHVx、VDDSHV_MCU 或 VDDSHV_CANUART 电源轨为基准(由其供电)的所有 IO。
2. 连接到处理器 IO 的所有上拉电阻的电源电压与施加到相应 IO 组 IO 电源(VDDSHVx、VDDSHV_MCU 或 VDDSHV_CANUART)的电压相匹配。将信号拉至不同的 IO 电压可能导致电压泄漏(残余电压)。
3. 连接到 GPIO 组的电源轨以 IO 组 IO 电源 VDDSHVx、VDDSHV_MCU 或 VDDSHV_CANUART 为基准(由其供电),并且外部输入或 GPIO 上拉电压电平遵循建议运行条件。
4. 不建议或不允许将处理器 IO 直接连接到电源或 VSS(包括引导模式输入)。定制电路板设计人员可能遇到固件错误,并且错误配置用于输入(而是将输出驱动为逻辑高电平)的 LVC MOS GPIO。
5. 来自附加电路板或载板的外部施加输入或通过外部连接器(添加了提供外部 ESD 保护的配置)直接连接到 IO 的外部输入的 IO 电平兼容性。
6. 为任何可能悬空的处理器(或所连接器件)IO 添加外部拉电阻(以防止所连接的器件输入在主机驱动之前悬空)。
7. 施加到处理器 LVC MOS 输入的输入信号遵循符合处理器特定数据表的压摆率要求。在输入端直接连接一个电容器可能会增加信号压摆,因此不建议这样做。
8. 不允许将电容负载直接连接到处理器输出以控制或使能所连接器件。建议在 GPIO 的输出端使用 > 22pF(占位值)的电容负载时进行仿真。
9. 许多处理器 IO 不具备失效防护功能。在 IO 组 IO 电源 VDDSHVx、VDDSHV_MCU 或 VDDSHV_CANUART 斜升之前,不允许向处理器 IO 施加外部输入电压(失效防护 IO 除外)。
10. 不建议直接将多个 IO 短接在一起。不建议将 IO 直接连接到电源或接地。

其他

1. 为直接连接到 IO 的外部输入提供外部 ESD 保护配置。
2. 通用处理器 LVC MOS IO 接口指南，请参阅用户指南的 [GPIO 连接和外部缓冲](#)。许多处理器 IO (LVC MOS、SDIO) 都没有失效防护功能。在处理器电源斜升之前，不建议施加任何外部输入。
3. 处理器 IO 指定了压摆率要求。不建议应用慢速斜升输入或在输入端直接连接电容器。
4. 不建议在输出端连接一个 $> 22\text{pF}$ (占位值) 的电容器负载。DNI 电容器或 (根据用例) 执行仿真。
5. 在复位期间和复位后，处理器 IO 缓冲器 (TX (输出) 和 RX (输入) 以及内部拉电阻 (上拉和下拉)) 均关闭。建议为由可能悬空的处理器 IO 驱动的所连接器件添加拉电阻 (以防止所连接的器件输入在主机驱动之前悬空)。
6. 对于连接了布线且未主动驱动的任何处理器 IO (焊盘)，建议使用并联拉电阻 ($47\text{k}\Omega$)。当添加拉电阻不可行时，建议布线远离噪声信号 (在复位期间和复位后，处理器 IO 缓冲器 (TX (输出) 和 RX (输入) 以及内部拉电阻 (上拉和下拉)) 关闭)。建议在所连接器件附近使用上拉电阻 ($47\text{k}\Omega$)，以保持可能悬空的所连接器件的输入处于已知状态。
7. 连接到外部信号时进行失效防护操作。在处理器电源斜升之前对处理器 GPIO 输入施加外部输入信号可导致馈电并影响电路板性能。
8. 当 IO 直接连接到外部接口信号时，建议提供外部 ESD 保护配置。
9. 失效防护 IO 包括 MCU_PORz、WKUP_I2C0_SCL、WKUP_I2C0_SDA、MCU_I2C0_SCL、MCU_I2C0_SDA、EXTINTn 和 USBn_VBUS (n = 0-1) (使用符合处理器特定数据表建议的 VBUS 分压器时)。

7.6.4 板载硬件诊断

7.6.4.1 使用处理器电压监测器来监测板载电源电压

处理器电源电压监测器可用于监测使用基于 PMIC 或替代电源架构生成的板载电源，以及从外部连接器或载板连接的定制电路板的输入电源。为使电压监测器 VMON_VSYS 检测有效，使用电阻分压器 (0.45V 为监测器输入) 对 5V 或更高 (12V 或 24V) 的直流电压进行分压，并连接至 VMON_VSYS 监测器输入。建议在监测到较高的直流电压时提供过压保护配置 (并联电阻器或齐纳二极管)。

板载 1.8V 或 3.3V 电源可以直接连接到 VMON_1P8_SOC 和 VMON_3P3_SOC。

7.6.4.1.1 电压监测器输入连接 (使用时)

对于电压监测引脚 VMON_VSYS，无论软件实现如何，建议始终配置外部电阻 (分压器) 以及早检测 (指示) 电源故障。建议连接 5V 或更高的电压以使检测生效。如需通过外部电阻分压器连接板载电压 (主电源电压，如 5V、12V 或 24V)，请参阅处理器特定数据表的系统电源监测设计指南部分。建议在连接到 VMON_VSYS 输入的电阻器输出端 (跨接) 实施噪声滤波器 (电容器)，因为 VMON_VSYS 具有极小的迟滞和对瞬态的高带宽响应。

建议将 VMON_1P8_SOC 和 VMON_3P3_SOC 引脚直接连接到各自的电源 (无需添加任何外部滤波电容器)。有关允许的电源电压范围，请参阅处理器特定数据表的建议运行条件部分。

备注

对于 VMON_VSYS，当遵循处理器特定数据表系统电源监测设计指南部分中的建议时，失效防护条件有效。

对于 VMON_1P8_SOC 和 VMON_3P3_SOC 引脚，当连接的电源电压在处理器特定数据表建议运行条件部分的范围内时，失效防护条件有效。

有关更多信息，请参阅以下常见问题解答：

[常见问题解答] [AM625/AM623/AM620-Q1/AM62Ax/AM62D-Q1/AM62Px/AM64x/AM243x \(ALV\) 设计建议/定制电路板硬件设计 — POK VMON 电压监控器](#)

[常见问题解答] [AM625/AM623/AM620-Q1/AM62Ax/AM62D-Q1/AM62Px/AM64x/AM243x \(ALV、ALX\) 设计建议/定制电路板硬件设计 — 电源正常 \(POK\) 监控的模块电压和连接建议](#)

[常见问题解答] AM625/AM623/AM620-Q1/AM62L/AM62A/AM62P/AM62D-Q1/AM64x/AM243x 设计建议/定制电路板硬件设计 — 与无源元件参数值、容差和额定电压相关的疑问

7.6.4.1.1.1 电压监视器检查清单

通用

检查并验证定制原理图设计的以下内容：

1. 已审阅上述用户指南“所有章节的通用检查清单”章节。
2. 建议始终根据处理器特定数据表的系统电源监测设计指南部分提供连接外部电阻分压器的配置，以便使用 VMON_VSYS 及早检测。
3. 由 VMON_VSYS 监测的电压电平。
4. 由处理器 VMON_VSYS 输入监测的电压连接。
5. 分压器建议，包括在 VMON_VSYS 分压器上添加滤波电容器。
6. VMON_1P8_SOC 和 VMON_3P3_SOC 的连接。

原理图审阅

定制原理图设计请遵循以下列表：

1. 为了使电压监测器 VMON_VSYS 检测有效，建议使用电阻分压器连接 5V 或更高（12V 或 24V）的直流电压。
2. VMON 分压电阻器使用 $\pm 1\%$ 容差的电阻器。
3. 在连接到处理器监测输入的 VMON_VSYS 分压器上添加滤波电容器。参阅“处理器特定数据表”部分《系统电源监测设计指南》。电容值由定制电路板设计人员根据跳闸时间要求来确定。
4. 将 1.8V 直接连接到 VMON_1P8_SOC，将 3.3V 直接连接到 VMON_3P3_SOC 引脚，无需任何外部滤波电容器。

其他

1. 建议始终使用 VMON_VSYS 实现（在电路板上配置）电压监测功能，以便及早检测输入电源故障。电压监测 VMON_VSYS 用于进入 PCB 的主输入（较高）电压轨的电源故障指示器。例如：5V、12V 或 24V。与 VMON_VSYS 电压监测器相关的误差要求您将阈值设置为显著低于标称工作范围以避免误触发，因此建议监测输入电压而不是处理器电源轨。请参阅处理器特定数据表的系统电源监测设计指南部分。

7.6.4.1.2 电压监测器输入连接（不使用时）

建议始终连接（使用）电压监测器 VMON_VSYS，以便及早检测（指示）输入电源故障。不使用 VMON_VSYS 时，建议通过 0Ω 电阻器将 VMON_VSYS 引脚连接至 VSS，并添加一个测试点以备未来扩展（遵循引脚连接要求）。

如需在不使用时连接电压监测器输入 VMON_3P3_SOC 和 VMON_1P8_SOC，请参阅以下常见问题解答：

[常见问题解答] AM625/AM623/AM620-Q1/AM62Ax/AM62D-Q1/AM62Px/AM64x/AM243x (ALV、ALX) 设计建议/定制电路板硬件设计 — 电源正常 (POK) 监控的模块电压和连接建议

7.6.4.2 内部温度监测

处理器上的电压和热管理器 (VTM) 模块通过提供对片上温度传感器的控制来支持处理器的电压和热管理。

独立的温度传感器位于处理器上指定的热点。建议在 Linux 中读取片上温度传感器并执行热管理。请参阅 [E2E 主题](#)。

该处理器支持 WKUP 域中的一个 VTM 模块，即 VTM0。

有关更多信息，请参阅以下常见问题解答：

[常见问题解答] AM625/AM623/AM620-Q1/AM62Ax/AM62D-Q1/AM62Px/AM62L/AM64x/AM243x (ALV, ALX) 定制电路板硬件设计 — 电压热管理器 (VTM)

7.6.4.2.1 内部温度监测检查清单

通用

检查并验证定制原理图设计的以下内容：

1. 已审阅上述用户指南 “所有章节的通用检查清单” 章节。
2. 将建议的电源连接到温度传感器电源引脚。
3. 为 TEMPn ($n = 0-2$) 传感器模拟电源引脚增加滤波电容器。

7.6.4.3 错误信号输出 (MCU_ERRORn) 的连接

建议根据处理器特定数据表的 引脚连接要求 一节连接 MCU_ERRORn 信号以进行测试，或将该信号用于其他板级功能。

7.6.4.4 高频振荡器 (MCU_OSC0) 时钟丢失检测

该处理器系列支持通过 HFOSC0 时钟丢失检测电路来检测 HFOSC0_CLK 故障 (停止) 情况。专用硬件逻辑使用 CLK_12M_RC 时钟来监测 HFOSC0 时钟。当 HFOSC0_CLK 停止切换的时长达到 9 个 CLK_12M_RC 时钟周期时，会检测到 HFOSC0 时钟停止丢失情况。如果设置了 CTRLMMR_MCU_PLL_CLKSEL [8]

CLKLOSS_SWTCH_EN，则参考时钟将从 HFOSC0_CLKOUT 切换到 CLK_12M_RC，允许该处理器以较慢的时钟运行。

在时钟丢失情况下，该处理器通过 MCU_ERRORn 引脚 (将该引脚驱动为低电平) 向外部器件报告错误。恢复机制取决于外部器件 (例如由 PMIC 执行操作)。

例如，执行完整的电路板断电加电循环以使电路板恢复。如果电路板未恢复，则该处理器必须指示定制电路板设计人员采取替代措施或执行板级测试，例如检查板级系统时钟、外部晶体或电源轨。

请参阅以下常见问题解答：

[常见问题解答] AM6422：如何在时钟丢失检测后切换回外部时钟

这些是通用常见问题解答，也可用于 AM62A7、AM62A7-Q1、AM62A3、AM62A3-Q1、AM62A1-Q1 和 AM62D-Q1 处理器系列。

7.6.4.4.1 晶体/外部振荡器故障

在冷复位 (上电复位) 期间，如果晶体或外部振荡器未能生成时钟，则处理器可能无法启动。

7.7 SK 或 EVM 特定电路实现 (重复使用)

若重复使用下面列出的部分 SK 或 EVM 实现方案：

- DPI 转 HDMI
- 音频编解码器
- FT4232 UART 转 USB 桥接器
- XDS110 调试器
- CPSW3G RGMII 1 – PHY
- M.2 接口 – SDIO
- 电流监测器件
- USB Type-C PD 控制器和电源

建议遵循以下常见问题解答：

[常见问题解答] AM625/AM623/AM620-Q1/AM62L/AM64x/AM243x (ALV)/AM62Ax/AM62D-Q1/AM62Px 设计建议/定制电路板硬件设计 – 关于在定制电路板设计中重用下列 SK 特定实现方案的指南

7.8 在定制电路板启动期间执行电路板级测试

7.8.1 使用 PinMux 工具的处理器引脚配置

建议使用 TI [SysConfig-PinMux](#) 工具验证处理器外设和 IO 配置，以确保配置了有效的 IOSET。

有关更多信息，请参阅 [SysConfig-PinMux](#) 工具提供的 PinmuxConfigSummary.csv 文件。

7.8.2 原理图配置

建议先确认以下内容：电路板正常工作期间需标注为 DNI 且为实现替代功能或便于测试而提供的电路选项（若安装其相关元件，可能会影响定制电路板的性能）在定制电路板设计中标注为 DNI，并且在电路板通电前未在板上贴装。

7.8.3 将电源轨连接到外部上拉电阻

如将处理器 IO 上拉电阻连接到不同的 IO 电源轨/工作电压（与以该 IO 组为基准的 IO 组 IO 电源的电压电平不匹配），可能会导致 IO 电源轨上出现电压泄漏并影响定制电路板的性能或处理器可靠性。每个信号的 IO 组都有一个相关的 IO 电源（例如：VDDSHVx [x = 0-6]）。有关更多信息，请参阅处理器特定数据表中的引脚属性表。

例如，要在 GPIO MUX 模式 (GPIO1_17) 下上拉 SPI0_CLK 信号，需将外部上拉电阻连接到与 IO 组 VDDSHV0 IO 电源相连的电源轨。

7.8.4 外设（子系统）时钟输出

对于任何包含时钟输出的处理器外设，建议配置相应 CTRLMMR_MCU_PADCONFIGx、CTRLMMR_PADCONFIGy 寄存器的 RXACTIVE 位。该位配置是时钟输出正常工作的必需条件。

7.8.5 通用板启动和调试

开始进行电路板启动前的电路板启动提示，包括验证以下内容：

- 组装的处理器、附加器件和其他元件与设计（定制电路板原理图和定制电路板设计要求）相符
- 已检查组装好的电路板，确认元件安装符合物料清单 (BOM) 所述（包括 DNI，请勿安装元件）。已检查组装好的电路板的组装质量（元件焊接情况和焊接工艺）
- 在施加定制电路板电源和处理器电源斜升之前，没有任何外部输入连接到处理器输入

请参阅以下常见问题解答：

[[常见问题解答](#)] Sitara 器件 (AM64x、AM243x、AM62x、AM62L、AM62Ax、AM62D-Q1、AM62Px) 的电路板启动提示

7.8.5.1 电路板启动、测试或调试的时钟输出

处理器上提供以下时钟输出，仅用于测试和调试：

MCU_SYSCLKOUT0

MCU_PLL0_HSDIV0_CLKOUT (MCU_SYSCLKOUT0) 经过 4 分频后连接到名为 MCU_SYSCLKOUT0 的特定引脚。该时钟输出仅用于测试或调试目的。

SYSCLKOUT0

MAIN_PLL0_HSDIV0_CLKOUT (SYSCLKOUT0) 经过 4 分频后连接到名为 SYSCLKOUT0 的特定引脚。该时钟输出仅用于测试或调试目的。

OBSCLK0、OBSCLK1、MCU_OBSCLK0

建议仅将观察时钟 (OBSCLK0、OBSCLK1 和 MCU_OBSCLK0) 输出用于测试或调试目的。观察时钟可用于选择多个内部时钟之一作为输出。观察时钟不应该用作任何外部器件的时钟源。如处理器特定数据表所述，OBSCLK0、OBSCLK1 和 MCU_OBSCLK0 信号仅用于测试或调试目的。

建议在可行情况下为名称为 MCU_SYSCLKOUT0、SYSCLKOUT0、OBSCLK0、OBSCLK1 和 MCU_OBSCLK0 的指定处理器引脚提供 TP 和并联拉电阻 (10kΩ 或 47kΩ)。

如果时钟输出引脚被配置为替代功能，建议在布线上设置 TP，并预留措施以便在测试或调试时将信号与附加器件隔离。

7.8.5.2 其他信息

建议为 MCU_RESETSTAT_Z、RESETSTAT_Z 和 POR_Z_OUT 提供测试点，以便在不使用时进行测试或调试。

对于具有警报输出、过流指示输出或 PG (电源正常) 输出的板载附加器件 (分立式直流/直流转换器、LDO、温度传感器或电压监测器)，建议配置上拉电阻 (10kΩ) 和测试点用于测试或后续功能增强 (当前未使用时)。

7.8.5.3 通用板启动和调试检查清单

通用

检查并验证定制电路板原理图设计的以下内容：

1. 提供电路部分隔离措施的配置。
2. 提供外部调试接口的配置。

原理图审阅

定制原理图设计请遵循以下列表：

1. 建议添加相关配置，以将可用于调试的 IO 与替代功能隔离。
2. 已提供连接调试 UART 的配置 (UART0、MCU_UART0、WKUP_UART0)。建议添加相关配置，以便在初始电路板构建期间连接 UART 接口进行调试。
3. 建议为 JTAG 连接器或 JTAG 接口信号测试点添加相关配置。建议按引脚连接要求在处理器 JTAG 接口引脚附近放置上/下拉电阻。
4. 为 UART 接口信号配备所需的上拉电阻和串联电阻。
5. 当外部接口信号直接连接到处理器 UART 信号时添加外部 ESD 保护相关配置。建议为 JTAG 接口信号添加外部 ESD 保护相关配置。

其他

1. 包括 UART 在内的许多处理器 IO 都不具备失效防护功能。建议仅在处理器电源斜升后连接外部输入
2. 建议在处理器电路板断电时断开外部接口信号

请参阅以下常见问题解答：

[常见问题解答] SK-AM62：不同 UART 的用途

这是通用常见问题解答，也可用于 AM62A7、AM62A7-Q1、AM62A3、AM62A3-Q1、AM62A1-Q1 和 AM62D-Q1 系列处理器。

8 定制电路板原理图设计的自我审阅

备注

在定制电路板设计周期内，建议遵循[使用 AM62A7、AM62A7-Q1、AM62A3、AM62A3-Q1、AM62A1-Q1 和 AM62D-Q1 处理器系列进行定制电路板设计时的硬件设计注意事项](#)用户指南以及[原理图设计指南和原理图审阅检查清单](#)用户指南。

完成所需的原理图更新后（遵循用户指南、参考 SK 或 EVM 原理图实现、硬件设计注意事项用户指南和 TI.com 上的其他配套资料），定制电路板设计的下一阶段将按照原理图设计指南各章节末尾提供的审阅检查清单进行自我审阅。也可以使用 Excel 格式的原理图审阅检查清单进行审阅，以及使用 Excel 格式的原理图逐个部分跟踪原理图审阅的完成情况。

自我审阅原理图审阅检查清单各部分示例：

- 处理器内核和外设内核电源检查清单
- 通用板启动和调试检查清单

以下常见问题解答列出了对定制电路板原理图进行自我审阅时定制电路板设计人员可以遵循的可用配套资料和审阅步骤：

[常见问题解答] [AM62A7/AM62A7-Q1/AM62A3/AM62A3-Q1/AM62A1-Q1 和 AM62D-Q1 设计建议/定制电路板硬件设计 - 定制电路板原理图自检](#)

以下常见问题解答列出了发现的常见错误（基于对多个客户原理图的审阅以及对多个配套资料的参考）。建议阅读错误列表，并对定制电路板原理图进行所需的更新：

[常见问题解答] [AM625/AM623/AM620-Q1/AM62L/AM62A/AM62P/AM62D-Q1/AM64x/AM243x 设计建议/定制电路板硬件设计 - 在客户原理图审阅期间发现的错误列表](#)

9 定制电路板布局布线注释（添加在原理图部分附近）和通用指南

建议考虑为处理器、附加器件和其他板载器件添加必要或适用的设计说明，以减少定制电路板设计过程中的错误。建议为处理器存储器添加必要的设计说明（例如：USB2.0 接口、以太网接口、摄像头接口，包括 eMMC、OSPI、SD 卡、SDIO 和其他使用到的处理器外设，如 USB、MCSPI、MCASP）。建议添加的说明包含定制电路板引导模式配置、串联和并联电阻的放置、去耦电容器和大容量电容器的放置。

建议标记所有差分信号、可能影响性能的关键信号并（根据需要）规定目标阻抗。请参见以下示例：

- USB2.0 数据线的差分阻抗应在 90Ω 标称值的额定容差范围内。
- CSIRX0 接口信号的差分阻抗应在 100Ω 标称值的额定容差范围内。

备注

有关 LPDDR4 时钟、地址和控制信号的建议目标阻抗，请参阅 [AM62Ax、AM62Px、AM62Dx LPDDR4 电路板设计和布局布线指南](#)。

请参阅包含需遵循的电路板布局布线指南的以下常见问题解答：

[常见问题解答] [AM625 : 针对特定外设的 PCB 模式建议](#)

[常见问题解答] [AM625 : MMC0 PCB 连接要求](#)

[AM6442 : MMCSD0 \(eMMC\)和 MMCSD1 \(SD 卡 \) 的 PCB 布局指南](#)

这是通用常见问题解答，也可用于 AM62A7、AM62A7-Q1、AM62A3、AM62A3-Q1、AM62A1-Q1 和 AM62D-Q1 系列处理器。

有关更多信息，请参阅以下常见问题解答：

[常见问题解答] [AM625/AM623/AM620-Q1/AM62L/AM64x/AM243x \(ALV\)/AM62Ax/AM62D-Q1/AM62Px 电路板布局布线 - 通用高速布局布线指南文档链接](#)

9.1 布局布线注意事项

通用

检查并验证定制原理图设计的以下内容：

1. 已审阅上述用户指南“所有章节的通用检查清单”章节
2. 是设计为符合处理器特定数据表“时序与开关特性”部分时序条件表中定义的 PCB 布线延迟要求的定制电路板
3. 处理器特定数据表“应用、实施与布局”部分，并且遵循相关部分规定
4. 已遵循通用高速布局布线指南

有关更多信息，请参阅以下常见问题解答：

[常见问题解答] [AM625/AM623/AM620-Q1/AM62L/AM64x/AM243x \(ALV\)/AM62Ax/AM62D-Q1/AM62Px 电路板布局布线 – 通用高速布局布线指南](#) 文档链接

10 定制电路板设计仿真

所连接存储器 (LPDDR4) 的基线驱动阻抗和 ODT 设置源自对 SK 或 EVM 执行的信号完整性 (SI) 仿真。

由于配置值可能与 SK 或 EVM 原理图实现不同，因此建议对定制电路板设计执行仿真以最终确定这些值。

执行仿真时，可参考以下常见问题解答：

[常见问题解答] [AM625/AM623/AM620-Q1/AM625-Q1/AM625SIP/AM62A7/AM62A3/AM62A1-Q1/AM62D-Q1/AM62L/AM62P/AM62P-Q1/AM64x/AM243x 定制电路板硬件设计 – IO 缓冲器的 S 参数和 IBIS 模型](#)

[常见问题解答] [将 DDR IBIS 模型用于 AM64x、AM243x \(ALV\)、AM62x、AM62L、AM62Ax、AM62D-Q1、AM62Px](#)

如需简要了解高速 LPDDR4 接口的电路板提取、电路板仿真和分析方法，请参阅 [AM62Ax、AM62Px、AM62Dx LPDDR4 电路板设计和布局布线指南](#) 应用手册的 [LPDDR4 电路板设计仿真一章](#)。

使用 SysConfig 上的 [DDR 寄存器配置工具](#) 可以调节驱动强度。

有关配置 DDRSS 寄存器的更多信息，请参阅以下常见问题解答：

[常见问题解答] [AM62A7/AM62A3/AM62A1-Q1/AM62D-Q1 定制电路板硬件设计 – 处理器 DDR 子系统和器件寄存器配置](#)

有关 PDN Power SI 仿真的相关疑问，请参阅以下常见问题解答：

[常见问题解答] [AM62A3-Q1 : AM62A3-Q1 PDN Power SI 仿真问题](#)

常见问题解答是通用的，也可用于 AM62D-Q1 处理器系列。

10.1 DDR-MARGIN-FW

利用 DDR 裕度固件和支持脚本，可以在板载 DDR 接口中实现定制电路板裕度的可视化和测量。这些工具能够对关键数据信号进行无探头测量，以了解定制电路板设计是否遵循接口的建议设计指南。

AM62Ax 处理器系列：

[DDR-MARGIN-FW – 用于测量系统 DDR 裕度的固件和脚本](#)

AM62D-Q1 处理器系列：

查找 [DDR-MARGIN-FW - 用于测量系统 DDR 裕度的固件和脚本](#)

有关更多信息，请参阅以下常见问题解答：

[常见问题解答] [PROCESSOR-SDK-AM62X : 有关 AM625/AM623/AM620-Q1/AM625-Q1/AM625SIP DDR 裕度测试工具的问题](#)

这是通用常见问题解答，也可用于 AM62A7、AM62A7-Q1、AM62A3、AM62A3-Q1、AM62A1-Q1 和 AM62D-Q1 系列处理器。

11 其他参考内容

其他参考资料包含针对特定处理器的常见问题解答和定制电路板设计硬件设计注意事项用户指南。连接器件（包括 PMIC 和 EPHY）的原理图。

11.1 涵盖 AM64x、AM243x、AM62x、AM62Ax、AM62D-Q1、AM62Px 和 AM62Lx 处理器系列的常见问题解答

以下常见问题解答汇总了在定制电路板原理图设计和定制电路板原理图审阅期间可以参考的主要配套资料。

[常见问题解答] AM64x、AM243x (ALV、ALX)、AM62x、AM62Ax、AM62Px、AM62D-Q1、AM62L 定制电路板硬件设计 — 原理图设计和原理图审阅期间用于参考的配套资料

备注

在使用含有设计说明 (D-Note) 和修订说明 (R-Note) 的 SK 或 EVM PDF 原理图进行定制电路板原理图审查时，建议点击原理图中添加的常见问题解答链接以获取更多信息。

11.2 常见问题解答 - 处理器产品系列和 Sitara 处理器系列

根据 TI sitara 处理器应用和系统团队与多个定制电路板设计人员的交互、定制电路板设计人员的咨询以及从定制电路板设计人员收到的咨询中获得的信息和内部配套资料的审阅，创建了常见问题解答（包含以下相关内容：（添加了详细说明和示例说明）处理器运行、处理器电源和 IO 连接、处理器外设和接口、处理器评估 SK 或 EVM、在客户电路板设计审阅期间发现的常见错误、数据表和引脚属性以及常见 E2E 咨询问题），以便在定制电路板设计阶段为定制电路板设计人员提供支持。请参阅下面的常见问题解答列表。建议在定制电路板设计期间使用该列表以及 TI.com 上的其他可用设计配套资料（包括定制电路板设计硬件设计注意事项及原理图设计指南和原理图审阅检查清单）：

AM62Ax 和 AM62D-Q1 处理器系列：

[常见问题解答] AM62A7/AM62A7-Q1/AM62A3/AM62A3-Q1/AM62A1-Q1/AM62D-Q1 定制电路板硬件设计 - 有关处理器配套资料、正常运行、外设、接口和入门套件的常见问题解答

AM62Px 处理器系列：

[常见问题解答] AM62P、AM62P-Q1 定制电路板硬件设计 - 与处理器配套资料、功能、外设、接口和入门套件相关的常见问题解答

AM62Lx 处理器系列：

[常见问题解答] AM62L (AM62L32、AM62L31) 定制电路板硬件设计 - 与处理器配套资料、功能、外设、接口和 EVM 相关的常见问题解答

AM62x 处理器系列：

[常见问题解答] AM625、AM623、AM620-Q1、AM625-Q1、AM625SIP 定制电路板硬件设计 - 与处理器配套资料、功能、外设、接口和入门套件相关的常见问题解答

Sitara 处理器系列：

[常见问题解答] 定制电路板硬件设计 — 所有 Sitara 处理器 (AM62x、AM62Ax、AM62D-Q1、AM62Px、AM62L、AM64x、AM243x、AM335x) 系列的主要 (完整) 常见问题解答列表

请参阅下面的常见问题解答，其中提供了所有可用的常见问题解答列表，包括与软件或 sitara 处理器系列相关的常见问题解答：

[常见问题解答] AM6x：有关 AM62x、AM62Ax、AM62D-Q1、AM62Px、AM62L、AM64x、AM24x、AM3x、AM4x Sitara 器件的最新常见问题解答

备注

常见问题解答会经常更新。建议定期查看感兴趣的常见问题解答和常见问题解答主列表，以获取可用的最新信息。

11.3 原理图（自我）审阅和原理图审阅申请（供应商）

根据定制电路板设计周期，建议执行自我审阅、团队评审，并根据需要与供应商进行外部评审。

如需向 TI 提交原理图审阅申请，建议遵循以下常见问题解答：

[常见问题解答] Sitara MPU 硬件应用支持 - 原理图审阅申请

这是通用常见问题解答，也可用于 AM62A7、AM62A7-Q1、AM62A3、AM62A3-Q1、AM62A1-Q1 和 AM62D-Q1 系列处理器。

11.4 处理器连接器件检查清单

以太网 PHY PCB 设计布局检查清单

TPS65931211-Q1 适用于 AM62A 的 PMIC 用户指南

TPS65219 原理图、布局检查清单

备注

建议验证 TI.com 上所连接器件的特定原理图审阅检查清单的可用性，并使用可用检查清单验证自定义电路板原理图实现。

12 用户指南内容和使用摘要

本用户指南包含原理图设计指南和原理图审阅检查清单，可供定制电路板设计人员在进行定制电路板原理图设计和定制电路板原理图审阅时使用。定制电路板设计人员可利用本用户指南中提供的建议来优化定制电路板设计、减少原理图设计误差、缩短定制电路板启动时间和定制电路板调试时间，并可能更大程度地减少日后重新设计电路板的工作。

13 参考资料

13.1 AM62A7、AM62A3、AM62A7-Q1、AM62A3-Q1、AM62A1-Q1

- 德州仪器 (TI) , [AM62Ax Sitara 处理器](#) , 数据表
- 德州仪器 (TI) , [AM62Ax Sitara 处理器](#) , 技术参考手册
- 德州仪器 (TI) , [AM62Ax 器件勘误表](#)
- 德州仪器 (TI) , [入门套件 SK-AM62A-LP](#) , 产品页面
- 德州仪器 (TI) , [使用 AM62A7、AM62A7-Q1、AM62A3、AM62A3-Q1、AM62A1-Q1 和 AM62D-Q1 处理器系列的定制电路板硬件设计注意事项](#) 用户指南
- 德州仪器 (TI) , [AM62A7、AM62A7-Q1、AM62A3、AM62A3-Q1、AM62A1-Q1 和 AM62D-Q1 处理器系列原理图设计指南和原理图审阅检查清单](#) 用户指南
- 德州仪器 (TI) , [AM62Ax 最大电流额定值](#) , 应用手册
- 德州仪器 (TI) , [AM62Ax 功耗估算工具](#) , 应用手册
- 德州仪器 (TI) , [适用于 AM62Ax 的 PMIC 解决方案](#) , 产品概述
- 德州仪器 (TI) , [为 AM62Px 器件供电的 PMIC 产品概述](#)
- 德州仪器 (TI) , [AM62Ax/AM62Dx PCB 设计迂回布线](#) , 用户指南
- 德州仪器 (TI) , [AM62Ax、AM62Px、AM62Dx LPDDR4 电路板设计和布局布线指南](#) , 应用手册
- 德州仪器 (TI) , [SK-AM62A-LP 设计包文件夹和文件列表](#) , 产品概述
- 德州仪器 (TI) , [Sitara AM62Ax 基准测试](#) 应用手册
- 德州仪器 (TI) , [使用 TPS6522430-Q1 和 TPS6522230-Q1 PMIC 的 Sitara AM62A/P/D \(-Q1\) 电源设计](#) 应用简报

13.2 AM62D-Q1

- 德州仪器 (TI), [AM62Dx Sitara 处理器](#), 数据表
- 德州仪器 (TI), [AM62Dx Sitara 处理器](#), 技术参考手册
- 德州仪器 (TI), [AM62Dx Sitara 处理器器件勘误表](#), 器件版本 1.0
- 德州仪器 (TI), [AUDIO-AM62D-EVM](#) 产品页面
- 德州仪器 (TI), [使用 AM62A7、AM62A7-Q1、AM62A3、AM62A3-Q1、AM62A1-Q1 和 AM62D-Q1 处理器系列的定制电路板硬件设计注意事项](#) 用户指南
- 德州仪器 (TI), [AM62A7、AM62A7-Q1、AM62A3、AM62A3-Q1、AM62A1-Q1 和 AM62D-Q1 处理器系列原理图设计指南和原理图审阅检查清单](#) 用户指南
- 德州仪器 (TI), [适用于 AM62Ax 的 PMIC 解决方案](#), 产品概述
- 德州仪器 (TI), [为 AM62Px 器件供电的 PMIC](#) 产品概述
- 德州仪器 (TI), [AM62Ax/AM62Dx PCB 设计迂回布线](#), 用户指南
- 德州仪器 (TI), [AM62Ax、AM62Px、AM62Dx LPDDR4 电路板设计和布局布线指南](#), 应用手册
- 德州仪器 (TI), [Sitara AM62Dx 基准测试](#) 应用手册
- 德州仪器 (TI), [使用 TPS6522430-Q1 和 TPS6522230-Q1 PMIC 的 Sitara AM62A/P/D \(-Q1\) 电源设计](#) 应用手册

13.3 AM62L

- 德州仪器 (TI) : [AM62Lx Sitara 处理器](#) 数据表
- 德州仪器 (TI) : [AM62L Sitara 处理器](#) 技术参考手册
- 德州仪器 (TI) : [AM62Lx Sitara 处理器器件勘误表](#)
- 德州仪器 (TI) : [EVM TMDS62LEVM](#) 产品页面
- 德州仪器 (TI) : [使用 AM62L \(AM62L32、AM62L31\) 处理器系列的定制电路板硬件设计注意事项](#) 用户指南
- 德州仪器 (TI) : [AM62x、AM62Lx DDR 电路板设计和布局布线指南](#) 应用手册
- 德州仪器 (TI) : [AM62Lx PCB 设计迂回布线](#) 应用手册
- 德州仪器 (TI) : [AM62L 最大电流额定值](#) 应用手册
- 德州仪器 (TI) : [AM62L 电源实现](#) 应用手册
- 德州仪器 (TI) : [AM62L 产品概述](#) 应用手册
- 德州仪器 (TI) : [Sitara AM62Lx 基准测试](#) 应用手册

13.4 AM62P、AM62P-Q1

- 德州仪器 (TI), [AM62Px Sitara 处理器](#), 数据表
- 德州仪器 (TI), [AM62Px Sitara 处理器](#), 技术参考手册
- 德州仪器 (TI), [AM62Px 器件勘误表](#)
- 德州仪器 (TI), [入门套件 SK-AM62P-LP](#), 产品页面
- 德州仪器 (TI), [使用 AM62P、AM62P-Q1 处理器系列的定制电路板硬件设计注意事项](#), 用户指南
- 德州仪器 (TI), [AM62P 功耗估算工具](#), 应用手册
- 德州仪器 (TI), [用于为 AM62Px 器件供电的 PMIC](#), 应用手册
- 德州仪器 (TI), [AM62Px PCB 设计迂回布线](#), 应用手册
- 德州仪器 (TI), [AM62Ax、AM62Px、AM62Dx LPDDR4 电路板设计和布局布线指南](#), 应用手册
- 德州仪器 (TI), [SK-AM62P-LP 设计包文件夹和文件列表](#), 产品概述
- 德州仪器 (TI), [Sitara AM62P 基准测试](#) 应用手册
- 德州仪器 (TI), [使用 TPS6522430-Q1 和 TPS6522230-Q1 PMIC 的 Sitara AM62A/P/D \(-Q1\) 电源设计](#) 应用手册

13.5 AM625、AM623、AM620-Q1、AM625-Q1、AM625SIP

- 德州仪器 (TI), [AM62x Sitara 处理器](#), 数据表
- 德州仪器 (TI), [AM625SIP — 具有集成 LPDDR4 SDRAM 的 AM6254 Sitara 处理器](#), 数据表
- 德州仪器 (TI), [AM62x Sitara 处理器](#), 技术参考手册
- 德州仪器 (TI), [AM62x 器件勘误表](#)

- 德州仪器 (TI) , [使用 AM625、AM623、AM620-Q1、AM625-Q1、AM625SIP 处理器系列的定制电路板设计硬件设计注意事项](#), 用户指南
- 德州仪器 (TI) , [AM625、AM623、AM620-Q1、AM625-Q1、AM625SIP 处理器系列原理图设计指南和审阅检查清单](#), 用户指南
- 德州仪器 (TI) , [入门套件 SK-AM62B-P1](#), 产品页面
- 德州仪器 (TI) , [分立式电源解决方案入门套件 SK-AM62B](#), 产品页面
- 德州仪器 (TI) , [入门套件 SK-AM62-LP](#), 产品页面
- 德州仪器 (TI) , [入门套件 SK-AM62-SIP](#), 产品页面
- 德州仪器 (TI) , [AM62x 功耗](#), 应用手册
- 德州仪器 (TI) , [AM62x 最大电流额定值](#), 应用手册
- 德州仪器 (TI) , [AM62x 功耗估算工具](#), 应用手册
- 德州仪器 (TI) , [利用 TPS65219 PMIC 为 AM62x 供电](#), 应用手册
- 德州仪器 (TI) , [利用 TPS65219 PMIC 为 AM625SIP 供电](#), 应用手册
- 德州仪器 (TI) , [AM62x 的分立式电源解决方案](#), 应用手册
- 德州仪器 (TI) , [AM62 PCB 设计迂回布线](#), 应用手册
- 德州仪器 (TI) , [AM62x \(AMC\) PCB 设计迂回布线](#), 应用手册
- 德州仪器 (TI) , [AM62x SiP PCB 设计迂回布线](#), 应用手册
- 德州仪器 (TI) , [AM62x、AM62Lx DDR 电路板设计和布局布线指南](#), 应用手册
- 德州仪器 (TI) , [PRU-ICSS 特性比较](#), 应用手册
- 德州仪器 (TI) , [AM625SIP 处理器如何通过集成 LPDDR4 加快开发](#), 应用简报
- 德州仪器 (TI) , [AM625SIP : 系统级封装释疑](#), 产品概述
- 德州仪器 (TI) , [SK-AM62B-P1 设计包内容概述](#), 产品概述
- 德州仪器 (TI) , [SK-AM62-LP 设计包内容概述](#), 产品概述
- 德州仪器 (TI) , [SK-AM62-SIP 设计包文件夹和文件列表](#), 产品概述
- 德州仪器 (TI) , [SK-AM62B 设计包文件夹和文件列表](#), 产品概述
- 德州仪器 (TI) , [Sitara AM62x 基准测试](#), 应用手册

13.6 所有处理器系列通用

- 德州仪器 (TI) , [AM623、AM625、AM625SIP、AM620-Q1、AM625-Q1、AM62A3、AM62A7、AM62A7-Q1、AM62D-Q1、AM62P-Q1 原理图设计指南和审阅检查清单](#) 应用手册
- 德州仪器 (TI) , [Sitara 处理器配电网络 : 实现与分析](#) 应用手册
- 德州仪器 (TI) , [高速接口布局指南](#) 应用手册
- 德州仪器 (TI) , [高速布局指南](#) 应用手册
- 德州仪器 (TI) , [Jacinto7 AM6x、TDA4x 和 DRA8x 高速接口设计指南](#) 应用手册
- 德州仪器 (TI) , [DSP 和 Arm 应用处理器热设计指南](#) 应用手册
- 德州仪器 (TI) , [仿真和跟踪接头技术参考手册](#) 用户指南
- 德州仪器 (TI) , [XDS 目标连接指南](#) 应用手册
- 德州仪器 (TI) , [TIA/EIA-644 \(LVDS\) 的接口电路](#) 设计注意事项
- 德州仪器 (TI) , [通用硬件设计/BGA PCB 设计/BGA 去耦](#) 应用手册
- 德州仪器 (TI) , [MSL 等级和回流焊曲线](#) 应用手册
- 德州仪器 (TI) , [湿敏等级搜索](#) 封装搜索
- 德州仪器 (TI) , [KeyStone 器件时钟设计指南](#) 应用手册
- 德州仪器 (TI) , [KeyStone II 器件硬件设计指南](#) 应用手册
- 德州仪器 (TI) , [TIDA-01413 - ADAS 8 通道传感器融合集线器参考设计](#) 设计指南
- 德州仪器 (TI) , [Jacinto 7 DDRSS 寄存器配置工具](#) 应用手册
- 德州仪器 (TI) , [使用 IBIS 模型进行时序分析](#) 应用手册
- 德州仪器 (TI) : [显示接口 : Sitara MPU 可视化设计综合指南](#) 应用手册
- 德州仪器 (TI) , [McASP 设计指南 - 提示、技巧和实用示例](#) 应用手册
- 德州仪器 (TI) , [使用单个 LVC MOS 振荡器驱动多个负载](#) 应用手册

13.7 可用常见问题解答主列表 - 按处理器系列

提供了完整的常见问题解答列表，建议快速查看所选处理器或处理器系列的可用常见问题解答列表。

[常见问题解答] AM62A7/AM62A7-Q1/AM62A3/AM62A3-Q1/AM62A1-Q1/AM62D-Q1 定制电路板硬件设计 - 有关处理器配套资料、正常运行、外设、接口和入门套件的常见问题解答

[常见问题解答] AM62L (AM62L32、AM62L31) 定制电路板硬件设计 - 与处理器配套资料、功能、外设、接口和 EVM 相关的常见问题解答

[常见问题解答] AM62P、AM62P-Q1 定制电路板硬件设计 - 与处理器配套资料、功能、外设、接口和入门套件相关的常见问题解答

[常见问题解答] AM625、AM623、AM620-Q1、AM625-Q1、AM625SIP 定制电路板硬件设计 - 与处理器配套资料、功能、外设、接口和入门套件相关的常见问题解答

13.8 可用常见问题解答主列表 - Sitara 处理器系列

[常见问题解答] 定制电路板硬件设计 — 所有 Sitara 处理器 (AM62x、AM62Ax、AM62D-Q1、AM62Px、AM62L、AM64x、AM243x、AM335x) 系列的主要 (完整) 常见问题解答列表

13.9 常见问题解答，包括相关软件

[常见问题解答] AM6x : 有关 AM62x、AM62Ax、AM62D-Q1、AM62Px、AM62L、AM64x、AM24x、AM3x、AM4x Sitara 器件的最新常见问题解答

13.10 有关连接器件的常见问题解答

[常见问题解答] DP83869-EP : 以太网合规性测试失败

[常见问题解答] TPS6594-Q1、TPS6593-Q1、LP8764-Q1 PMIC 的常见问题解答列表

[常见问题解答] TPS65219 : 为 Sitara AM62x MPU 供电的 PMIC 与分立式解决方案的优势

14 术语

BOM	物料清单
CAN	控制器局域网
CPPI	通信端口编程接口
CPSW3G	通用平台 3 端口千兆位以太网交换机
CSIRX	摄像头流媒体接口接收器
DDR0_CAL0	IO 焊盘校准电阻
DFU	器件固件升级
DNI	请勿安装
DPI	显示并行接口
DRD	双角色设备
E2E	工程师对工程师
ECC	错误校正码
EMC	电磁兼容性
EMI	电磁干扰
eMMC	嵌入式多媒体卡
EMU	仿真控制
EOS	电过应力
ESD	静电放电
ESL	有效串联电感
ESR	有效串联电阻
常见问题解答	常见问题解答

FET	场效应晶体管
GPIO	通用输入/输出
GPMC	通用存储器控制器
I2C	内部集成电路
IBIS	输入/输出缓冲器信息规范
IEP	工业以太网外设
JTAG	联合测试行动组
LDO	低压降
LVCMOS	低压互补金属氧化物半导体
LVDS	低电压差分信号
MAC	介质访问控制器
MCASP	多通道音频串行端口
MCSPI	多通道串行外设接口
MCU	微控制器单元
MDI	媒体相关接口
MDIO	管理数据输入/输出
MMC	多媒体卡
MMCSD	多媒体卡/安全数字
ODT	片上端接
OPN	可订购器件型号
OSPI	八线串行外设接口
PCB	印刷电路板
PDN	配电网络
PET	功耗估算工具
PMIC	电源管理集成电路
POR	上电复位
QSPI	四线串行外设接口
RGMII	简化千兆位媒体独立接口
RMII	简化媒体独立接口
ROC	处理器特定数据表 建议运行条件
SD	安全数字
SDIO	安全数字输入输出
SPI	串行外设接口
TCK	测试时钟输入
TDI	测试数据输入
TDO	测试数据输出
TEN	测试使能
TMS	测试模式选择输入
TRC_DATA_n	跟踪数据 n
TRM	技术参考手册
TRST_n	复位
UART	通用异步收发器

WKUP	唤醒
XDS	扩展开发系统
ZQ	存储器件校准基准电阻器

15 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

Changes from Revision B (January 2025) to Revision C (September 2025)	Page
• (用户指南使用指南) : 已添加所有处理器 GPN.....	2
• 添加了“用于所有原理图设计指南和原理图审阅章节的通用检查清单”章节.....	3
• 添加了“定制电路板原理图设计实现检查清单子部分说明”部分.....	3
• 添加了“原理图设计指南和原理图审阅检查清单更新”章节.....	4
• (处理器特定信息) : 添加的注释.....	5
• (选择处理器 OPN (可订购器件型号)) : 添加了所有 GPN 的封装信息.....	5
• (处理器特定数据表用例和用户指南编辑参考版本) : 添加了有关数据表包含内容的更多信息并更新了数据表修订版 (可在 TI.com 上获取)	5
• (订购和质量信息) : 添加了 AM62A1-Q1.....	6
• (处理器电源架构) : 添加的注释.....	6
• (基于分立式电源器件 (直流/直流、LDO) 的电源架构) : 添加了与分立式电源架构常见问题解答、AM62A1-Q1 GPN 相关的疑问，并添加了有关 MCU_PORz 输入的更多信息.....	10
• (一般建议) : 添加的注释.....	12
• (有关元件选择的注意事项) : 添加的注释.....	13
• (并联拉电阻) : 添加的注释.....	14
• (外设时钟输出串联电阻) : 添加了更多信息.....	14
• 添加了“外设时钟输出下拉电阻”部分.....	15
• 添加了“原理图设计页面排序和 SK 或 EVM 电路板布局布线”章节.....	16
• 添加了“处理器特定 SDK”章节.....	17
• (器件比较、IOSET 和电压冲突) : 添加了关于电压冲突的信息.....	18
• (PADCONFIG 寄存器注意事项) : 添加了有关 PADCONFIG 位和 PADCONFIG 寄存器默认值汇总常见问题解答的信息.....	18
• (定制电路板高速接口设计指南) : 添加了通用高速布局布线指南常见问题解答的文档链接.....	19
• (将慢速斜升信号 (输入) 或电容器负载 (输出) 连接到处理器 IO) : 添加了更多信息.....	19
• (针对电源、时钟、复位、引导和调试的处理器特定建议) : 添加的注释.....	20
• (内核和外设电源) : 添加的注释.....	21
• (IO 组的 IO 电源) : 添加的注释.....	24
• 添加了“部分 IO 模式功能”章节.....	27
• (MCU_OSC0 (高频) 时钟 (内部振荡器) 或 LVCMS 数字时钟 (外部振荡器)) : 添加了与 LVCMS 数字时钟源 (适用于 MCU_OSC0 (WKUP_OSC) 或 WKUP_LFOSC0 (LFOSC0)) 常见问题解答相关的疑问，以及有关时钟输入的更多信息.....	29
• (WKUP_LFOSC0 (低频) 时钟 (内部振荡器) 或 LVCMS 数字时钟 (外部振荡器)) : 添加了与 LVCMS 数字时钟源 (适用于 MCU_OSC0 (WKUP_OSC) 或 WKUP_LFOSC0 (LFOSC0)) 常见问题解答相关的疑问.....	30
• (处理器复位) : 添加了处理器复位输入、复位状态输出和连接建议常见问题解答.....	33
• (外部复位输入) : 添加了处理器复位输入、复位状态输出和连接建议常见问题解答.....	33
• (引导模式的配置 (针对处理器)) : 添加了受支持的引导模式配置常见问题解答.....	36
• (处理器外设电源、接口和连接) : 添加的注释.....	40
• 添加了“支持的处理器内核与 MCU 内核”章节.....	40
• (DDR 子系统 (DDRSS)) : 添加了 DDR4/LPDDR4 性能差异以及无源元件值、容差以及额定电压相关疑问的常见问题解答。添加了有关 DDRSS 的更多信息.....	42
• (AM62Ax 和 AM62D-Q1 处理器系列) : 添加了与无源元件参数值、容差、额定电压常见问题解答相关的疑问以及关于 MMC0 接口的更多信息.....	43
• (MMC1/MMC2-SD (安全数字) 卡接口) : 添加了有关 MMC1/MMC2-SD 接口的更多信息.....	46
• 添加了“用于 SD 卡接口的 MMC1 信号 (推荐) ”部分.....	47
• 添加了“用于 SD 卡接口的 MMC2 信号”章节.....	47

• 添加了“其他信息”章节.....	47
• (MMC1/MMC2 SDIO (嵌入式) 接口) : 添加了有关 MMC1/MMC2 SDIO 接口的更多信息.....	49
• (八路串行外设接口(OSPI)或四路串行外设接口(QSPI)) : 添加了有关 OSPI 或 QSPI 接口的注释和更多信息.....	51
• (通用存储器控制器(GPMC)) : 添加了有关 GPMC 接口的更多信息.....	54
• (外部通信接口(以太网(CPSW3G0)、USB2.0、UART 和 MCAN)) : 添加的注释.....	56
• 添加了“以太网(MAC)接口”部分.....	56
• (通用平台3端口千兆位以太网交换机(CPSW3G0)) : 添加了有关 CPSW3G0 接口的更多信息.....	56
• (USB Type-C) : 添加了“是否可不使用 PD 控制器实现 USB OTG?”常见问题解答.....	61
• (其他信息) : 添加了与无源元件参数值、容差和额定电压常见问题解答相关的疑问.....	62
• (通用异步接收器/发送器(UART)) : 添加了注释和有关 UART 接口的更多信息.....	63
• 添加了“不使用时的 UART 接口”部分.....	64
• (模块化控制器局域网(MCAN), 具有完整 CAN-FD 支持) : 添加了有关 MCAN 接口的注释和更多信息.....	65
• (多通道串行外设接口(MCSPI)和音频外设—多通道音频串行端口(MCASP)) : 添加了注释、有关所有 MCSPI 和 MCASP 接口的更多信息以及参考的所需常见问题解答.....	66
• 添加了“MCSPI 和 MCASP 接口信号连接”一节.....	67
• (内部集成电路(I2C)) : 添加了注释和有关 I2C 接口的更多信息.....	69
• 添加了“I2C 接口信号连接”部分.....	70
• 添加了 AM62Ax 处理器系列一节.....	72
• (使用 CSIRX0 外设时的注意事项) : 添加了与无源元件参数值、容差和额定电压常见问题解答相关的疑问	73
• 添加了“AM62D-Q1 处理器系列”章节.....	74
• (显示并行接口(DPI)) : 添加的注释.....	74
• (AM62Ax 处理器系列) : 添加了有关 DPI 接口的更多信息.....	74
• (通用输入/输出(GPIO)) : 添加了注释、有关处理器 IO 的更多信息、与 GPIO 相关的问题以及与 LVCMOS 输入迟滞相关疑问的常见问题解答.....	75
• (电压监测器输入连接(使用时)) : 添加了电源正常(POK)监测的模块电压和连接建议以及无源元件值、容差和额定电压相关疑问的常见问题解答.....	78
• (电压监测器输入连接(不使用时)) : 添加了电源正常(POK)模块电压监测和连接建议的常见问题解答.....	79
• (高频振荡器(MCU_OSC0)时钟丢失检测) : 添加了“如何在时钟丢失检测后切换回外部时钟”的常见问题解答.....	80
• 添加了“晶体/外部振荡器故障”部分.....	80
• 添加了“SK 或 EVM 特定电路实现(重复使用)”部分.....	80
• (定制电路板原理图设计的自我审阅) : 添加的注释.....	83
• (定制电路板布局布线注释(添加在原理图部分附近)和通用指南) : 添加了通用高速布局布线指南常见问题解答的注释和文档链接.....	83
• 添加了 DDR-MARGIN-FW 部分.....	84
• (常见问题解答—处理器产品系列和 Sitara 处理器系列) : 添加了 AM62Lx 处理器系列的常见问题解答主列表.....	85
• 添加了“原理图(自我)审阅和原理图审阅申请(供应商)”部分.....	86
• (参考文献) : 更新了所有章节参考，并添加了 AM62L 参考章节.....	86

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做出任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 [TI 销售条款](#))、[TI 通用质量指南](#) 或 [ti.com](#) 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2025 , 德州仪器 (TI) 公司

最后更新日期 : 2025 年 10 月