

Application Note

适用于快速数据中心交换机的 112G 和 224G PAM-4 串行器/解串器时钟



Jennifer Bernal, Kumarpal Mandoth

Clocks and Timing Solutions

摘要

超大规模数据中心和电信市场领域目前正在推动对高速串行链路的需求，这些链路使用具有 4 级串行器和解串器 (PAM-4 SerDes) 的 112G 和 224G 脉冲振幅调制。较高的数据速度会导致基准时钟的抖动预算降至低于 100fs RMS。TI 使用 112G 和未来的 224G PAM-4 串行器/解串器为高速串行链路提供完整的时钟设计。此设计包括 LMK5B33216 和 LMK5B33414 网络同步器、单端和差分缓冲器、基于 BAW 的振荡器和无基准时钟发生器。

TI 的体声波 (BAW) 技术提供业界卓越的超低抖动时钟，这对于 112G 和 224G PAM-4 串行器/解串器至关重要。得益于压控 BAW 振荡器 (VCBO) 的低噪声性能，LMK5B33216 实现了 312.5MHz 的 42fs RMS 典型值 (12kHz 至 20MHz)。此外，LMK5B33216 可满足 800G 基准时钟的抖动、上升或下降时间、无中断切换和保持要求。

内容

1 引言.....	2
1.1 800G 市场趋势.....	2
2 用于串行器/解串器应用的 LMK5B33216.....	2
2.1 LMK5B33216 中的 BAW 技术.....	5
3 用于以太网应用的 LMK5B33216.....	5
3.1 频率和相位调整.....	6
3.2 输入基准切换.....	6
3.3 保持.....	7
3.4 零延迟模式.....	8
4 LMK5B33216 性能.....	8
4.1 相位噪声曲线.....	8
4.2 RMS 抖动.....	10
5 总结.....	11
6 参考文献.....	11

商标

所有商标均为其各自所有者的财产。

1 引言

1.1 800G 市场趋势

112G PAM-4 串行器/解串器技术设计用于以 112 千兆位/秒 (Gbps) 的速率传输数据。通过利用 112G PAM-4 串行器/解串器，800G 交换机技术在数据网络领域取得了显著的进展。有关 PAM-4 应用的更多详细信息，请参阅[了解高速 56G PAM-4 串行链路的时钟需求](#)。

800G 高速交换机旨在满足不断增长的数据中心和电信需求。800G 交换机的端口速度为 800Gbps，可提供快速数据传输所需的带宽，从而减少数据处理、存储和分发的网络拥塞。800G 交换机具有快速的传输速率（通常以万亿比特/秒来衡量），可处理虚拟化和高性能计算产生的海量数据。

高速串行器/解串器系统中的时钟在数据同步和通信可靠性方面发挥着重要作用。串行器/解串器具有集成 PLL，可在时钟沿输出高速串行数据，同时保持锁相到基准时钟。高速串行器/解串器依靠精确的时钟机制来保持适当的计时以及数据的精确串行化和反串行化。因此，需要为集成的串行器/解串器 PLL 提供一个低抖动时钟。

通过使用外部网络同步器或抖动消除器可以实现低抖动时钟，从而减少传播到串行数据的噪声。网络同步器可灵活地在不同频率和相位域的各种输入之间切换，而不会中断串行器/解串器基准。

具有集成 BAW 的 TI 网络同步器和抖动清除器（例如 [LMK5B33216](#)）旨在为串行器/解串器提供基准时钟，并在实时通信、AI 或物联网应用中支持 800G 或更高的数据吞吐量。

图 1-1 演示了由 LMK5B33216 提供的 112G 和 224G PAM-4 串行器/解串器时钟输入的简化方框图。

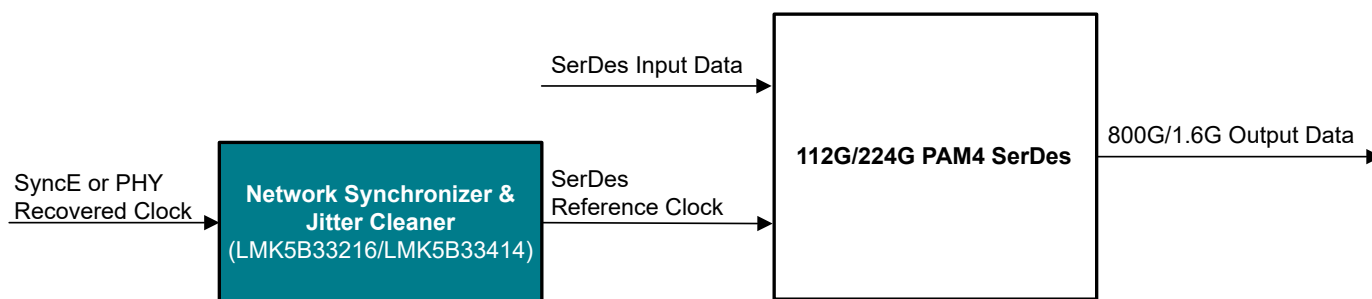


图 1-1. 112G 和 224G PAM-4 串行器/解串器简化方框图

2 用于串行器/解串器应用的 LMK5B33216

LMK5B33216 专为串行器/解串器应用而设计，这是一款高性能网络同步器，可满足基于以太网的网络对抖动、上升或下降时间、无中断切换和保持的严格要求。

表 2-1 比较了 LMK5B33216 的性能与用于 800G 开关应用的示例串行器/解串器内核基准时钟。LMK5B33216 符合甚至超出基准示例时钟的要求。

表 2-1. 示例串行器/解串器内核基准时钟和 LMK5B33216 输出之间的比较

参数	示例串行器/解串器内核基准时钟			LMK5B33216 ⁽¹⁾			单位
	最小值	典型值	最大值	最小值	典型值	最大值	
频率	—	312.5	—	—	312.5	—	MHz
RMS 抖动 (12kHz 至 20MHz)	—	—	90	—	42 ⁽²⁾	60 ⁽²⁾	fs
100kHz 时的基准时钟相位噪声	—	—	-137	—	-146	—	dBc/Hz
1MHz 时的基准时钟相位噪声	—	—	-143	—	-159	—	dBc/Hz
10MHz 时的基准时钟相位噪声	—	—	-158	—	-160	—	dBc/Hz
差分峰峰值电压摆幅	500	—	1800	670	—	2300	mVpp
上升或下降时间 (20% 至 80%)	—	300	400	175	230	300	ps
工作环境温度	—	—	—	-40	—	85	°C

(1) 使用 48MHz 的 XO 输入频率进行测量，所有 LMK5B33216 输出都设置为相同频率，并源自 BAW APLL (APLL3)。

(2) APLL3 后分频器为 8，输出摆幅 (VOD) $\geq 800\text{mV}$ 。

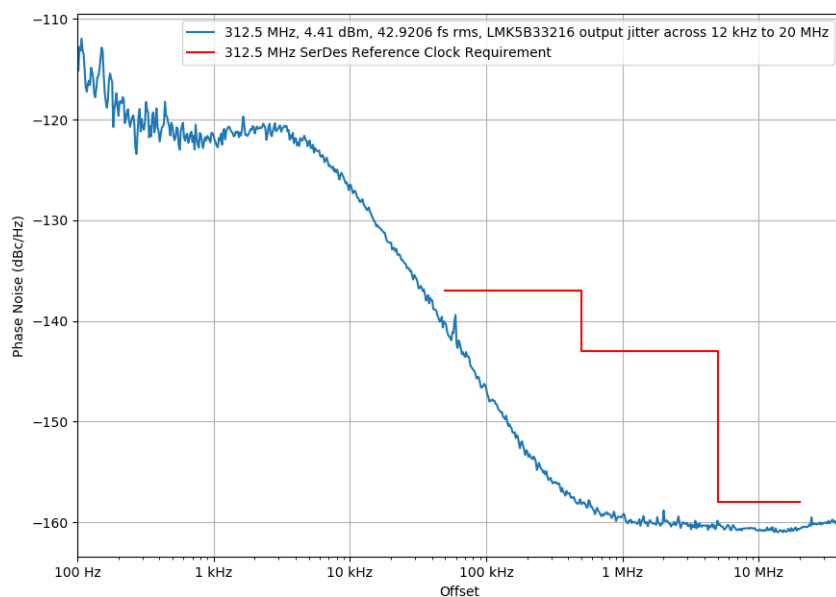


图 2-1. 312.5MHz 的 LMK5B33216 输出相位噪声和抖动 (使用 48MHz XO 输入)

在涉及高速串行器/解串器链路的应用中，借助 LMK5B33216 出色的抖动性能可尽可能降低误码率 (BER)。

LMK5B33216 与 TI PTP 堆栈选项一起实现优于 D 级的精度 (具有低于 5ns 的计时精度)。该精度符合完整计时和部分计时支持的 ITU-T 标准 (例如 G8275.1 和 G8275.2)。有关 TI 完整的 IEEE-1588 PTP 和 SyncE 时钟选项的更多信息，请访问 TI 的[时钟和计时](#)页面。

TI 的网络同步器利用数字锁相环 (DPLL) 和模拟锁相环 (APLL) 组合与基准时钟保持锁相。当 DPLL 跟踪基准时钟的相位时，DPLL 通过持续更新 APLL 分子来控制时钟输出相位。LMK5B33216 包含三对 DPLL + APLL，最多支持三个同步域和频域，如图 2-2 中的方框图所示。

使用 DPLL + APLL 时，时钟输出可以在两个输入 (LMK5B33216) 或四个输入 (LMK5B33414) 之间进行锁相。或者，当仅使用 APLL 时，输出可以锁定到单个基准或振荡器。该器件可在三种模式下工作：DPLL 处于活动状态时正常运行、输入时钟不可用时保持，以及 DPLL 关闭且只有内部 APLL 正常工作时的自由运行。

此外，LMK5B33216 还提供输入时钟检测和监控、漂移和抖动滤波、无中断切换、保持和零延迟模式 (ZDM) 功能。每个 DPLL 都包括一个可编程环路带宽 (LBW)，可更大幅度地提高灵活性和易用性，无需外部环路滤波器元件即可将环路带宽设置在 1MHz 至 4kHz 之间。除一个外部电容器外，APLL 环路滤波器已完全集成。

LMK5B33216 时钟输出可配置为多种输出格式：1.8V 或 2.65V LVCMOS、HCSL 和 LVDS/HSDS (高摆幅差分信号)。可对输出摆幅和共模电压进行编程，使用 HSDS 格式来满足各种接收器要求。

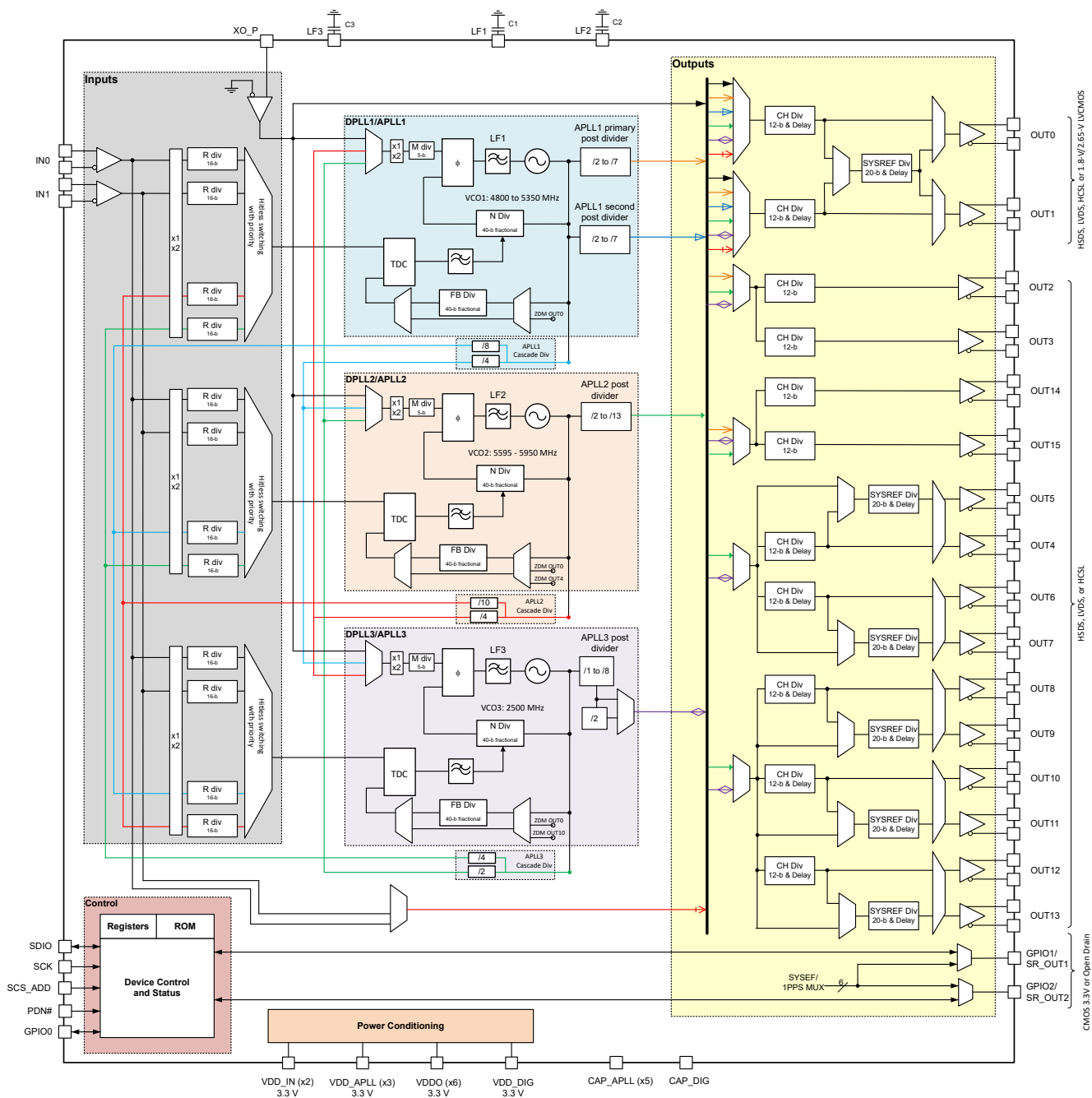


图 2-2. LMK5B33216 功能方框图

2.1 LMK5B33216 中的 BAW 技术

LMK5B33216 将一个 VCBO 集成到 APLL3 (BAW APLL) 中，从而实现超低相位噪声和抖动。VCBO 是一款高 Q BAW 谐振器，与 LMK5B33216 硅集成电路共同封装，并进行分频以生成低抖动以太网时钟。

图 2-3 显示了 BAW 谐振器技术的构成。该结构包括一层夹在两个金属膜和其他层之间的压电式薄膜，用于限制机械能。BAW 利用这种压电式传导技术产生振动，因此可输出时钟频率。有关 BAW 的更多信息，请参阅 [BAW 应用手册](#) 列表。

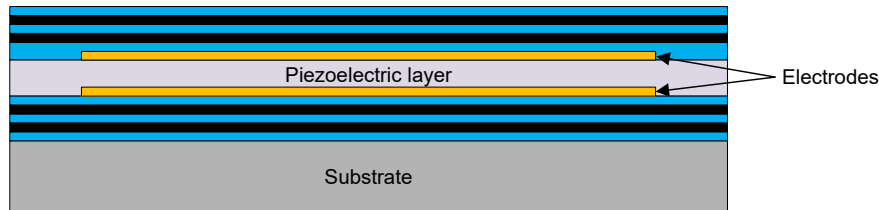


图 2-3. 体声波谐振器的基本结构

BAW 技术极大地降低了同步输出时钟的相位噪声和 RMS 抖动，因而具有足够的余量，可满足并超出 400Gbps 和 800Gbps 系统严苛的系统要求。

3 用于以太网应用的 LMK5B33216

LMK5B33216 用于抖动清除 SyncE 或 PHY 恢复时钟，并为 ASIC 和 CPU 提供同步、低抖动的输出。对于 SyncE 输入时钟，TI 建议将 DPLL LBW 设置在 1Hz 至 3Hz 之间，从而滤除 SyncE 瞬态噪声。

图 3-1 显示了使用 LMK5B33216 的 400G 和 800G 开关的完整系统设计。将 LMK6Cx (TI 基于 BAW 的 LVCMOS 振荡器系列) 与 LMK5B33216 配合使用，可为 XO 输入提供低成本选项。可通过 4、8、12 或 16 路输出、低附加抖动和 LMK1Dxxxx 系列 (如 LMK1D1204) 的时钟缓冲器将额外时钟扇出到 ASIC。

LMK3H0102 是一款基于 BAW 的无基准时钟发生器，用于为多达两个符合 PCIe 第 1 代至 PCIe 第 6 代标准的输出提供时钟。通过从两个分数输出分频器 (FOD) 向下分频，每个 LMK3H0102 输出都能够生成 2.5MHz 至 400MHz 之间的任何频率。

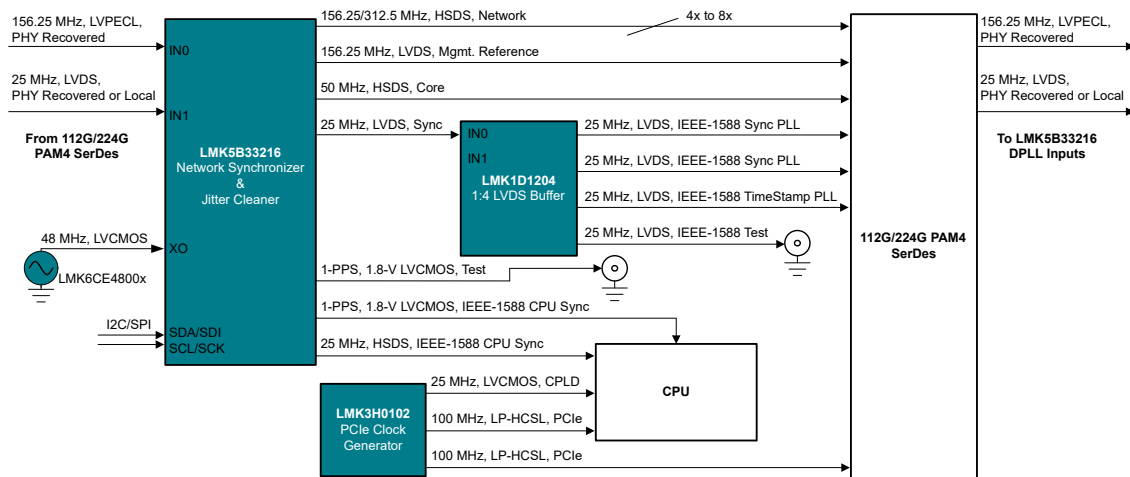


图 3-1. 用于 400G 和 800G 开关应用的完整系统设计

3.1 频率和相位调整

为了支持 IEEE-1588 PTP 或其他时钟控制应用，每个 DPLL 都允许通过寄存器或引脚控制，使用数字控制振荡器 (DCO) 进行精确的频率和相位调整，如图 3-2 所示。DPLL DCO 支持频率分辨率低于 1ppt (万亿分之一) 的调整。使用 DPLL DCO 功能可增大和减小 DPLL 小数 N 分频器的分子。这种频率调整可以通过 APLL 域有效地传播到输出时钟或任何级联 DPLL/APLL 域。

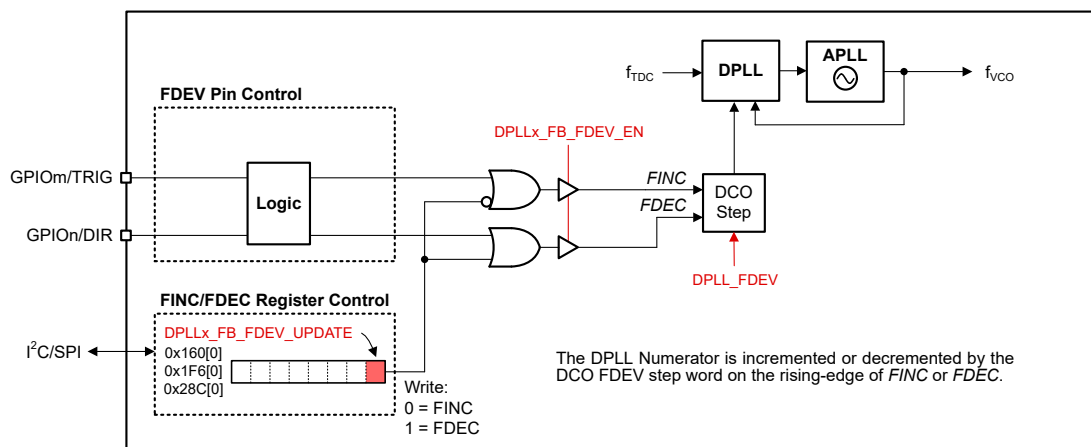
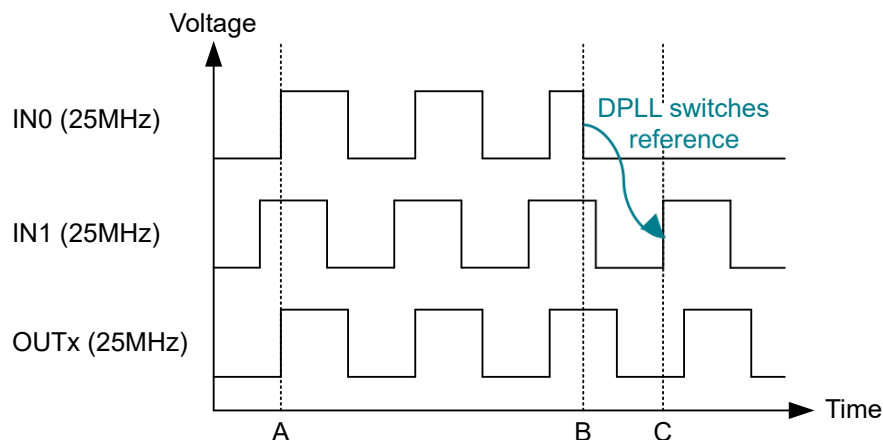


图 3-2. DPLL DCO 概述

3.2 输入基准切换

每个 DPLL 都支持无中断基准切换，通过相位抵消方案 (也称为相位扩展) 实现最小相位中断，并提供可选的相位转换控制功能。

通过无中断切换使输出保持相同的相位，从基准切换之前到基准切换之后只有微小干扰，如图 3-3 所示。如果没有无中断切换，输出就存在相位中断风险，而相位中断会传播到下游时钟并导致数据包之间不一致。相位中断等于两个基准时钟之间的相位偏移。



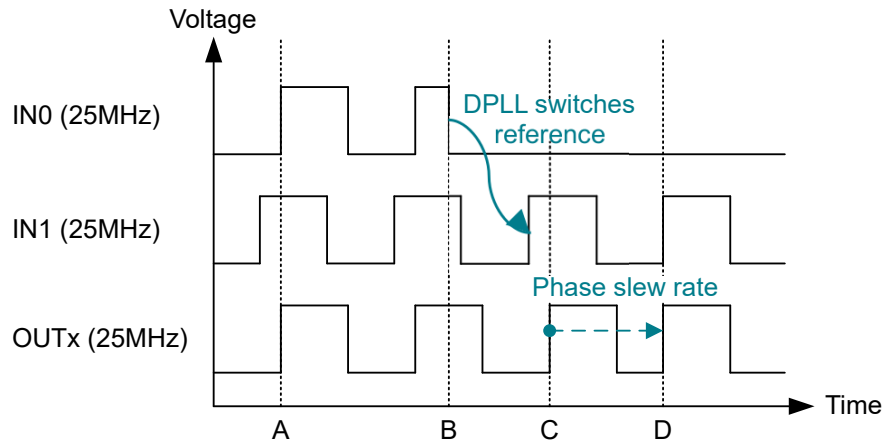
A : OUTx 锁定到具有相同相位的 IN0。

B : IN0 丢失，且 DPLL 会将基准从 IN0 切换至 IN1，而不影响 OUTx 上的相位。

C : OUTx 在不改变相位的情况下锁定到 IN1。

图 3-3. 启用相位抵消来切换基准且仅产生微小的相位中断

使用相位转换控制功能时，输出会在无中断切换之后逐渐调整相位。相位按照已编程相位转换率定义的速率从原始基准转换到新基准。图 3-4 说明了此功能。



- A. OUTx 锁定到具有相同相位的 IN0。
- B. IN0 丢失，且 DPLL 会将基准从 IN0 切换至 IN1。
- C. OUTx 的相位按照已编程相位转换率定义的速率逐渐变化。
- D. OUTx 锁定到具有相同相位的 IN1。

图 3-4. 启用相位转换控制以在切换输入时提供一个稳定的输出相位变化。

3.3 保持

DPLL 基准时钟变得不可用时，会发生保持，如图 3-5 所示。在保持期间，由 DPLL 调优字历史记录设置 APLL 分子，这个历史记录决定了进入保持模式时输出频率的精度 - 进入保持模式时发生的任何错误都视为短期保持模式错误。调优字历史记录可以配置为累积的平均基准相位历史记录、用户指定的值或最后一个 APLL 分子值。

外部振荡器（提供给 XO 输入）的质量决定了输出频率的长期频率稳定性和精度。随着时间的推移，温度波动会影响输出时钟的频率精度。因此，在 XO、TCXO 或 OCXO 之间进行选择主要取决于系统的长期保持要求。

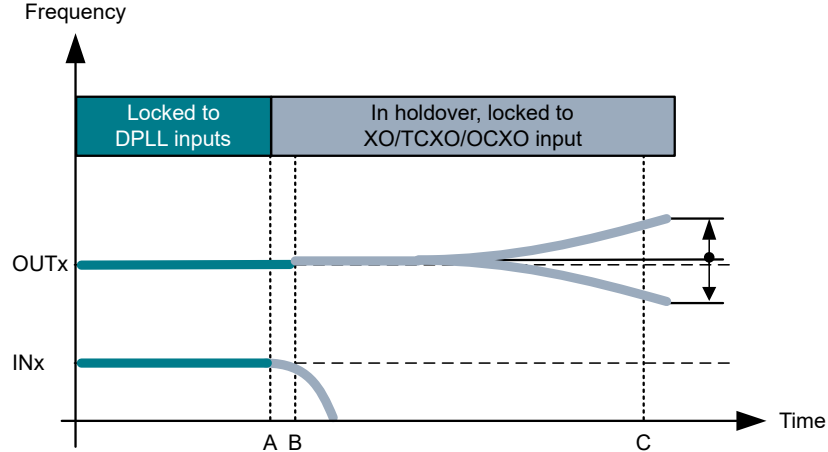


图 3-5. 保持功能

- A. 在 DPLL 基准 (INx) 丢失时，器件会检测到基准故障。
- B. DPLL 进入保持状态，输出保持锁相或锁频，频率增量很小。
- C. 输出频率漂移；长期保持稳定性基于 XO/TCXO/OCXO 输入精度。

对于需要在长期保持期间进行输出频率校正的应用，可以通过软件调整 APLL DCO 来校正输出频率，从而补偿温度变化，如图 3-6 所示。

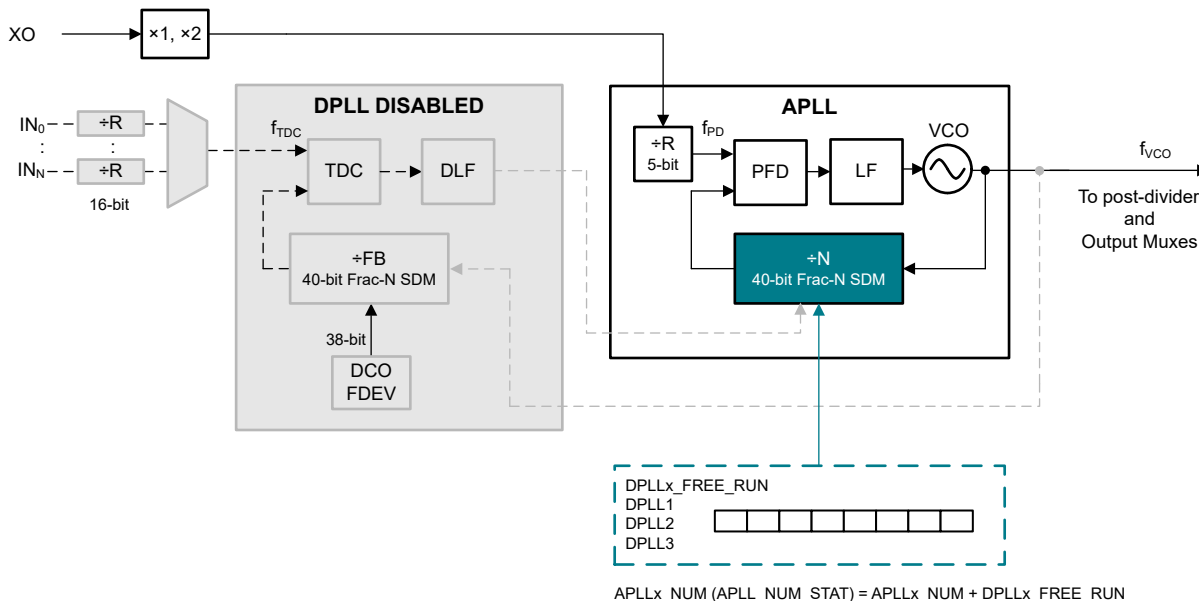


图 3-6. 保持期间的 APLL DCO 操作

3.4 零延迟模式

每个 DPLL 均支持零延迟模式 (ZDM)，可在每次启动或软件复位时在 DPLL 基准时钟和 ZDM 反馈输出时钟之间实现确定性相位关系。来自采用 ZDM 配置的 DPLL 的所有输出时钟通过同步 (SYNC) 功能实现相位对齐。通过插入 LMK5B33216 上提供的模拟或数字延迟，可在所有时钟周期内实现零相位延迟。

图 3-7 展示了 OUT0 等选择输出如何作为零延迟输出时钟在内部反馈到任何 DPLL。有关 ZDM 理论的更多详细信息，请参阅[多时钟同步](#)。

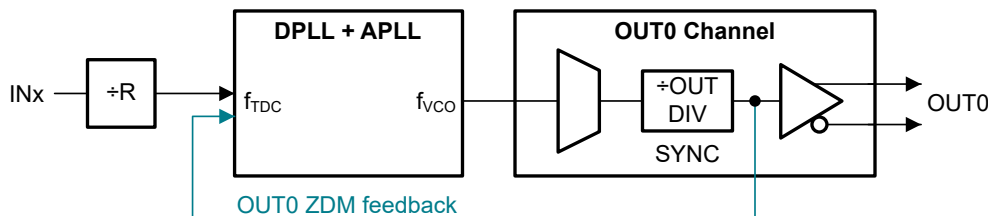


图 3-7. 基准输入和 OUT0 之间的 DPLL ZDM 同步

4 LMK5B33216 性能

LMK5B33216 满足 800Gbps 系统等先进高速通信网络的严苛要求。

由 BAW APLL 生成的输出时钟可为这些行业实现出色的输出 RMS 抖动和相位噪声性能。BAW APLL 的 VCBO 在 2500MHz ($\pm 100\text{ppm}$) 下运行，并且可以分频为输出 312.5MHz 时钟，无论 DPLL 基准时钟频率和抖动特性如何，均可实现 42fs (典型值) 和 60fs (最大值) 的 RMS 抖动 (12kHz 至 20MHz)。其余的 APLL 是 LC-VCO，如果在以太网域之外需要其他相位域 (例如无法从 BAW APLL 获得频率时)，则可以将这些 APLL 用于其他频域。

4.1 相位噪声曲线

LMK5B33216 等网络同步器的输出相位噪声曲线可分为四个主要区域：

- DPLL LBW 以下
- DPLL 和 APLL LBW 之间
- APLL LBW 以上
- 输出本底噪声

DPLL 基准以及 XO、TCXO 和 OCXO 输入的质量会影响输出时钟的近端相位噪声。DPLL LBW 是 DPLL 基准时钟的低通滤波器。DPLL 基准主要在载波偏移小于 DPLL LBW 时影响输出噪声曲线。对于近端相位噪声至关重要且有噪声的基准用作 DPLL 输入的应用，可以为 DPLL 配置更窄的 LBW (如 10Hz)。另外，因为 DPLL 基准不会影响从 12kHz 至 20MHz 的载波偏移处的抖动，10Hz 或 100Hz 都是可以使用的常用设置。图 4-2 和图 4-2 是来自 VCBO 的输出的相位噪声图示例。这些图表明在不同 DPLL LBW 下，在 12kHz 至 20MHz 频率范围内抖动产生的影响可忽略不计。

在 DPLL LBW 以上，DPLL 基准会衰减，XO/TCXO/OCXO 输入与 APLL 噪声的组合在达到 APLL LBW 之前占主导地位。为了充分利用出色的 VCBO 性能，BAW APLL 配置了窄 LBW，通常为 3kHz 至 5kHz；因此，在 8kHz 至约 400kHz 的载波偏移范围内，VCBO 对相位噪声起着主导作用。最后，本底噪声由输出缓冲器来设置，从大约 1MHz 载波偏移开始。

得益于超低噪声 VCBO，可以在不显著影响总 RMS 抖动的情况下为 LMK5B33216 使用低频 XO (例如 12.8MHz)，从而降低总设计成本。

图 4-1 提供了一个总结性插图，展示了每个区域如何影响输出时钟的相位噪声。

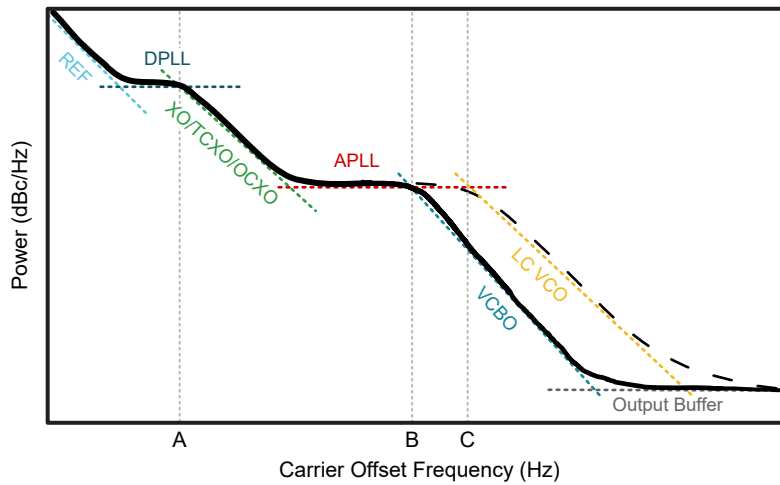


图 4-1. 通用相位噪声图

- A. DPLL 环路带宽可设置为 1kHz 至 4kHz。
- B. VCBO 的 APLL 环路带宽可设置为 1kHz 至 10kHz。
- C. LC VCO 的 APLL 环路带宽可设置为 100kHz 至 1MHz。

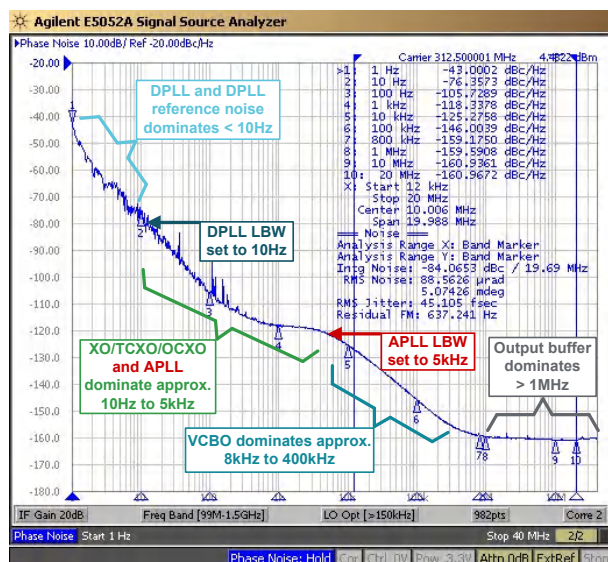


图 4-2. 使用 10Hz DPLL LBW 的 LMK5B33216 输出的相位噪声细分图

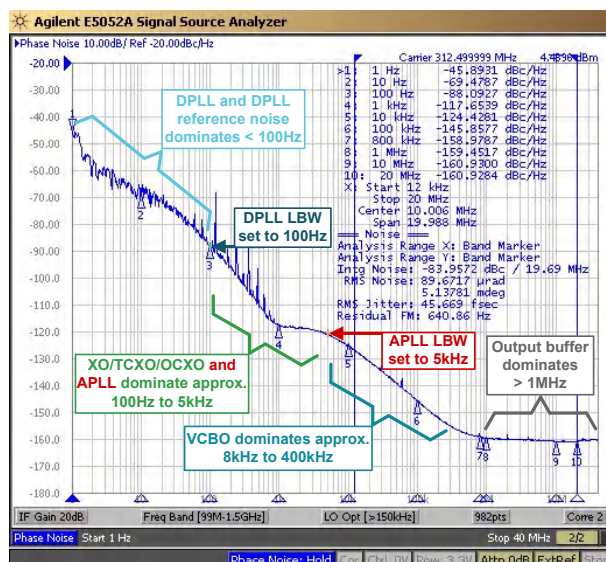


图 4-3. 使用 100Hz DPLL LBW 的 LMK5B33216 输出的相位噪声细分图

4.2 RMS 抖动

请参阅表 4-1，了解各种积分范围内的额外 RMS 抖动数据。

表 4-1. LMK5B33216 在不同积分范围内的抖动性能

输出时钟频率 [MHz]	RMS 抖动 (典型值) [fs] ⁽¹⁾	抖动积分范围 [MHz]
156.25 ⁽²⁾	47	0.012 至 20
	26	0.100 至 5
	31	0.750 至 10
	71	0.200 至 50
	15	2 至 4
	39	4 至 20
312.5 ⁽³⁾	42	0.012 至 20
	19	0.100 至 5
	21	0.750 至 10
	47	0.200 至 50
	10	2 至 4
	26	4 至 20
625 ⁽⁴⁾	35	0.012 至 20
	12	0.100 至 5
	11	0.750 至 10
	25	0.200 至 50
	5	2 至 4
	13	4 至 20

- (1) 使用 48MHz 的 XO 输入频率进行测量，所有 LMK5B33216 输出都设置为相同频率，且输出摆幅 (VOD) ≥ 800mV。
- (2) APLL3 后分频器为 16。
- (3) APLL3 后分频器为 8。
- (4) APLL3 后分频器为 4。

5 总结

在使用 112G PAM-4 串行器/解串器支持高速数据链路时，时钟的作用至关重要。时钟必须提供低抖动和相位噪声信号，从而保持 PAM-4 符号的完整性并更大限度地减少误差。TI 的 BAW 技术支持具有更大系统噪声容限的网络同步器设计（主要是 LMK5B33216），从而满足严格的串行器/解串器抖动和相位噪声要求。

集成 DCO 可实现精确的频率和相位调整，且支持 IEEE-1588 PTP 设计。网络同步器输出可以配置为在不同域（包括 SyncE 和 PTP）之间锁定，并且可以在不同基准之间进行无中断切换，对下游时钟的干扰极小。

LMK5B33216 利用 DPLL 历史记录功能设置频率精度，从而在基准时钟丢失的情况下更大限度地减少短期保持误差。

6 参考文献

- 德州仪器 (TI), [LMK5B33216](#) 产品页
- 德州仪器 (TI), [LMK5B33414](#) 产品页
- 德州仪器 (TI), [LMK6Cx](#) 产品页
- 德州仪器 (TI), [LMK1D1204](#) 产品页
- 德州仪器 (TI), [LMK3H0102](#) 产品页
- 德州仪器 (TI), [了解高速 56G PAM-4 串行链路的时钟需求](#) 应用手册
- 德州仪器 (TI), [TI BAW 技术可在高速网络中实现超低抖动时钟](#) 白皮书
- 德州仪器 (TI), [适用于网络接口卡的 BAW 振荡器解决方案](#) 应用简报
- 德州仪器 (TI), [多时钟同步](#) 应用手册

重要声明和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做任何明示或暗示的担保，包括但不限于对适销性、某特定用途方面的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他功能安全、信息安全、监管或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的应用。严禁对这些资源进行其他复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。您应全额赔偿因在这些资源的使用中对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，TI 对此概不负责。

TI 提供的产品受 [TI 的销售条款](#) 或 [ti.com](#) 上其他适用条款/TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

邮寄地址：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2024，德州仪器 (TI) 公司