

Application Note

栅极驱动器电路中窄脉冲宽度的影响



Scarlett Cao, Jeff Berwick, Sean Alvarado

摘要

在大功率、高频电源拓扑中，电源、栅极或输入振铃的噪声耦合会导致不可预测的栅极驱动器行为，有时会导致干扰和故障。极端占空比（接近 0 或接近 100%）以及几十纳秒的导通和关断时间可能会加剧振铃和过冲，从而损坏内部栅极驱动电路，导致出现电过应力 (EOS)。工程师在设计中经常忽略这些恶劣的占空比条件，因为它们对栅极驱动器的应力影响并不明显。本应用手册旨在介绍窄输入脉冲的概念，展示其对栅极驱动电路的影响，并讨论影响其行为的系统因素。最后，本文介绍了如何定义特定系统中的脉冲宽度限制，并提供了建议方法来限制脉冲宽度对系统的影响。

内容

1 简介.....	2
2 何时会在功率级中发生极窄的输入脉冲？.....	3
3 窄输入脉冲宽度对栅极驱动器有何威胁.....	3
4 哪些系统因素会影响结果.....	5
5 如何确定系统是否应限制窄脉冲？.....	6
6 总结.....	7
7 参考资料.....	7
8 修订历史记录.....	8

商标

所有商标均为其各自所有者的财产。

1 简介

典型的 MOSFET 导通时间和关断时间如图 1-1 所示。栅极驱动器的目标是通过最小栅极阈值电压 (V_{TH}) 为 MOSFET 的栅极充电，来达到给定 MOSFET 的目标栅源电压 (V_{GS})，以及在米勒平坦区域期间施加最大驱动强度，以将栅极充电至最大驱动电压。当满足目标 V_{GS} 且没有栅极电流 (I_G) 为外部负载充电时，即实现了完整的转换。这定义了导通转换的最小脉冲宽度 PW_{min} 。对于关断转换，过程相反，但最小脉冲宽度是在 $V_{GS} = 0V$ 且 $I_G = 0A$ 时定义的。当 $I_G = 0A$ 时可实现零电流开关 (ZCS)，并且在栅极驱动器的导通/关断或关断/导通转换之间转换时，此开关是理想目标。

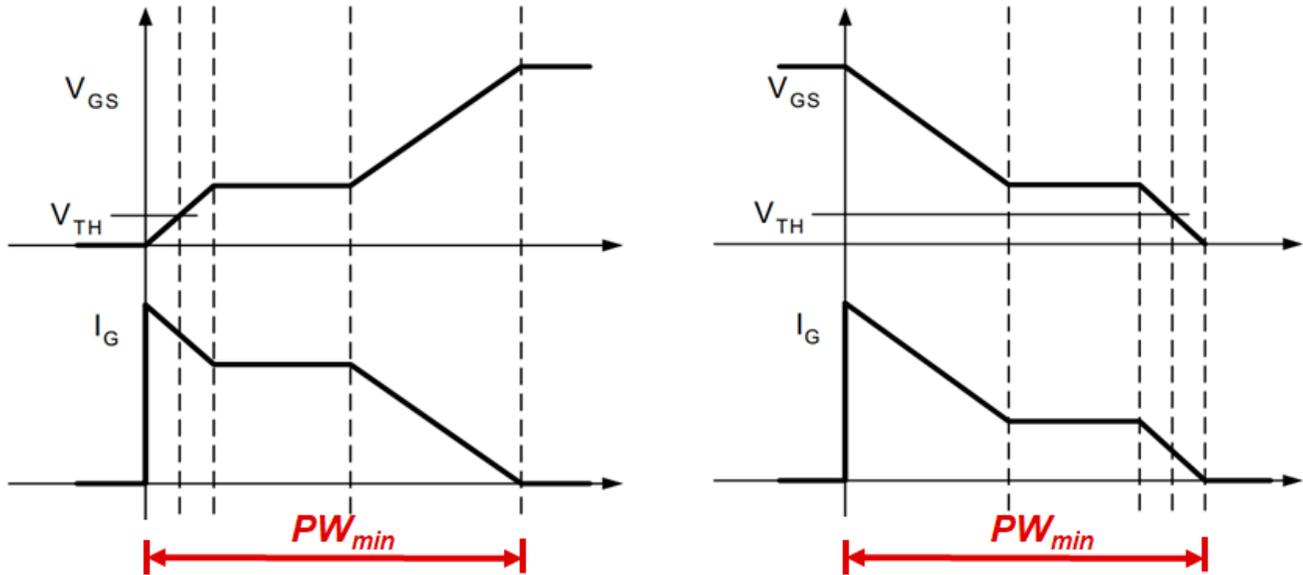


图 1-1. MOSFET 栅极导通和关断周期

表 1-1. 数据表中的最小脉冲宽度规格

参数	测试条件	最小值	典型值	最大值	单位
t_{RISE}	输出上升, 20% 至 80% 测量点	$C_{out} = 1.8nF$	6	16	ns
t_{FALL}	输出下降时间, 90% 至 10% 测量点	$C_{out} = 1.8nF$	7	12	ns
t_{PWmin}	最小脉宽	小于最低 $C_{out} = 0pF$ 时输出关闭		20	ns

需要注意的是，数据表中的最小脉冲宽度规格只描述了空载驱动器 ($C_{OUT}=0pF$) 的功能，从至少指定宽度的输入产生输出脉冲，而不表示最小脉冲宽度，从而使栅极驱动器稳健、可靠地运行。

典型应用可能在栅极驱动器上有负载，通常在建议的最大 VDD 电压下运行。在这些条件下，驱动器 IC 所需的最小脉冲可以是空载时定义的此规格的 4 到 5 倍。

每个应用都可以具有不同的最小脉冲宽度，可以可靠地应用于栅极驱动器。有几个变量会影响可施加的最小脉冲。这些因素包括：栅极电容、VDD 电源电压、串联电阻 (R_G)、峰值电流 (I_{pk}) 和 PCB 布局寄生。

2 何时会在功率级中发生极窄的输入脉冲？

交流/直流电源将电网侧交流输入电压转换为稳定的直流电压，广泛用于个人电子产品、工业和汽车应用中。该器件包含功率因数校正 (PFC) 级，可减少谐波并保护电网。在图腾柱 PFC 配置和三相全桥 PFC 设计中，在每个交流输入过零处，对于快速开关 MOSFET，占空比非常短。一些工程师还在过零处实现软启动，以避免出现较大的电流尖峰。在这种类型的设计中，在过零后重新启动时，可以将电源开关的占空比控制在一个非常低的值。

在硬开关直流/直流转换器系统中，输出电压会在负载暂态期间（无论是从空载到高负载，还是从高负载到低负载）波动。在这些条件下，主驱动器可以发送超低或高占空比命令来根据外部电压环路反馈信号进行调整。



图 2-1. 窄导通脉冲和窄关断脉冲

3 窄输入脉冲宽度对栅极驱动器有何威胁

栅极驱动器在切换 MOSFET 的栅极时拉出和灌入电流。器件内部有一个上拉和下拉结构，可缓冲输入信号并提供足够的电流来对栅极电容进行充放电。图 3-1 显示了一个输出结构示例，其中 PMOS 和 NMOS 器件的并联组合可启用栅极驱动器的输出。

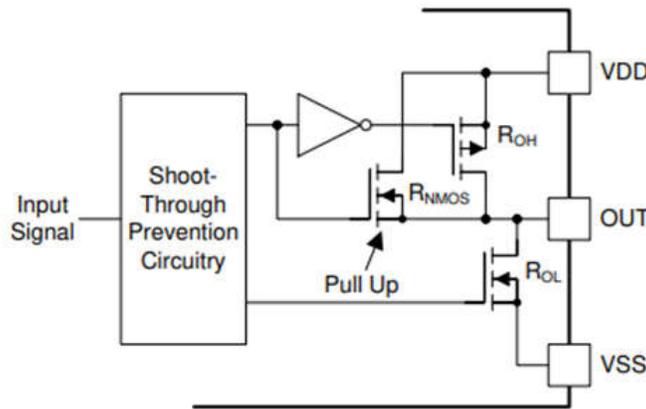


图 3-1. 栅极驱动器输出级示例（用于一个通道）

在窄导通脉冲情况下，当驱动器收到关断命令时，MOSFET 导通过程尚未完成，内部图腾柱上拉级仍持续传导非常高的电流 ($I_G \gg 0$)。

在实际栅极驱动电路中，由于寄生 PCB 布线电感，与 VDD 串联的电感 L_{pcb} （如图 3-2 所示）可能会很大。与键合线的内部驱动器寄生电感结合使用时，VDD 处的总电感通常会超过 10nH。当驱动电流突然被切断时，较大的寄生电感会导致显著的电压尖峰 ($V_{spike} = L di/dt$)，从而导致电压超过建议运行条件，在某些情况下甚至超过绝对最大额定值。

备注

引脚上的电压通常远低于内部 FET 漏极上的电压。

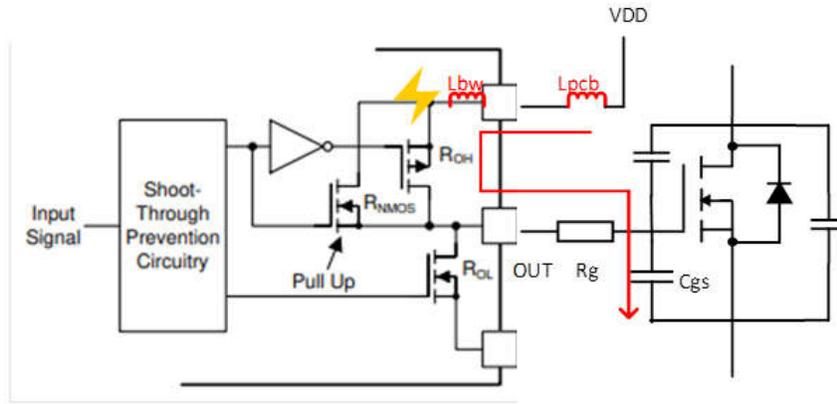


图 3-2. 栅极导通电流路径和寄生

如前一节所述，对于典型的图腾柱 PFC 电路，栅极驱动器可以在每次交流过零时经历较短的输入脉宽。在终端设备的使用寿命中，窄脉冲事件可发生数亿次。因此，窄输入脉冲可能成为工程的隐藏风险。在工程开发阶段，超过最大 VDD 或 VOUT 电压可能不会导致突然故障，但屡次超出器件 SOA 运行可能会导致栅极驱动器的过早老化或过早损坏。

同样，窄关断输入脉冲（接近 100% 占空比）也可能导致 OUT 和 VDD 过载。在窄关断脉冲情况下，当驱动器收到导通命令时，MOSFET 关断过程尚未完成，内部图腾柱下拉级仍持续传导非常高的电流 ($I_G \gg 0$)。大寄生电感和突然的电流变化会导致输出引脚上出现显著的电压尖峰。当 OUT 电压高于 VDD 电压时，它也会进一步对 VDD 引脚施加应力。

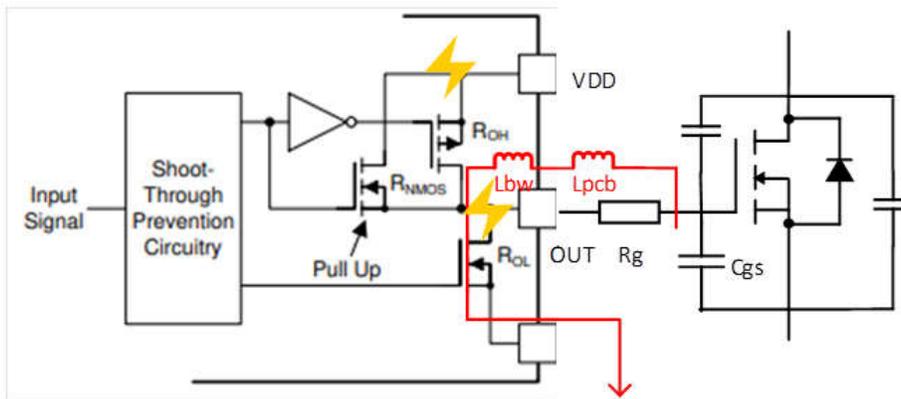


图 3-3. 栅极关断电流路径和寄生

4 哪些系统因素会影响结果

虽然从产品寿命的角度来看，窄输入脉冲宽度方案可能具有破坏性，因此必须避免这种情况，但即使在已知的工作条件下，也很难提供准确的最小输入脉冲宽度值。这是因为 PCB 布局和去耦电容器放置等诸多变量会显著影响内部电压尖峰。不过，一些简单的数学运算可以为估算给定系统中栅极驱动器输入可用的最小脉冲宽度提供起点。

对于窄导通脉冲情况，可根据 [方程式 1](#) 假定内部 VDD 焊盘电压。

$$VDD_{internal} = VDD_{supply} + (L_{bondWire} + L_{PCB}) \frac{dI}{dt} \quad (1)$$

其中：

- VDD_{supply} 是指辅助电源电压，用于为栅极驱动电路供电，通常来自用于高电压拓扑的反激。
- $L_{bondwire}$ 是指 IC 内部键合线寄生电感，通常约为 5nH。
- L_{PCB} 是指从电源到引脚排列的外部 PCB 引线寄生。

我们可以看到多种因素会在窄导通脉冲事件期间影响内部过压应力，但最重要的因素是关断时刻的栅极驱动电流。一切会增加栅极驱动强度的因素也会增加 $\frac{dI}{dt}$ 其中包括较大的栅极电压偏置、较小的栅极电阻器 (R_G) 和较大的栅极电容。最重要的是，MOSFET 导通期间的栅极电流不是平坦和线性的，如 [图 1-1](#) 所示，因此 MOSFET 越早关断，可能产生的电压尖峰就越大。

窄关断脉冲电压尖峰估算稍微更复杂一点。如果栅极驱动器在关断周期未完成时接收到导通命令，则输出电压尚未降至零。当灌电流中断时，PCB 寄生电感和键合线电感上的压降会增加内部输出焊盘上的尖峰。

$$OUT_{internal} = \max\{VDD_{internal} : V_{gate} + (L_{bondWire} + L_{PCB}) \frac{dI}{dt}\} \quad (2)$$

其中：

- $VDD_{internal}$ 是指内部 VDD 焊盘电压。
- $V_{gate,t}$ 是栅极驱动器输出，也是 MOSFET 的栅极电压。该电压随着关断脉冲的延长以及栅极放电而降低。
- $L_{bondwire}$ 是指 IC 内部键合线寄生电感，通常约为 5nH。
- L_{PCB} 是指从电源到引脚排列的外部 PCB 引线寄生。

当关断脉冲非常短时， $V_{gate} + (L_{bondWire} + L_{PCB}) \frac{dI}{dt}$ 高于内部 VDD 焊盘电压。

随着关断脉冲的延长， $V_{gate} + (L_{bondWire} + L_{PCB}) \frac{dI}{dt}$ 会缓慢降低，输出跟随 VDD 内部电压。

5 如何确定系统是否应限制窄脉冲？

下表显示了栅极驱动器内使系统设计更容易受到窄脉冲影响的一些常见场景，以及需要考虑的一些缓解策略。

表 5-1. 易受窄脉冲影响的场景表

易受窄脉冲影响的栅极驱动器场景		缓解
导通电阻 (R_G)	较低的 R_G 可能会导致较高的 di/dt 。	调整 R_G 有助于限制栅极驱动器的 di/dt 。
外部 VDD	具有更高的外部 VDD 会在窄脉冲超出器件的绝对最大额定值的情况下留下更小的裕度。	请考虑在应用中限制 VDD 范围。
去耦电容器放置	将去耦电容器放置在远离栅极驱动器引脚的位置会产生负面影响，并会增加系统中的寄生引线电感。	为了减小寄生电感，应将去耦电容器尽可能靠近栅极驱动器放置。有关布局建议，请参阅 TI 数据表。

如前一节所述，若要避免窄输入命令中出现电压尖峰，高 $\frac{di}{dt}$ 以及寄生电感是最重要且最简单的控制因素。延长脉冲宽度以确保栅极驱动电流降至接近零可有效地更大限度减小电流变化 $\frac{di}{dt}$ 。

确定系统最小脉冲宽度的一种方法是监测 MOSFET V_{GS} 电压，以确定导通或关断转换是否已完成。为了确保窄脉冲的负面影响不会损坏栅极驱动器，主要建议是在再次更改状态之前使驱动器输出上升至高于 VDD 的 90%，以实现导通时的零电流开关。

如果出现关断脉冲，请在重新导通之前将输出降至 VDD 的 10% 以下。这可确保在 PCB 上和元件封装连接中存在寄生电感的情况下，不会因高电流的非零电流开关而产生较大电压尖峰。

图 5-1 显示了 V_{OUT} 、 I_{OUT} 、栅极驱动器的内部 VDD 和一系列脉冲宽度之间的关系，以显示完成转换所需的时间。在此示例中，40ns 的最小脉冲宽度使 I_{OUT} 为低电平以实现 ZCS。如果是 10ns 脉冲宽度，则在接近最大输出电流的情况下为 I_{OUT} 供电，并且 V_{OUT} 尚未完成完整的导通转换。寄生电感可能会在栅极驱动器内部产生高电压尖峰，从而导致内部 VDD 超过栅极驱动器的绝对最大 VDD 电压。栅极驱动器损坏可能无法立即显现，但违反器件的绝对最大额定值可能会影响内部电路的完整性，从而导致集成电路因电过应力而出现故障或物理损坏。

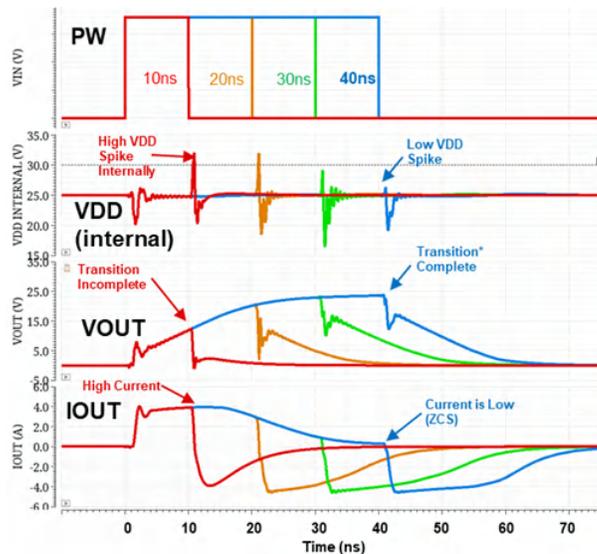


图 5-1. V_{out} 和 VDD 内部电压随导通脉冲延长的变化

6 总结

一些高压、高频应用场景确实会使栅极驱动器暴露于短输入脉冲，系统设计人员务必要了解因施加窄脉冲而对非零电流开关的影响，这可能会导致栅极驱动产生内部应力，进而导致栅极驱动器内部元件损坏。为确保安全运行，当满足 $V_{GS} = V_{DD}$ 且没有 I_G 电流为外部负载充电时，即可实现完整的转换。对于导通情况，建议在再次改变状态之前，驱动器输出上升到 V_{DD} 的 90% 以上，以实现零电流开关。如果出现关断脉冲，请在重新导通之前将输出降至 V_{DD} 的 10% 以下。这将确保在 PCB 上和元件封装连接中存在寄生电感的情况下，不会因高电流的非零电流开关而产生较大电压尖峰。此外，调整 R_G 的大小来帮助限制栅极驱动器的 di/dt 、在 V_{DD} 绝对最大值和工作条件之间提供足够的裕度以及正确放置去耦电容器，可有助于缓解驱动器中因窄脉冲而产生的问题。

7 参考资料

- 德州仪器 (TI), [UCC21520-Q1](#) 产品文件夹。
- 德州仪器 (TI), [UCC21530-Q1](#) 产品文件夹。

8 修订历史记录

Changes from Revision * (December 2023) to Revision A (January 2024)	Page
• 更新了整个文档中的表格、图和交叉参考的编号格式.....	1
• 将 $C_{out}=9pF$ 更新为 $C_{out}=0pF$	2

重要声明和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做任何明示或暗示的担保，包括但不限于对适销性、某特定用途方面的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他功能安全、信息安全、监管或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的应用。严禁对这些资源进行其他复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。您应全额赔偿因在这些资源的使用中对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，TI 对此概不负责。

TI 提供的产品受 [TI 的销售条款](#) 或 [ti.com](#) 上其他适用条款/TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

邮寄地址：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265

Copyright © 2024，德州仪器 (TI) 公司