

多相控制器 PS53689 的配置与使用指导

Dane Zhang

Sales and Marketing/SHENZHEN AA4

ABSTRACT

随着 ASIC 和 CPU 等数字芯片的发展，其核电对电流以及供电性能的要求也在日益提高。目前业界内通用的供电方案为使用多相电源 VRM，多相电源由控制器和多个 DR MOS 组成，其灵活搭配和多相并联的特点能够很好满足数字芯片的大电流需求。同时 VRM 可调的芯片配置以及可选非线性功能，能够帮助 VRM 适应数字芯片多种多样的工况。在 VRM 芯片的使用过程中比较重要的一项工作是通过 GUI 来配置多相电源以满足应用需求，而 GUI 界面中的各类参数繁多，且没有清晰的注释往往会对使用者带来很多的困难和不便。本文主要聚焦于应用于 INTEL 服务器 VR14 这一代多相芯片，从 GUI 的使用出发给出一些应用上的介绍和芯片调节思路。

Contents

1	多相芯片在 VR14 中的应用简介.....	3
2	TPS53689 芯片 GUI 界面介绍	3
3	System Configuration 配置注意事项	4
3.1	PMBUS 地址设置	5
3.2	不同功率检测方式与设置	5
4	Rail Configuration 设置建议.....	5
4.1	输出电压设置.....	6
4.2	非线性功能设置	7
5	环路参数对瞬态相应的影响.....	9
6	Protection 配置设置.....	11
7	总结	13
8	参考文献	13

Figures

Figure 1.	Eaglestream 平台供电架构图	3
Figure 2.	TPS53689 系统配置界面图.....	4
Figure 3.	PMBUS 配置方式	Error! Bookmark not defined.
Figure 4.	ISYS 作为系统功率检测配置图	Error! Bookmark not defined.
Figure 5.	差分电阻系统功率检测配置图.....	6
Figure 6.	非线性参数设置界面	7
Figure 7.	(a)USR 功能开启波形；(b)USR 功能未开启时波形	Error! Bookmark not defined.
Figure 8.	(a) OS 功能未开启时波形；(b) OSR 功能开启时波形	Error! Bookmark not defined.

Figure 9.	(a) Tblank 设置为 140ns 时波形; (b) Tblank 设置为 30ns 时波形 Error! Bookmark not defined.	
Figure 10.	TPS53689 系统环路框图	9
Figure 11.	(a) ACgain 设置为 1 时波形; (b)ACgain 设置为 2 时波形	9
Figure 12.	(a) 瞬态响应波形图; (b) 瞬态响应展开图	10
Figure 13.	(a) RAMP 设置为 280mV 时波形; (b) RAMP 设置为 80mV 时波形	11
Figure 14.	保护参数设置界面图	11
Figure 15.	OCF 作用原理框图	12
Figure 16.	LOW_VIN 与 VIN_UVF 触发条件图	13

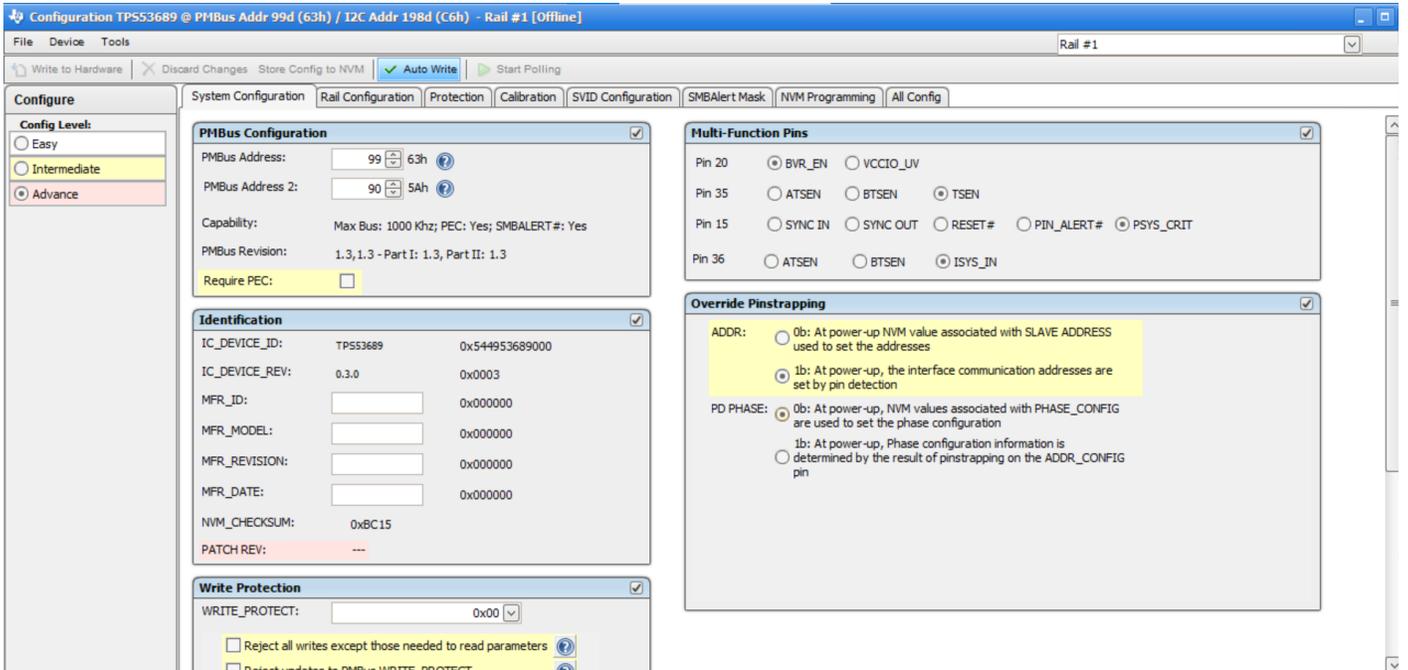


Figure 2. TPS53689 系统配置界面图

3 System Configuration 配置注意事项

3.1 PMBUS 地址设置

服务器电源板上电时，如果想要正常识别并配置每一个板上控制器，则一个控制器都应该有一个对应的正确地址。TPS53689 的 PMBUS 配置有两种方式。

第一种方式是通过芯片引脚 VREF 和 ADDR_CONFIG 上的分压电阻来配置，其配置机制为芯片先短路上电阻 R_{HA} 的对下电阻 R_{LA} 进行检测以决定 3 位 LSB，其余的 5 位 MSB 由 ADDR_CONFIG 引脚上的电压决定。这种方法分的 PMBUS 配置方式对 R_{LA} 有特定的要求，且 PMBUS 地址选择范围受限。

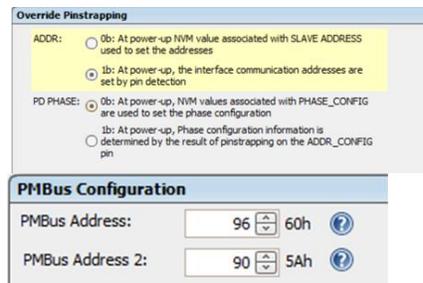


Figure 3. PMBUS 配置方式

第二种方式则是通过软件配置。如上图 b) 根据 NVM 内配置决定 PMBUS 地址。其中第一项输入的地址值仅在 ADDR 引脚浮空或者将 pinstrap 设置选择到 0b 时生效。该方法适用于没有合适的电阻能够硬件配置 PMBUS 地址的情况；第二项地址设置仅在 ADDR 引脚短接到地且 pinstrap 设置选择到 1b 时生效。

3.2 不同功率检测方式与设置

1. Isys 作为系统功率检测

Isys 功率上报的速度在几种方式中是最快的，但需要注意该功能仅支持在 VR14 协议下使用，在 INTEL 指导中有提到对 VRM 监控内存功耗的演进期望，通常会使用 VCCD 电源轨来实现该功能，此时由于 VCCD 电源的 SVID 协议为 VR13，故 TPS53689 并不支持使用 Isys 来做内存功率监控。

使用 Isys 进行功率检测时，在 GUI 中需要将 pin15 设置成 PSYS_CRIT，将 pin36 设置成 ISYS_IN。硬件上需要将 pin36 (ISYS_IN) 接到所测电流路径上，pin37(CSPIN)和 pin38(VIN_CSNIN)短接。其他相关设置如下图所示，需要在 SVID 设置界面勾选 Enable PSYS 并且将 PSYS_ON_CHA 选项设置成使能状态。之后可以通过 READ_ISYS(C8h)以及 READ_PSYS(C9h)来获取电流和功率信息。

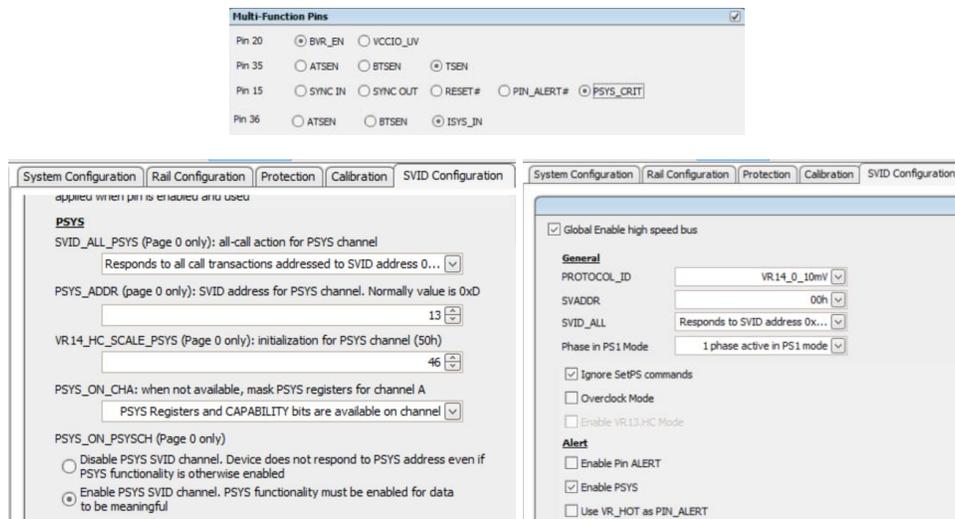


Figure 4. ISYS 作为系统功率检测配置图

2. 差分电阻检测系统功率

该方案适用于 VR13 之后的通信协议版本。需要将 pin36 配置成 ATSEN/BTSEN，将 pin15 配置成 PIN_ALERT#。此时需要 Enable Pin Alert，并且在 CALCIIN_RD 选择差分电阻采样输入电流。硬件上该方案需要依赖外部的采样电阻，使用时需要注意内部采样 ADC 满量程为 800mV，在选择采样电阻和内部增益时需要注意不要让电流转换放大后的信号超过量程。最后可以通过 READ_IIN(89h)和 READ_PIN(97h)来获取功率上报。

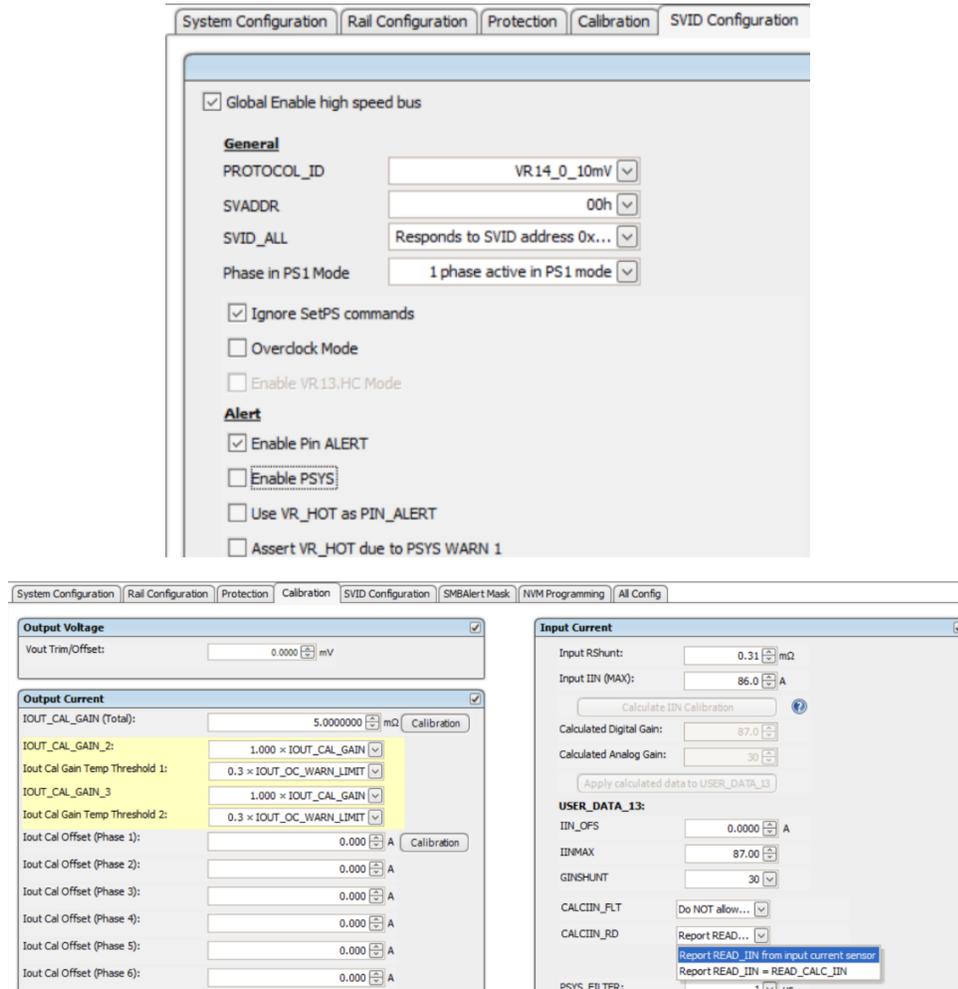


Figure 5. 差分电阻系统功率检测配置图

3. 估算功率上报及输入电流上报

估算功率及电流方式和差分电阻采样方式在系统配置上的差异在于 **CALCIIN_RD** 选项选择到 **CALC** 估算方式得到输入电流。

4 Rail Configuration 设置建议

4.1 输出电压设置

如下图所示，该设置区域主要用来设置 VR 芯片的输出电压。需要格外注意的是，当 VR 芯片使用的通信协议不为 **PMBUS** 时，需要将通信接口改为 **PMBUS** 后，才能够对输出电压的初始值进行配置，完成操作后再将通信接口类型改回 **SVID/AVS**。同样的操作步骤适用于输出电压部分的其他设置项。

4.2 非线性功能设置

非线性功能能够通过控制上下管在特定的条件下动作，从而对 VRM 的性能进行相应的优化：

1. USR/OSR 功能：

USR 设置是用来减弱系统中可能面临的过大的下冲，当 VRM 的输出面临大的负载电流时，输出电容放电导致输出电压跌落，此时 VRM 芯片有几种方案应增加的大负载，一种是 DPA 自动加相功能，通过设定 DPS 板块中的加相减相阈值从而控制在面对大负载时，VR 芯片开通更多的通道。在该下冲过程中芯片会比较 VDroop ($I_{sum} * DCLL$) 的值与 USR1/2，当超过 USR1 时，数量为 n (n 可由下图所示选择 USR1 时开通的相数) 的 PWM 通道会提前打开，当 VDroop 超过 USR2 时，芯片会强制打开所有相来支持此时大负载需要的电流。

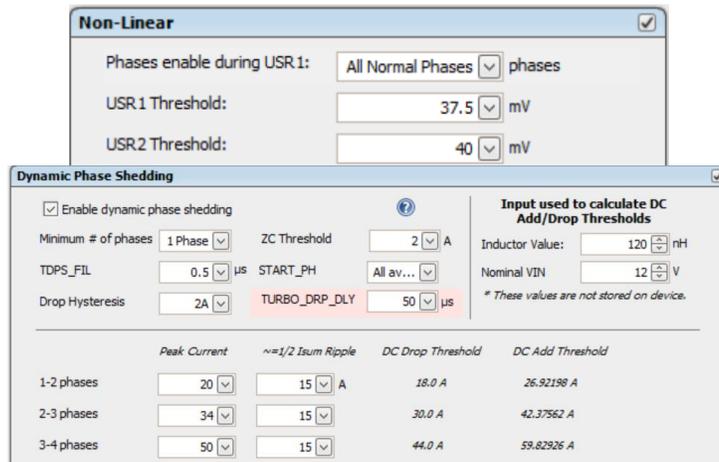


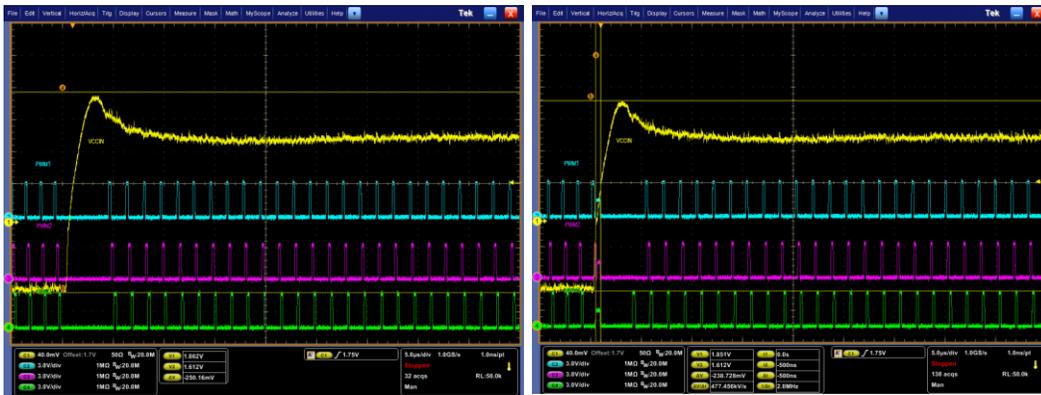
Figure 6. 非线性参数设置界面

USR 作用的实测图如下图所示，左图为打开 USR 功能后测得的输出电压波形。黄色为在负载电流增大时测得的输出电压，蓝色和紫色分别为 PWM1 和 PWM2，绿色为 PWM3 波形。可以看到在没有打开 USR 功能时，因为电流并没有达到触发自动增相的阈值，因此 PWM3 并没有及时开启，导致输出电压跌落较大，从而使动态响应变差；当 USR 功能使能后，可以看到当电压跌落到一定值时，USR 功能就已经产生作用将 PWM3 通道打开，因此输出电压没有产生严重的跌落。



Figure 7. (a)USR 功能开启波形； (b)USR 功能未开启时波形

随着负载跳变频率和幅度的增大，下冲波形上的回调过程很容易和卸载时产生的过冲叠加，从而使得上冲更大。OSR 能够对上冲起到一定程度的改善作用，下面左图所示为没启用 OSR 功能时的过冲波形，可以看到 PWM 保持原有的控制逻辑，再大负载消失时，PWM 的关断时间延长。右图为开启 OSR 功能后当实际的 VDROOP 电压（此时为实际的上冲电压）与 $I_{sum} * DCLL$ 的差值大于设定数值后，OSR 的 body braking 功能开启，可以看到此时 PWM 发出的波形处于 tri-state，将上下管都被强制关闭，续流电流强制流经下管的体二极管，使得能量更快的被消耗，输出电容上的过冲电压相应下降。OSR 还有一种模式叫做 pulse truncation，当触发 OSR 门限时，PWM 提前关断，开通时间减小至设置的 Tonmin 值。该模式不会产生额外的能量消耗，不会对系统的热表现带来影响。


Figure 8. (a) OS 功能未开启时波形； (b) OSR 功能开启时波形

2. Tblank 功能:

Tblank 会影响相邻两相之间开通的最小间隔时间。如图所示，在负载突然增加时，为了提供更多能量，多相芯片进行了增项动作，从两相开通增加为三相开通。当 Tblank 设置为 140ns 时，可以看到 PWM2 增加到 PWM3 时，两者之间间隔为 140ns；当 Tblank 减小设置为 30ns 时，PWM2 与 PWM3 上升沿之间的时间间隔大大缩短。减小 Tblank，缩短增相时的 PWM 间隔能够在短时间内提供更多能量，从而让下冲大大缩小。


Figure 9. (a) Tblank 设置为 140ns 时波形； (b) Tblank 设置为 30ns 时波形

值得注意的是，Tblank 参数并不是越小越好的，在实际应用中如果 Tblank 设置过小，当负载以很高的频率切换时，可能会导致过冲数值受到影响，变得更加糟糕，且因为负载泄放出现点的区别，过冲出现时 PWM 之间的时间间隔可能会出现各种情况，因此可能会导致过冲波形不稳定，出现不稳定过冲尖峰的情况。

5 环路参数对瞬态响应的影响

由于本文只是针对 GUI 的使用以及相关参数的初步设置做出介绍，因此该部分只对动态响应影响较大的几个参数进行分析和介绍。

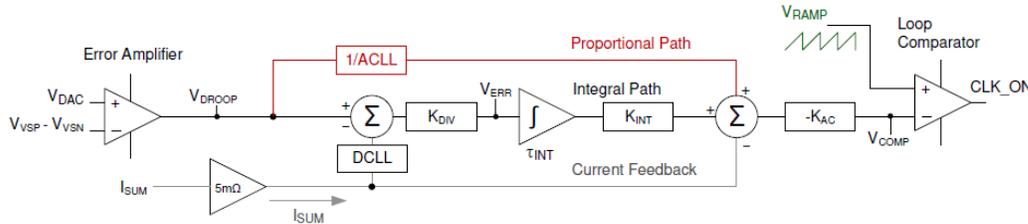


Figure 10. TPS53689 系统环路框图

1. AC-GAIN 的影响

如上图所示，ACgain 处在整个环路框图中的最后一环，因此其会对其他可设置的环路参数产生影响。比如当 ACgain 增大一倍，ACLL 参数的影响也会相应的增加，同理于 DCLL、Kdiv、int 等环路参数。

ACgain 增大会带来带宽的增加，但是由此会导致相位裕度的降低，并且他与 RAMP 都会影响到 Jitter 抖动。下面左图是 ACgain 设置为 1 时的动态波形，右图是 ACgain 设置为 2 时的动态波形图。可以发现增加 ACgain 会对过冲有改善，但是随之会导致 jitter 更大，系统对噪声的干扰更敏感，也可能导致系统不稳定。通常建议将 ACgain 设置在 1 以下。

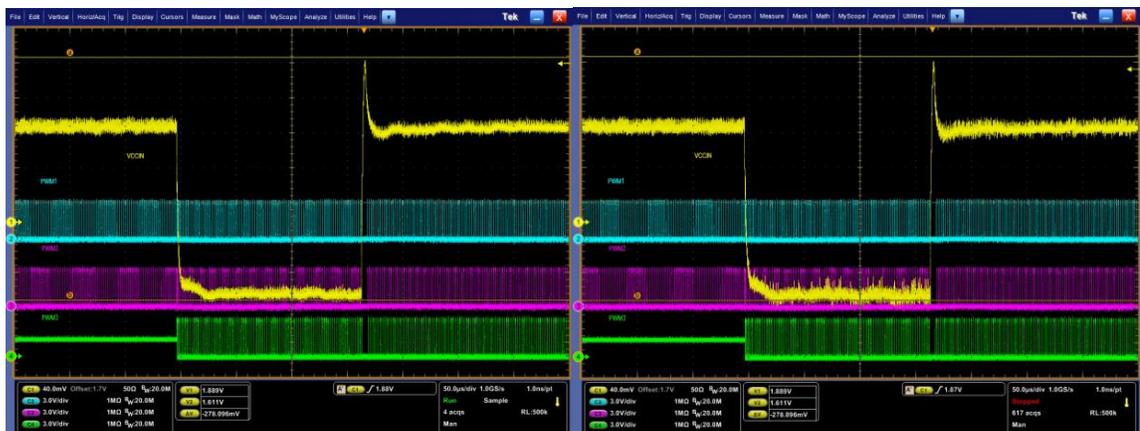


Figure 11. (a) ACgain 设置为 1 时波形; (b) ACgain 设置为 2 时波形

2. 动态波形分析及 ACLL 和 DCLL 影响:

首先介绍一下 ACLL 和 DCLL。ACLL 表示在动态负载出现时，电压变化量与动态负载变化量的比值；DCLL 表示在 CPU 开启自适应电压功能（AVP）时，多相芯片根据负载电流大小将目标电压自适应下调值与当前负载电流值的比值。如下式所示：

$$ACLL \approx \Delta V / \Delta I$$

$$DCLL \approx \Delta VID / IOUT$$

$$VOUT = VID - DCLL * IOUT$$

如下图所示，左图是比较标准的多相芯片在面对负载跳变时的动态波形，右边是波形的展开图，可以看到在负载突然增加后，电压波形经过了几次波动最后回归到一个相对稳定值。

其中第一个谷值更多地受到寄生参数的影响，当负载增加时，电容放电提供这部分能量差值，这个很大的 di/dt 在寄生电感会感应出相应的电压；第二个电压回冲是寄生电感影响后，电容的放电在寄生电阻上产生的电压；之后电压再次跌落，此过程主要受到 ACLL 以及电容的放电过程的影响；之后可以看到波形上出现一个较大的 ringback，该 ringback 主要由 TLVR 电路耦合电感电流信号以及 ACLL 值决定（理论值为瞬态电流值 $I * ACLL$ ），不合适的耦合信号或是不适合的 ACLL 会导致 ringback 过大，对高频下的瞬态响应产生影响。由上面的分析可以知道，我们的动态优化起始点应该是将选定频率（可从低频开始）下的 ringback 调节到足够小。

- a) DCLL 设置：通常 CPU 会对 DCLL 的值有相关的要求，而 ACLL 则可以适当根据 DCLL 进行调节，ACLL 的初始值通常建议设置在与 DCLL 相近的数值，由 DCLL 和 ACLL 的定义可以知道，此时动态负载所带来的电压瞬态峰峰值是最小的。
- b) ACLL 设置：在 TI 的 GUI 界面中，ACLL 值越小，等效比例系数越高，因此带宽越高，瞬态响应性能提升；但是如果 ACLL 设置过小，也可能导致相位裕度不够，环路不稳定。

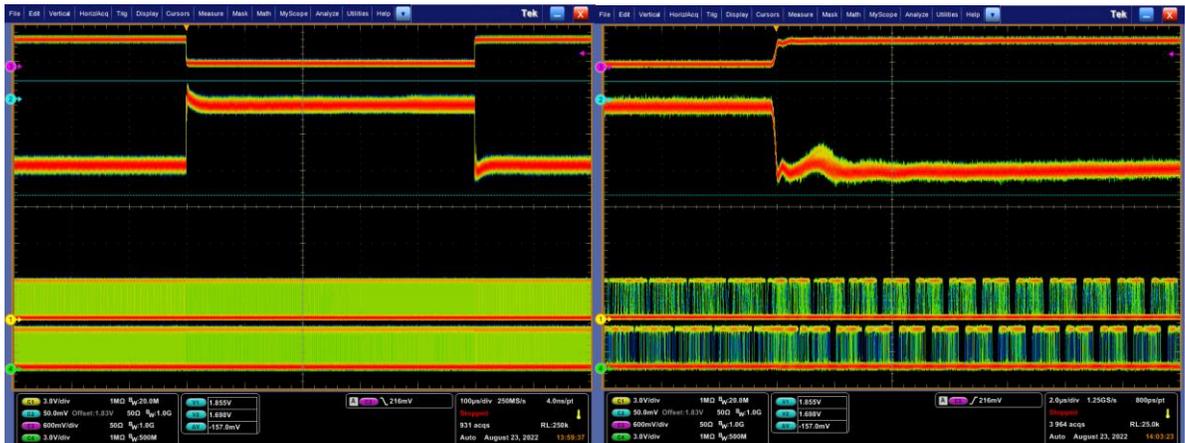


Figure 12. (a) 瞬态响应波形图；(b) 瞬态响应展开图

3. RAMP 对瞬态响应影响

RAMP 的引入会附加在环路中比较器的 VREF 信号上，能够提升系统对噪声的抗扰度。效果如下图所示，左图 RAMP 值设定在 280mV，右图设置为 80mV，可以发现 RAMP 增大，开关波形的抖动明显减弱。此外 RAMP 值增大，环路的带宽和动态响应会随之降低，图中波形的过冲也变得更大。因此需要选择合适的 RAMP 值以平衡动态性能以及抖动带来的干扰。

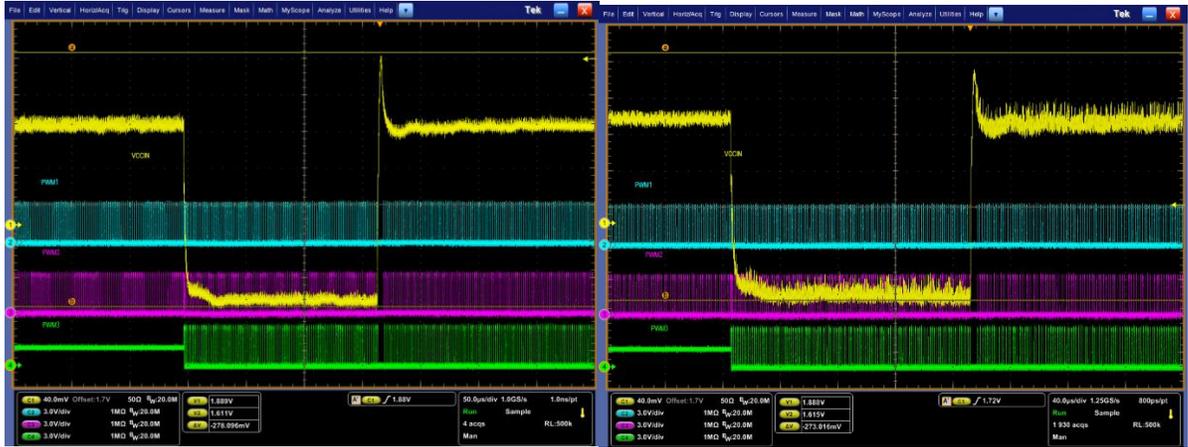


Figure 13. (a) RAMP 设置为 280mV 时波形；(b) RAMP 设置为 80mV 时波形

6 Protection 配置介绍

TI 的 VR 芯片如 TPS5368x 系列有着很全的预警，保护和报错机制。本小结仅挑出容易产生混淆的几个参数做出分析。

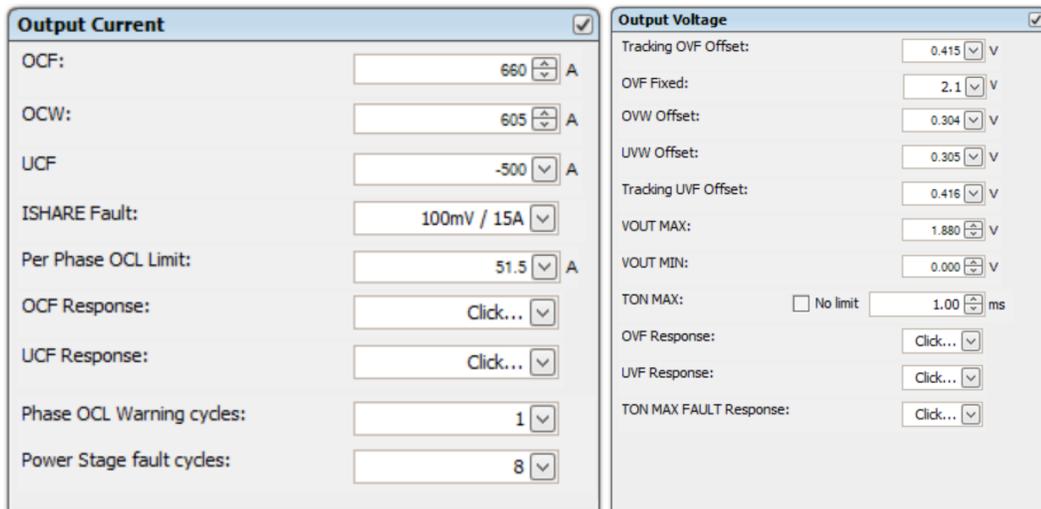


Figure 14. 保护参数设置界面图

1. OCF 与 OCL 的关系和应用场景

OCF: OCF 是在使用 VR 芯片时最重要的参数之一，它能够保护芯片在面临总功率超额时不受损坏，避免意外的发生。TPS53689 在判断 OCF 时，会将各个功率级的电流信号相加，之后经过模拟滤波、ADC 的采样、数字滤波环节，在 calibration 校准之后通过数字比较器进行比较判断。整个过程涉及到数模转换以及滤波校准，因此会带来比较高的时延。

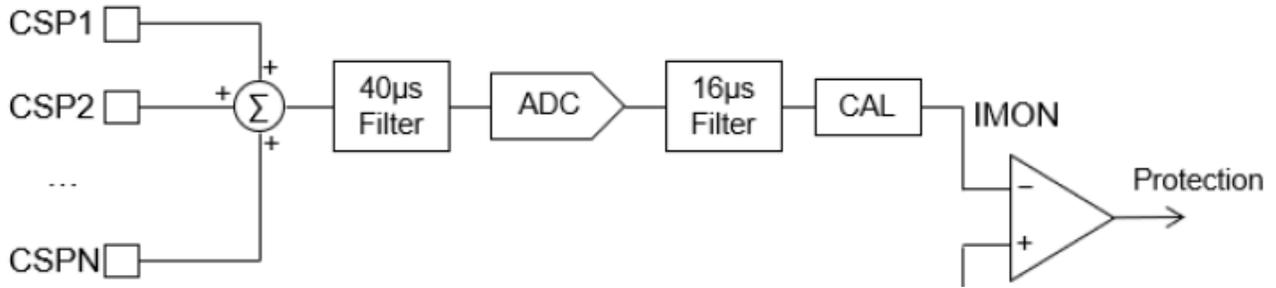


Figure 15. OCF 作用原理框图

从手册中的数据表可以看到，生成芯片内部用于比较的电流信号与真实的电流信号之间一定会有这个流程带来的时延，这之间的响应时延小于 200us。OCF 响应的 200us 时延在某些特定工况下，会给系统带来风险，如电感电流可能在极短的时间内远超 OCF 设置的每相阈值，而电感上的瞬态大电流又会导致功率级 VDS 之间的电压或是 SW 点的电压过大，损坏功率级 MOS 管。

从上面的分析可以看出，OCF 因为其有较大的延迟，在需要快速保护的场景可能不是那么有效，TPS5368x 系列芯片提供了许多其他的保护设置，以应对短路或是大负载跳变的场景。

Per Phase OCL: Per Phase OCL 也叫逐周期限流保护，控制器会在每一个电流谷值时对每相的电流与设定的 OCL 值进行对比，如果每相电流值超过了设定 OCL，则上管会保持关闭状态，直至每相电流回到 OCL。注意在设置 OCL 后，可能会导致负载电流大于相电流之和，从而导致输出电压下降。

OCL 是接近于即时的保护，相较于 OCF，他在面对短路或者极端负载跳变时，能保护功率级不受损坏，如短路发生时，电感电流不会出现过高情况，控制器则是会触发 UVF 欠压保护。在设置 OCL 时需要考虑裕量问题，要注意 OCL 仅仅针对谷值电流进行监控，而每相平均电流需要在此基础上加上二分之一的电感电流纹波；每相峰值电流则要在 OCL 基础上加上电流纹波值。

2. LOW_VIN 和 VIN_UVF 的触发条件

我们经常能够在 GUI 的状态界面看到 LOW_VIN 这个状态，有时候也会在状态栏看到 VIN_UVF，那么他们两者之间的关系是什么呢。

首先 LOW_VIN 仅仅表征一种输入的状态信息，他不会触发 SMBALERT。他告诉使用者的是因为输入电压过低导致该路电源轨没有在进行功率转换。当 $V_{IN} > V_{IN_ON}$ ，LOW_VIN 信号消失。VIN_UVF 是一个在 reset 前会保持的报错信号，他也会触发 SMBALERT。要注意的是只有在 VIN 超过了 V_{IN_ON} 之后，该告警位才会生效并且显示出来。下表是两者之间的触发条件以及与 VIN 之间的关系。

VIN > VIN_ON first time	VIN	VIN_UV_FAULT status bit	LOW VIN Status Bit
No	$VIN < VIN_UVF < VIN_ON$	0	1
No	$VIN_UVF < VIN < VIN_ON$	0	1
No → Yes	$VIN_UVF < VIN_ON \leq VIN$	0	0
Yes	$VIN_UVF < VIN_ON \leq VIN$	0	0
Yes	$VIN_UVF < VIN < VIN_ON$	0	0
Yes	$VIN < VIN_UVF < VIN_ON$	1	1

Figure 16. LOW_VIN 与 VIN_UVF 触发条件图

7 总结

本文对 VR 芯片在 INTEL 平台中的应用进行了简单的介绍，同时从帮助使用者更快捷的上手 TI 的 VR 芯片 GUI 的角度出发，对基本的固件配置注意事项，容易出现问题的多选功能进行了介绍和解释；对 VR 芯片的非线性参数和环路参数的调节以及作用进行了简要介绍，帮助使用者在初步调试过程中能够节省时间也帮助分析；对 VR 芯片保护机制中很重要的保护设置以及容易产生混淆概念进行了总结，在实际应用中能够根据使用者的需要进行具体的配置。

8 参考文献

1. TPS53689 datasheet (SLPS707)
2. CSD95410 datasheet (SLPS707)
3. Demystifying Loop Compensation in the TPS53688 (SLUAAD1)
4. Eagle Stream Platform Design Guide (INTEL Design Guide)

重要声明和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做任何明示或暗示的担保，包括但不限于对适销性、某特定用途方面的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他功能安全、信息安全、监管或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的应用。严禁对这些资源进行其他复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。您应全额赔偿因在这些资源的使用中对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，TI 对此概不负责。

TI 提供的产品受 [TI 的销售条款](#) 或 [ti.com](#) 上其他适用条款/TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

邮寄地址：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265

Copyright © 2023，德州仪器 (TI) 公司