

*User's Guide***AM6442、AM6422、AM6412 和 AM2434 (ALV) 处理器系列  
的原理图设计指南和原理图审阅检查清单****摘要**

AM64x ( AM6442、AM6441、AM6422、AM6421、AM6412、AM6411 (ALV) ) 和 AM243x ( AM2434、AM2432、AM2431 (ALV) ) 处理器系列的用户指南包括定制电路板、原理图设计指南、处理器外设电路实现建议以及面向使用任何处理器系列中处理器的定制电路板设计人员的原理图审阅检查清单。本用户指南包括与支持的处理器电源、外部时钟、GPIO 配置、处理器外设以及如何将处理器外设连接到所连接 (外部) 器件相关的信息。原理图审阅检查清单 (包含在每节末尾) 提供了具体章节中所述外设的完整审阅要点列表。建议定制电路板设计人员使用提供的审阅检查清单 (要点) 审阅定制电路板原理图设计实现，并验证检查清单中的建议或指南是否已实现 (遵循)。

此外，还提供了以下项的链接 (包括 TI.com 上的产品页面)：处理器产品页面、处理器相关配套资料、E2E 上发布的与处理器和处理器外设相关的常见问题解答，以及定制电路板设计期间常用的参考文档。建议定制电路板设计人员在定制电路板设计过程中参考这些添加的链接，以更大限度地减少设计错误、优化设计工作、尽可能减少电路板制造迭代并优化项目时间安排。

**内容**

<b>1 引言</b>	<b>3</b>
1.1 用户指南使用指南	3
1.2 处理器的处理器系列列表	5
1.3 原理图设计指南和原理图审查检查清单更新	5
<b>2 相关配套资料</b>	<b>5</b>
2.1 定制电路板原理图设计期间常用参考配套资料的链接	5
2.2 定制电路板设计硬件设计注意事项用户指南	5
<b>3 处理器特定信息</b>	<b>6</b>
3.1 选择处理器 OPN (可订购器件型号)	6
3.2 处理器特定数据表用例和用户指南编辑所引用的版本	6
3.3 外设实例命名约定 — 数据表和 TRM	7
3.4 不使用 (未使用) 时的处理器外设和 IO 连接	7
3.5 AM64x 和 AM243x 处理器系列的订购和质量信息	7
3.6 选择所需处理器 GPN (通用器件型号) 和 OPN (订购器件型号) 的检查清单	7
<b>4 处理器电源架构</b>	<b>8</b>
4.1 生成处理器特定和外设 (所连接器件) 电源导轨	8
4.2 处理器电源导轨电源控制、时序和电源过载保护	14
<b>5 一般建议</b>	<b>15</b>
5.1 处理器性能评估模块 (EVM) 或入门套件 (SK)	15
5.2 处理器特定 EVM 或 SK 与数据表	16
5.3 处理器特定 SDK	19
5.4 开始定制电路板设计之前的一般设计建议 (需了解)	21
<b>6 针对电源、时钟、复位、引导和调试的处理器特定建议</b>	<b>26</b>
6.1 通用 (处理器启动) 连接	26
6.2 使用 JTAG 和 EMU 进行定制电路板调试	47
<b>7 处理器外设的电源、接口和连接</b>	<b>50</b>
7.1 支持的处理器内核和 MCU 内核	50
7.2 IO 组的 IO 电源的电源连接	50
7.3 存储器接口 (DDRSS (DDR4/LPDDR4)、MMCSD (eMMC/SD 卡/SDIO)、OSPI/QSPI 和 GPMC)	52

7.4 外部通信接口 ( 以太网 ( CPSW3G0 和 PRU_ICSSG ) 、 USB2.0、 USB3.0 (SERDES0)、 PCIe (SERDES0)、 UART 和 MCAN ) .....	74
7.5 板载同步通信接口 ( MCSPI、FSI 和 I2C ) .....	98
7.6 模数转换器 (ADC).....	104
7.7 GPIO 和硬件诊断.....	106
7.8 EVM 或 SK 特定电路实现 ( 重复使用 ) .....	112
7.9 在定制电路板启动期间执行电路板级测试.....	113
<b>8 定制电路板原理图设计的自我审查.....</b>	<b>116</b>
<b>9 定制电路板布局注释 ( 在原理图部分附近添加 ) 和通用指南.....</b>	<b>117</b>
9.1 布局布线注意事项.....	117
<b>10 定制电路板设计仿真.....</b>	<b>118</b>
10.1 DDR-MARGIN-FW.....	118
<b>11 其他参考内容.....</b>	<b>119</b>
11.1 涵盖 AM64x、AM243x、AM62x、AM62Ax、AM62D-Q1、AM62Px、AM62Lx 处理器系列的常见问题解答.....	119
11.2 常见问题解答 - 处理器产品系列和 Sitara 处理器系列.....	119
11.3 原理图审查 ( 内部自检 ) 与原理图审查需求 ( 供应商 ) .....	119
11.4 处理器连接器件检查清单.....	119
<b>12 用户指南内容和使用情况摘要.....</b>	<b>121</b>
<b>13 参考资料.....</b>	<b>122</b>
13.1 AM64x.....	122
13.2 AM243x.....	122
13.3 常见参考文献.....	122
13.4 可用常见问题解答主列表 - 按处理器系列.....	122
13.5 可用常见问题解答主列表 - Sitara 处理器系列.....	123
13.6 常见问题解答 , 包括相关软件.....	123
13.7 有关连接器件的常见问题解答.....	123
<b>A 术语.....</b>	<b>124</b>
<b>修订历史记录.....</b>	<b>126</b>

## 表格清单

表 7-1. 接口实例的 IO 电源轨映射.....	75
表 7-2. CPSW3G0 MDIO.....	80
表 7-3. PRU_ICSSG INSTANCE MDIO.....	80

## 商标

WEBENCH® is a registered trademark of Texas Instruments.

所有商标均为其各自所有者的财产。

## 1 引言

### 1.1 用户指南使用指南

AM64x ( AM6442、AM6441、AM6422、AM6421、AM6412、AM6411 (ALV) ) 和 AM243x ( AM2434、AM2432、AM2431 (ALV) ) 处理器系列特定用户指南、原理图设计指南和原理图审阅检查清单包括定制电路板设计人员可在定制电路板原理图设计阶段使用的原理图设计指南。每个部分的末尾都包含原理图审查检查清单，定制电路板设计人员可在设计完成后、布局开始之前使用该检查清单来审查定制电路板原理图。

#### 1.1.1 定制电路板原理图设计指南 — 用户指南中使用的参考文献

用户指南包括原理图设计指南和原理图审查清单，定制板设计人员可以在针对所选处理器和实现的外设（板载或载体（或附加））进行定制板原理图设计时使用，包括内存（DDR、闪存）、电源、通信接口、IO和其他电路部分。

在用户指南中，处理器指的是所选 AM64x 或 AM243x 处理器 OPN；所连接器件指的是与该处理器相连的外部（板载或载板（或附加））外设（基于所设计的目标终端设备和应用用例）。

#### 1.1.2 特定处理器系列用户指南

本用户指南介绍 AM6442、AM6441、AM6422、AM6421、AM6412、AM6411 (ALV) 和 AM2434、AM2432、AM2431 (ALV) 处理器 (GPN)。每个处理器 GPN 可以有多个 OPN。本指南包含原理图设计指南与原理图审查检查清单，可供定制电路板设计过程使用。特定处理器系列用户指南提供以处理器为中心的指南和检查清单，可在帮助定制电路板设计人员针对特定处理器系列设计电路板时使用。对于所选的处理器和处理器系列（在本例中为 AM64x 和 AM243x），本用户指南更简单易用。

#### 1.1.3 原理图设计指南

本用户指南提供了原理图设计指南，可在定制电路板原理图设计阶段，使用这些指南来实现所选处理器支持的处理器和外设之间的电路连接。除了设计指南之外，还添加了相关常见问题解答的链接（作为每节指南的一部分）。常见问题解答（添加了链接）提供有关特定外设或接口主题的附加信息，包括有关实现/用例的说明和详细信息，以及从客户互动中学到的知识。

建议定制电路板设计人员遵循原理图设计指南，以更大限度地减少可能影响电路板功能和性能的设计错误，并优化定制电路板设计/构建/测试工作。

#### 1.1.4 原理图审阅检查清单

在用户指南每个部分的末尾以及子部分，添加了原理图审查检查清单，可供定制电路板设计人员用于审查涵盖特定外设的定制电路板原理图。本用户指南中介绍的一般建议、处理器电源和处理器外设部分和子部分在末尾都包含检查清单。原理图审查检查清单分为一般、原理图审查和附加。定制电路板设计人员可以使用原理图审查检查清单对定制电路板原理图设计进行自我审查。自我审查可最大限度地减少可能导致功能或性能相关问题的原理图错误，同时减少正式审查（内部或外部）期间的审查工作。原理图审查可更大限度地减少定制电路板启动或性能测试期间所需的工作量，从而提高电路板设计质量并遵守计划的时间线。

有关可用检查清单和格式的信息，请参阅以下常见问题解答：

[常见问题解答] [AM625/AM623/AM620-Q1/AM62Ax/AM62Px/AM62D-Q1/AM62L/AM64x/AM243x \(ALV\)/AM335x](#)  
设计建议/定制电路板硬件设计 — 原理图审阅检查清单

##### 1.1.4.1 用于所有原理图设计指南和原理图审阅章节的通用检查清单

1. 已审阅上述章节，包括 TI.com 上的常见问题解答链接和相关应用手册。
2. 已审阅处理器特定数据表中的引脚属性和信号说明部分。
3. 已审阅“时序和开关特性”章节，以及处理器特定数据表中提供的任何其他信息。

###### 1.1.4.1.1 定制电路板原理图设计实现检查清单小节说明

原理图实现审查检查清单包括 3 个小节：

常规：

概述一节以要点方式列出（汇总）了电路实现，这些实现需要（应当）支持检查清单一节（设计指南一节）上方所述外设一节的功能。该节还包括在将该节联系或连接到另一节来实现所需的外设或模块功能（可能无需电路实现）时要考虑的注意事项。建议在继续进行原理图审查之前，先审查并关闭所提供的实现检查清单。

### 原理图审查：

原理图审查一节以要点方式列出（总结）了定制电路板设计人员为了支持功能需要（应当）向电路一节添加的电路实现，包括实现外设或模块时应遵循的值、连接和其他实现。建议将定制电路板原理图设计实现方案与原理图检查清单进行比较，以确保在开始布局之前实现遵循设计指南。

### 其他：

在考虑优化电路设计之前，“其他”一节以要点方式列出（详细介绍）了实现和用例说明，定制电路板设计人员可以使用这些说明以及“原理图审查”一节来了解电路实现理由（需要实现）。

#### 1.1.5 原理图自我审查期间用户指南使用的常见问题解答参考

以下常见问题解答包括定制电路板设计人员使用可用的处理器特定配套资料进行自我审查的指南：

[常见问题解答] [AM625/AM623/AM620-Q1/AM62A/AM62D-Q1/AM62P/AM62L/AM64x/AM243x 设计建议/定制电路板硬件设计 — 定制电路板原理图自我审查](#)

## 1.2 处理器的处理器系列列表

本用户指南适用于以下列出的所有处理器。所选处理器的所有相关文档可在 [TI.com](#) 的产品页面上找到。建议访问下面列出的产品页面链接来查看相关的产品页面。

### 1.2.1 AM64x [ALV] 处理器系列

请参阅以下产品页面上的订购和质量一节，了解有关 OPN 的信息：

- [AM6442](#)
- [AM6441](#)
- [AM6422](#)
- [AM6421](#)
- [AM6412](#)
- [AM6411](#)

### 1.2.2 AM243x [ALV] 处理器系列

请参阅以下产品页面上的订购和质量一节，了解有关 OPN 的信息：

- [AM2434](#)
- [AM2432](#)
- [AM2431](#)

## 1.3 原理图设计指南和原理图审查检查清单更新

作为持续改进配套资料的一部分，在原理图设计指南和原理图审查检查清单用户指南中针对当前 [TI.com](#) 上发布的修订版本（基于客户反馈，学习内容，添加/增强部分，错误或改进）进行了更改或新增章节，并在下次文档修订期间进行更新。

以下常见问题解答列出了在 [TI.com](#) 上（发布修订版用户指南之前），定制电路板设计人员在进行定制电路板原理设计期间需要遵循的更改：

[常见问题解答] [AM625/AM623/AM620-Q1/AM62L/AM62A/AM62P/AM62D-Q1/AM64x/AM243x 定制电路板硬件设计 — 硬件设计注意事项和原理图设计指南配套资料更新](#)

建议查看常见问题解答，以了解在定制电路板设计的所有阶段可能会频繁进行的更新。

## 2 相关配套资料

### 2.1 定制电路板原理图设计期间常用参考配套资料的链接

[TI.com](#) 上的处理器特定产品页面提供了许多与所选处理器（系列）相关的文档。建议定制电路板设计人员在开始定制电路板设计之前，阅读相关配套资料（列于以下常见问题解答）。

以下常见问题解答汇总了在开始进行定制电路板设计时可以参考的一些关键配套资料：

**AM64x 处理器系列：**

[常见问题解答] [AM6442、AM6441、AM6422、AM6421、AM6412、AM6411 定制电路板硬件设计 — 快速入门配套资料](#)

**AM243x 处理器系列：**

[常见问题解答] [AM2434、AM2432、AM2431 \(ALV、ALX 封装\) 定制电路板硬件设计 — 快速入门配套资料](#)

### 2.2 定制电路板设计硬件设计注意事项用户指南

在定制电路板设计阶段，建议阅读、查阅、遵循以下链接中的处理器特定定制电路板硬件设计注意事项用户指南中的适用建议：

使用 [AM6442、AM6422、AM6412 和 AM2434 \(ALV、ALX\)](#) 处理器系列的定制电路板设计硬件设计注意事项

### 3 处理器特定信息

#### 备注

在定制电路板设计周期中，建议遵循[使用 AM6442、AM6422、AM6412 和 AM2434、AM2432、AM2431 \(ALV、ALX\) 处理器系列的定制电路板硬件设计注意事项](#)用户指南以及[原理图设计指南和原理图审阅检查清单](#)用户指南。

#### 3.1 选择处理器 OPN ( 可订购器件型号 )

根据所需特性选择处理器 OPN 是定制电路板设计过程中的一个关键且重要的环节。要了解处理器系列 ( AM6442、AM6441、AM6422、AM6421、AM6412、AM6411 (ALV) 和 AM2434、AM2432、AM2431 (ALV) ) 架构的概况，以及根据所需的功能和特性、封装 ( ALV ( AM64x、AM243x ) 和 ALX (AM243x) ) 和速度等级选择 ( 在定制电路板中使用的处理器 ) 所需的处理器 OPN，请参阅处理器特定数据表的功能方框图、器件比较、器件命名约定、器件速度等级和封装信息部分。

建议使用所选的处理器 OPN 更新原理图。

有关 AM64x 和 AM243x 处理器系列支持 ( 可用 ) 封装的信息，请参阅以下常见问题解答：

[常见问题解答] [AM64x \(AM6442、AM6441、AM6422、AM6421、AM6412、AM6411\) 和 AM243x \(AM2434、AM2432、AM2431 — ALV、ALX\) 定制电路板硬件设计 — 可用器件包](#)

本用户指南包括 AM64x (ALV) 和 AM243x (ALV) 封装的指南。对于 AM243x (ALX) 封装，如果外设通用，则可以使用该指南。

有关 AM243x 处理器系列的 ALV 和 ALX 封装之间的功能差异，请参阅以下常见问题解答：

[常见问题解答] [AM2434、AM2432、AM2431 定制电路板硬件设计 — ALV 和 ALX 封装之间支持的外设和外设实例之间的差异](#)

#### 3.2 处理器特定数据表用例和用户指南编辑所引用的版本

处理器特定的数据表包括：

1. 引脚属性 ( 焊球编号，引脚到多路复用功能的映射 ) 。
2. 信号说明。
3. 引脚连接要求。
4. 适用处理器外设的电气特性、时序和开关特性以及计时示意图。
5. 处理器电源导轨的建议工作条件。
6. 处理器电源导轨的序列 ( 加电和断电 ) 。
7. 最大工作条件和建议工作条件。
8. 处理器内部结构的详细说明。
9. 应用、实现和布局。
10. 包括器件命名规则 ( 器件命名约定 ) 、工具和软件的器件和文档支持。
11. 修订历史记录。
12. 机械、封装和可订购信息。

( 用户指南编辑过程中 ) 引用的处理器特定数据表及其修订编号：

**AM64x 处理器系列：**

SPRSP56G — 2021 年 1 月 — 2024 年 4 月修订 ( AM64x Sitara 处理器数据表 ( 修订版 G ) )

**AM243x 处理器系列：**

SPRSP65G — 2021 年 4 月 — 2024 年 5 月修订 ( AM243x Sitara 微控制器数据表 ( 修订版 G ) )

有关更多信息，请参阅以下常见问题解答：

[常见问题解答] AM625/AM623/AM620-Q1/AM62L/AM62A/AM62P/AM62D-Q1/AM64x/AM243x 设计建议/定制电路板硬件设计—当前数据表的修订版、更新、修订版备份和使用说明

### 3.3 外设实例命名约定 — 数据表和 TRM

对于外设命名和可用的外设实例数量，处理器特定 TRM 往往是通用的，而处理器特定数据表是特定的（包括支持的实例数量）。有关支持的外设和外设实例，建议始终参阅处理器特定数据表。

在处理器特定数据表的信号命名中，即使存在单个外设实例，也会为外设名称分配后缀编号。后缀以 0 开头。

对于通用平台以太网交换机 3 端口千兆位 (CPSW3G0) 端口名称，端口 0 是交换机的内部（通信端口编程接口 (CPPI) 主机）端口。

### 3.4 不使用（未使用）时的处理器外设和 IO 连接

在定制电路板设计期间，不使用（未使用）部分处理器外设。在不使用时，处理器外设（包括具有专用功能的外设）具有特定连接要求。有关不使用时连接外设的信息，请参阅处理器特定数据表的引脚连接要求一节。连接要求一节包括连接电源导轨和接口信号的建议。

支持替代功能的配置（多路复用）的处理器 GPIO（与外设、SDIO 或 LVCMS 缓冲器类型进行多路复用）在不使用时可保持未连接状态（如果未指定连接要求）。外设和 IO 的焊盘配置可以是复位状态。

有关更多信息，请参阅以下常见问题解答：

[常见问题解答] AM625/AM623/AM620-Q1/AM62L/AM62A/AM62P/AM62D-Q1/AM64x/AM243x 设计建议/定制电路板硬件设计 — 数据表引脚属性及引脚连接相关问题

### 3.5 AM64x 和 AM243x 处理器系列的订购和质量信息

有关所选处理器的订购和质量的信息，请访问以下链接：

**AM64x 处理器系列：**

- [AM6442 订购和质量](#)
- [AM6441 订购和质量](#)
- [AM6422 订购和质量](#)
- [AM6421 订购和质量](#)
- [AM6412 订购和质量](#)
- [AM6411 订购和质量](#)

**AM243x 处理器系列：**

- [AM2434 订购和质量](#)
- [AM2432 订购和质量](#)
- [AM2431 订购和质量](#)

### 3.6 选择所需处理器 GPN（通用器件型号）和 OPN（订购器件型号）的检查清单

#### 通用

在定制电路板原理图设计过程中、查看和验证以下配套资料和信息：

1. 常用存储器接口、高速通信、板载同步和异步通信接口、摄像头和显示接口的可用性。
2. 板载调试和诊断支持（JTAG、UART、OBSCLK0 和 CLKOUT0）。
3. 所需的电源轨数量、电源轨的建议运行条件、内核、存储器接口、模拟和 IO 电源的加电和断电序列。
4. 所选外设的电气特性和时序信息。
5. 应用手册、外设接口电路实现建议或示例以及布局布线指南的可用性。
6. 与处理器正常运行、引导模式（支持和注意事项，所配置引导模式的解决方法）及相关外设相关的器件勘误表。
7. 用于评估的 EVM 或 SK，以及可供参考和/或重复使用的文件的可用性。

## 4 处理器电源架构

### 备注

在定制电路板设计周期中，建议遵循[使用 AM6442、AM6422、AM6412 和 AM2434、AM2432、AM2431 \(ALV、ALX\) 处理器系列的定制电路板硬件设计注意事项](#)用户指南以及[原理图设计指南和原理图审阅检查清单](#)用户指南。

有关 TI 电源管理产品组合的概述，请参阅 [TI 电源管理](#)页面。

[WEBENCH® 电路设计器工具](#)提供一个可视界面，可用于创建定制的电源架构。

### 4.1 生成处理器特定和外设 ( 所连接器件 ) 电源导轨

可使用集成式（使用 PMIC、分立式直流/直流转换器、分立式 LDO）或分立式（使用直流/直流转换器、分立式 LDO）电源架构生成所选处理器和所连接器件所需的电源导轨。

PMIC（集成式电源架构）专为特定处理器或处理器系列而设计。使用 PMIC 可简化电源架构（电源导轨）设计。PMIC 生成常用（使用的）处理器和所连接器件电源。PMIC 在内部管理上电时序、断电时序、电源转换率控制、可选残余电压（电压衰减）检测，并满足处理器特定电源（PDN）要求。其他分立式直流/直流转换器和分立式 LDO 可用于根据用例生成所需的其他板载电源（根据用例）。

使用分立式电源架构可让您在选择电源器件和电源架构设计时具有灵活性。由于定制电路板设计人员负责选择分立式直流/直流转换器和 LDO（提供所需负载电流）、直流/直流转换器和 LDO（可进行调整或配置以生成所需电源电压）、直流/直流转换器和 LDO（可支持所需负载电流瞬态）、控制、电源转换率并支持配置所需的电源时序），因此设计工作量可能会增加。

处理器电源轨指定了压摆率要求。对于电源导轨（生成或开关），建议遵循处理器特定数据表的电源转换率要求一节。

以下各节总结了可用于使用 PMIC 或分立式电源架构实现板载电源的电源转换器产品系列（直流/直流转换器和 LDO）和相关配套资料：

#### 4.1.1 基于电源管理 IC (PMIC) 电源架构

用于集成式电源架构的建议 PMIC 包括 [TPS65219](#) 或 [TPS65220](#)。这种经过空间、性能和 BOM（物料清单）优化的电源架构可以设计为使用 PMIC 为处理器和所连接器件供电。

TPS65219 PMIC 系列支持 3（三）个降压输出和 4（四）个 LDO 输出（基于处理器内核的电源导轨和内存（DDR）类型）配置（PMIC 版本、固定输出（NVM 编程），可编程）。建议根据所选的处理器配置和所连接器件选择所需的 PMIC 配置（版本）。要选择所需的 PMIC OPN，请参阅 [TPS65219](#) 或 [TPS65220](#) 产品页面。为定制电路板设计人员提供了 PMIC 原理图和布局检查清单，可在定制电路板原理图设计期间使用。

有关可用 OPN 和建议连接的输出电压配置的应用手册和信息，请参阅以下链接：

[使用 TPS65220 或 TPS65219 PMIC 为 AM64x 供电](#)

[使用 TPS65219 PMIC 为 AM243x 供电](#)

请参阅以下常见问题解答：

[常见问题解答] [AM644x/AM642x/AM641x/AM243x \(ALV\)](#) 设计建议/定制电路板硬件设计 — PMIC TPS65219 和 TPS65220 的常见问题

请参阅 TPS65219 OPN 特定技术参考手册（例如：[TPS6521901 技术参考手册](#)），了解有关 NVM（输出电压和 IO）配置的信息。

根据应用和定制电路板设计架构，可选择 PMIC OPN。每个 OPN 都有特定的 NVM 配置（输出电压）。有关所选 OPN、NVM 配置 TRM 和完整寄存器映射，请参阅 [TPS65219](#) 或 [TPS65220](#) 产品页面的 PMIC 数据表。

此外，请参阅以下应用手册：

## 使用 TPS65219 PMIC 为 AM62 处理器供电相对于分立式电源设计的优势

有关残余电压和检测的信息，请参阅以下常见问题解答：

[常见问题解答] AM625/AM623/AM620-Q1/AM62L/AM62A/AM62P/AM62D-Q1/AM64x/AM243x 设计建议/定制电路板硬件设计 — 与残余电压、检测和电源衰减相关的疑问

如果需要用户可编程电源管理 IC (PMIC)，可以考虑使用包含三个降压直流/直流转换器和四个 LDO 的 TPS6521905。该处理器系列不允许动态调节电源。

#### 4.1.1.1 TPS65219 或 TPS65220 基于 PMIC 的电源架构检查清单

##### 通用

检查并验证定制原理图设计的以下内容：

1. 已查看用户指南上文提及的“[所有章节的通用检查清单](#)”部分的内容
2. 基于输入电源和输出电压（内核电压、IO 电压和 DDR 电压配置）的 PMIC 选择（OPN）
3. 有关添加所需输入和输出电容器（包括值、反馈连接和引脚连接）的 PMIC 检查清单
4. 考虑降额时所选电容器的额定电压
5. 建议的 PMIC 控制和 IO 信号配置
6. 连接处理器 IO 电源时序和压摆率控制所需的控制信号
7. 用于连接 PMIC 的处理器 I2C 实例
8. 处理器到 PMIC 以及 PMIC 到处理器 IO 接口连接
9. 电源导轨的命名（指示配置的输出电压电平）
10. 处理器和连接器件 IO 电源的网络名称匹配（同名）
11. 连接用于 PMIC IO 的中断、MODE/RESET 和 EN/PB/VSENSE 信号和所需拉电阻连接

##### 原理图审阅

定制原理图设计请遵循以下列表：

1. 根据定制电路板要求，配置 PMIC 输出以匹配处理器和连接器件的 IO 电源工作电压
2. 定制电路板 PMIC 实现方案，包含电容器数量、尺寸和值以及 IO 连接的 SK 原理图实现方案
3. PMIC 降压输出反馈的连接（在输出大容量电容器之后连接反馈）
4. SD 卡 IO 电压控制（VSEL\_SD）引脚连接（处理器启动或电路板复位期间为 3.3V，可切换至 1.8V 以支持 UHS-I SD 卡）
5. 直接连接到处理器 MCU\_PORz 输入时的 PMIC nRSTOUT0 压摆（上拉值）（建议使用分立式推挽输出类型缓冲器）
6. 连接处理器 IO 电源时序所需的控制信号（处理器和所连接器件 IO 电源电压的负载开关 EN 以及使用外部电容器配置负载开关输出电压压摆率控制）
7. 考虑降额时所选电容器的额定电压（常用指南为最坏情况下施加电压的两倍）
8. PMIC 输出电压电平与处理器和连接器件的电源要求相匹配（根据 OPN）
9. 用于连接到 PMIC 的处理器 I2C 实例（遵循 SK 或根据用例查看所需的 I2C 实例）
10. 分立式 DC/DC 输出和 LDO 的配置，与 PMIC 搭配使用以生成额外的电源轨
11. 用于生成 VPP 电源的外部 LDO 实施方案（电子保险丝编程）、LDO 输出使能（EN）控制，并在考虑负载电流瞬态的情况下增加大容量电容器和去耦电容器，并提供隔离电阻器来测试 VPP 电源输出使能时序

##### 其他

1. 如果电源架构基于 TI PMIC，建议通过 PMIC 团队（业部部门或产品线）对实施方案进行详细评审。
2. 建议在 PMIC 以及分立 DC/DC 和 LDO 的输出端使用  $0\Omega$  的电阻器或跳线，以便在初次制作电路板时进行隔离或电流测量。建议添加 TP 进行测量。建议遵循开尔文电流检测连接，将 TP 连接到  $0\Omega$  电阻器或跳线。
3. 建议在大容量电容器后面连接 PMIC 降压输出反馈。建议连接反馈，确保移除  $0\Omega$  电阻器不会影响 PMIC 运行（连接在电阻器的 PMIC 侧）。
4. 由于 PMIC 会执行热复位，因此将处理器的 RESETSTATz 输出连接到 PMIC 的 MODE/RESET 输入可能是可选项。建议添加一个  $0\Omega$  电阻器并将该电阻器标记为 DNI。PMIC 内部上拉电阻已使能。
5. 建议分别显示用于降压（直流/直流）输入和 VSYS 的 PMIC 输入大容量电容器，并靠近各引脚，以便于放置和布线。
6. 建议查看并遵循与残余电压相关的常见问题解答。
7. 使用非 TI PMIC 时，建议定制电路板设计人员查看相关的处理器配套资料，包括处理器特定数据表和最大额定电流应用手册，并遵循相关要求。建议查看处理器特定数据表的建议运行条件、电源压摆率要求、MCU\_PORz 时序要求和上电时序和断电时序部分，并确认所选的基于 PMIC 的电源架构符合上述要求和残余电压（RV）检查。

8. 如果需要用户可编程电源管理 IC (PMIC)，可以考虑使用包含三个降压直流/直流转换器和四个 LDO 的 TPS6521905。该处理器系列不允许动态调节电源。

#### 4.1.1.2 其他参考内容

有关信息，请参阅处理器特定数据表的以下章节。

- 器件连接和布局基本准则
- 电源
- 电源设计

有关实现的信息，请参阅 [SK-AM64B \( AM64x Sitara 处理器的 AM64B 入门套件 \)](#) 原理图。

#### 4.1.2 基于分立式电源器件 (DC/DC、LDO) 的电源架构

要生成处理器和所连接器件电源导轨，可以考虑使用分立式电源架构。

电源架构可以基于分立式直流/直流转换器和 LDO。

有关器件选择和电源架构实现的信息，请参阅 [TMDS64EVM \( AM64x Sitara 处理器评估模块 \)](#) 原理图。

当实现定制 (TI 或非 TI) 分立式电源架构时，请在所有电源斜升后注意电源尺寸 (额定电流)、电源时序、电源压摆率控制和 MCU\_PORz 输入 L->H 延迟 (保持时间) (用于振荡器启动和稳定) 要求。建议根据处理器特定数据表验证是否遵循了上述要求。

在电源导轨断电 (关闭) 期间，建议 MCU\_PORz 输入在电源开始斜降之前达到有效的逻辑低电平。建议分立式电源架构设计为能够在任何电源轨降至建议运行条件中定义的最小值以下时，在启动新的上电序列之前关闭所有电源轨并监测电源轨衰减到 300mV 以下。

建议在上电期间将 MCU\_PORz 输入 (必需) 保持为低电平 (有效)，直到所有处理器电源斜升并有效 (稳定) 加最短延迟 9.5ms (处理器特定数据表中称为 9500000ns)，以便内部振荡器启动并稳定 (使用外部晶体加内部振荡器时，请参阅处理器特定数据表) 或 MCU\_PORz 输入保持低电平 (有效)，直到所有处理器电源上升并有效，并且外部振荡器时钟输出稳定 (当使用外部 LVCMOS 数字时钟源 (振荡器) 时)，加上最小延迟 1.2 μs (在处理器特定数据表中称为 1200ns) (请参阅处理器特定数据手册)。

建议考虑最大额定电流应用手册来确定电源尺寸。

请参阅以下常见问题解答：

[常见问题解答] [AM625/AM623/AM620-Q1/AM62Ax/AM62D-Q1/AM62Px/AM62L/AM64x/AM243x 设计建议/定制电路板硬件设计 — 与分立式电源架构相关的疑问](#)

##### 4.1.2.1 分立式直流/直流

建议考虑采用分立式直流/直流转换器，例如 [LM5140-Q1](#)、[TPS62823](#) 和 [TPS62097](#) 或类似开关电源器件。

有关可用的分立式直流/直流 (降压) 开关器件的概述，请参阅 [交流/直流和直流/直流转换器 \(集成 FET\)](#) 页面。

此外，请参阅以下文档和视频库：

[TI 降压开关直流/直流转换器快速参考指南应用手册](#)

[电源设计培训资源 - 视频库](#)

##### 4.1.2.2 分立式 LDO

建议考虑使用分立式 LDO 器件，例如 [TPS735](#)、[TLV70728](#) 和 [TLV75518](#) 或类似 LDO。

要了解可用的分立式 LDO，请参阅 [TI 线性和低压降 \(LDO\) 稳压器](#) 页面。

另请参阅以下应用手册：

[低压降稳压器快速参考指南](#)

[LDO 线性稳压器设计指南](#)

[TI LDO 应用手册的主题索引](#)

#### 4.1.2.3 基于分立式电源器件 ( DC/DC、LDO ) 的电源架构检查清单

##### 通用

检查并验证定制原理图设计的以下内容：

1. 已查看用户指南上文中的“[所有章节的通用检查清单](#)”章节。
2. 电源轨配置的输出电压电平和电流大小(额定电流)。
3. 输出电压反馈连接和反馈电阻分压器容差。
4. 精选的分立式直流/直流转换器支持有源放电。
5. 分立式直流/直流转换器输出压摆率符合处理器要求。
6. 根据处理器要求的电源轨时序控制。
7. 所有电源斜升后的 MCU\_PORz 输入(直流/直流 PG 输出)压摆率和 MCU\_PORz 输入 L->H。
8. 考虑降额时所选电容器的额定电压。
9. 支持 UHS-I SD 卡的 SD 卡接口 IO 电源实现。
10. VPP(电子保险丝编程)电源实现。
11. 电源轨的命名。
12. 分立式直流/直流转换器或分立式 LDO 电压电平的匹配。
13. 处理器和连接器件 IO 电源的网络名称匹配(同名)。

##### 原理图审阅

定制原理图设计请遵循以下列表：

1. 电阻分压器值(包括连接到反馈以生成所需输出电源电压的容差)与分立式直流/直流转换器或 LDO 的计算值匹配。
2. 直流/直流转换器或 LDO 输出电流大小。
3. 分立式直流/直流或 LDO PG 输出具有所需的上拉电阻，并连接到另一个直流/直流或 LDO EN 以进行电源时序。
4. 直流/直流或 LDO 输出压摆率符合处理器压摆率要求。
5. 所有电源斜升后的 MCU\_PORz 输入(直流/直流 PG 输出)压摆率(通过分立式推挽输出型缓冲器连接)和 L 至 H 延迟(用于时钟启动和稳定的 MCU\_PORz 输入低电平保持时间)实现。
6. 电源斜坡后的 MCU\_PORz 输入低保持时间，如果直流/直流 PG 输出直接连接到处理器 MCU\_PORz 输入。
7. VPP(电子保险丝编程)电源实现，包括电容器，以支持负载电流瞬态和输出使能(EN)。
8. 支持 UHS-I SD 卡的 SD 卡接口 IO 电源 LDO 实现。
9. 电源轨的命名(指示配置的输出电压)。
10. 分立式直流/直流或分立式 LDO 电压电平与处理器和连接器件的电源要求相匹配。
11. 考虑降额时所选电容器的额定电压(大于常用指南为最坏情况下施加电压的两倍)。
12. 分立式电源器件选择，包括输出电源电压导轨(工作电压/振幅)和电流额定值、有源放电能力、使能配置、压摆率控制、残余电压检测(仅在断电后电源电压小于 300mV 时才允许加电)。

##### 其他

1. 如果定制电路板设计电源架构基于 TI 电源，建议与相关业务部门或产品线一起详细审阅实现。
2. 建议在分立式直流/直流、LDO 的输出端使用  $0\Omega$  的电阻器或跳线，以便在初次构建电路板时进行隔离或电流测量。建议添加 TP 进行测量。建议遵循开尔文电流检测连接，将 TP 连接到  $0\Omega$  电阻器或跳线。
3. 当使用可调输出型分立式直流/直流或分立式 LDO 时，建议在分立式直流/直流或分立式 LDO 的输出端添加一个齐纳二极管。

## 4.2 处理器电源导轨电源控制、时序和电源过载保护

### 4.2.1 负载开关 ( 处理器电源导轨电源开关 )

负载开关用于对处理器和所连接器件电源导轨进行开关和时序控制。使用负载开关控制 ( 打开和关闭 ) 由同一输入电源导轨供电和个基准的特定外设或子系统的电源 , 而不是使用多个分立式直流 / 直流转转换器或 LDO 生成电源。在某些应用中 , 建议遵循建议的上电和下电序列。负载开关简化了实现电源时序控制 , 以满足上电和下电时序要求。负载开关使能可由 PMIC 或直流 / 直流转换器 PG 输出控制 , 以满足处理器电源时序要求。

考虑 [TPS22919](#) 、 [TPS22918](#) 、 [TPS22945](#) 负载开关。

要了解可用负载开关系列的概述 , 请参阅 [TI 负载开关](#) 页面。

#### 4.2.1.1 负载开关 ( 处理器电源导轨电源开关 ) 检查清单

##### 通用

检查并验证定制原理图设计的以下内容 :

1. 已查看用户指南上文中的 “[所有章节的通用检查清单](#)” 章节。
2. 负载开关电流额定值。
3. 负载开关使能的连接和时序控制。
4. 输出电压压摆率控制配置。
5. 考虑降额时所选电容器的额定电压。

##### 原理图审阅

定制原理图设计请遵循以下列表 :

1. 输入和输出电容器值 , 比值需符合数据表和电容器额定电压。
2. 根据处理器 IO 电源压摆率要求配置输出电压压摆率 ( 电容器值选择 ) 。

### 4.2.2 电子保险丝 IC ( 电源开关和保护 )

在定制电路板设计上 , 电子保险丝可用在电源输入端进行保护。电子保险丝电源开关和保护 IC 是集成的电源路径保护器件 , 用于在故障情况下将电路电流和电压限制在安全电平。电子保险丝为设计提供了许多优势 , 并且包含通常难以使用分立式元件实现的保护功能。要了解可用的电子保险丝系列 , 请参阅 [TI 电子保险丝和热插拔控制器](#) 页面。

## 5 一般建议

### 备注

在定制电路板设计周期中，建议遵循[使用 AM6442、AM6422、AM6412 和 AM2434、AM2432、AM2431 \(ALV、ALX\) 处理器系列的定制电路板硬件设计注意事项](#)用户指南以及[原理图设计指南和原理图审阅检查清单](#)用户指南。

以下各节包括在开始定制设计之前建议遵循的一般建议。本节还包含在使用 EVM 或 SK 配套资料作为参考（包括原理图）以及在设计定制电路板原理图期间的一般建议。

请参阅以下常见问题解答：

[常见问题解答] [AM625/AM623/AM620-Q1/AM62L/AM64x/ AM243x \(ALV\)/AM62Ax/AM62D-Q1/AM62Px 设计建议/定制电路板硬件设计—处理器内核、VDD\\_CORE、VDDR\\_CORE、VPP 和其他内核电源的信息](#)

### 5.1 处理器性能评估模块 (EVM) 或入门套件 (SK)

处理器（硬件）性能评估模块和平台（EVM 或 SK）并非参考设计。这些模块和平台并不代表正确或完整的电路板或终端设备功能实现。在某些情况下，EVM 或 SK 在处理器设计完成之前便已进行了部分或完全设计并发布进行制造。设置时间表是为了在首批器件供货后便可使用硬件平台。在处理器启动和基准测试期间会出现新（额外）的处理器要求。EVM 或 SK（硬件评估平台）可能并未考虑到所有这些新要求。因此，TI 希望定制电路板设计人员在设计定制电路板时仔细检查并遵循处理器特定数据表、器件勘误表、硬件设计注意事项用户指南、原理设计指南和 TRM 中定义的所有要求。

处理器（硬件）性能评估平台的设计并未涵盖所有定制电路板或终端设备特定要求，例如 EMI 或 EMC（电磁干扰、电磁兼容性测试，包括辐射敏感性、辐射发射、ESD）、噪声敏感性、热管理等。

有关定制电路板设计人员可以参考的设计更新说明以及 EVM 或 SK 原理图，请参阅以下常见问题解答：

[常见问题解答] [AM64x/AM234x 定制电路板硬件设计期间的设计建议/常见设计错误 — 设计更新说明的 EVM 或 SK 原理图更新](#)

#### 5.1.1 评估模块（入门套件）检查清单

##### 通用

检查并验证定制原理图设计的以下内容：

1. 已查看用户指南上文中的“[所有章节的通用检查清单](#)”章节。
2. 当前参考（遵循）的 EVM 或 SK 与所选处理器系列和 OPN 相匹配。
3. 参考 EVM 或 SK 板上的处理器封装与为定制电路板设计选择的处理器相匹配。
4. 参考的 EVM 或 SK 原理图修订版本包括设计说明 (D-Note)、审阅说明 (R-Note) 和 CAD 说明 (CAD Note)。

## 5.2 处理器特定 EVM 或 SK 与数据表

在定制电路板设计的设计阶段，如果在处理器评估或定制电路板设计期间发现处理器特定 EVM 或 SK 与处理器特定数据表之间存在任何差异，建议遵循处理器特定数据表。尽管 EVM 或 SK 设计人员已经尽了很大努力，但 EVM 或 SK 原理图还是可能包含仍然起作用但不完全符合处理器特定数据表规范的错误。

### 5.2.1 有关元件选择的注意事项

---

#### 备注

提供 EVM 或 SK 原理图中的元件值、封装尺寸和额定电压作为定制电路板设计人员的起点，并不总是经过优化。建议定制电路板设计人员验证值、尺寸和额定电压是否适用于特定的定制电路板实现，并进行所需的更新。

---

建议查看有关定制电路板设计要求的 EVM 或 SK BOM，并根据处理器特定数据表建议、应用要求、遵循的定制电路板设计方法以及可用（公司特定或通用）的设计或元件选型指南来优化元件。

建议在最终确定元件（值、封装、额定电压和额定功率）之前执行电路实现设计计算、执行板级测试和测量、进行内部设计审查。

#### 5.2.1.1 串联电阻

建议根据用例在处理器 IO 接口上配置一个串联电阻器 ( $0\Omega$ )。EVM 或 SK 原理图中使用的串联电阻器值可用作定制电路板设计的起点。建议定制电路板设计人员验证定制电路板上的数值，并且根据需要进行调整（引脚上出现的阶跃函数不接近  $1/2\text{ Vs}$ ）。建议根据需要进行仿真以最终确定值。

#### 5.2.1.2 并联拉电阻

---

#### 备注

除非行业标准中定义了拉电阻器要求，否则对于外部拉电阻器没有明确的规则或要求。拉电阻器的行业通用定义是我们可以针对 eMMC 和 SD 卡信号上的外部拉电阻器给出确定建议的主要原因。对于其他外设，建议客户评估连接到定制电路板上每个处理器信号的所连接器件的功能，并运用适当的技术/工程判断来确定是否需要使用外部拉电阻器，以防止在打开所连接器件输入缓冲器时任何输入悬空。设计指南中提供的建议是通用的，客户应在实现之前查看设计要求和所连接器件内部拉电阻器的可用性。确保不提供与内部拉电阻器争用的外部拉电阻器。示例：例如，添加一个与内部拉电阻器（所连接器件内部）争用的外部拉电阻器，这样争用会在信号（输入）上产生  $1/2\text{ Vs}$  电势。

---

建议为连接了布线且未被主动驱动的处理器 IO 或为连接到可悬空的所连接器件输入的 IO 提供并联拉电阻器配置（以防止所连接器件输入在主机软件配置 IO 之前处于悬空状态）。并联拉电阻器的极性和拉电阻器值取决于特定的外设连接建议、处理器性能和可靠性提升建议以及相关接口或标准要求。此外，还提供了上拉电阻器建议。

处理器特定 EVM 或 SK 中使用的拉电阻值可用作起点，定制电路板设计人员可根据处理器和所连接器件的建议或特定电路板设计要求选择适当的拉电阻值。对于没有具体建议的 IO 或接口，建议使用  $10\text{k}\Omega$  或  $47\text{k}\Omega$ （允许选择上拉电阻以标准化元件选择和 BOM）的拉电阻值。可根据电路板设计选择拉电阻器值，以优化元件的使用或降低电流或提高噪声性能。

当走线连接到处理器引脚（IO 焊盘）且 IO 未被主动驱动（悬空）时，建议使用并联拉电阻器 ( $47\text{k}\Omega$ )。在复位期间和复位后，处理器 IO 缓冲器是（TX（输出）和 RX（输入）被禁用，在复位期间和复位后关闭内部拉电阻器（上拉和下拉电阻器）。IO 处于高阻抗状态，实际上相当于会拾取噪声的天线。无并联拉电阻器的情况下，IO 处于高阻抗状态。高阻抗使得噪声可以轻松地将能量耦合到悬空信号布线上，并产生可能超出 IO 建议工作条件的电势。这种电势会在 IO 上产生电气过应力 (EOS)。处理器内部的静电放电 (ESD) 保护电路设计用于在将器件安装到 PCB 上之前防止器件遭受 ESD。

#### 5.2.1.3 驱动强度配置

AM64x 和 AM243x 处理器系列当前不支持配置除额定（默认）值（例如：SDIO 或 LVCMOS 缓冲器的驱动强度）之外的驱动强度（任何其他可用配置）。额定（SDIO 为  $40\Omega$ ，LVCMOS 为  $60\Omega$ ）值是关闭处理器级 STA

( 静态时序分析 ) 的唯一配置。AM64x 和 AM243x 处理器系列实现 eMMC ( 专用 ) 硬宏 PHY，并且 MMC0 IO 的额定阻抗设置为  $50\Omega$ 。IBIS 模型目前已更新为仅包含已在内部关闭时序的驱动强度。

有关驱动强度配置支持的信息，请参阅以下常见问题解答：

[常见问题解答] [AM625/AM623/AM620-Q1/AM62Ax/AM62Px/AM62D-Q1/AM62L/AM64x/AM243x 设计建议/定制电路板硬件设计 — SDIO 和 LVC MOS 的 I/O 驱动强度配置](#)

#### 5.2.1.4 处理器特定数据表建议

定制电路板设计人员负责实现所需或建议的电路，以确保定制电路板设计符合处理器特定数据表引脚连接要求。  
示例：I<sub>2</sub>C 开漏电气特性的要求 — 拉至 3.3V 电源时的输入转换率限制要求。

如果没有处理器特定数据表建议，则建议先遵循原理图设计指南或者遵循 EVM 或 SK 原理图实现作为起点。

#### 5.2.1.5 处理器 IO 保护 — 配置外部 ESD 保护器件

建议为直接连接到外部输入或连接到外部连接器的处理器 IO 提供外部 ESD 保护。内部 ESD 保护设计无法满足电路板级别的 ESD 要求。要了解 ESD 保护器件，请参阅 TI [ESD 保护](#) 页面。

#### 5.2.1.6 外设时钟输出串联电阻器

由于时钟也用于重定时，因此建议在处理器时钟输出（对于 MCSPI）引脚附近添加时钟输出上的串联电阻器 ( $22\Omega$ )。该串联电阻器还支持可能的反射控制（信号失真）。

对于 MMC0、MMC1、OSPI0、GPMC0 接口，使用未绑定的焊盘（内部）进行重定时（环回）。我们不使用通过 PCB 发送到所连接器件的时钟作为捕获时钟。我们将输出时钟分支到器件内部的两条路径。其中时钟发送到两个单独的 IO 单元。一个 IO 单元连接到一个封装焊球，用于为所连接器件提供时钟。另一个 IO 单元未绑定（未连接到任何封装焊球）。用作接收捕获时钟的时钟通过未绑定的 IO 单元发出，并在用作捕获时钟之前环回到器件。我们这样做的目的是让时钟具有与输出到所连接器件的时钟上插入的相同延迟，并且具有与从所连接器件返回的数据上插入的相同延迟。未绑定的 IO 电池焊盘永远不会经历 PCB 信号布线源端产生的电压阶跃。建议使用低值串联电阻器（从  $0\Omega$  开始）来控制可能的信号反射（信号完整性目的）。

#### 5.2.1.7 外设时钟输出下拉电阻器

建议在连接到所连接器件的外设时钟输出端（eMMC、SDIO、SD 卡、OSPI0、MCSPI、GPMC0）使用下拉电阻器，位置靠近所连接器件的时钟输入端。可选择配置电容器（8 至  $10\text{pF}$ ），并将其配置为不组装。如果观察到与板级信号完整性相关的问题，可以安装电容器。建议使用最短残桩将电容器连接到所连接器件的时钟输入。

#### 5.2.1.8 元件选型检查清单

##### 通用

检查并验证定制原理图设计的以下内容：

- 已查看用户指南上文中的“[所有章节的通用检查清单](#)”章节。
- 选择电阻器值、容差、尺寸和功率。
- 某些特定电阻器要容差范围求为  $\pm 1\%$ （请参阅处理器或附加器件数据表、SK 原理图或 EVM）。
- 其他用例中可以使用标准容差电阻器。例如：上拉、下拉、LED 电流限制、所连接器件地址配置或串联电阻器。
- 建议将定制电路板上的拉电阻值实现与 EVM 或 SK 原理图进行比较。
- 使用的电容器的额定电压包含降额（对于非极化电容器，常用准则是最坏情况下施加电压的两倍以上）。
- 为在 CAP\_VDDSn 选择电容器额定电压（在建议值范围内）时须考虑直流偏置效应。
- 封装选择（取决于应用和用例，考虑电压和温度范围）。
- 选择兼容的连接器件（DDR 和闪存、EPHY）。
- 选择所需的存储器大小（DDR）并根据需要提供扩展存储器的配置。
- 查看与无源器件参数值、容差和额定电压相关的常见问题解答。

作为获取 EVM 和 SK 所用关键元件相关信息的起点，请参阅以下常见问题解答：

[常见问题解答] AM625/AM623/AM620-Q1/AM62Ax/AM62Px/AM62D-Q1/AM62L/AM64x 设计建议/定制电路板硬件设计 — 入门套件/EVM 型号 ( 版本 ) 和关键器件 ( 元件 ) 列表

[常见问题解答] AM625/AM623/AM620-Q1/AM62L/AM62A/AM62P/AM62D-Q1/AM64x/AM243x 设计建议/定制电路板硬件设计 — 与无源元件参数值、容差和额定电压相关的疑问

### 5.2.2 有关 EVM 或 SK 设计 ( 原理图、电路板 ) 和重复使用的其他信息

#### 5.2.2.1 更新的 EVM 或 SK 原理图 ( 添加了设计、审核和 CAD 注解 )

在定制电路板设计期间，作为定制电路板设计流程的一部分，定制电路板设计人员可以（通常会）重复使用 EVM 或 SK 设计 ( CAD 文件 ) 并进行所需的编辑。或者，定制电路板设计人员可以重复使用通用电路实现方案 ( 模块 )，包括处理器、内存、电源和高速通信接口。由于 EVM 或 SK 设计应具有额外的功能，因此定制电路板设计人员倾向于根据定制电路板要求优化 EVM 或 SK 原理图设计。在对 EVM 或 SK 原理图进行优化时，可能会在定制电路板设计中引入误差，这类误差可能影响定制电路板的功能、性能或可靠性。优化 EVM 或 SK 原理图时，定制电路板设计人员可能提出与 EVM 或 SK 电路实现相关的疑问。在原理图审查期间和定制电路板调试期间，在多个定制电路板设计中发现了一些与设计和优化有关的常见错误。根据客户疑问、客户意见、内部人员建议和数据表引脚连接建议，已在 EVM 或 SK 原理图的各部分附近添加了全面的设计说明 (D-Note)、审阅说明 (R-Note) 和 CAD 说明 (CAD-Note)，供定制电路板设计人员查看并遵循（实现建议以更大限度地减少电路板设计错误）。

以下产品概述文档中列出了可用的可下载设计文档：

[TMDS64EVM 设计包文件夹和文件列表](#)

[SK-AM64B 设计包文件夹和文件列表](#)

### 5.2.2.2 EVM 或 SK 设计文件重用于定制电路板设计

根据定制电路板设计期间遵循的设计方法和项目时间表，可以使用 EVM 或 SK 设计文件，以此为起点进行所需的更新（根据定制电路板要求而变）。建议在实现之前审阅 EVM 或 SK 原理图设计。建议根据定制电路板功能和性能要求检查元件选择的尺寸、容差和额定电压。

以下常见问题解答涵盖 PDF 原理图以及与 EVM 或 SK 相关的其他信息：

[常见问题解答] AM6442、AM6441、AM6422、AM6421、AM6412、AM6411 和 AM2434、AM2432、AM2431 (ALV、ALX) 定制电路板硬件设计 — 重复使用 TI SK (EVM) 设计文件

#### 5.2.2.2.1 EVM 或 SK 设计文件重复用于定制电路板设计 — 检查清单

##### 通用

检查并验证定制原理图设计的以下内容：

1. 已查看用户指南上文中的“[所有章节的通用检查清单](#)”章节。
2. 引用所选或所需 EVM 或 SK 设计文件（配套资料）的最新版本。
3. 已审阅并考虑靠近原理图部分添加的设计说明（D-Note）和审阅说明（R-Note）。
4. 另存为其他项目或者重新排列原理图页面或电路部分时，复位电路元件安装选项配置（DNI 配置复位，所有元件均显示为已安装）。
5. 将原理图设计转换为替代 CAD 工具时，包括跨页连接在内的电路连接（连接缺失）的变化。

### 5.2.3 EVM 或 SK 原理图页面排序（基于功能，重复使用）和 EVM 或 SK 电路板布局布线

对于当前已发布或正在开发（未来发布）的 EVM 或 SK 原理图修订版，我们将以模块化格式排列（排序）原理图页面，以便于重复使用。原理图页面流程从所需的页面开始，包括处理器电源生成、处理器电源和外设连接、所连接器件电路实现。在所需的页面之后添加了可选的调试和监控章节。该排列使定制电路板设计人员可以更轻松地删除定制电路板设计期间未使用的原理图部分。

EVM 或 SK 板设计实现采用扁平架构，处理器和所连接器件集成在同一电路板上。定制电路板设计人员在设计扁平架构定制电路板时可以遵循 EVM 或 SK 实现。如果客户电路板架构是 SOM（模块上系统）和载板，则电路板布局方法（信号布线要求）、建议可能会发生变化。建议客户验证以下指南，并遵循一般 SOM 设计和布局指南，以解决板级信号完整性问题：

1. SOM 和载板之间的信号连接（高速差分信号）（包括极性）
2. 选择当高速信号在电路板之间切换时不会影响电路板功能或性能的高速连接器（接触电阻和电感较低）
3. 在连接器上的信号之间提供足够数量的接地焊盘，以屏蔽信号，优化电路板性能（显著减少与信号完整性相关的问题）
4. 提供了内存和其他高速或低速外设的建议或所需终端
5. 已满足 SOM 和载板信号之间的失效防护工作要求
6. SOM 和载板之间连接的电路实现的完整性
7. SOM 和载板信号之间的 IO 电平兼容性
8. 连接到处理器且可悬空的任何处理器 IO 或所连接器件 IO 都提供了并联拉电阻器的配置，并且已验证极性
9. 在开始电路板构建之前已执行了所需的仿真（SOM 和载板）

有关高速设计的其他输入，包括基于 SOM 的设计，请参阅以下常见问题解答：

[常见问题解答] AM625/AM623/AM620-Q1/AM62L/AM64x/AM243x (ALV) / AM62Ax/AM62D-Q1/AM62Px 电路板布局 — 通用高速布局指南文档链接

## 5.3 处理器特定 SDK

如果针对新平台进行定制电路板设计或针对现有平台进行更新，建议使用 [TI.com](http://TI.com) 上软件开发工具的最新版本/修订版。

### AM64x 处理器系列：

请参阅以下链接来下载所需的 SDK 版本：

**PROCESSOR-SDK-AM64X**

**PROCESSOR-SDK-LINUX-AM64X** : Processor SDK Linux for AM64x

**PROCESSOR-SDK-LINUX-AM64X-HS** : 适用于 AM64 HS 的处理器 SDK

**MCU-PLUS-SDK-AM64X** : 适用于 AM64x 的 MCU+ SDK – RTOS、No-RTOS

请参阅 *AM64x 软件构建表* (*AM64x 处理器系列支持功能的构建表*)。

如果使用较旧的版本/修订，建议使用版本说明验证兼容性或联系 TI (通过 E2E)。

**AM243x 处理器系列：**

请参阅以下链接来下载所需的 SDK 版本：

**MCU-PLUS-SDK-AM243X**

**MCU-PLUS-SDK-AM243X** : 适用于 AM243x 的 MCU+ SDK – RTOS、No-RTOS

## 5.4 开始定制电路板设计之前的一般设计建议 ( 需了解 )

### 5.4.1 处理器文档

在定制板设计阶段中，建议参考/使用最新版本的配套资料/文档，示例包括处理器特定数据表、器件勘误表、TRM和其他常用参考电路板设计资料。请定期查看 [TI.com](https://www.ti.com) 上的处理器特定产品页面，查找最新的可用文档修订版或添加的新文档。

**文档搜索提示：**在文档中搜索 *recommended*、*Required*、*do not*、*note*、*pin connectivity* 等字词。处理器的重要条件通常包含其中一个或多个词语。

**获取更新信息的技巧：**在 [TI.com](https://www.ti.com) 的处理器产品页面上，有一个**通知按钮**。在此按钮处注册便可启用关于处理器文档更改的自动通知。

[TI.com](https://www.ti.com) 上提供了处理器特定数据表的最新修订版或其他配套资料。建议在内部存档较旧的修订版以供将来使用。

### 5.4.2 处理器引脚属性 ( 引脚排列 ) 验证

验证定制电路板设计中使用的处理器引脚的以下属性：

- 处理器引脚编号标签和命名 ( 与处理器符号一节关联的引脚编号 ) 对应于处理器特定数据表的引脚属性一节中列出的正确引脚编号。建议在符号内保留处理器特定数据表名称，并根据应用用例更改功能 ( 网 ) 名称。
- 连接到处理器电源引脚的电源电压遵循建议工作条件。
- 原理图中显示了处理器的所有引脚 ( 按功能分组并具有单独的符号块，包括保留的引脚 )，以更大程度地减少工具相关错误和功能错误。
- 在复位期间和复位后，许多处理器 IO TX ( 输出 ) 和 RX ( 输入 ) 缓冲器被禁用，并且内部上拉电阻器 ( 上拉和下拉电阻器 ) 被关闭。建议使用外部拉电阻器 (  $10\text{k}\Omega$  或  $47\text{k}\Omega$  ) 将任何所连接器件保持在有效状态，直到软件初始化 IO、连接了布线并且未主动驱动 IO。当 TP 连接到处理器 IO 时，建议使用  $47\text{k}\Omega$  并联拉电阻器。当添加拉电阻器不可行时，建议布线远离高频率信号。
- 为了提高定制电路板性能，可以考虑配置处理器电源导轨 ( 电压 )、电源导轨的电流消耗外部测量以及热点处的板载温度测量。

有关处理器特定数据表引脚属性的相关问题，请参阅以下常见问题解答：

[常见问题解答] [AM625/AM623/AM620-Q1/AM62L/AM62A/AM62P/AM62D-Q1/AM64x/AM243x 设计建议/定制电路板硬件设计-与 SOC 数据表引脚属性相关的疑问 Excel 格式](#)

### 5.4.3 器件比较、IOSET 和电压冲突

比较此表中所列特性的可用性是共享 IO 引脚的功能，其中与许多特性相关的 IO 信号会多路复用到有限数量的引脚。建议使用 SysConfig-PinMux 工具为引脚分配信号功能。SysConfig-PinMux 工具将帮助您更好地理解与引脚多路复用相关的限制。

处理器外设使用分组为 IOSET 的 IO 进行时序闭合。IOSET 是特定于某个接口的信号分组，这些信号作为一个集合完成时序闭合。建议任何具有 IOSET 的接口都从同一 IOSET 中选择所有接口信号。某些接口信号可以通过多个 IOSET 共享。SysConfig-PinMux 工具中详细介绍了支持特定外设的 IOSET 引脚的有效组合。

#### 电压冲突：

信号按功能/IO 域而不是按电源域分组。因此，使用某些外设 IO 配置时，可能会遇到电压冲突警告。该警告是为了突出显示 IO 的首选电压与配置电压之间的差异，以便定制电路板设计人员可以在实际发生电压冲突时采取必要的措施。该警告在对来自不同电压域的 GPIO 信号进行分组时非常有用，因为当前工具配置仅允许每个外设一个首选电压。任何包含具有不同电压电平的 IO ( 引脚 ) 的外设都会显示警告。显示警告的原因是首选电压的电平与 IO ( 引脚 ) 电压不同 ( 例如：引脚电压为  $1.8\text{V}$  时，首选电压为  $3.3\text{V}$  )。只要  $1.8\text{V}$  是所选 IO ( 引脚 ) 的预期电压，就可以抑制该警告。冲突指示不是硬件问题或工具错误，而是通知首选电压与配置的 IO ( 引脚 ) 电压不同。该警告仅用于突出显示首选工作电压与选定 ( 配置的 ) 工作电压之间的冲突。只要您了解冲突的原因，就可以抑制警告。

有关电压冲突的信息，请参阅以下常见问题解答：

[常见问题解答] AM625/AM623/AM620-Q1/AM62L/AM62A/AM62P/AM62D-Q1/AM64x/AM243x 设计建议/定制电路板硬件设计 - 与 SysConfig-PinMux IOSET 和电压冲突相关的疑问

#### 5.4.4 RSVD 预留引脚 (信号)

名为 RSVD 的引脚被预留。建议按照处理器特定数据表中的建议，将 RSVD 引脚保持未连接状态（无测试点 (TP)）。

建议将 RSVD 引脚保持未连接状态（请勿连接任何 PCB 布线或测试点）。

有关更多信息，请参阅以下常见问题解答：

[常见问题解答] AM625/AM623/AM620-Q1/AM625-Q1/AM625SIP：定制电路板硬件设计 — RSVD 引脚的连接建议

常见问题解答是通用的，也可用于 AM64x 和 AM243x 处理器系列。

#### 5.4.5 PADCONFIG 寄存器注意事项

许多处理器 IO ( LVCMOS 或 SDIO 缓冲器类型 ) 支持在同一引脚上多种 ( 不同 ) 功能的多路复用。可以从多种支持功能中选择所需 IO 功能。处理器特定数据表的引脚属性表的信号名称列中列出了每个 IO ( 焊盘 ) 上可用的功能列表。

使用相关 ( 关联 ) 焊盘配置寄存器的 MUXMODE 字段配置所需的功能。PADCFG\_CTRL0\_CFG0\_PADCONFIG0 至 PADCFG\_CTRL0\_CFG0\_PADCONFIG171 寄存器支持 ( 可用于 ) 处理器 MAIN 域 IO 模块的信号多路复用，MCU\_PADCFC\_CTRL0\_CFG0\_PADCONFIG0 至 MCU\_PADCFC\_CTRL0\_CFG0\_PADCONFIG32 寄存器支持 ( 可用于 ) 处理器 MCU 域 IO 模块的信号多路复用。

处理器特定 TRM 的焊盘配置寄存器一节焊盘配置寄存器功能说明小节中焊配置寄存器位的说明表汇总了位字段说明、支持的配置和 PADCONFIG 寄存器的复位值。建议在配置 PADCONFIG 寄存器时，遵循表末尾列出的注释。建议在与相应 PADCONFIG 寄存器关联的引脚没有提供有效逻辑输入的情况下，切勿设置 RXACTIVE 位。悬空输入可能会损坏处理器 IO 或影响处理器的可靠性。默认设置 ST\_EN 位。建议验证 ST\_EN 位，并在该位值复位为 0 的情况下将该位设置为 1。建议不要修改该位的默认值。处理器特定 TRM 焊盘配置寄存器一节、焊盘配置焊球名称小节的焊盘配置焊球名称表中列出了所有 PADCONFIG 寄存器默认配置的汇总。

有关更多信息，请参阅以下常见问题解答：

[常见问题解答] AM625/AM623/AM620-Q1/AM62L/AM64x/ AM243x (ALV)/AM62Ax/AM62D-Q1/AM62Px 设计建议/定制电路板硬件设计 — PADCONFIG 位和 PADCONFIG 寄存器默认值汇总信息

#### 5.4.6 针对失效防护操作的处理器 IO (信号) 隔离

建议为 IO 组的处理器 IO 电源和所连接器件 ( 或者 FPGA、MCU 或处理器 ) IO 电源供电至同一电源，以确保不存在与失效防护运行相关的违规情况。当处理器与所连接器件或额外处理器连接至不同的电源 ( 由其供电 ) 时，建议进行信号隔离，因为大多数处理器 IO 都不具备失效防护功能。建议通过 FET 总线开关电路连接信号，该电路的设计用途是在 IO 电源对于作为输入所连接器件无效的情况下隔离两个器件。建议 FET 总线开关和控制逻辑由常开电源供电，并且仅由多个 ( 不同 ) 电源的电源正常信号的“与”函数启用。

#### 5.4.7 引脚连接要求和处理器特定 EVM 或 SK 的参考

处理器特定数据表的信号说明和引脚连接要求部分包括特定于处理器系列的外设、IO 和引脚 ( 功能 ) 的连接建议。

当处理器特定数据表不包含特定连接要求时，可以参考处理器特定 EVM 或 SK。

#### 5.4.8 定制电路板高速接口设计指南

有关 USB2.0、USB3.0 和 PCIe 信号连接和布线的建议，请参阅 [高速接口布局布线指南](#)。建议包含与定制电路板设计期间应遵循的布线要求相关的适当约束或注释。

对于 USB 接口，当定制电路板预计将在恶劣的工业环境中运行时，可以选择添加共模来提高定制电路板的 USB 接口防噪性能。添加共模扼流圈会降低信号振幅并降低 USB 接口性能 ( 速度、数据吞吐量、通信错误 ) 。建议为

使用  $0\Omega$  电阻器绕过共模扼流圈添加配置。建议根据应用要求为 USB 接口和 USB 电源添加外部 ESD 保护配置。

有关更多信息，请参阅以下常见问题解答：

[[常见问题解答](#)] **AM625/AM623/AM620-Q1/AM62L/AM64x/AM243x (ALV)/AM62Ax/AM62D-Q1/AM62Px 电路板布局 — 通用高速布局布线指南的文档链接**

### 5.4.9 针对 LVC MOS (GPIO) 输出源电流或灌电流的建议

由配置为输出的处理器 IO 拉出的直流电流输出需要保持小于定义的最大  $I_{OH}$  和  $I_{OL}$  值，以实现电气特性表中定义的  $V_{OL}$  最大值和  $V_{OH}$  最小值。处理器特定数据表中定义的输出电流不应用作稳态电流的限值。仅当对信号电容进行充电或放电以将信号从低电平转换为高电平或从高电平转换为低电平时，才会达到数据表中的输出电流限值。信号达到有效逻辑状态后，稳态电流应远低于数据表中的电流限制值。输出可以容许一定水平的稳态电流，以满足典型拉电阻器的过驱需求，但不应持续承受较大稳态电流，如持续驱动 LED 或类似负载所需的电流。建议通过处理器 IO 引脚控制外部 FET 或晶体管开关来驱动 LED 或需持续消耗电流的类似负载。

### 5.4.10 将慢速斜升信号 (输入) 或电容器负载 (输出) 连接到处理器 IO

LVC MOS (SDIO) 输入指定了转换率要求（作为电气规范的一部分）。不建议将慢速斜升输入（信号）直接连接到 LVC MOS (SDIO) 输入。如果所施加的输入（信号）在  $V_{IHSS}$  和  $V_{ILSS}$  之间的电压区域花费更多的时间，那么可能存在与输入缓冲器相关的长期可靠性问题（隐患）。允许（建议）的转换时间小于 1000ns。转换率与频率相关。当信号切换速率不高（非频率制约型限制）时，建议使用 1000ns 的最大转换率。当 IO 在 1.8V 电压下工作时（例如），当信号切换速率 < 100kHz 时， $1.8E+6V/s$  的非频率制约型限制将变成较大的值。当信号切换速率 > 100kHz 时， $18fV/s$  ( $f$ =输入信号的切换频率，以 Hz 为单位) 的频率制约型限制会变成较大的值。当施加慢速斜升输入时（当输入为 1/2 Vs 时），击穿电流将从 VDD 通过部分导通的 P 沟道晶体管和部分导通的 N 沟道晶体管流向 VSS。累积的慢速斜升输入会导致 IO 性能、电路板性能或处理器可靠性问题。

不建议将大电容器直接连接到 LVC MOS (SDIO) 输出端。LVC MOS (SDIO) 输出缓冲器不适用于驱动大型容性负载。当 LVC MOS (SDIO) 类型 IO 配置为输出并且电容器连接在输出端时，建议根据处理器特定数据表选择允许的电容器值或添加串联电阻器，以便限制 IO 电流消耗。建议执行仿真以最终确定电容器值。

### 5.4.11 定制电路板设计期间与处理器和处理器外设设计相关的疑问

在定制电路板设计过程中，可能会出现与处理器和处理器外设相关的问题（有疑问）。建议对有关处理器和处理器外设的疑问发起 E2E 提问，以便器件专家提供支持。建议在 E2E 查询中输入与设计、外设或特定主题等特定章节相关的查询内容，以尽量缩短问题分配延迟和回答延迟。

### 5.4.12 开始定制电路板设计之前的一般设计建议（需了解）检查清单

#### 通用

检查并验证定制原理图设计的以下内容：

1. 已查看用户指南上文中的“[所有章节的通用检查清单](#)”章节。
2. 引用所选 EVM 或 SK 设计的最新版本。
3. 请参阅 TI.com 上的相关配套资料，更大限度地减少设错误，同时减少设计工作量。
4. 定制电路板原理图上使用的处理器原理图符号遵循处理器特定数据表引脚属性部分中针对特定外设的焊球名称、引脚编号和 IOSET 分组的建议。
5. 考虑了所需的 IO 功能和所需的 PADCONFIG 配置。
6. 根据用例缓冲处理器 IO 输出以驱动更高的负载。
7. 考虑了处理器 IO 的失效防护运行和输出电容器负载要求。
8. 建议经常查看 TI.com 上的产品网页，了解（感兴趣文档的）最新文档版本。
9. 建议使用 E2E（寻求解释，而不是做出假设）。

### 5.4.13 连接器件建议

TI 不会针对定制电路板设计给出连接器件建议。

建议参考处理器特定数据表的 DDR 电气特性部分选择 DDR4 或 LPDDR4 内存。

与 MMC0 关联的 MMCSD 主机控制器和 PHY 旨在符合处理器特定数据表（和 TRM）中所述的标准。选择 eMMC 卡时，建议参考处理器特定数据表的 MMC0 - eMMC 接口一节。

定制电路板设计器件，有关 EVM 和 SK 所用关键器件（元件）的信息，请参阅以下常见问题解答：

[常见问题解答] AM625/AM623/AM620-Q1/AM62Ax/AM62Px/AM62D-Q1/AM62L/AM64x/AM243x 设计建议/定制  
电路板硬件设计 — 入门套件/EVM 型号 ( 版本 ) 和关键器件 ( 元件 ) 列表

## 6 针对电源、时钟、复位、引导和调试的处理器特定建议

### 备注

在定制电路板设计周期中，建议遵循[使用 AM6442、AM6422、AM6412 和 AM2434、AM2432、AM2431 \(ALV、ALX\) 处理器系列的定制电路板硬件设计注意事项](#)用户指南以及[原理图设计指南](#)和[原理图审阅检查清单](#)用户指南。

### 6.1 通用（处理器启动）连接

#### 6.1.1 电源

在选择或设计处理器电源架构时，建议考虑以下列出的指南：

- 每个电源导轨的电流（电源）要求因使用的接口和工作环境而异。
- 对于特定用例，处理器电源导轨的电流消耗可以通过功耗估算工具（PET）进行估算。
- 如果电源导轨为其他板载连接（外设）器件供电，则考虑这些连接器件的最大电流消耗，以确定电源导轨的尺寸。
- 有关电源规格和处理器电源轨最大额定电流的信息，请参阅[AM64x 最大额定电流](#)。建议经常查看相关处理器特定产品页面以了解更新文档的可用性。
- 建议验证所选电源架构（包括 PMIC、分立式直流/直流和分立 LDO）的输出额定电流是否满足所选处理器和连接器件的最大额定电流。针对设计或制造差异，建议添加额外的裕度。
- 建议验证电源序列（上电和断电）和电源转换率是否遵循处理器特定数据表。有关建议的电源时序要求，请参阅处理器特定数据表的电源时序一节。

有关处理器建议的工作条件（ROC）的更多信息，请参阅以下常见问题解答：

[常见问题解答] [AM625/AM623/AM620-Q1/AM62Ax/AM62D-Q1/AM62Px/AM62L/AM64x/AM243x 设计建议/定制电路板硬件设计 — SOC ROC 建议运行条件](#)

以下是选择或设计处理器电源架构时考虑的一些指南：

- 电源导轨配置为所需的工作电压电平，并且电源输出在处理器 ROC 内。
- 电源架构遵循处理器特定数据表规定的加电与断电序列。
- 电源架构符合处理器特定数据表规定的电源轨的压摆率要求。
- 在释放 MCU\_PORz 输入（置为无效）之前，所有电源都斜升并保持稳定。
- 处理器电源斜升和 MCU\_PORz 输入高电平之间的延迟遵循处理器特定数据表建议（最小值为 9.5ms）。
- 建议确保仅在冷复位期间电源电压斜降至 300mV 以下（无残余电压）时使能电源。
- 所有电源导轨都衰减至 300mV 以下（没有与要求相关的时间或衰减电压容差），才允许电源导轨在下电上电后斜升。
- MCU\_PORz 输入转换率最小，以避免内部复位电路干扰（建议通过最小转换率的分立式推挽输出型缓冲器连接 MCU\_PORz 输入）。

有关残余电压和检测的信息，请参阅以下常见问题解答：

[常见问题解答] [AM625/AM623/AM620-Q1/AM62L/AM62A/AM62P/AM62D-Q1/AM64x/AM243x 设计建议/定制电路板硬件设计 — 与残余电压、检测和电源衰减相关的疑问](#)

### 备注

关于连接电源导轨和名为 RSVD 的处理器信号，请参阅处理器特定数据表的引脚连接要求一节开头的注释。

### 6.1.1.1 内核和外设电源

为确保正常运行，建议将所有电源引脚（焊球）连接到处理器特定数据表建议工作条件一节中建议的电源电压。处理器特定数据表的引脚连接要求一节指定了具有列出连接要求的电源引脚。

#### 备注

不支持单独为 MCU 域与 MAIN 域供电。处理器系列不支持（实现）单独的 MCU 与 MAIN 电源域。所有电源引脚（导轨）都需要通电，且建议遵循处理器特定数据表中定义的电源序列。MCU 域与 MAIN 域的概念适用于内部功能与处理器域。

对于 AM64x 处理器系列，VDD\_CORE（内核电源）指定在 0.75V 或 0.85V 下运行（根据建议运行条件(ROC) 表指定的标称工作电压）。

对于 AM243x 处理器系列，VDD\_CORE（内核电源）指定在 0.85V 下运行（根据 ROC 表指定的标称工作电压）。

对于 AM64x 和 AM243x 处理器系列，VDDR\_CORE 指定在 0.85V 下运行（根据 ROC 表指定的标称工作电压）。

对于 AM64x，当 VDD\_CORE 在 0.75V 下工作时，建议在 0.85V 电源之前斜升 0.75V 电源。当 VDD\_CORE 在 0.85V 下运行时，建议将 VDD\_CORE 和 VDDR\_CORE 一起斜升（由同一电源供电）。

外设内核电源 VDDA\_0P85\_SERDES0、VDDA\_0P85\_SERDES0\_C 和 VDDA\_0P85\_USB0 的额定工作电压为 0.85V。

建议始终连接 VDDS\_OSC 和 VDDA MCU 电源。

使用 MMC0 接口 (eMMC) 时，外设内核电源 VDD\_MMCO 和 VDD\_DLL\_MMCO 指定在 0.85V 下运行。不使用 MMC0 接口时，建议将 VDD\_MMCO 和 VDD\_DLL\_MMCO 连接到与 VDD\_CORE 相同的电源。

该处理器系列支持多个模拟电源引脚，这些引脚可为 VDDA MCU、VDDA\_PLLx [x = 0-2]、VDDA\_1P8\_SERDES0、VDDA\_1P8\_USB0 和 VDDA\_ADC0 等敏感模拟电路供电。建议使用滤波（铁氧体）电源。

建议将 VDDA\_3P3\_USB 连接到 3.3V 模拟电源，以支持 USB2.0 接口。

更多信息，请参阅处理器特定数据表的建议运行条件部分和电源时序部分。

#### 6.1.1.1 电源斜升（压摆率）要求和动态电压调节

对于所有处理器电源，建议允许受控的电源斜升（遵循电源压摆率要求）。有关更多信息，请参阅处理器特定数据表的 电源转换率要求 部分。

该处理器（系列）不支持处理器内核、外设内核和外设模拟电源的动态电压调节（更改）。

有关更多信息，请参阅以下常见问题解答：

[常见问题解答] [AM625/AM623/AM620-Q1/AM62Ax/AM62Px/AM62D-Q1/AM62L/AM64x/AM243x 设计建议/定制电路板硬件设计 — SOC 内核\(VDD\\_CORE\)、外设内核和模拟电源的动态电压调节](#)

#### 6.1.1.2 其他信息

有关处理器电源时序要求的信息，请参阅以下常见问题解答：

[常见问题解答] [AM625/AM623/AM620-Q1/AM625-Q1/AM625SIP：定制电路板硬件设计 — 上电和下电的处理器电源时序要求](#)

常见问题解答是通用的，也可用于 AM64x 和 AM243x 处理器系列。

有关使用铁氧体进行处理器电源导轨滤波的信息，请参阅以下常见问题解答：

[常见问题解答] [AM625/AM623/AM620-Q1/AM625-Q1/AM625SIP 定制电路板硬件设计 — 针对 SoC 电源轨的铁氧体（电源滤波器）建议](#)

常见问题解答是通用的，也可用于 AM64x 和 AM243x 处理器系列。

### 6.1.1.1.3 处理器内核和外设内核电源检查清单

#### 通用

检查并验证定制原理图设计的以下内容：

1. 已查看用户指南上文中的“[所有章节的通用检查清单](#)”章节。
2. 处理器内核 VDD\_CORE 和外设内核 VDDA\_CORE\_USB 电源轨的连接。
3. 处理器内核和外设内核电源轨的 ROC、压摆率和电压序列要求。
4. VDD\_CORE 电源为 0.75V 或 0.85V 时，VDD\_CORE 和 VDDR\_CORE 的连接。
5. 外设内核电源滤波器。
6. 未使用特定外设时内核电源的连接。
7. 未使用特定外设但需要边界扫描功能时，SERDES0 内核电源 ( VDDA\_0P85\_SERDES0、VDDA\_0P85\_SERDES0\_C ) 的连接
8. 使用 eMMC 或未使用 eMMC 时 VDD\_MMC0、VDD\_DLL\_MMC0 的连接

#### 原理图审阅

定制原理图设计请遵循以下列表：

1. 建议将电源轨的大容量电容器和去耦电容器实现与 EVM 或 SK 原理图实现进行比较，或参阅 PDN 应用手册。
2. 连接到处理器内核电源的电源轨工作电压遵循 ROC。
3. 建议将 0.75V 或 0.85V 电源电压施加到处理器内核 VDD\_CORE 和外设内核 VDDA\_CORE\_USB 电源轨工作电压。
4. 连接到相关电源引脚的处理器内核和外设内核电源轨遵循建议的电压序列。请参阅处理器特定数据表的[加电时序—电源/信号分配](#)部分，了解使用部分 IO 低功耗模式和未使用部分 IO 低功耗模式时内核电源的时序。
5. 电源轨的压摆率遵循数据表要求。
6. 在加电或断电期间，施加到 VDDR\_CORE 的电位绝不能超过施加到 VDD\_CORE 的电位 +0.18V。当 VDD\_CORE 工作电压为 0.75V 时，该时序要求 VDD\_CORE 在 VDDR\_CORE 之前斜升并在 VDDR\_CORE 之后斜降。
7. 建议在 VDD\_CORE 以 0.85V 电压运行时使用同一电源为 VDD\_CORE 和 VDDR\_CORE 供电。
8. 根据 EVM 或 SK 原理图，为外设内核电源 ( SERDES0、USB ) 提供了铁氧体滤波器。
9. 根据引脚连接要求，当未使用特定外设时的内核电源连接。
10. 当未使用外设但需要边界扫描功能时，内核电源 ( 适用于 SERDES0 的 VDDA\_0P85\_SERDES0、VDDA\_0P85\_SERDES0\_C ) 的连接须遵循数据表引脚连接要求。铁氧体和大容量电容器对于外设内核电源是可选项。
11. 使用 MMC0 接口 (eMMC) 时，外设内核电源 VDD\_MMC0 和 VDD\_DLL\_MMC0 指定在 0.85V 下运行。不使用 MMC0 接口时，建议将 VDD\_MMC0 和 VDD\_DLL\_MMC0 连接到与 VDD\_CORE 相同的电源。

#### 其他

1. 建议添加一个  $0\Omega$  电阻器或跳线，以便在内核电源的 PMIC 直流/直流转换器或 LDO 输出端进行隔离或电流测量。建议添加 TP 进行测量。建议遵循开尔文电流检测连接来连接 TP。根据电源轨电流和电阻器载流电容器选择电阻器封装。
2. 不支持 ( 不建议或不允许 ) 内核电源动态电压调节 (DVS)。
3. 器件从复位状态释放后，不允许更改内核电压。如果内核电源关闭，则建议根据断电序列斜降所有电源轨，并等待所有电源轨衰减至 300mV 以下，然后接通电源。
4. 当 USB 驱动程序未初始化且 USB 校准过程未发生时，连接电源并保留所有 USB 引脚对于 USB0 是可以接受的。当两个 USB 接口均未使用时，根据引脚连接要求将 USB 电源接地可降低功耗 ( 如果低功耗是一项关键要求 )。

### 6.1.1.4 外设模拟电源检查清单

#### 通用

检查并验证定制原理图设计的以下内容：

1. 已查看用户指南上文中的“[所有章节的通用检查清单](#)”章节。
2. 外设模拟电源轨 (VDDS\_MMC0、VDDA MCU、VDDS\_OSC、VDDA\_PLL0、VDDA\_PLL1、VDDA\_PLL2、VDDA\_ADC0、VDDA\_1P8\_SERDES0、VDDA\_1P8\_USB、VDDA\_TEMP0、VDDA\_TEMP1、VMON\_1P8\_SOC、VMON\_1P8 MCU) 的电源连接
3. VDDA\_3P3\_USB 和 VDDA\_3P3\_SDIO 电源以及 VMON\_3P3\_SOC 和 VMON\_3P3 MCU 电压监测输入的连接
4. 外设模拟电源轨的 ROC、压摆率和电压序列要求。
5. 外设模拟电源滤波器。
6. 未使用特定外设时外设模拟电源的连接。
7. 未使用特定外设但需要边界扫描功能时，外设模拟电源（适用于 SERDES0）的连接。

#### 原理图审阅

定制原理图设计请遵循以下列表：

1. 建议将电源轨的大容量电容器和去耦电容器实现与 EVM 或 SK 原理图实现进行比较。
2. 连接到外设电源的电源轨工作电压遵循 ROC。
3. 建议的 1.8V 电源电压将连接到外设模拟电源轨 VDDS\_MMC0、VDDA MCU、VDDS\_OSC、VDDA\_PLL0、VDDA\_PLL1、VDDA\_PLL2、VDDA\_ADC0、VDDA\_1P8\_SERDES0、VDDA\_1P8\_USB、VDDA\_TEMP0、VDDA\_TEMP1、VMON\_1P8\_SOC、VMON\_1P8 MCU
4. 建议将电源轨 VDDA\_3P3\_USB 连接到 3.3V 模拟电源，以支持 USB2.0 接口。建议将 3.3V 连接到 VDDA\_3P3\_SDIO（开关式，与 SD 卡电源控制电源开关的输出相同）作为内部 LDO 输入，并用于电压监测器 VMON\_3P3\_SOC 和 VMON\_3P3 MCU。
5. 连接到相关电源引脚的处理器模拟电源轨遵循建议的电压序列。有关模拟电源时序控制，请参阅处理器特定数据表的[加电时序—电源/信号分配](#)部分。
6. 模拟电源轨的压摆率遵循数据表要求。
7. 根据 EVM 或 SK 原理图实现，为外设模拟电源（PLL、USB (1.8V)、MCU\_OSC0）提供了滤波器（铁氧体）。
8. 根据引脚连接要求，当未使用特定外设时的外设模拟电源连接。
9. 根据引脚连接要求，当未使用特定外设但需要边界扫描功能时，外设模拟电源（适用于 SERDES0 的 VDDA\_1P8\_SERDES0）的连接。铁氧体和大容量电容器是可选项。

#### 其他

1. 建议添加一个  $0\Omega$  电阻器或跳线，以便在模拟电源的 PMIC 直流/直流转换器或 LDO 输出端进行隔离或电流测量。建议添加 TP 进行测量。建议遵循开尔文电流检测连接来连接 TP。根据电源轨电流和电阻器载流电容器选择电阻器封装。
2. 不支持（不建议或不允许）模拟电源动态电压调节 (DVS)。
3. 当 USB 驱动程序未初始化且 USB 校准过程未发生时，连接电源并保留所有 USB 引脚对于 USB0 是可以接受的。当两个 USB 接口均未使用时，根据引脚连接要求将 USB 电源接地可节省电力。

### 6.1.1.2 IO 组的 IO 电源

以下常见问题解答包括有关 CAP\_VDDSn 电容器值的建议以及电容器组装（安装或短路）的影响：

[常见问题解答] AM625/AM623/AM620-Q1/AM62L/AM62Ax/AM62D-Q1/AM62Px/AM64x/AM243x 设计建议/定制电路板硬件设计 - 与 CAP\_VDDSw CAP\_VDDs 相关的问题

处理器系列支持 7 (七) 个 IO 组的双电压 IO 电源 (VDDSHVx [x = 0-5]) 和 IO 组 MCU 的 IO 电源 (VDDSHV\_MCU)。每个 IO 组的 IO 电源均连接（对应）至一组固定的 IO。IO 组的每个 IO 电源均可独立连接到固定 (VDDSHV5 支持动态电源切换) 3.3V 或 1.8V 电源。IO 组的 IO 电源定义了整组 (一组固定) IO 的通用工作电压。

指定为 CAP\_VDDSn [n = 0-5] 和 CAP\_VDDs MCU 的处理器焊盘（引脚）在 IO 组的 IO 电源连接到 3.3V 电源时，将外部电容器连接到内部 IO 组的 IO 电源稳压器（当 IO 组电源的 IO 电源连接到 1.8V 时为可选）。建议在引脚和 VSS 之间连接一个  $1\text{ }\mu\text{F}$  的电容器（详见处理器特定的数据表）。有关建议的电容器额定电压和允许的电容范围，请参阅处理器特定数据表。当 IO 组的 IO 电源连接到 3.3V 时，在选择电容器的电压额定值时，需考虑的电压为稳态直流输出  $\text{VDDSHVx}/2$ （同时需兼顾直流偏置效应）。

建议在引脚 CAP\_VDDSHV\_MMC1 和 VSS 之间连接一个  $3.3\text{ }\mu\text{F}$ （建议容差为  $\pm 20\%$ ）的电容器。

为了最小化 PCB 环路电感，请将电容器放置在 PCB 背面的 BGA 阵列。电容器额定电压的选择会影响电容器封装（尺寸）的选择。

建议选择  $\text{ESR} < 1\Omega$  的电容器，将布线环路电感保持在  $< 2.5\text{nH}$ 。

很多处理器 IO 都没有失效防护功能。有关可用失效防护 IO 的信息，请参阅处理器特定数据表。建议将所连接器件的 IO 电源连接至接入 IO 组相应处理器双电压 IO 电源 (VDDSHVx) 的同一电源，以确保定制电路板设计不会向未供电的任何处理器 IO 施加电位。若在 IO 组的 IO 电源不可用时向没有失效防护功能的 IO 施加外部输入，可能会影响处理器功能、性能和可靠性。

有关处理器和连接器件之间的电源时序的更多要求，包括用于失效防护操作的信号隔离的信息，请参阅以下常见问题解答：

[常见问题解答] AM625/AM623/AM620-Q1/AM625-Q1/AM625SIP：定制电路板硬件设计 - SOC (处理器) 和附加器件 (失效防护) 之间的电源时序

常见问题解答是通用的，也可用于 AM64x 和 AM243x 处理器系列。

---

#### 备注

建议确保在将输入施加到相关处理器 IO 或外设之前，VDDSHVx 存在有效的电源电压。

建议无论处理器 IO 或外设如何使用，都连接 VDDSHVx 电源和相关的 CAP\_VDDSn（连接的 IO 电源为 3.3V 时，可选 1.8V）电容器。

---

### 6.1.1.2.1 IO 组的 IO 电源检查清单

#### 通用

检查并验证定制原理图设计的以下内容：

1. 已查看用户指南上文中的“[所有章节的通用检查清单](#)”章节。
2. IO 组 IO 电源的连接。
3. 处理器 IO 组 IO 电源的 ROC、电压序列和压摆率要求。
4. IO 组内部 LDO 电容器连接引脚（在 CAP\_VDDSn 和 VSS、CAP\_VDDSHV\_MMC1 引脚和 VSS 之间）建议外部电容器的连接。CAP\_VDDSn 电容器额定电压选择。
5. VDDSHV5 电源连接，用于支持具有不同速度选项的 SD 卡接口

#### 原理图审阅

定制原理图设计请遵循以下列表：

1. 建议将电源轨的大容量电容器和去耦电容器实现与 EVM 或 SK 原理图实现进行比较。
2. 根据 ROC，有效的固定 1.8V/3.3V 电源连接到所有 IO 组 IO 电源（VDDSHV\_MCU、VDDSHV0、VDDSHV1、VDDSHV2、VDDSHV3、VDDSHV4）。
3. 有效电源 1.8V/3.3V（可动态切换）连接至 VDDSHV5 并遵循 ROC。建议连接到 CAP\_VDDSHV\_MMC1。当使用 SD 卡接口且需要 UHS-I SD 卡支持时。当 SD 卡接口以传统速度使用时，建议连接到有效电源 3.3V。当不使用 SD 卡接口时，建议连接到有效的 IO 电源。
4. 所有 IO 组 IO 电源 VDDSHVx 均已连接一个有效的电源，无论使用何种以 IO 组 IO 电源为基准的 IO。
5. 连接到 IO 组 IO 电源 VDDSHVx 的电源轨遵循 ROC。
6. 处理器 IO 组的 IO 电源遵循压摆率要求。请参阅处理器特定数据表。
7. 建议电容器到 CAP\_VDDSn 引脚和 VSS 的连接。每个 CAP\_VDDSn 引脚都需要一个相对于 VSS（接地）连接的单独 1 μF 电容器（对于内部 LDO，在 CAP\_VDDSn 引脚和 VSS 之间）；对于 CAP\_VDDSHV\_MMC1 为 3.3 μF。
8. CAP\_VDDSn 电容器封装（建议使用尽可能小的（0201 或更接近 0201 的封装大小）封装，以更大限度地减小环路电感）。
9. 选择的 CAP\_VDDSn 电容器额定电压应使电容值范围为 0.8 μF 至 1.5 μF；对于 CAP\_VDDSHV\_MMC1 应为 3.3 μF +/- 20%（包括：老化、温度以及直流偏置效应）。使用 10V 或更高电压。
10. 选择 < 1 Ω ESR 的 CAP\_VDDSn 电容器，将布线环路电感保持在 2.5nH 以下。
11. CAP\_VDDSHV\_MMC1 - 使用的电容器数量（使用 1 或 2 个并联）、以更大限度地减小环路电感
12. IO 电源电压序列遵循符合处理器特定数据表的加电与断电序列。

#### 其他

1. 建议添加一个 0 Ω 电阻器或跳线，以便在 IO 电源轨的 PMIC 直流/直流转换器或 LDO 输出端进行隔离或电流测量。建议添加 TP 进行测量。建议遵循开尔文电流检测连接来连接 TP。根据电源轨电流和电阻器载流电容器选择电阻器封装。
2. 在 VDDSHVx IO 电源轨由 3.3V 电源供电的用例中，所有以 VDDSHVx 为基准（由其供电）的 IO 需要在 3.3V IO 电平下运行。如果 VDDSHVx 电源轨由 1.8V 电源供电，则所有以 VDDSHVx 为基准（由其供电）的 IO 均需要在 1.8V IO 电平下运行。
3. 一些接口跨越多个 VDDSHVx，例如 GPMC0。使用任意一个接口时，所有支持特定接口（外设）的 VDDSHVx 域都需要通过相同的电源供电。
4. 很多处理器 IO 都没有失效防护功能。不建议也不允许在相应的 VDDSHVx 电源关闭时向 IO 施加输入电压。
5. 建议验证每个 VDDSHVx（或 VDDSHV\_MCU）上的所有 IO 引脚是否连接到单一电压电平。
6. 不建议将 VDDSHVx 导轨保持未连接状态。建议根据用例将 IO 组 IO 电源的引脚连接到 1.8V 或 3.3V。

### 6.1.1.3 VPP 电源 ( 电子保险丝 ROM 编程 )

建议使用用于对处理器电子保险丝进行编程的 VPP ( 电子保险丝 ROM 编程 ) 电源由单独的 LDO 提供 ( 供电 ) 电源 , 该 LDO 可支持所需的 ( 请参阅处理器特定数据表 ) 负载电流、负载电流瞬态和有源 ( 快速 ) 输出放电。建议仅在电子保险丝编程期间使能 LDO 。在电子保险丝编程期间 , VPP 工作电压必须在 ROC 范围内。建议采用通过更高输入电压 ( 2.5V 或 3.3V ) 供电的 LDO , 通过串联导通晶体管补偿压降 , 并且在高负载电流瞬态期间保持正确的工作电压。建议在处理器 VPP 引脚附近使用本地大容量电容器来支持 LDO 瞬态响应。

由于高负载电流瞬变以及 VPP 电源导轨要在处理器电压范围 ROC 内的要求 , 使用负载开关或基于 FET 的开关从偏离 ROC 变化为  $\pm 5\%$  的电源导轨为 VPP 电源导轨供电可能会出现问题。负载开关或基于 FET 的开关拓扑未考虑通过负载开关的压降。如果定制电路板设计人员使用变化较小 ( 相比 ROC ) 的电源 , 则可以选择负载开关 , 以便确保电源变化加上通过负载开关的压降不会超过 VPP 的建议工作范围。另一种方法是 , 可使用外部电源对电子保险丝进行编程。电源要求与板载 LDO 类似 , 建议使用其中一个处理器 IO 对外部电源 EN ( 使能 ) 计时。使用外部 VPP 电源时 , 建议在处理器板上靠近 VPP 电源引脚的位置配置大容量电容器和去耦电容器。

有关更多信息 , 请参阅以下常见问题解答 :

[常见问题解答] [AM625/AM623/AM620-Q1/AM625-Q1/AM625SIP : 定制电路板硬件设计 — 有关 VPP eFuse 编程电源选择和应用的问题](#)

常见问题解答是通用的 , 也可用于 AM64x 和 AM243x 处理器系列。

### 6.1.1.3.1 VPP 电源检查清单

#### 通用

检查并验证定制原理图设计的以下内容：

1. 已查看用户指南上文中的“[所有章节的通用检查清单](#)”章节。
2. VPP 电源和电源隔离的实现方法。
3. OTP 电子保险丝编程的建议运行条件。
4. VPP 电源 (LDO EN) 控制。
5. 建议的大容量电容器和滤波电容器。
6. 外部电源的连接建议。
7. 外部 VPP 电源时序控制。
8. VPP 电源序列。
9. 不建议、不允许也不支持将 VPP 电源连接至 1.8V 连续电源轨。

#### 原理图审阅

定制原理图设计请遵循以下列表：

1. 提供建议的大容量电容器和滤波电容器（遵循 EVM 或 SK 原理图实现）。
2. 连接到 VPP 电源的处理器电源轨（用于电子保险丝编程）遵循处理器 ROC。
3. 实现板载电源或提供连接外部电源与处理器板上添加的大容量电容器和去耦电容器的配置。
4. 建议使用固定输出 LDO 或 PMIC 输出（最大电流为 400mA）（不建议或不允许使用基于 FET 的开关或负载开关）。
5. 选择额定电压为 1.8V 并支持最小 400mA 电流的板载 LDO，具有良好的负载电流瞬态响应和快速输出放电（有源放电）能力。遵循 EVM 或 SK 原理图上使用的 LDO 规格。
6. 使用可调 LDO 时，建议验证输出电压配置、输出电压精度、输出电压的压摆率和输出过压保护（齐纳二极管）的使用。
7. 处理器 IO 用于控制 LDO 的 EN，并提供建议的拉电阻。
8. 建议验证 EN 拉电阻是否会在断电加电循环期间和之后使 LDO 保持关断状态。
9. 连接外部电源后，建议在处理器板上靠近处理器 VPP 引脚处添加大容量电容器和去耦电容器配置，并提供一个 TP 以连接外部电源。
10. 外部 VPP 电源（使用时）应遵循根据处理器特定数据表建议的电源序列和压摆率要求。

#### 其他

1. 建议始终在处理器板上提供配置来连接 VPP 电源（板载或外部电源）。
2. 建议将 LDO 输出连接到具有低环路电感路径的处理器 VPP 引脚，以提供高负载电流瞬态，其中 VPP 引脚处的电源绝不会降至最低工作电压以下。
3. 该器件配有一个用于将处理器 VPP 电源与 LDO 输出隔开，以便测试时序或 LDO 输出的串联电阻器或跳线。电阻器封装的额定电流应大于 400mA。
4. 使用可调输出 LDO 时，考虑在 LDO 输出端添加一个基于外部齐纳二极管的过压保护，并提供隔离 LDO 输出连接的 VPP 电源引脚以测试 LDO 输出的配置。
5. 由于电子保险丝编程期间的负载电流瞬态要求，不建议使用负载开关或基于 FET 的开关。负载开关或基于 FET 的开关可能有未补偿的较高压降。
6. 如果用例需要使用负载开关或基于 FET 的开关，建议在编程期间测量处理器 VPP 引脚上的电压来特征化电路板，并验证 VPP 电源是否会降至低于 ROC 最小值。VPP 电源路径中的多个变量可能会导致电源超出 ROC，这些变量在实现前需要特征化。检查负载开关或基于 FET 的开关是否违反处理器特定数据表中规定的最大 VPP 电源压摆率要求。
7. 在加电序列、断电序列和器件正常运行期间，建议使处理器 VPP 电源引脚悬空 (Hi-Z) 或接地。

#### 6.1.1.4 其他信息

对于初始电路板构建，建议放置与内核电源及其他电源导轨一致的  $0\Omega$  电阻（分流器）或跳线。在电路板启动和调试期间隔离电源或测量电流，可使用  $0\Omega$  电阻器（分流器）或跳线。建议添加 TP 进行测量。建议遵循开尔文电流检测连接，将 TP 连接到电阻器或跳线。

通过开尔文检测连接来连接到 INA（仪表放大器）的分流电阻器用于测量 EVM 或 SK 中的电源轨电流。

建议验证添加  $0\Omega$  电阻器（分流）配置对定制电路板性能的影响（测量时使用以毫欧 ( $m\Omega$ ) 为单位的分流器（电阻器）值的压降）。

#### 6.1.2 电源轨的电容器

建议确保已为包括双电压 IO 组电源导轨 IO 电源在内的所有电源导轨提供了所需数量的去耦电容器和大容量电容器（包括值）。

建议将去耦电容器靠近处理器电源引脚放置。较大的大容量电容器可以放置在更远的位置。

建议使用低 ESL 电容器，并建议在连接电容器时尽可能缩短布线以将环路电感保持最低。更多信息，请参阅 [Sitara 处理器配电网络：实现与分析](#) 应用手册。

作为起点，建议遵循大容量电容器和去耦电容器的 EVM 或 SK 原理图实现。建议执行仿真（PDN 分析）以优化电容器的使用。要实现滤波（铁氧体）电源，请遵循处理器特定 EVM 或 SK。另外，遵循 [Sitara 处理器配电网络：实现与分析](#) 应用手册。

建议使用馈通（3 端子）电容器（在入门套件 SK-AM64B 上使用）来优化所用电容器的数量。使用 3 端子电容器可最大限度地减少环路电感，并可用于优化处理器性能（主要是 DDR 性能）。

#### 6.1.2.1 其他信息

当不使用任何处理器外设实例（模数转换器 (ADC0)、DDR 子系统 (DDRSS0)、MMC0、SERDES0 和 USB0）时，与这些外设相关的电源（外设内核、模拟）有特定的连接要求。有关更多信息，请参阅处理器特定数据表的引脚连接要求一节。电源滤波器（铁氧体）和电容器（大容量）可选。

#### 6.1.2.2 电源轨电容器检查清单

##### 通用

检查并验证定制原理图设计的以下内容：

1. 已查看用户指南上文提及的“[所有章节的通用检查清单](#)”部分的内容
2. 大容量和高频电容器的使用。
3. 所使用电容器的数量、封装和值。
4. 所使用电容器的额定电压。

##### 原理图审阅

定制原理图设计请遵循以下列表：

1. 所有处理器电源轨都使用大容量和高频去耦电容器。需要重点关注的关键电源域是低电压、高电流域（VDD\_CORE、VDDR\_CORE）。
2. 作为起点，建议遵循经过验证的 EVM 或 SK 或者 PDN 应用手册。当 EVM 或 SK 与 PDN 之间存在差异时，建议遵循 PDN。当 PDN 中没有可用的信息时，请遵循 EVM 或 SK 实现。
3. 建议使用通过短走线连接的低 ESL 电容器，从而最大限度地减小 PCB 走线环路电感。
4. 建议验证每个电源轨引脚都有一个去耦电容器，且每个电源轨组都有一个大容量电容器。
5. 所用电容器的额定电压（常用准则是最坏情况下施加电压的两倍以上）。

## 其他

1. 如果发现 EVM 或 SK 与 PDN 应用手册在关于电容数量建议和值之间存在差异，则建议考虑 PDN 应用手册中的建议
2. 优化电容器时，建议执行静态和动态 PDN 分析以验证是否满足  $R_{eff}$ 、Cap LL 和阻抗目标
3. 由于低电感封装，SK 在某些情况下使用 3 端电容器。确保 3 端电容器未作为直列式或滤波器元件实现
4. 建议显示电容器靠近相关引脚的连接，以便于放置和布线

## 6.1.3 处理器时钟 (输入/输出)

### 6.1.3.1 时钟输入

#### 6.1.3.1.1 MCU\_OSC0 (高频率) 时钟 (内部振荡器) 或 LVC MOS 数字时钟 (外部振荡器)

处理器需要 MCU\_OSC0 25MHz (强制) 基准时钟才能工作。该时钟在内部用于生成处理器工作所需的多个时钟。其他时钟输入取决于特定的终端设备或实现的电路板功能。支持的时钟选项包括外部晶体 + 内部振荡器或外部 1.8V LVC MOS 方波数字时钟源。

如果连接到内部高频率振荡器 (MCU\_HFOSC0) 的 25MHz 外部晶体是用于内部处理器工作的时钟源，建议将用于实现振荡器电路的分立式负载电容器放置在靠近 MCU\_OSC0\_XI 和 MCU\_OSC0\_XO 引脚的位置。当实现基于晶体的振荡器时，建议在选择负载电容器时，遵循处理器特定数据表的 **MCU\_OSC0 晶体电路要求表**。负载电容器电容值包括 PCB 电容。有关晶体和负载电容器的放置和布线，建议参阅处理器特定数据表的时钟布线指南、振荡器布线一节。

1.8V LVC MOS 时钟源可用作处理器时钟源。当外部振荡器的时钟输出 (通过串联电阻器) 连接到 XI 输入时，建议根据处理器特定数据表中的建议将 XO 接地。（处理器特定数据表中的图 **1.8V LVC MOS 兼容时钟输入** 中所示的逆变器旨在表示 LVC MOS 输出，其中 LVC MOS 输出可以是振荡器输出缓冲器或某些时钟分配器件的 LVC MOS 输出。无需对时钟源进行反相。）

有关 LVC MOS 时钟源的更多信息，包括规范，请参阅以下常见问题解答：

[常见问题解答] AM6442、AM6441、AM6422、AM6421、AM6412、AM6411 和 AM2434、AM2432、AM2431 (ALV、ALX) 定制电路板硬件设计 — 有关 MCU\_OSC0 LVC MOS 数字时钟源的问题

在 XI 和 XO 信号路径上都实现了内部 AC 耦合电容器，这些路径连接到形成方波的内部比较器。XI 引脚上相对于 XO 引脚的直流稳态条件允许比较器在器件的内部时钟树上产生干扰，从而导致时钟电路执行不可预测的操作。不建议也不允许将 DC 引脚连接到 XI。

有关时钟选择和时钟规范的信息，请参阅以下常见问题解答：

[常见问题解答] AM6442、AM6441、AM6422、AM6421、AM6412、AM6411 和 AM2434、AM2432、AM2431 (ALV、ALX) 定制电路板硬件设计 — 有关晶体选型和时钟规格的问题

有关晶体 (MCU\_OSC0) 启动时间的信息，请参阅以下常见问题解答：

[常见问题解答] AM625/AM623/AM620-Q1/AM625-Q1/AM625SIP 定制电路板硬件设计 — 有关晶体 (MCU\_OSC0) 启动时间的问题

常见问题解答是通用的，也可用于 AM64x 和 AM243x 处理器系列。

### 备注

25MHz 是当前唯一支持的晶体频率。有关支持的晶体频率和建议晶体参数的信息，请参阅处理器特定数据表。

请参阅处理器特定数据表的 **MCU\_OSC0 LVC MOS 数字时钟源**、**MCU\_OSC0 LVC MOS 数字时钟源要求部分**。

使用外部时钟 (LVC MOS) 振荡器作为处理器和 EPHY (EPHY、EPhy) 的时钟源时，可以使用单个振荡器，也可以使用单独 (个别) 振荡器。如果使用单个振荡器，建议在连接到处理器和 EPHY 之前对时钟输出进行缓冲。

处理器和 EPHY 的单输出缓冲器 (个别 IC) 或具有处理器和 EPHY 的单输入的双路或多路输出缓冲器 (单个 IC) 可用于将振荡器的时钟输出连接到处理器和 EPHY。

对于特定用例 (使用时间敏感网络 (TSN) 的某些工业应用的要求)，建议将具有单输入的两个或更多输出 (根据所使用的 EPHY 数量) 缓冲器用于处理器和 EPHY。

### 6.1.3.1.2 EXT\_REFCLK1 (MAIN 域的外部时钟输入)

EXT\_REFCLK1 输入通过布线连接至时钟多路复用器，作为计时器模块 (DMTIMER/WDT)、安全子系统中的 DMTIMER (SMS)、MCAN 和 CPTS ( 时间戳模块 ) 的可选时钟源。EXT\_REFCLK1 适用于终端设备/应用需要将特定时钟频率馈送到计时器模块的情况。一个示例应用是时间同步。当 EXT\_REFCLK1 用作时钟源时，根据外部时钟的可用性，建议在处理器时钟输入引脚附近连接一个下拉电阻器 ( $10\text{k}\Omega$ )。

### 6.1.3.1.3 时钟输入检查清单 - MCU\_OSC0

#### 通用

检查并验证定制原理图设计的以下内容：

1. 已查看用户指南上文中的“[所有章节的通用检查清单](#)”章节。
2. 处理器时钟输入源的配置：晶体 + 内部振荡器或外部振荡器。
3. 晶体、晶体频率和晶体负载电容器的选择。
4. MCU\_OSC0 外部晶体负载电容器的选择。
5. 使用晶体 + 内部振荡器或外部振荡器时的连接建议。
6. 外部振荡器输出连接到 XI 时 XO 的连接。

#### 原理图审阅

定制原理图设计请遵循以下列表：

1. 必须连接 25MHz MCU\_OSC0 时钟。
2. 根据数据表要求选择外部晶体或外部时钟振荡器。
3. 验证所选的晶体、晶体频率和晶体负载电容器是否遵循处理器特定数据表的建议。
4. 25MHz 是当前支持的时钟输入频率。有关支持的时钟输入频率，请参阅处理器特定数据表。
5. 晶体（不使用串联或并联电阻器）直接连接和晶体负载电容电路（MCU\_OSC0）连接符合处理器特定数据表。
6. 建议外部晶体负载电容器是晶体负载的两倍，包括 PCB 电容（~4pF）。
7. 建议选择晶体负载值，以便可为负载电容器选择标准值电容器。
8. 建议将 HFOSC0 寄存器保留为默认状态。
9. 使用外部振荡器时，建议在振荡器电源引脚附近添加去耦电容器和大容量电容器，并在时钟输出引脚处添加串联电阻器。
10. 当外部振荡器（LVCMS 时钟）输出与 XI 相连时，建议将 XO 连接到 VSS。
11. 在靠近振荡器的时钟输出引脚处添加串联电阻器（22Ω）。

#### 其他

1. 有关时钟布线指南，请参阅处理器特定数据表的应用、实现和布局部分。
2. 建议将 25MHz（性能仅在 25MHz 频率下经过验证）晶体直接连接到处理器 XI 和 XO 引脚，不建议使用串联或并联电阻器。内部振荡器实现自动增益控制（AGC）以进行振幅控制。
3. 处理器特定数据表显示，MCU\_OSC0 不会在内核电压斜坡之前启动，因为在某些情况下，振荡器可能不会启动，直到 VDD\_CORE 斜坡。在大多数用例中，振荡器在 VDDS\_OSC 电源斜升时启动（尽管振荡器并非总是在 VDDS\_OSC 斜升时启动）。处理器特定数据表中的振荡器启动图显示了最大启动时间，其中包括基于 VDD\_CORE 有效的延迟情况。
4. MCU\_OSC0\_XI 上不允许出现直流稳态情况，因为 MCU\_OSC0\_XI 在内部交流耦合到可能进入未知状态的比较器。
5. 为 MCU\_OSC0\_XI 输入提供时钟源的 LVCMS 时钟需要具有单调转换，并应通过放在时钟源附近的串联电阻器以点对点连接方式连接到 MCU\_OSC0\_XI。串联端接电阻值应使时钟源输出阻抗与传输线路阻抗相匹配。例如，当时钟源具有 30Ω 输出阻抗且 PCB 信号走线具有 50Ω 特征阻抗时，使用 20Ω。这样的电阻可以完全吸收从末端接传输线路远端返回的反射，从而不会引入任何非单调事件。
6. 建议尽量缩短将外部时钟源连接到 MCU\_OSC0\_XI 的 PCB 走线长度。这样减小容性负载并可以更大限度地降低外部噪声源耦合到时钟信号中的可能性。减小容性负载可优化时钟信号的上升/下降时间，从而降低引入抖动（到时钟源或定制电路板）的可能性。
7. 建议向晶体供应商或制造商确认晶体选型。

### 6.1.3.2 时钟输出

名为 CLKOUT0 的 IO 引脚可配置为时钟输出。时钟输出可以用作所连接器件（外部外设 — 例如：EPHY）的时钟源。

可以同时将 PADCONFIG53 和 PADCONFIG157 配置为 MUX MODE 5，这将同时为引脚 U13 和 A19 提供 CLKOUT0。每个 AM64x 引脚都有自己的 IO 缓冲器，信号多路复用在 IO 缓冲器的处理器侧完成。因此，由于 CLKOUT0 向这两个引脚提供时钟源，时钟输出配置预计不会遇到任何信号完整性问题。

由于许多电路板或终端设备特定的依赖项可能会影响时钟性能，因此处理器特定的数据表中未定义 CLKOUT0 时钟输出的性能。建议检查实际电路板的性能（时钟输出满足电路板或终端设备特定要求）。

#### 6.1.3.2.1 时钟输出检查清单

##### 通用

检查并验证定制原理图设计的以下内容：

1. 已查看用户指南上文提及的“[所有章节的通用检查清单](#)”部分的内容
2. CLKOUT0 时钟输出的配置

##### 原理图审阅

定制原理图设计请遵循以下列表：

1. 提供串联电阻器  $0\Omega$  配置以控制可能的信号反射。
2. 将时钟输出连接到单个或多个负载。当连接到多个负载（输入）时，建议将每个所连接器件的输入都连接到一个缓冲的输出。
3. 在所连接器件时钟输入附近提供可悬空的拉电阻（以防止所连接器件输入悬空，直到主机软件配置时钟输出）。

##### 其他

1. EXT\_REFCLK1 可以配置为 CLKOUT0。建议点对点连接时钟信号，不使用任何分支。将 CLKOUT0 连接到多个时钟输入时，请使用缓冲器（具有一个输入和多个输出或单独的缓冲器（基于应用用例））。
2. 由于许多电路板或终端设备特定的依赖项可能会影响时钟性能，因此处理器特定的数据表中未定义 CLKOUT0 时钟输出的性能。

## 6.1.4 处理器复位

处理器复位模块包括冷、热复位输入和冷、热复位状态输出。

有关更多信息，请参阅以下常见问题解答：

[常见问题解答] AM625/AM623/AM620-Q1/AM625-Q1/AM62Ax/AM62D-Q1/AM62Px/AM64x/AM243x ( ALV、ALX ) 设计建议/定制电路板硬件设计 – 处理器复位输入、复位状态输出和连接建议

### 6.1.4.1 外部复位输入

该处理器系列支持三个 (x3) 外部复位输入 (引脚)，包括 MCU 和 MAIN 域冷复位输入 (MCU\_PORz)、MCU 和 MAIN 域热复位请求输入 (MCU\_RESETz) 和 MAIN 域热复位请求输入 (RESET\_REQz) )。

MCU\_PORz 是外部 MCU 域和 MAIN 域冷复位输入。建议在电源斜升和晶体/振荡器启动和时钟稳定期间将 MCU\_PORz 输入保持在低电平。请遵循处理器特定数据表的加电时序图中建议的 MCU\_PORz 输入时序。

MCU\_PORz 输入可耐受 3.3V 电压且是失效防护输入类型 IO。尽管可以施加 3.3V 输入，但输入阈值遵循 1.8V IO 电平并以 VDDS\_OSC 为基准。

使用基于 PMIC 的电源架构时，建议通过推挽输出型逻辑门或分立式缓冲器 (具有快速上升时间) 将 PMIC 的开漏输出型复位信号 (nRSTOUT0) 连接到处理器作为 MCU\_PORz 输入 (而不是连接可能干扰内部复位电路的缓慢上升开漏输出)。如果直接使用 nRSTOUT0，建议调整上拉电阻器以尽可能缩短转换时间 (< 100ns)。

建议提供配置在 MCU\_PORz 输入端连接 22pF 干扰滤波器。建议始终将有效输入连接到 MCU\_PORz。不允许不将有效输入连接到 MCU\_PORz 输入的情况。如果未连接 MCU\_PORz 输入，则处理器在加电期间无法完成复位序列，并可能导致不可预测或随机的行为。在处理器内部电路没有进行有效复位时，内部电路可能处于随机 ( ) 状态。

建议提供配置以在 MCU\_PORz 输入端连接滤波 (干扰) 电容器。电容器值和安装电容器取决于用例。建议选择的电容器值应确保所使用的电容器不会导致 LVCMOS 输入违反转换率要求或在内部导致复位出现干扰。

外部热复位输入 MCU\_RESETz 和 RESET\_REQz 可用于执行外部热复位。可以实现外部按钮或复位电路来执行处理器的热复位。部分寄存器在热复位期间会保持该状态 (例如：引导模式输入捕获寄存器 Devstat)。有关复位及其功能的信息，请参阅处理器特定 TRM。

如需连接热复位输入，请按照处理器特定数据表中 引脚连接要求一节的说明操作。

冷复位输入 (LVCMOS IO) 指定了转换率要求。不允许或不建议将慢速斜升输入连接到 MCU\_PORz 复位输入。慢速斜升复位输入会导致内部复位电路出现干扰。建议使用快速上升时间分立式推挽输出型缓冲器输出作为 MCU\_PORz 输入。

热复位输入 (LVCMOS IO) 指定了输入转换率要求。不建议直接在输入端连接电容器 (慢速斜升)。建议使用基于施密特触发的去抖逻辑 (电路)。有关实现去抖逻辑的信息，请遵循处理器特定 EVM 或 SK 原理图。连接按钮以控制 RESET\_REQz 或 MCU\_RESETz 热复位输入时，建议添加外部 ESD 保护配置。

请参阅以下常见问题解答：

[常见问题解答] AM625/AM623/AM620-Q1/AM625-Q1/AM625SIP : MCU\_PORz 输入压摆率

常见问题解答是通用的，也可用于 AM64x 和 AM243x 处理器系列。

[常见问题解答] AM625/AM623/AM620-Q1/AM625-Q1/AM62Ax/AM62D-Q1/AM62Px/AM64x/AM243x ( ALV、ALX ) 设计建议/定制电路板硬件设计 – 处理器复位输入、复位状态输出和连接建议

### 6.1.4.2 复位状态输出

处理器系列支持 3 (三) 个复位状态输出 (引脚)，包括主域 POR (冷复位) 状态 (PORz\_OUT) 输出、MCU 域热复位状态 (MCU\_RESETSTATz) 输出和主域热复位状态 (RESETSTATz) 输出。

当复位状态输出 PORz\_OUT、MCU\_RESETSTATz 以及 RESETSTATz 用于驱动所连接器件的复位输入 (/reset) 时，建议为处理器复位状态输出采用下拉电阻器 (10kΩ)，以便在加电与处理器复位期间将所连接器件复位置为有效 (保持所连接器件处于复位状态)。

## 备注

在所连接器件均不具有内部上拉电阻器的使用情况下，连接在复位状态输出的外部下拉电阻器将所连接器复位输入保持在低电平。如果任何所连接器件使能了内部上拉电阻器，则复位信号会被拉至  $1/2 \text{ Vs}$ 。建议在连接复位状态输出之前验证具体用例。

**MAIN** 域热复位状态输出 **RESETSTATz** 可用于复位支持外部复位输入功能 ( eMMC、OSPI 或 EPHY ) 或 SD 卡电源开关 **EN** 的板载内存或外设。**PORz\_OUT** 可用于在复位期间锁存硬件搭接配置 ( 示例：锁存以太网 PHY 搭接配置或引导模式配置 ) 。

如果不使用复位状态输出，建议将复位状态输出连接到测试点以进行测试或未来增强。可选择提供一个下拉电阻器 ( $10\text{k}\Omega$ )，并且在使用时可以安装。

### 6.1.4.3 其他信息

用于配置处理器引导模式的 **BOOTMODE[15:00]** 输入建议保持在已知状态，以便选择处理器特定 TRM 中定义的合适引导模式配置，直至在 **PORz\_OUT** 的上升沿期间锁存引导模式配置。

### 6.1.4.4 处理器复位输入检查清单

#### 通用

检查并验证定制原理图设计的以下内容：

1. 已查看用户指南上文中的“[所有章节的通用检查清单](#)”章节。
2. **MCU\_PORz** 输入连接，电源斜升后的 L->H 延迟。
3. **MCU\_PORz** 输入 IO 电平和失效防护功能。
4. 处理器电源斜升期间的 **MCU\_PORz** 输入状态。
5. 复位输入遵循处理器特定数据表中的转换率要求 ( FS 复位、LVCMOS ) )。
6. 来自 PMIC、分立式 DC/DC 或分立式 LDO 漏极开路输出类型复位信号 (**nRSTOUT0**) 连接到 **MCU\_PORz** 输入时的转换率。
7. **RESET\_REQz** 输入和 **MCU\_RESETz** 输入电压电平和连接。
8. 不使用时的热复位输入连接。

#### 原理图审阅

定制原理图设计请遵循以下列表：

1. 在电源斜升或斜降期间，**MCU\_PORz** 输入保持低电平。
2. 根据处理器特定数据表要求提供所有电源斜坡后，冷复位输入 (**MCU\_PORz**) 置为无效保持时间 ( 9.5ms (9500000ns) 最小值 )。
3. 考虑了冷复位和热复位输入转换率要求，并添加了所需的缓冲器。较慢的转换率可能会在内部干扰复位。
4. 来自 PMIC、分立式 DC/DC 或分立式 LDO 漏极开路输出类型复位信号 (**nRSTOUT0**) 直接连接到复位输入时的转换率。转换率越低越好 (<100ns)。建议通过快速上升时间分立式推挽输出型缓冲器进行连接。
5. **MCU\_PORz (POR)** 输入可耐受 3.3V 电压且具有失效防护功能。阈值遵循 1.8V IO 电平 (VDDOSC)。
6. 在 **MCU\_PORz** 复位输入端配置干扰滤波器 ( 电容器 ) ( 添加 22pF ( 占位值 ) 电容器配置 )。
7. **MCU** 和 **MAIN** 域热复位输入 **RESET\_REQz** 的 IO 电平遵循 VDDSHV0 电源 ( 1.8V 或 3.3V )，**MCU** 域复位输入 **MCU\_RESETz** 的 IO 电平遵循 VDDSHV\_MCU 电源 ( 1.8V 或 3.3V ) )。
8. 通过去抖电路连接按钮热复位输入 ( 施密特触发缓冲器输出 )。
9. 当不根据引脚连接要求使用时，建议连接热复位输入 ( 建议使用上拉电阻 )。

#### 其他

1. **MCU\_PORz** 输入指定了转换率要求。将 PMIC\_POWERGOOD ( 漏极开路输出类型信号 ) 连接到 **MCU\_PORz** 输入是唯一可用的选项时，请调整上拉电阻以优化上升时间 (~ 100ns)。
2. 仅当断电期间电压斜降到 300mV 以下之后，处理器才需要重新启动 ( 释放复位 ) ( 没有与该斜降要求相关的时间容许或。在允许任何电源导轨斜升前，建议使每个电源导轨降至 300mV 以下 )。

3. 未连接有效的 **MCU\_PORz** 输入会导致不可预测的随机行为，因为处理器未获得有效复位输入，且内部电路处于随机状态。慢速斜升复位输入会导致内部处理器复位电路出现干扰。
4. LVC MOS 输入指定了压摆率要求。建议为连接到处理器热复位输入的慢速斜坡按钮输出信号使用基于施密特触发的去抖电路。建议在使用按钮或 **RC** 作为复位输入时，使用基于施密特触发的去抖电路。
5. 为靠近复位信号添加的手动（按钮）复位输入提供外部 ESD 保护。
6. 连接到外部复位输入时的失效防护运行（**MCU\_RESETz** 输入和 **RESET\_REQz** 输入）。在处理器电源斜坡之前对处理器复位引脚施加外部输入信号会导致馈电并影响电路板性能。
7. 考虑使用非 TI 电源架构时，建议遵循电源斜坡后的复位要求，包括转换率和 **MCU\_PORz** 输入保持时间。

### 6.1.4.5 处理器复位状态输出检查清单

#### 通用

检查并验证定制原理图设计的以下内容：

1. 已查看用户指南上文中的“[所有章节的通用检查清单](#)”章节。
2. PORz\_OUT、RESETSTATz 和 MCU\_RESETSTATz 状态输出的连接（端接）。
3. 处理器复位状态输出和所连接器件复位输入之间的 IO 电平兼容性。
4. 复位状态输出端的电容器负载连接。
5. 未使用时的复位状态输出。
6. 当连接到载板或外部连接器时，为复位状态输出提供外部 ESD 保护。

#### 原理图审阅

定制原理图设计请遵循以下列表：

1. PORz\_OUT 用作输入，以在处理器冷复位期间锁存处理器引导模式配置或所连接器件 strap 配置。
2. RESETSTATz、MCU\_RESETSTATz 在处理器进行任何类型的全局复位（冷或热）时用于复位所连接器件。
3. PORz\_OUT、MCU\_RESETSTATz 和 RESETSTATz 在靠近处理器引脚处添加了下拉电阻器，以在电源斜升和处理器复位期间将所连接的器件保持复位状态。
4. 将电容器直接连接到靠近所连接器件复位输入的复位输出端（电容器 > 22pF）。执行仿真。
5. 处理器复位状态输出和所连接器件复位输入之间的 IO 电平兼容性（可能会导致影响定制电路板性能的残余电压）。
6. 未使用任何复位状态输出时，提供 TP 的配置。
7. 建议匹配处理器复位输出 IO 电平与所连接器件输入 IO 电平，以避免电压泄漏。

## 6.1.5 引导模式的配置 ( 针对处理器 )

该处理器系列支持 16 个引导模式输入引脚，定制电路板设计人员可配置这些引脚，以从所需（设计的）内存接口或外设引导。

有关支持的引导模式配置，请参阅以下常见问题解答：

[[常见问题解答](#)] AM625/AM623/AM620-Q1/AM64x/AM243x/AM62Ax/AM62Px/AM62D-Q1/AM62L — 支持的引导模式配置

在冷复位期间，不为处理器引导模式输入使能内部拉电阻器（上拉或下拉电阻器）。建议连接外部拉电阻器（ $10\text{k}\Omega$  或  $47\text{k}\Omega$ ）（上拉或下拉电阻器）以配置所需的引导模式。建议不要将任何引导模式输入（包括保留的引脚）保持未连接状态。

在使用 DIP 开关来配置所需引导模式的用例中，建议使用  $1\text{k}\Omega$ （上拉电阻器）和  $47\text{k}\Omega$ （下拉电阻器）的电阻分压器值来提高噪声性能。

当仅使用电阻器（不使用 DIP 开关）配置引导模式时，可以使用标准电阻器（上拉和下拉电阻器可使用相同的值）值。例如，可以使用  $10\text{k}\Omega$  或  $47\text{k}\Omega$ ，因为安装了上拉或下拉电阻器。建议提供配置，以将上拉或下拉电阻器连接到所有引导模式引脚，包括标记为保留或未使用的引脚。

目前保留了 BOOTMODE14 和 BOOTMODE15 引脚。

建议为具有测试/调试配置功能的引导模式输入（引脚）添加上拉和下拉电阻器配置（包括 USB0 DFU、UART0 引导模式配置的配置），增加设计灵活性和未来增强功能。建议为每个引导模式引脚安装上拉或下拉电阻器。不建议也不允许将引导模式引脚直接接地或连接到 IO 电源导轨，因为 IO 具有在引导后可以配置的备用功能，可能被软件有意或无意地配置为输出。

引导模式输入（引脚）不具有失效防护功能。建议在处理器 IO 电源斜升之前，不要施加任何外部输入。当使用上拉/下拉电阻器而不使用引导模式缓冲器连接引导模式时，建议连接到与处理器 IO 基于的 IO 组的 IO 电源连接的 IO 电源。当使用引导模式缓冲器时，建议连接将处理器 IO 连接到缓冲器的 B 端口电源引脚（处理器侧）的 IO 电源。当连接来自载板的外部输入以配置引导模式输入时，建议在处理器电源斜升后驱动输入，并输入需要在 MCU\_PORz 输入被拉至高电平之前稳定。

根据应用要求，仅当复位状态输出（PORz\_OUT 或可选 RESETSTATz 为低电平）时驱动的缓冲器可用于驱动处理器的引导配置输入。

建议在缓冲器的输出端使用串联电阻器（ $1\text{k}\Omega$ ）（以便限制输出电流，防止在缓冲器 OE 置为无效之前将引导模式引脚配置为输出）。如需实现的更多信息，请参阅处理器特定 EVM 或 SK。

### 6.1.5.1 处理器引导模式输入隔离缓冲器用例和优化

在 EVM 或 SK 中，引导模式输入 BOOTMODE[15:0] 通过两个缓冲器（用于隔离）进行配置。当（在 PORz\_OUT 上升沿期间）锁存引导模式输入时，缓冲器可确保 SYSBOOT 拉电阻器（上拉电阻器和/或下拉电阻器）（引导模式配置电阻器）控制信号 IO 电平。引导模式配置电阻器与连接的其他外设隔离（因为引导模式输入引脚具有备用功能），以便其他连接的外设不会与预期的引导模式配置（IO 电平）相冲突。

仅当 PORz\_OUT 为低电平时，才会使能缓冲器。PORz\_OUT 被置为无效（变为高电平）后，缓冲器输出将处于 Hi-Z 状态。

为了优化定制电路板设计（包括 BOM），可以优化或删除引导模式缓冲器（具体取决于用例，定制电路板设计人员进行验证）。建议选择拉电阻器值，这样电阻器就不会影响所连接器件的运行。

### 6.1.5.2 启动模式配置

如需配置所需处理器引导模式，请参阅处理器特定 TRM 的 初始化一章中的 ROM 代码引导模式表。

#### 6.1.5.2.1 USB 引导模式注意事项

USB0 接口支持 DFU（器件固件升级）引导。当 USB0 配置为 DFU 引导时，建议不要将固定 3.3V 电源（直接或使用分压器）连接到 USB0\_VBUS 输入。不允许连接等效于 USB0\_VBUS 分压器输入的固定电源。在没有 USB\_VBUS 检测分压器/钳位电路的情况下连接电源违反失效防护操作。

根据处理器特定数据表中的建议，建议通过 USB 接口连接器连接的主机的 5V 电源（开关式）通过电阻分压器连接到 USB0\_VBUS 输入。如果定制电路板设计中的 VBUS 电势不会  $> 5.5V$ ，且连接了板载电源，则可删除齐纳二极管，将两个电阻器（ $16.5\text{k}\Omega$  和  $3.48\text{k}\Omega$ ）合并为一个  $20\text{k}\Omega$  电阻器，用于 *USB VBUS 检测分压器/钳位电路*。

### 6.1.5.3 引导模式实现方法

有关实现引导模式的信息，请参阅以下常见问题解答：

[常见问题解答] AM625/AM623/AM620-Q1/AM64x/AM243x/AM62A/AM62P/AM62D-Q1/AM62L — 使用隔离缓冲器的引导模式实现

[常见问题解答] AM625/AM623/AM620-Q1/AM64x/AM243x/AM62A/AM62P/AM62D-Q1/AM62L — 无隔离缓冲器的引导模式实现

### 6.1.5.4 其他信息

连接外部输入以配置引导模式输入时，建议在释放处理器 MCU\_PORz（冷复位）(L->H) 之前使引导模式配置输入保持稳定。

使用以太网引导和简化千兆位媒体独立接口 (RGMII) 时，建议使用一个 EPHY，在 EPHY RDx 数据路径上支持 RGMII\_ID，并在 TDx 数据路径上禁用 RGMII\_ID（处理器在 TDx 输出上实现固定 RGMII\_ID）。处理器 ROM 不会在连接的 EPHY 上启用或禁用 RGMII\_ID 模式。EPHY 的 RGMII\_ID 是通过引脚绑定设置的。

建议选择一个能够通过引脚绑定设置 RGMII\_ID 的 EPHY。有关使用 TI EPHY 的实现，请参阅处理器特定的 EVM 或 SK。有关更多信息，请参阅器件特定勘误表的公告文章 *i2329 MDIO：处理器特定器件勘误表的 MDIO 接口损坏 (CPSW 和 PRU-I.CSS)*。

### 6.1.5.5 引导模式的配置（针对处理器）检查清单

#### 通用

检查并验证定制原理图设计的以下内容：

1. 已查看用户指南上文中的“**所有章节的通用检查清单**”章节。
2. 处理器引导模式输入连接。
3. 引导模式配置（使用 DIP 开关和电阻分压器或电阻器）。
4. 建议的锁存期间引导模式输入状态。
5. 备选功能的引导模式输入连接建议。
6. 引导模式输入的失效防护功能。

#### 原理图审阅

定制原理图设计请遵循以下列表：

1. 引导模式配置输入根据 EVM 或 SK 实现使用电阻器、开关 + 电阻分压器和缓冲器连接到处理器。
2. 建议验证引导模式输入配置设置是否遵循 PLL 时钟输入、主引导和次级引导的处理器特定 TRM 建议。
3. 引导模式输入 IO 兼容性（以 VDDSHV3 为基准（由其供电）的 1.8V 或 3.3V）。
4. 使用 DIP 开关来配置引导时，建议使用  $1\text{k}\Omega$  和  $47\text{k}\Omega$  阻值的电阻器。
5. 不使用 DIP 开关时，可将标准  $10\text{k}\Omega$  电阻器用作上拉和下拉电阻，以配置引导模式。建议组装上拉或下拉电阻以配置所需的引导模式。不使用 DIP 开关时，电阻分压器是可选项。
6. 所有引导模式配置输入引脚都具有外部拉电阻或电路，用于在处理器冷复位期间驱动所需的引导模式输入（请勿将任何引导模式配置输入引脚保持未连接状态）。
7. 建议在释放处理器冷复位输入 (MCU\_PORz) (0->1) 之前，将应用的外部引导模式输入保持稳定。
8. 当使用缓冲器实现引导模式或由外部控制信号驱动时，缓冲器的输出端使用  $1\text{k}\Omega$  串联电阻器。
9. 建议通过  $0\Omega$  将引导模式输入信号连接到备选功能，以隔离或测试引导模式功能。
10. 引导模式输入不具备失效防护功能（不建议在处理器电源斜升之前应用任何外部引导模式输入）。

## 其他

1. 处理器 **BOOTMODE** 输入引脚在复位期间（锁存引导模式输入配置时）不会使能内部上拉或下拉电阻。
2. 对于初始（早期或第一个原型）设计，建议为引导模式输入（引脚）连接外部 PU/ PD 电阻器。有关支持的引导模式的信息，请参阅处理器特定 TRM。
3. 当 **PORz\_OUT** 变为高电平时，将锁存引导模式输入。如果在运行期间重新配置引导模式输入用于备选功能，则将引导模式输入释放/设置回所需的配置，以便在处理器复位（冷复位）时选择引导模式。如果信号由外部外设驱动，则引导模式配置值得关注。
4. 不建议将引导模式输入直接连接到 IO 电源或 **VSS**。不建议将多个引导模式输入短接在一起并连接一个公共电阻器。（定制电路板设计可能遇到固件配置问题，即用作输入的 LVC MOS IO 被意外配置为输出，驱动逻辑高电平信号，而不是保持高阻抗状态。）
5. 建议为引导模式输入添加外部 ESD 保护，以防引导模式开关在不受控制的环境中进行配置。
6. 引导模式输入不具有失效防护功能。不建议或不允许在处理器 IO 电源斜升以前施加外部输入。在处理器电源斜升之前施加外部输入信号到处理器引导模式输入可导致馈电并可能影响定制电路板功能。
7. 引导模式输入缓冲器是可选的，在 **EVM** 或 **SK** 上提供以支持测试自动化。
8. 使用缓冲器或逻辑门配置引导模式输入时，建议验证所用器件是否支持 **OE**（输出使能功能）。

## 6.2 使用 JTAG 和 EMU 进行定制电路板调试

### 6.2.1 使用时的 JTAG 接口和 EMU 信号

实现 JTAG 接口时，建议使用 TI 建议、定义和支持的 20 引脚连接器（而不是 10 引脚 ARM 连接器）。10 引脚 JTAG 连接器不包含 TRSTn 信号或 EMU0、EMU1 信号。建议根据处理器特定数据表的引脚连接要求一节的说明连接 JTAG（TDI、TCK、TMS 和 TRSTn）和 EMU（EMU0 和 EMU1）信号。建议将上拉和下拉电阻器（ $10\text{k }\Omega$ ）放置在处理器 JTAG 接口引脚附近。

建议为所有 JTAG 接口以及靠近外部接口连接器的 EMU0 和 EMU1 信号添加外部 ESD 保护。EMU0 和 EMU1 信号支持冷复位（MCU\_PORz 输入高电平）后的引导序列和调试。TDO 的上拉电阻器为可选项，取决于所选择的调试程序。或者，建议在 TDO（靠近处理器）信号上连接串联电阻（ $0\Omega$ ），以匹配 JTAG 工具缓冲器阻抗。

有关更多信息，请参阅处理器特定 TRM 的片上调试一章。

有关更多信息，请参阅以下常见问题解答：

[常见问题解答] AM625/AM623/AM620-Q1/AM625-Q1/AM625SIP/AM62L/AM62Ax/AM62D-Q1/AM62Px/ AM64x/ AM243x (ALV、ALX) 定制电路板硬件设计 — JTAG

[常见问题解答] AM625/AM623/AM620-Q1/AM625-Q1/AM625SIP 定制电路板硬件设计 — JTAG 下拉/上拉电阻器  
常见问题解答是通用的，也可用于 AM64x 和 AM243x 处理器系列。

### 6.2.2 不使用时的 JTAG 接口和 EMU 信号

如需在不使用 JTAG 接口的情况下连接 JTAG 接口信号和 EMU 信号，请参阅处理器特定数据表的引脚连接要求一节。

在定制电路板设计期间，为支持调试早期原型，建议配置一个连接到测试点的最小 JTAG 接口信号（包括 EMU0、EMU1）或配置一个接头封装。JTAG 接口相关元件在电路板的量产版本中可以是 DNI 状态。建议根据引脚连接要求一节提供配置来安装建议的拉电阻器，并在 JTAG 连接器或 TP 附近提供外部 ESD 保护配置。

### 6.2.3 其他信息

当 JTAG 接口连接到不止一个所连接器件时，建议对时钟和 JTAG 接口信号进行缓冲。即使对于单个器件的实现，也建议进行时钟缓冲。有关实现的信息，请参阅处理器特定 EVM 或 SK。

使用跟踪接口时，建议将 TRC\_DATAn 信号连接到仿真连接器。所有 TRC\_DATAn 信号都与其他信号进行引脚多路复用。建议使用跟踪功能或 GPMC 接口。TRC\_DATAn 信号的短连接和偏差匹配连接（电路板引线）用于跟踪功能。跟踪信号基于 VDDSHV3（供电），并且可能具有与其他 JTAG 信号不同的电源电压。更多有关 TRC/EMU 设计和布局的建议，请参阅 [仿真和跟踪接头技术参考手册](#)。[XDS 目标连接指南](#) 中提供了摘要。

如果使用边界扫描，建议将 EMU0 和 EMU1 引脚连接到 JTAG 连接器。

有关 JTAG 接口的实现，请参阅 [仿真和跟踪接头技术参考手册](#)。

### 6.2.4 使用 JTAG 和 EMU 检查清单进行定制电路板调试

#### 通用

检查并验证定制原理图设计的以下内容：

1. 已查看用户指南上文中的“[所有章节的通用检查清单](#)”章节。
2. JTAG 接口信号的连接。
3. 所需拉电阻的连接。
4. JTAG 接口信号 IO 兼容性。
5. JTAG 接口信号的失效防护运行情况。

#### 原理图审阅

定制原理图设计请遵循以下列表：

1. JTAG 接口信号和 EMU0、EMU1 信号到 JTAG 接口连接器的连接。

2. 将电源电压连接到 JTAG 连接器（包括滤波电容器）（建议连接到 VDDSHV\_MCU 的电压源）。
3. 靠近处理器 JTAG 接口引脚的建议上拉和下拉电阻的连接符合引脚连接要求。
4. 使用的上拉和下拉电阻值（建议值为  $10\text{k}\Omega$ ）。
5. JTAG 接口信号 IO 兼容性（IO 电源以 VDDSHV\_MCU 为基准（供电））。
6. JTAG 接口信号的失效防护运行情况。处理器电源关闭时不提供 JTAG 输入。

## 其他

1. 建议在定制电路板设计中至少包含（实现）一个最小 JTAG 信号，连接到测试点或接头以调试早期原型。建议的最小 JTAG 信号为 TCK、TMS、TDI、TDO、TRSTn 和 EMU0、EMU1。如果需要，建议在电路板的量产版本中删除 JTAG 布线和元件封装（TRSTn 上的下拉电阻以及 TMS 和 TCK 上的上拉电阻除外）。
2. 实现走线后，建议将 TRC\_DATA<sub>n</sub> 信号连接到仿真连接器。所有 TRC\_DATA<sub>n</sub> 信号都与其他信号进行引脚多路复用。如果实现走线连接，建议不要使用其他多路复用功能。建议对 TRC\_DATA<sub>n</sub> 信号使用短且压摆率匹配的走线（布线）。走线信号以不同的电源域为基准（由其供电），并且可能在与 JTAG 信号不同的电压下运行。
3. 建议添加外部 ESD 保护装置的配置。使用 JTAG 接口时，可以安装外部 ESD 保护装置。
4. 建议验证使用 JTAG 接口时的失效防护运行情况。在处理器电源斜升之前对处理器 JTAG 输入施加外部输入信号会导致馈电并影响定制电路板功能。

## 7 处理器外设的电源、接口和连接

### 备注

在定制电路板设计周期中，建议遵循[使用 AM6442、AM6422、AM6412 和 AM2434、AM2432、AM2431 \(ALV、ALX\) 处理器系列的定制电路板硬件设计注意事项](#)用户指南以及[原理图设计指南](#)和[原理图审阅检查清单](#)用户指南。

### 备注

除非行业标准中定义了拉电阻器要求，否则对于外部拉电阻器没有明确的规则或要求。拉电阻器的行业通用定义是我们可以针对 eMMC 和 SD 卡信号上的外部拉电阻器给出确定建议的主要原因。对于其他外设，建议客户评估连接到定制电路板上每个处理器信号的所连接器件的功能，并运用适当的技术/工程判断来确定是否需要使用外部拉电阻器，以防止在打开所连接器件输入缓冲器时任何输入悬空。设计指南中提供的建议是通用的，客户应在实现之前查看设计要求和所连接器件内部拉电阻器的可用性。确保不提供与内部拉电阻器争用的外部拉电阻器。示例：例如，添加一个与内部拉电阻器（所连接器件内部）争用的外部拉电阻器，这样争用会在信号（输入）上产生  $1/2 V_{DD}$  电势。

### 7.1 支持的处理器内核和 MCU 内核

有关支持的处理器内核，建议参阅处理器特定数据表的特性一节。在选择 Arm Cortex-A53 微处理器子系统内核时，可以参阅处理器特定数据表的器件比较一节。

处理器特定数据表的工作性能点 OPP 一节可作为所需器件等级和器件工作性能点定义的参考。

有关更多详细信息，请参阅以下常见问题解答：

[常见问题解答] [AM625/AM623/AM620-Q1/AM62L/AM64x/ AM243x \(ALV\)/AM62Ax/AM62D-Q1/AM62Px 设计建议/定制电路板硬件设计—处理器内核、PLL、VDD\\_CORE、VDDR\\_CORE、VPP 和其他内核电源的信息](#)

### 7.2 IO 组的 IO 电源的电源连接

处理器系列支持 IO 组的 IO 电源 VDDSHV $x$  [ $x = 0-5$ ] 和 VDDSHV\_MCU。IO 组的 IO 电源支持连接双电压（3.3V 或 1.8V，固定或动态开关）电源。每个双电压 IO 组的 IO 电源为一组固定的 IO（或外设）供电。3.3V 或 1.8V 电源电压可连接到任何双电压 IO 组的 IO 电源。

IO 电源要求取决于 IO 缓冲器类型（LVCMOS、SDIO 或开漏 I2C）和所连接的外设。

以 MMC1 信号组为基准的 IO 组 IO 电源 VDDSHV5 旨在支持加电、断电或动态电源电压变化（切换），而不依赖于其他处理器电源轨。动态电压切换功能可支持 UHS-I SD 卡。

无论何种 IO 使用情况，建议将有效电源连接到 IO 组的 IO 电源。

根据所选的内存类型（DDR4 或 LPDDR4），建议按照 ROC 连接 DDR PHY IO 电源和 DDR 时钟 IO 电源。

#### 7.2.1 IO 组的 IO 电源的电源连接检查清单

##### 通用

检查并验证定制原理图设计的以下内容：

- 已查看用户指南上文中的“[所有章节的通用检查清单](#)”章节。
- 电气特性中引用的标准包括建议的运行条件和任何其他可用信息。
- IO 缓冲器类型和允许的电源配置。
- 电源到所有 IO 组 IO 电源（VDDSHV $x$  [ $x = 0-5$ ] 和 VDDSHV\_MCU）的连接。
- 处理器 IO 电源的时序控制。
- 处理器 DRSS IO 电源的连接。
- IO 上拉电源电压基准。

## 原理图审阅

定制原理图设计请遵循以下列表：

1. 支持的 IO 组包括 LVC MOS、SDIO 和 I2C OD 型 IO 缓冲器。
2. IO 缓冲器类型 LVC MOS 支持固定 (1.8V 或 3.3V) 或 SDIO 类型动态电压切换 (1.8V 或 3.3V)。
3. 将有效电源 (固定、1.8V 或 3.3V) 连接到 IO 组 IO 电源 (VDDSHV $x$  [x = 0-4]、VDDSHV\_MCU)，并将动态切换式电源 (1.8V 或 3.3V) 连接到 IO 组 IO 电源 (VDDSHV5)。
4. 以所连接器件接口信号为基准的 IO 组 IO 电源和所连接器件 IO 电源均连接到同一电源。
5. 上拉电阻连接到与处理器 VDDSHV $x$  和所连接器件相连的同一电源轨或电压电平。
6. 使用的 IO 电源应遵循符合处理器特定数据表的 ROC。
7. IO 电源连接和电源时序遵循处理器特定数据表。
8. 根据所选存储器类型 (DDR4 或 LPDDR4) 连接处理器 DDRSS IO 电源 (PHY IO 和时钟 IO、VDDS\_DDR 以及 VDDS\_DDR\_C 应来自同一电源)。

## 其他

1. 根据所使用 IO 组 IO 电源的电压电平 (3.3V 或 1.8V)，建议遵循符合处理器特定数据表的电源时序要求。
2. 特定 IO 组 IO 电源 (VDDSHV5) 支持动态电压切换。
3. 不建议或不允许以 LVC MOS IO 缓冲器为基准 (连接到该缓冲器) 的 IO 组 IO 电源进行动态电压切换 (VDDSHV0-3、VDDSHV\_MCU)。
4. 不建议将连接到 PMIC 输入端的 3.3V 电源 (非按顺序，永久开启，3.3V 电源连接到 PMIC 输入) 直接连接到 IO 组的 IO 电源 VDDSHV $x$ ，因为如果 PMIC 未启动并生成其他处理器电源轨，IO 电源将在未定义的时间内可用。建议参阅处理器特定数据表中更新的电源时序图。

## 7.3 存储器接口 ( DDRSS (DDR4/LPDDR4)、MMCSD (eMMC/SD 卡/SDIO)、OSPI/QSPI 和 GPMC )

### 7.3.1 DDR 子系统 (DDRSS)

该处理器系列支持 DDR 子系统 DDRSS0 的一个实例，并支持连接到 16 位 SDRAM。

DDRSS 接口支持 DDR4 或 LPDDR4 存储器接口。DDR4 或 LPDDR4 存储器的选择取决于应用或客户，因为每种存储器类型的延迟和突发长度存在差异。

如需更多信息，请参阅以下应用手册：

#### [Sitara AM64x/AM243x 基准测试](#)

有关 DDRSS 与 JEDEC 标准的兼容性的信息，请参阅处理器特定数据表的 *DDR* 电气特性一节。请参阅处理器特定数据表的以下注意事项：

#### 备注

DDRSS 接口与符合 JESD79-4B 标准的 DDR4 器件和符合 JESD209-4B 标准的 LPDDR4 器件兼容。

请参阅以下常见问题解答：

[常见问题解答] [AM625/AM623/AM620-Q1/AM62L/AM62Ax/AM62D-Q1/AM62Px/AM64x/AM243x \(ALV\) 定制电路板硬件设计的设计建议/常见错误 — DDRSS : DDR4/LPDDR4 存储器接口](#)

[常见问题解答] [AM625 : DDR4/LPDDR4 性能差异](#)

[常见问题解答] [AM625/AM623/AM620-Q1/AM62L/AM62A/AM62P/AM62D-Q1/AM64x/AM243x 设计建议/定制电路板硬件设计 — 与无源元件参数值、容差和额定电压相关的疑问](#)

### 7.3.1.1 DDR4 SDRAM ( 双倍数据速率 4 同步动态随机存取存储器 )

有关实施指南和布线拓扑，请参阅 [AM64x\AM243x DDR 电路板设计和布局布线指南](#)。

有关包括电路板设计仿真在内的更新信息，请参阅 [AM62x、AM62Lx DDR 电路板设计和布局布线指南](#)。DDRSS 实现与 AM62x 类似，可以参阅设计指南。

#### 7.3.1.1.1 存储器接口配置

允许的内存配置为 1 ( 单 ) 个 16 位或 2 ( 两 ) 个 8 位。

1 ( 单 ) 个 8 位内存配置不是允许的或有效的配置。

建议根据所选的内存大小验证 DDRSS 信号存储库组 ( DDR0\_BG0、DDR0\_BG1 ) 的连接，并根据内存选择 ( 单列或双列 ) 验证芯片选择 ( DDR0\_CS0\_n、DDR0\_CS1\_n ) 的连接。请参阅 [AM64x\AM243x DDR 电路板设计和布局布线指南](#)。

#### 7.3.1.1.2 布线拓扑和内存终端连接

当使用 1 ( 单 ) 个内存 (DDR4) 器件 (1 ( 单 ) 个 16 位) 时，建议遵循点对点拓扑 ( 连接 )。

点对点拓扑实现总结：

- 对于差分时钟 DDR0\_CK0, DDR0\_CK0\_n，建议采用如下配置：使用交流终端 2 个 R 串联 ( 值 =  $Z_o$  - 单端阻抗 )，并在两个电阻中间连接一个滤波电容器  $0.01 \mu F$  ( 或内存制造商推荐的值 )，同时连接到 DDR PHY 的 IO 电源 VDDS\_DDR。
- VREFCA (VDDS\_DDR/2) 是用于存储器 (DDR4) 器件的控制、命令和地址输入的基准电压。当不使用 VTT 终端和 VTT 终端 LDO 时，可以使用电阻分压器 ( VDDS\_DDR 和 VSS 之间连接的两个电阻器 (  $1k\Omega$ ,  $\pm 1\%$ , 建议值 ) ) 和一个与电阻器并联的滤波电容器 (  $0.1 \mu F$ , 建议值 ) 从 VDDS\_DDR 推算出 VREFCA。建议在 VREFCA 引脚附近连接额外的去耦电容器 ( 靠近内存 (DDR4) 器件 )。
- 地址和控制信号的外部 VTT 终端是可选项。

如果使用一个 DDR4 时地址和控制信号使用 VTT 终端，则建议使用灌电流或拉电流 DDR 端接稳压器 (LDO) 生成所需的 VTT 电源。

使用 2 (两) 个内存 (DDR4) 器件 (2 (两) 个 8 位) 时，建议遵循飞越式拓扑 (连接)。

飞越式拓扑实现总结：

- 建议为地址、控制和时钟信号使用外部 VTT 终端。
- 建议使用灌电流或拉电流 DDR 终端稳压器 (LDO) 生成 VTT 电源。
- 灌电流或拉电流 DDR 终端稳压器 (LDO) 用于生成基准电压 VREFCA (VDDS\_DDR/2)。
- 建议为基准电压添加去耦电容器。

### 7.3.1.1.3 用于 DDRSS 控制和校准的电阻

建议为 DDR0\_RESET0\_n (DDR\_RESET#) 连接下拉电阻器 ( $10\text{k}\Omega$ ) ( 靠近内存 (DDR4) 器件 )。可以选择在下拉电阻器上添加滤波电容器 (47pF 或类似值)。

建议为 DDR0\_CAL0 ( IO 焊盘校准电阻器 , 靠近处理器校准引脚 ) 和 ZQn ( 存储器件校准基准电阻器 , n = 0-1 , 靠近内存 (DDR4) 器件 ) 连接推荐的 ( 遵循处理器特定数据表或 EVM 原理图 ) 电阻器。

建议为 TEN 连接下拉电阻器 ( 测试使能 )。建议添加一个可选的下拉电阻器配置 DDR0\_CKE0 信号 ( DDR\_CKE 网络 ) 并标记为 DNI ( 未组装 )。建议靠近内存 (DDR4) 器件为 DDR0\_ALERT\_n (DDR\_ALERTn) 添加上拉电阻器。有关实现和电阻器值 , 请参阅处理器特定 EVM 。

### 7.3.1.1.4 电源轨的电容器

建议验证是否已为处理器 DDRSS 电源导轨和内存 (DDR4) 器件电源导轨提供了足够的大容量电容器和去耦电容器。

如果没有可用的建议 , 建议遵循处理器特定 EVM 实现。

### 7.3.1.1.5 数据位或字节交换

在定制电路板设计过程中 , 如果需要进行位交换 , 则允许在数据字节内进行位交换 , 以及在某些限制条件下进行跨字节交换。不支持地址位和控制位交换。请勿将 DM 和 DQS 位与任何其他信号交换。

有关更多信息 , 请参阅 [AM64x\AM243x DDR 电路板设计和布局布线指南](#) 的 [DDR4 电路板设计和布局布线指南](#) 一章中的位交换一节。

建议根据位交换的变化 ( 包括注释 ) 更新原理图 , 以供今后参考或重复使用。

### 7.3.1.1.6 DDR4 实现检查清单

#### 通用

检查并验证定制原理图设计的以下内容：

1. 已查看用户指南上文中的“[所有章节的通用检查清单](#)”章节。
2. 支持的所连接器件数。
3. 地址、时钟、控制和数据信号的连接。
4. 根据所连接存储器件数量遵循连接和布线拓扑。
5. 根据所选存储器大小的信号连接。
6. 差分时钟端接。
7. DDR 基准电压电阻分压器。
8. 用于差分时钟的 VTT 电阻器和滤波电容器的值。
9. 使用两个存储器件时，地址和控制信号的 VTT 端接。
10. DDRSS RESETn 信号到 DDR\_RESETn 存储器复位输入的连接。
11. ODT 信号从 DDRSS 到存储器件的连接（外部拉电阻是可选的）。
12. Alert、TEN、ZQn 和 DDR0\_CAL0 引脚的连接。
13. 数据位和数据组的交换。

#### 原理图审阅

定制原理图设计请遵循以下列表：

1. 支持的存储器配置是一个 16 位和两个 8 位。
2. 建议将使用的大容量电容器和去耦电容器及电容值与 EVM 原理图实现进行比较。
3. 连接到处理器 DDRSS 外设电源轨和所连接存储器件 IO 的电源轨遵循处理器和所连接存储器件 ROC。
4. 地址、时钟、控制和数据信号的连接，符合 [AM64x\AM243x DDR 电路板设计和布局布线指南](#)。
5. 根据所连接存储器件数量遵循布线拓扑（数据总线拓扑始终为点对点；一个 16 位点对点以及两个 8 位，用于地址和控制的菊花链）。
6. 根据所选存储器大小的信号连接（CS0、CS1、BG0、BG1，请参阅 [AM64x\AM243x DDR 电路板设计和布局布线指南](#)）。
7. 使用两个电阻器和滤波电容器的差分时钟端接。所用的 VTT 电阻器和滤波电容器的值。（请参阅 EVM 原理图。）
8. DDR 基准电压电阻分压器值和容差。用于 DDR 基准 DDR\_VREFCA 生成的电阻分压器配置（ $1k\Omega$ ， $\pm 1\%$ ）。建议将  $0.1\mu F$  去耦电容器放在电阻器上并靠近存储器引脚的位置。
9. 使用两个存储器件时，地址和控制信号的 VTT 端接（对于一个存储器件是可选的）和 VTT 端接电源（LDO）实现。VTT LDO 实现。VTT 电阻器和电容器（每两个 VTT 电阻器一个电容器）数量和值（建议遵循 [TMDS64EVM](#)）。
10. DDRSS RESETn 信号到 DDR\_RESETn 存储器复位输入的连接（用于在加电初始化期间将信号保持低电平）。建议为 DDRSS RESETn 信号添加下拉电阻器（ $10k\Omega$ ），并将其置于存储器件复位输入引脚附近。
11. Alert（ $10k\Omega$  上拉电阻）和 TEN（ $1k\Omega$  下拉电阻）信号的连接。
12. 在 ZQ 和 VSS 之间连接的 ZQ0、ZQ1、存储器件 IO 校准电阻（ $240\Omega$ ， $\pm 1\%$ ）。
13. 在 DDR0\_CAL0 和 VSS 之间连接的 DDR0\_CAL0、DDRSS IO 焊盘校准电阻（ $240\Omega$ ， $\pm 1\%$ ）。
14. ODT 信号从 DDRSS 到存储器件的连接（外部拉电阻是可选的）。
15. 交换数据位和数据组时，请遵循 [AM64x\AM243x DDR 电路板设计和布局布线指南](#)。

#### 其他

1. 建议参阅 [TMDS64EVM](#) 以实现 DDR4 地址和控制信号以及 VTT 电源（LDO）的 VTT 端接。
2. 建议在原理图上添加布局注释（建议遵循 [AM64x\AM243x DDR 电路板设计和布局布线指南](#)）。
3. 建议遵循处理器特定数据表的引脚连接要求部分来连接未使用的 DDRSS 接口信号。
4. 将所需的 DDRSS 信号连接到存储器件以进行扩展。

### 7.3.1.1.7 DDR4 VTT 端接实现原理图参考

使用 2 (两) 个存储器 (DDR4) 器件 (2 个 8 位) 时，每个器件将连接到 DDRSS 的各自的数据字节。地址信号或控制信号以飞越式拓扑连接，并 VTT 终端连接到远离处理器 DDRSS 的存器件储附近。

要实现 VTT 终端，请遵循 [TMDS64EVM \(AM64x Sitara 处理器评估模块\)](#)。

建议作为设计的一部分执行板级仿真。

### 7.3.1.2 LPDDR4 SDRAM ( 低功耗双倍数据速率 4 同步动态随机存取存储器 )

有关实施指南和布线拓扑，请参阅 [AM64x\AM243x DDR 电路板设计和布局布线指南](#)。

该控制器支持 DDR4 和 LPDDR4。LPDDR4 地址总线为 6 位宽，连接到处理器 DDR\_A 端口的前 6 位，其他信号未连接。使用 LPDDR4 时，不使用额外的地址信号（用于 DDR4），可以保持未连接状态。设计定制电路板的 DDR 部分时，请参阅 [AM64x\AM243x DDR 电路板设计和布局布线指南](#)。

有关包括电路板设计仿真在内的更新信息，请参阅 [AM62x、AM62Lx DDR 电路板设计和布局布线指南](#)。DDRSS 实现与 AM62x 类似，可以参阅设计指南。

#### 7.3.1.2.1 存储器接口配置

允许的存储器配置为 1 ( 单 ) 个 16 位。

#### 7.3.1.2.2 布线拓扑和内存终端连接

时钟 (CK)、地址、控制 (ADDR\_CTRL) 和数据信号建议遵循点对点拓扑。

**VTT 终端不适用于 LPDDR4 内存类型。**地址和控制信号所需的内存端接由内部 ( 片上 ) 支持 ( 处理 )。

#### 7.3.1.2.3 用于 DDRSS 控制和校准的电阻

建议为 DDR0\_RESET0\_n (LPDDR4\_RESET\_N) 连接下拉电阻器 ( $10\text{k}\Omega$ ) ( 靠近内存 (LPDDR4) 器件 )。可以选择在下拉电阻器上添加滤波电容器 (  $47\text{pF}$  或类似值 )。

建议为 DDR0\_CAL0 ( IO 焊盘校准电阻，靠近处理器校准引脚 )、ODT\_CA\_A (SK 上使用的  $2.2\text{k}\Omega$ ，用于芯片选择的 DDRSS 片上终端，靠近存储器 (LPDDR4) 器件 ) 以及 ZQ ( 存储器件校准参考电阻，靠近存储器 (LPDDR4) 器件 ) 连接建议的 ( 遵循处理器特定数据表或 SK 原理图 ) 电阻。

#### 7.3.1.2.4 电源轨的电容器

建议验证是否已为处理器 DDRSS 电源导轨和内存 (LPDDR4) 器件电源导轨提供了足够的大容量电容器和去耦电容器。

如果没有可用的建议，建议遵循处理器特定 SK 实现。

#### 7.3.1.2.5 数据位或字节交换

在定制电路板设计过程中，如果需要进行位交换，则在数据字节内进行位交换，不支持进行跨字节交换。不支持地址位和控制位交换。

有关更多信息，请参阅 [AM64x\AM243x DDR 电路板设计和布局布线指南](#) 的通道、字节和位交换一节。

建议根据位交换的变化 ( 包括注释 ) 更新原理图，以供今后参考或重复使用。

### 7.3.1.2.6 LPDDR4 实现检查清单

#### 通用

检查并验证定制原理图设计的以下内容：

1. 已查看用户指南上文中的“[所有章节的通用检查清单](#)”章节。
2. 所选存储器符合 JEDEC (JESD209-4B) 标准。
3. 支持的存储器配置。
4. 建议在原理图上添加布局注释（建议遵循 *AM64x\AM243x DDR 电路板设计和布局布线指南*）。
5. 连接到处理器 DDRSS 外设电源轨和所连接存储器件 IO 的电源轨。
6. 地址、时钟、控制和数据信号的连接。
7. DDRSS RESETn 信号到 LPDDR4\_RESET\_N 存储器复位输入的连接。
8. 芯片选择 CSn0、CSn1 到所连接存储器件的连接。
9. ODT 上拉电阻器连接、DDR CAL0 和存储器 ZQn 电阻器连接。
10. 数据位或数据字节的交换。

#### 原理图审阅

定制原理图设计请遵循以下列表：

1. 1x16 位是唯一支持的存储器配置。
2. 建议将使用的大容量电容器和去耦电容器及电容值与相关的 EVM 原理图实现进行比较。
3. 连接到处理器 DDRSS 外设电源和所连接存储器件 IO 的电源轨遵循处理器和所连接存储器件 ROC。
4. 地址、时钟、控制和数据信号的连接。对于 LPDDR4 存储器接口，x16 是唯一支持的数据总线宽度。如需将 DDRSS 连接到 16 位存储器件 — 请参阅 *AM64x\AM243x DDR 电路板设计和布局布线指南*。
5. DDRSS RESETn 信号到 LPDDR4\_RESET\_N 存储器复位输入的直接连接（用于在加电初始化期间将信号保持低电平）。建议为 DDRSS RESETn 信号添加下拉电阻器 ( $10\text{k}\Omega$ )，并将其置于靠近存储器件复位输入引脚的位置。
6. 芯片选择 CSn0、CSn1 到所连接存储器件的连接。根据所选存储器，遵循 *AM64x\AM243x DDR 电路板设计和布局布线指南*
7. 存储器件 ODT 通过电阻器上拉（在 EVM 上使用  $2.2\text{k}\Omega$ ，建议不要连接 DDRSS 信号并遵循 EVM 原理图）。
8. 在 DDR0\_CAL0 和 VSS 之间连接的 DDR0\_CAL0、DDRSS IO 焊盘校准电阻 ( $240\Omega, \pm 1\%$ )。
9. 在 ZQ 和 VDD\_LPDDR4 之间连接的 ZQ0 存储器件 IO 校准电阻 ( $240\Omega, \pm 1\%$ )。
10. 数据位或字节交换。遵循 *AM64x\AM243x DDR 电路板设计和布局布线指南*。

### 7.3.2 多媒体卡和安全数字 (MMCSD)

处理器系列支持两个 (x2) 多媒体卡/安全数字 (MMC/SD/SDIO) ( 8 位 + 4 位 )。

#### 7.3.2.1 MMC0 - eMMC ( 嵌入式多媒体卡 ) 接口

该处理器系列支持一个外设实例 MMC0。MMC0 支持 8 位 eMMC ( MMC0 接口符合 JEDEC eMMC 电气标准 v5.1 (JESD84-B51) ) 接口。处理器内部实现的 eMMC 接口是一个专用的硬宏 PHY。AM64x 数据表的引脚属性 (ALV 封装) 表和 AM243x 数据表的引脚属性 (ALV、ALX 封装) 表中的多路复用器模式、DSIS 和复位后的多路复用模式列均为空白，因为引脚 ( 接口 ) 是通过硬宏 PHY 实现的 ( 不支持引脚多路复用 )。

有关 eMMC 内存接口的更多信息，请参阅以下常见问题解答：

[常见问题解答] [AM625/AM623/AM620-Q1/AM62L/AM64x/ AM243x \(ALV\)/AM62Ax/AM62D-Q1/AM62Px 定制电路板硬件设计的设计建议/常见错误 — eMMC 存储器接口](#)

[常见问题解答] [AM625/AM623/AM620-Q1/AM62L/AM62A/AM62P/AM62D-Q1/AM64x/AM243x 设计建议/定制电路板硬件设计 — 与无源元件参数值、容差和额定电压相关的疑问](#)

如需更多信息，请参阅处理器特定数据表的 **MMC0 - eMMC 接口** 一节。

#### 7.3.2.1.1 使用 MMC0 接口

##### 7.3.2.1.1.1 IO 电源

处理器的 MMC0 IO 接口以 VDDS\_MMC0 (1.8V) 电源为基准 ( 由其供电 )。

建议将所连接器件的 VDDS\_MMC0、VDD\_DLL\_MMC0 和 IO 电源轨连接到同一电源。

所连接器件的 VDD ( 内核电压 ) 可从 ( 由 ) 独立电源 ( 不同的电源 ) 供电。

##### 7.3.2.1.1.2 eMMC 接口信号连接

建议进行以下连接：

- 建议为 MMC0\_CLK 信号添加一个串联电阻器 ( $0\Omega$ ) ( 靠近处理器时钟输出引脚以控制反射 )
- 建议在 MMC0\_CALPAD ( 靠近处理器 CALPAD 引脚 ) 与 VSS 之间连接一个电阻器。有关建议电阻值和容差，请参阅处理器特定数据表。

##### 备注

由于硬宏 eMMC PHY 在内部实现了所需的拉电阻器，因此建议不要为 MMC0 eMMC PHY 添加 ( 无需 ) 外部拉电阻器。

在复位期间和复位后、eMMC 硬宏 PHY 会在内部使能 DAT[7:0] 和 CMD 的上拉电阻器。在 SS 复位下拉电阻器后，为 DS 使能下拉电阻器，且时钟输出 (CLK) 驱动为低电平。

MMC0 引脚没有关联的 PADCONFIG 寄存器。与 MMC0 引脚关联的内部上拉电阻器由 MMC0 主机 ( 和 PHY ) 动态控制。

##### 7.3.2.1.1.3 eMMC ( 连接器件 ) 复位

建议使用双输入 “与运算” 逻辑来实现所连接器件的复位。处理器 GPIO 作为其中一个输入连接到与门，在 “与运算” 逻辑与门输入端附近提供上拉电阻器配置 ( $10k\Omega$  或  $47k\Omega$ ) ( 以支持引导 )，并提供  $0\Omega$  配置以隔离 GPIO 输出用于测试或调试。与门的另一个输入是 MAIN 域热复位状态输出 (RESETSTATz)。

如果直接使用处理器 MAIN 域热复位状态输出 (RESETSTATz) 来复位所连接器件 ( 不使用 “与运算” 逻辑 )，建议将 RESETSTATz 的 IO 电压电平与所连接器件匹配。建议使用电平转换器来匹配 IO 电平。如果选择了电阻分压器的理想值，则也可以使用电阻分压器进行电平转换。如果过高，eMMC 复位输入的上升/下降时间可能会很慢，从而引入过大延迟。使用过低值电阻器作为分压器会导致处理器在正常运行期间提供过多的稳态电流。

#### 7.3.2.1.1.4 电源轨的电容器

建议确认已为 MMC0 电源导轨和所连接器件（内核和 IO 电源）提供大容量电容器与去耦电容器（若有建议则使用建议的电容，或遵循相关 EVM 实现）。

如果没有可用的建议，建议遵循处理器特定 EVM 实现。

#### 7.3.2.1.2 不使用 MMC0 接口

MMC0 接口信号不支持备选功能。不使用 MMC0 时，接口信号和 MMC0 电源有特定的连接要求。

有关连接接口信号和未使用 MMC0 电源导轨的信息，请参阅处理器特定数据表的引脚连接要求一节。

### 7.3.2.1.3 MMC0 (eMMC) 检查清单

#### 通用

检查并验证定制原理图设计的以下内容：

1. 已查看用户指南上文中的“[所有章节的通用检查清单](#)”章节。
2. MMC0 接口符合 JEDEC eMMC 电气标准 v5.1 (JESD84-B51)，并实现 eMMC 接口的专用硬宏 PHY。MMC0 有特定的连接要求。当不使用 eMMC 接口时，请参阅引脚连接要求来连接 eMMC 接口信号。
3. 数据和控制信号的拉电阻连接。
4. MMC0\_CLK 和放置的串联电阻器配置。
5. IO 组的处理器 IO 电源 (VDDS\_MMC0) 和所连接 eMMC 器件 IO 电源。
6. 实现所连接器件复位逻辑，以支持引导模式配置，且在未用于引导时同样适用。
7. 实现所连接器件复位逻辑，以支持引导模式配置。
8. 在不需要从所连接器件引导时，实现所连接器件复位逻辑。
9. 处理器和所连接器件之间的复位信号 IO 电平兼容性。
10. 添加所需电容器和值。
11. 下面是观察到 eMMC 接口问题时的快速检查清单：
  - 定制电路板的设计是否符合处理器特定数据表中 MMC0 时序条件表定义的 PCB 走线延迟要求？
  - 出现该问题时正在使用哪种数据传输模式？
  - 是否已通过降低运行速度对接口进行测试？该方式是否有效？

#### 原理图审阅

定制原理图设计请遵循以下列表：

1. 为处理器和所连接器件电源轨提供了所需的大容量电容器和去耦电容器。建议从与 SK 原理图 (SK-AM62P-LP) 实现进行比较开始。
2. 建议通过同一电源为 VDDS\_MMC0 MMC0 PHY IO 电源 (1.8V) 和连接的 eMMC 器件 IO 电源供电并遵循 ROC。
3. 数据、CMD 和时钟 (状态) 所需的拉电阻通过 eMMC 硬宏 PHY (内部) 使能，并通过处理器软件控制 (eMMC 器件上拉电阻已禁用)。
4. 建议在 MMC0\_CLK 上提供串联电阻器 ( $0\Omega$ ) 配置，并置于靠近处理器时钟输出引脚的位置。该串联电阻器已配置用于控制可能的信号反射，避免可能导致错误的时钟转换。
5. 如果需要 eMMC 引导模式配置，可以使用双输入“与运算”逻辑来实现 eMMC 所连接器件复位。处理器 GPIO 作为其中一个输入连接到与门，在“与运算”逻辑与门输入端附近提供上拉电阻器配置 ( $10k\Omega$  或  $47k\Omega$ )，并提供  $0\Omega$  配置以隔离 GPIO 输出用于测试或调试。与门的另一个输入是 MAIN 域热复位状态输出 (RESETSTATz)。
6. 或者，可以直接连接热复位状态输出 RESETSTATz 来复位所连接的器件。如果使用 RESETSTATz，建议在处理器复位状态输出和所连接器件复位输入之间匹配 IO 电平。验证 IO 电平匹配实现 (电平转换器或电阻器) 是否遵循设计建议。
7. 如果 eMMC 存储器未用于引导，则只能使用处理器 GPIO 来控制连接的 eMMC 器件复位输入。建议下拉 eMMC 存储器件的复位输入。

#### 其他

1. “与运算”逻辑还会执行 IO 电平转换。在优化复位“与运算”逻辑时，建议验证复位输入 IO 电平兼容性。IO 电平不匹配可导致电源泄漏并影响电路板性能。
2. 为 AM64x 或 AM243x MMC0 端口实现的 PHY 仅支持 eMMC 接口并实现内部拉电阻 (在接口初始化之前，不需要外部拉电阻即可将所连接器件保持在已知状态)。MMC0 引脚没有关联的 PADCONFIG 寄存器。与 MMC0 引脚关联的内部拉电阻由 MMC0 主机 (和 PHY) 控制。
3. 复位后，MMC0\_CLK 引脚被驱动为低电平。不需要外部下拉电阻。
4. MMC0\_DAT[7:0] 引脚在复位期间使能内部上拉电阻。复位期间，MMC0\_CMD 引脚被驱动为高电平。因此，不需要外部上拉电阻。

5. 复位期间，MMC0\_DS 引脚的内部下拉电阻会启用。
6. 总之，MMC0 (eMMC) 信号的拉电阻器在复位期间和复位后会在内部使能，无需添加外部拉电阻。
7. 建议验证 eMMC 存储器件复位 eMMC\_RSTn 是否已使能（eMMC 非易失性配置空间），以使外部复位逻辑正常工作。GPIO 复位选项用于在外设无响应的情况下复位所连接 eMMC 器件，而无需复位整个处理器。只有热复位状态输出可用于复位所连接的 eMMC 器件。外设无响应时，软件会强制进行热复位。但是，使用热复位状态输出会复位整个处理器，而不是尝试恢复特定外设而不复位整个处理器。当使用 RESETSTATz 复位所连接器件时，建议验证 RESETSTATz 的 IO 电平是否匹配所连接器件的 IO 电平。
8. 建议使用电平转换器来匹配复位 IO 电平。如果选择了电阻分压器的理想值，则也可以使用电阻分压器进行电平转换。如果过高，eMMC 复位输入的上升/下降时间可能会很慢，从而引入过大延迟。如果过低，则会导致处理器在正常运行期间提供过多的稳态电流。
9. 当直接连接 RESETSTATz 或处理器 IO 时，不建议在 eMMC 所连接器件的复位输入端添加电容器。不建议使用应用 RC 的独立复位连接来复位 eMMC 存储器器件。

### 7.3.2.1.4 有关 eMMC PHY 的额外信息

建议参阅处理器特定数据表的信号说明一节中 **MMC**、**MAIN** 域小节中的注释。

---

#### 备注

不同处理器系列中使用的 eMMC 控制器和 eMMC PHY IP 的实现方式有所不同。建议遵循适用于 eMMC 接口的处理器特定建议，包括迁移到其他处理器系列时建议使用的端接。建议查看处理器特定数据表、TRM，并遵循针对处理器和连接器件的连接建议。

可以遵循处理器特定 EVM 实现作为起始参考。

### 7.3.2.1.5 MMC0 – SD ( 安全数字 ) 卡接口

MMC0 接口上没有 CD ( 卡检测 ) 和 WP ( 写保护 ) 引脚。MMC0 可用于连接固定的 SDIO 器件 ( 板载 )。

不建议将 SD 卡连接至 MMC0 端口。建议为 SD 卡接口配置 MMC1 端口。

### 7.3.2.2 MMC1 – SD ( 安全数字 ) 卡接口

处理器系列支持一个可配置为 SD 卡接口的外设实例 MMC1。建议使用 MMC1 实现 SD 卡接口，因为 MMC1 支持 SD 卡引导模式。MMC1 CLK、CMD 和 DAT[3:0] 信号功能通过由 VDDSHV5 ( 参考 ) 供电的引脚上的 SDIO 缓冲器实现，可在 3.3V 或 1.8V ( 动态切换 ) 下运行，MMC1\_SDCD 和 SDWP 信号功能通过由 VDDSHV0 ( 参考 ) 供电的引脚上的 LVCMOS 缓冲器实现，可在 1.8V 或 3.3V 下运行。当 SD 卡的 IO 工作电压更改以支持 UHS-I SD 卡时，不建议更改主机的 MMC1\_SDCD 和 MMC1\_SDWP 输入的逻辑状态。

有关更多信息，请参阅处理器特定数据表的 **MMC1 - SD/SDIO 接口** 部分。

#### 7.3.2.2.1 IO 电源

MMC1 ( CMD、CLK 和 Data ) 接口 IO 以 VDDSHV5 电源导轨 ( IO 组 5 的 IO 电源 ) 为基准 ( 由其供电 )。VDDSHV5 旨在支持加电、掉电或不依赖于其他电源轨的动态电压开关，让其工作电压随着传输速度的增加从 3.3V 更改为 1.8V。

建议 VDDSHV5 电源从 3.3V 开始，并在软件应当 ( 需要 ) 更改 IO 电源电压 ( 以支持 UHS-I SD 卡 ) 时允许更改为 1.8V。

建议使用单独的电源 ( 分立式 LDO 或 PMIC )，当配置为 SD 卡接口时，这些电源可以为 VDDSHV5 电源轨独立切换。

该处理器包括一个集成的 SDIO\_LDO，在配置为用于 SD 卡接口时为 VDDSHV5 电源供电。下文复位部分所述的 SD 卡电源控制电源开关的输出作为输入连接到 SDIO\_LDO (VDDA\_3P3\_SDIO)。SDIO\_LDO 的输出在复位期间为 3.3V，当软件准备好更改电源电压时，允许将该输出更改为 1.8V。SDIO\_LDO 的输出由 V1P8\_SIGNAL\_ENA 位控制，默认为 3.3V 输出。

确保在 SDIO\_LDO 引脚 (CAP\_VDDSHV\_MMCI) 的输出端提供建议的电容器。

MMC1 SD 卡检测 (CD) 和写保护 (WP) 信号以 VDDSHV0 电源导轨 ( IO 组 0 的 IO 电源 ) 为基准 ( 由其供电 )。建议将 MMC1\_SDCD、MMC1\_SDWP 的上拉电阻器 ( 10kΩ 或 47kΩ ) 连接到与 VDDSHV0 ( 固定电源 ) 连接的同一电源轨。

---

#### 备注

未使用 SDIO\_LDO 为 VDDSHV5 供电时，请参阅处理器特定数据表的 **引脚连接要求** 一节，以端接 VDDA\_3P3\_SDIO 和 CAP\_VDDSHV\_MMCI 引脚。

### 7.3.2.2.2 信号连接

建议进行以下连接：

- 建议为 MMC1\_CLK 添加一个串联电阻器 (0Ω) ( 靠近处理器时钟输出引脚以控制可能的信号反射 )。建议为靠近所连接器件输入的 MMC1\_CLK 添加一个下拉电阻器 (10kΩ)，以将时钟保持在低电平状态 ( 在某些情况

下，时钟在低电平逻辑状态下停止或暂停，并且下拉电阻器选项与该逻辑状态一致），直到主机将信号配置为时钟。

- 建议为 SD 卡数据信号 (MMC1\_DAT[3:0]) 和 CMD 信号 (MMC1\_CMD) 添加外部上拉电阻器 ( $47\text{k}\Omega$ )，以防止在主机软件驱动接口信号之前所连接器件输入处于悬空状态。建议将 SD 卡接口信号上拉电阻器连接到 IO 组双电压 IO 电源 (MMC1 = VDDSHV5) 电源导轨。
- 建议为连接到 VDDSHV0 电源导轨的 MMC1\_SD\_CD 和 MMC1\_SD\_WP 信号添加外部上拉电阻器 ( $10\text{k}\Omega$  或  $47\text{k}\Omega$ )（靠近所连接器件（SD 卡插槽））。
- 插入 SD 卡时，处理器的 SD 卡检测 (SD\_CD) 输入直接连接到接地端。建议使用一个串联电阻器 ( $100\Omega$ ) 限制电流，以防 IO 意外编程为输出。

请参阅以下常见问题解答：

[常见问题解答] AM625/AM623/AM620-Q1/AM62L/AM64x/ AM243x (ALV)/AM62Ax/AM62D-Q1/AM62Px 定制电路板硬件设计的设计建议/常见错误 - SD 卡接口

[常见问题解答] AM62A7/AM62A3/AM62A1-Q1/AM62D-Q1：为什么 MMC1 由 VDDSHV0 和 VDDSHV5 这两个不同的电压电源供电？

[常见问题解答] AM62A7-Q1：如果未使用 SD 卡，如何连接引脚网络 VDDSHV4、VDDSHV5 和 VDDSHV6

[常见问题解答] AM6442 : AM6442 MMC1

[常见问题解答] AM625 : MMC 接口

这是通用常见问题解答，也可用于 AM64x 和 AM243x 处理器系列。

### 7.3.2.2.3 SD 卡电源开关 EN 复位逻辑

建议配置由软件使能（控制）的电源开关（负载开关）来为 SD 卡提供电源（VDD）。一个固定的 3.3V 电源（处理器 IO 电源）作为电源开关的电源输入进行连接。

使用电源开关可以对 SD 卡电源进行下电加电（因为复位电源开关是复位 SD 卡的唯一方法），并将 SD 卡复位为使用 UHS-I SD 卡时的默认状态。

建议使用 3 输入“与运算”逻辑来实现 SD 卡电源开关使能和复位逻辑。处理器 GPIO 作为其中一个输入连接到与门，在“与运算”逻辑与门附近提供上拉电阻器（ $10\text{k}\Omega$  或  $47\text{k}\Omega$ ）（以支持 SD 卡引导）并提供  $0\Omega$ ，以隔离 GPIO 输出用于测试或调试。与门的另外两个输入是 MAIN 域 POR（冷复位）状态输出（PORz\_OUT）或 MAIN 域热复位状态输出（RESETSTATz）。

建议将为 SD 卡电源供电的外部电源开关默认设为 ON（供电状态）以支持 SD 卡引导。

有关实现的信息，请参阅处理器特定 EVM 或 SK。

### 7.3.2.2.4 SD 卡接口信号的外部 ESD 保护

建议为 SD 卡接口信号（数据、时钟和控制信号）提供外部 ESD 保护。内部 ESD 保护不能满足板级或终端设备级 ESD 要求。

### 7.3.2.2.5 IO 组电源导轨的 IO 电源电容器

建议确认已为 VDDSHV0 和 VDDSHV5 电源轨及所连接器件提供大容量电容器与去耦电容器（若有建议则使用建议的电容器，或遵循相关 EVM 或 SK 实现）。

如果没有可用的建议，则建议遵循处理器特定 EVM 或 SK 实现。

#### 备注

建议遵循针对数据和控制信号的处理器特定连接建议。建议将时钟的串联电阻器放置在靠近处理器时钟输出引脚的位置，以控制可能存在的信号反射。

### 7.3.2.2.6 SD 卡接口 (MMC1) 检查清单

#### 通用

检查并验证定制原理图设计的以下内容：

1. 已查看用户指南上文提及的“[所有章节的通用检查清单](#)”部分的内容
2. 验证用于 SD 卡接口的 MMC 端口。建议将 MMC1 用于 SD 卡接口。
3. 为 MMC1\_CLK 实现串联电阻器和下拉电阻器
4. MMC1\_CMD 和 DAT[3:0] 信号接口
5. IO 组电源连接的 IO 电源
6. 用于数据、命令和时钟信号的拉电阻值
7. MMC1\_SDCD 和 SDWP 信号连接的实现
8. 支持 UHS-I 卡的电路实现
9. 电源导轨连接到 SD 卡电源开关输入
10. SD 卡电源开关 EN 复位逻辑的实现
11. 为 SD 接口信号提供所需的外部 ESD 保护

#### 原理图审阅

定制原理图设计请遵循以下列表：

1. 为电源导轨提供了所需的大容量电容器和去耦电容器。如果没有可用的建议，则建议遵循大容量电容器和去耦电容器的处理器特定 EVM 或 SK 实现。
2. 连接到 IO 组 VDDSHVx ( VDDSHV5 和 VDDSHV0 ) 的处理器 IO 电源的电源导轨遵循 ROC。
3. MMC1\_CLK、CMD 和 DAT[3:0] 信号接口使用以 IO 组 VDDSHV5 的 IO 电源 ( 由其供电 ) 为基准的 SDIO 缓冲器来实现 ( SDIO 缓冲器类型 IO 支持动态电压切换 3.3V 或 1.8V , 以支持 UHS-I SD 卡 ) 。
4. 建议数据和命令信号使用  $47\text{k}\Omega$  上拉电阻器，以符合 SD 卡规范 ( 如果内部上拉电阻器意外启用，则产生的上拉 (  $47\text{k}\Omega$  与内部上拉电阻器并联 ) 值仍处于指定范围内 ) 。
5. MMC1\_CLK 的串联电阻器 ( $0\Omega$ ) 靠近处理器时钟输出引脚放置，、用于控制可能的信号反射 ( 可能导致时钟转换错误 ) 。建议将下拉电阻器 ( $10\text{K}\Omega$ ) 放置在附加器件时钟输入附近。
6. MMC1\_SDCD 和 SDWP 信号使用 LVCMS 缓冲器实现，该缓冲器以 IO 组 VDDSHV0 ( 在固定 1.8V 或 3.3V 下运行 ) 的 IO 电源为基准。
7. 建议在 SDCD 引脚上增加一个  $100\Omega$  串联电阻器，因为当插入 SD 卡时，处理器 IO 会直接连接到接地端。
8. 验证内部 LDO 配置和连接。
9. 为了支持 UHS-I SD 卡，虽然 SD 卡接口的 IO 电压可以是 1.8V 或 3.3V，但 SD 卡 VDD 电源是固定的 3.3V 电源 ( 3.3V\_SYS , IO 组 3.3V 电源的 IO 电源 ) 。
10. 建议配置由软件使能 ( 控制 ) 的电源开关 ( 负载开关 ) 来为 SD 卡提供电源 ( VDD )。一个固定的 3.3V 电源 ( 处理器 IO 电源 ) 作为电源开关的电源输入进行连接。电源开关的输出连接到 VDDA\_3P3\_SDIO ( SDIO 3.3V 模拟电源，输入到内部 SDIO LDO ) 。
11. 建议使用 3 输入 “与运算” 逻辑来实现 SD 卡电源开关使能和复位逻辑。处理器 GPIO 作为其中一个输入连接到与门，在 “与运算” 逻辑与门附近提供上拉电阻器配置 (  $10\text{k}\Omega$  或  $47\text{k}\Omega$  ) ( 以支持 SD 卡引导 )，并提供  $0\Omega$  配置以隔离 GPIO 输出用于测试或调试。与门的另外两个输入是 MAIN 域 POR ( 冷复位 ) 状态输出 ( PORz\_OUT ) 或 MAIN 域热复位状态输出 ( RESETSTATz )。建议将为 SD 卡电源供电的外部电源开关默认设为 ON ( 供电状态 ) 以支持 SD 卡引导。

#### 其他

1. 当 UHS-I SD 卡改变 IO 工作电压时，主机的 MMC1\_SDCD 和 MMC1\_SDWP 输入的逻辑状态不得改变。如果信号通过会改变电压的双电压 SDIO 单元的输入缓冲器进行传播，则无法保持有效的逻辑状态。信号功能被分配给不动态改变电压的 IO。信号仅连接到 SD 卡连接器中的开关，因此当 SD 卡信号改变工作电压时，信号不会无端改变电压。必须使用 MMC1\_SDCD 和 MMC1\_SDWP 信号连接到 SD 卡连接器开关，并通过连接到 VDDSHV0 的外部拉电阻器将其上拉至高电平。其他具有上拉电阻的 MMC1 SD 卡信号需要由动态改变电压的 VDDSHV5 源供电

2. SD 卡电源开关（具有电源开关 EN 引脚复位逻辑）和主机 IO 电源电路需要支持 UHS-I SD 卡，以使用 3.3V IO 电平开始通信，然后在更改为更快的数据传输速度之一时更改为 1.8V IO 电平。由于 SD 卡没有复位引脚，因此对 SD 卡进行下电上电是将其循环回到 3.3V 模式的唯一方法。主机 IO 电源必须与 SD 卡一起断电上电和更改电压。操作为电路提供信号的电路和软件驱动程序可验证两个器件是否关断或导通，以及是否同时在相同的 IO 电压下运行。
3. UHS-I 实现和内部 LDO 用例：无需 VDDA\_3P3\_SDIO 电源轨与其他 3.3V 电源导轨一起斜升。在释放复位之前，VDDA\_3P3\_SDIO 不会关闭。这在 AM64x 数据表的下一版中进行了更新。SDIO\_LDO 仅控制 AM64x VDDSHV5 IO 的工作电压，而不控制 SD 卡的工作电压。SD 卡具有 SDIO\_LDO 等效电路，可通过命令将其 IO 工作电压从 3.3V 更改为 1.8V、但将 SD 卡 IO 工作电压改回 3.3V 的唯一方法是对电源进行下电上电循环（复位）。与门和负载开关将电源施加到 AM64x SDIO\_LDO 和 SD 卡（复位后）、ROM 代码提供足够的延时来验证 SD 卡是否准备就绪。
4. 为了优化“与运算”逻辑，请使用双输入与门并将 RESETSTATz 和处理器 IO 作为输入。
5. 在 SDCD 引脚上添加一个  $100\Omega$  串联电阻器，因为当插入 SD 卡时，处理器 IO 直接连接到接地端。

### 7.3.2.3 其他信息

建议参阅处理器特定数据表的信号说明、MMC、MAIN 域一节中的注释。

### 7.3.3 八路串行外设接口 (OSPI) 或四路串行外设接口 (QSPI)

#### 备注

请参阅有链接的部分，了解如何实现串联电阻器和并联拉电阻器：[处理器特定 EVM 或 SK 与数据表](#)。

处理器系列支持一个 (x1) 可配置为 OSPI0 或 QSPI0 接口的八路串行外设接口 (OSPI0) 实例。OSPI0 是一种串行外设接口 (SPI) 模块，支持对外部闪存器件进行单路、双路、四路或八路读取和写入访问。OSPI0 实例支持具备 DDR/SDR 功能的 OSPI/QSPI 接口。OSPI0 支持串行 NAND 和串行 NOR 闪存设备。OSPI0 外设具有内存映射寄存器接口，可提供直接内存接口用于从外部闪存器件访问数据，从而简化软件要求。

OSPI0 外设用于以内存映射直接模式（例如处理器希望直接从外部闪存执行代码）传输数据或以间接模式传输数据，其中模块设置为静默执行某些请求的操作，通过中断或状态寄存器发出完成信号。

对于间接操作，数据通过内部 SRAM 在系统存储器和外部闪存之间传输，器件控制器以低延迟系统速度加载该内部 SRAM 以进行写入，卸载以进行读取。中断或状态寄存器用于识别应在哪些特定时间使用用户可编程配置寄存器来访问该 SRAM。

有关详细信息，请参阅处理器特定数据表的 **OSPI/QSPI/SPI 电路板设计和布局布线指南**一节。

有关 OSPI 或 QSPI 存储器接口的更多信息，请参阅以下常见问题解答：

[常见问题解答] [AM625/AM623/AM620-Q1/AM62L/AM62Ax/AM62D-Q1/AM62Px 定制电路板硬件设计的设计建议/常见错误 — OSPI/QSPI 存储器接口](#)

[常见问题解答] [Sitara/Jacinto 器件的 OSPI 常见问题解答](#)

常见问题解答是通用的，也可用于 AM64x 和 AM243x 处理器系列。

#### 7.3.3.1 IO 电源

用于 OSPI0 ( OSPI 或 QSPI ) 接口的处理器 IO 以 VDDSHV4 电源导轨 ( IO 组 4 的 IO 电源 ) 为基准 ( 由其供电 )。

建议将所连接器件的 VDDSHV4 和 IO 电源轨连接到同一电源。

所连接器件的 VDD ( 内核电压 ) 可从 ( 由 ) 独立电源 ( 不同的电源 ) 供电。

#### 7.3.3.2 信号连接

建议进行以下连接：

- 建议为 OSPI0\_CLK 连接一个串联电阻器 ( $0\Omega$ ) ( 靠近处理器时钟输出引脚，以控制可能的信号反射 )，为 OSPI0\_CLK 连接外部下拉电阻器 ( $10k\Omega$ ) ( 靠近所连接器件时钟输入引脚 )，以将所连接器件保持在低电平状态 ( 在某些情况下，时钟在低电平逻辑状态停止或暂停，并且下拉选项与该逻辑状态一致 )。
- 建议为 OSPI0\_LBCLKO ( 靠近处理器的时钟输出引脚，以便能够连接或断开 LBCLKO ) 提供串联电阻器 ( $0\Omega$ ) 配置。
- 建议在靠近所连接器件输入的 CS 信号添加外部上拉电阻器添加 ( $10k\Omega$ ) 配置。
- 建议在配置为中断输入的处理器 IO 输入附近为 INT# 输出添加外部上拉器 ( $10k\Omega$ ) 配置。
- 建议为连接到所连接器件输入 ( 信号 ) 的数据线 (DAT0:7) 提供外部上拉电阻器 (  $10k\Omega$  或  $47k\Omega$  ) 配置，以防止所连接器件输入在由主机驱动之前处于悬空状态。建议将上拉电阻器连接到用于为 VDDSHV4 电源导轨供电的同一电源。

#### 7.3.3.3 OSPI/QSPI 器件复位

建议使用双输入“与运算”逻辑来实现所连接器件 ( OSPI/QSPI 内存 ) 的复位。处理器 GPIO 作为其中一个输入连接到与门，在“与运算”逻辑与门输入端附近提供上拉电阻器 (  $10k\Omega$  或  $47k\Omega$  ) ( 以支持引导 ) 并提供  $0\Omega$ ，以隔离 GPIO 输出用于测试或调试。与门的另一个输入是 MAIN 域热复位状态输出 (RESETSTATz)。

如果直接使用处理器 MAIN 域热复位状态输出 (RESETSTATz) 来复位所连接器件 ( 不使用“与运算”逻辑 )，建议将 RESETSTATz 的 IO 电压电平与所连接器件匹配。建议使用电平转换器来匹配 IO 电平。如果选择了电阻分

压器的理想值，则也可以使用电阻分压器进行电平转换。如果过高，OSPI/QSPI 复位输入的上升和下降时间可能会很慢，从而引入过大延迟。使用过低值电阻器作为分压器会导致处理器在正常运行期间提供过多的稳态电流。

除了数据、时钟和片选输入外，建议选择还支持外部复位输入引脚的存储器件。

#### 7.3.3.4 环回时钟

请参阅处理器特定数据表的 *OSPI/QSPI/SPI 电路板设计和布局指南*一节。本节提供在连接 OSPI、QSPI 或 SPI 存储器件时建议遵守的 PCB 布线指南。

建议验证环回时钟配置。可以使用 OSPI0\_LBCLKO ( OSPI0 环回时钟输出 ) 和 OSPI0\_DQS ( OSPI0 数据选通或环回时钟输入 ) 信号进行不同的时钟环回配置。有关支持的环回配置的相关信息，请参阅处理器特定数据表 *OSPI/QSPI/SPI 电路板设计和布局指南*一节中的下图：

- 无环回、内部 PHY 环回和内部焊盘环回的 OSPI 连接原理图
- 外部板环回的 OSPI 连接原理图
- DQS 的 OSPI 连接原理图

#### 外部电路板级环回

处理器 DQS ( 或环回时钟输入 ) 与所连接存储器件的 DS 数据选通输出搭配使用

建议（当所连接器件中有 DS ( 读取数据选通 ) 引脚时）将所连接器件的 DS 引脚连接到处理器的 OSPI0\_DQS 引脚。建议在不使用 OSPI0\_LBCLKO 引脚时将其保持未连接状态。

如果所连接器件上没有 DS 引脚（例如：QSPI），建议配置外部环回。

建议将处理器的 OSPI0\_LBCLKO 输出引脚连接到处理器的 OSPI0\_DQS 输入引脚（请注意长度匹配要求）。

当不使用外部环回时，建议将 OSPI0\_LBCLKO 和 OSPI0\_DQS 引脚保持未连接状态。

---

#### 备注

为支持传统 x1 命令，处理器 OSPI0 接口的 D0 和 D1 引脚建议连接到 OSPI/QSPI 存储器件的 D0 和 D1 引脚。不允许进行数据位交换。

---

### 7.3.3.5 多个(连接)器件的接口

当前不支持将 OSPI0 外设(存储器接口)连接到多个存储器器件。建议将 OSPI0 接口(处理器)连接到 1 个存储器器件。如果 OSPI0 连接到多个存储器器件，该接口会创建一条拆分的数据总线，这可能会降低更高速条件下的信号完整性。为了使用 OSPI0 以更高速度访问存储器器件，建议使用 OSPI0 接口信号的点对点连接。

### 7.3.3.6 电源轨的电容器

建议确认已为 VDDSHV4 电源轨和所连接器件(CORE 和 IO 电源)提供大容量电容器与去耦电容器(若有建议则使用建议的电容器，或遵循相关 EVM 或 SK 实现)。

如果没有可用的建议，则建议遵循处理器特定 EVM 或 SK 实现。

### 7.3.3.7 OSPI0 或 QSPI0 外设接口实现检查清单

#### 通用

检查并验证定制原理图设计的以下内容：

1. 已查看用户指南上文中的“[所有章节的通用检查清单](#)”章节。
2. 所需存储器接口配置和建议的连接。
3. 处理器和所连接器件之间的 IO 电平兼容性。以 OSPI0 接口信号为基准(由其供电)的所连器件 IO 电源和 IO 组 IO 电源的连接。
4. 为 OSPI0\_CLK 提供串联电阻器和下拉电阻器的配置。
5. 为数据和控制信号提供上拉电阻器配置。
6. 处理器和所连接器件之间的 IO 电平兼容性。
7. 复位逻辑的实现和所连接器件复位输入的连接。
8. 基于存储器件和所选接口(OSPI/QSPI)的时钟环回配置。
9. 存储器 DQS 输入(QSPI)或处理器 LBCLKO(QSPI)的连接。

#### 原理图审阅

定制原理图设计请遵循以下列表：

1. 建议将 OSPI0 或 QSPI0 存储器接口与 EVM 或 SK 原理图实现进行比较，以配置并联拉电阻、串联电阻器和电阻值。
2. 建议将所连接器件复位逻辑的实现与 EVM 或 SK 原理图实现进行比较。
3. 为 OSPI0\_CLK 配置串联电阻器( $0\Omega$ )(靠近处理器时钟输出引脚，以控制可能的信号反射)，为 OSPI0\_CLK 配置外部下拉电阻器( $10k\Omega$ )(靠近所连接器件时钟输入引脚)，以将所连接器件保持在低电平状态(在某些情况下，时钟在低电平逻辑状态停止或暂停，并且下拉选项与该逻辑状态一致)。
4. 为可能悬空的数据和控制信号提供上拉电阻( $10k\Omega$  或  $47k\Omega$ )配置(以防止所连接器件输入在由主机驱动之前处于悬空状态)。建议验证电源是否连接到上拉电阻器。
5. 不建议或不允许将 OSPI0 接口连接多个所连接器件(超过一个所连接器件)。
6. 处理器和所连接器件之间的 IO 电平兼容性。以 OSPI0 接口信号为基准(供电)的所连器件 IO 电源和 IO 组 VDDSHV4 的 IO 电源连接到同一电源。
7. 连接到以 OSPI0 外设为基准(由其供电)的 IO 组 IO 电源 VDDSHV4 和所连接器件 IO 电源的电源轨遵循 ROC。
8. 外部环回实现(基于用例)。
9. OSPI 存储器件的 DQS 和为处理器附近 DQS 输入添加的下拉电阻的连接。
10. 通过  $0\Omega$  连接 QSPI 存储器件的 OSPI0\_LBCLKO。
11. 在复位或电源斜升期间将复位输入上拉至高电平状态(不建议)。
12. 用于引导时复位逻辑的实现。建议使用双输入“与运算”逻辑来实现所连接器件(OSPI/QSPI 内存)的复位。处理器 GPIO 作为其中一个输入连接到与门，在“与运算”逻辑与门输入端附近提供上拉电阻器( $10k\Omega$  或  $47k\Omega$ ) (以支持引导) 并提供  $0\Omega$ ，以隔离 GPIO 输出用于测试或调试。与门的另一个输入是 MAIN 域热复位状态输出(RESETSTATz)。
13. 如果 OSPI0 接口未用于引导，可使用处理器 IO 实现复位逻辑。建议在复位输入附近放置下拉电阻。

## 其他

1. 建议验证是否遵循了处理器特定数据表的 **OSPI/QSPI/SPI 电路板设计和布局布线指南** 部分。
2. 如果实现了 **OSPI/QSPI** 引导模式，建议验证器件勘误表、所选存储器是否满足处理器特定 **TRM** 中描述的引导标准（或向 TI 验证，建议使用 **E2E**）。

### 7.3.4 通用存储器控制器 (GPMC)

该处理器系列 ( ALV 封装 ) 支持一个 (x1) 通用存储器控制器 (GPMC) 接口。

GPMC 接口支持连接不同类型的存储器和存储器接口配置。

有关支持的 GPMC 功能、各种访问类型和 GPMC 接口可以通信的各种外部器件，请参阅处理器特定 TRM 的内存接口一章通用内存控制器 (GPMC) 一节。有关支持的信号，请参阅处理器特定 TRM 的 GPMC I/O 信号一节，处理器特定数据表的信号说明、GPMC MAIN 域 GPMC0 信号说明一节。

#### 7.3.4.1 IO 电源

用于 GPMC 接口的处理器 IO 以 VDDSHV3 电源导轨 ( IO 组 3 的 IO 电源 ) 为基准 ( 由其供电 ) 。

建议将所连接器件的 VDDSHV3 和 IO 电源轨连接到同一电源。

所连接器件的 VDD ( 内核电压 ) 可从 ( 由 ) 独立电源 ( 不同的电源 ) 供电。

#### 7.3.4.2 GPMC 接口

建议验证使用的内存接口配置和连接到 GPMC 接口的所连接器件数量。

建议在同步模式下配置时将 GPMC 接口连接到 1 ( 单 ) 个器件。使用多个所连接器件或 (CSn) 时需要拆分板载 GPMC 时钟 ( 和其他接口信号 ) ，这会导致信号完整性问题，影响性能。

在异步模式下连接多个器件时，建议进行详细的时序分析。在异步模式下连接多个器件时，必须将控制信号路由到多个器件。拆分路由和负载 ( 布线长度和器件数量 ) 定制电路板性能。

#### 7.3.4.3 信号连接

建议为 GPMC0\_CLK 连接一个串联电阻器 ( $0\Omega$ ) ( 靠近处理器时钟输出引脚，以控制可能的信号反射 ) ，为 GPMC0\_CLK 连接外部下拉电阻器 ( $10k\Omega$ ) ( 靠近所连接器件时钟输入引脚 ) ，以将所连接器件保持在低电平状态 ( 在某些情况下，时钟在低电平逻辑状态停止或暂停，并且下拉选项与该逻辑状态一致 ) 。

建议在 GPMC0\_CS<sub>n</sub>0-3 ( 取决于配置 ) 上配置一个外部上拉电阻器 ( $10k\Omega$ ) ，以防止所连接器件输入在被主机驱动前处于悬空状态。

建议为 GPMC 地址和数据接口信号配置一个外部拉电阻器 ( $10k\Omega$ ) ，以防止所连接器件输入在被主机驱动前处于悬空状态。

#### 7.3.4.3.1 GPMC NAND

NAND 闪存的高电平有效就绪和低电平有效繁忙 (R/B#) 输出为漏极开路输出类型信号，并连接到 GPMC0\_WAIT0 和 GPMC0\_WAIT1 信号 ( 取决于配置 ) 。建议在靠近所连接器件处添加上拉电阻器 ( 通常使用  $10k\Omega$  值 ) 。 TPS65931211-Q1 PMIC 用户指南

#### 7.3.4.4 存储器 ( 连接的器件 ) 复位

如果使用采用 GPMC 接口的 NAND 闪存或 NOR 闪存时，复位输入的可用性取决于所选的存储器件。

如果支持复位引脚，建议检查所需的复位配置并将相关外部复位输入信号连接到内存复位输入引脚，包括实现 2 输入“与运算”逻辑。在复位引脚上添加一个上拉电阻器可在电压斜坡期间使能内存，不建议这样做。

#### 7.3.4.5 电源轨的电容器

建议确认已为 VDDSHV3 电源轨和所连接器件 ( CORE 和 IO 电源 ) 提供大容量电容器与去耦电容器 ( 若有建议则使用建议的电容器，或遵循相关 EVM 或 SK 实现 ) 。

如果没有可用的建议，则建议遵循处理器特定 EVM 或 SK 实现。

### 7.3.4.6 GPMC 接口检查清单

#### 通用

检查并验证定制原理图设计的以下内容：

1. 已查看用户指南上文中的“[所有章节的通用检查清单](#)”章节。
2. GPMC 接口配置和建议的连接。
3. GPMC0 时钟的串联电阻器和下拉电阻连接。
4. 处理器和所连接器件之间的 IO 电平兼容性。
5. IO 所需拉电阻的连接。
6. 支持的地址和数据范围。
7. NAND 闪存的开漏输出型信号高电平有效就绪和低电平有效繁忙 (R/B#) 输出的连接。
8. 配置引导模式输入用于备选功能 ( GPMC 接口 )。
9. 所需的 GPMC 接口时序与计算结果及布局对时序影响之间的关系。在异步模式下连接到多个器件时执行时序和 IO 负载计算。

#### 原理图审阅

定制原理图设计请遵循以下列表：

1. GPMC 接口配置和建议的连接。GPMC 存储器 NAND/NOR、地址和数据信号的连接 - 多路复用或非多路复用、同步或异步数据位宽度符合处理器特定 TRM。
2. 支持的地址和数据范围 ( 处理器专用数据表中提到的处理器 IO 引脚输出 )。
3. 处理器和所连接器件之间的 IO 电平兼容性。以 GPMC 接口信号为基准 ( 供电 ) 的所连器件 IO 电源和 IO 组 VDDSHV3 的 IO 电源连接到同一电源。
4. 为可能悬空的接口信号提供建议的拉电阻器 ( $47\text{k}\Omega$ ) ( 以防止所连接器件输入在由主机驱动之前处于悬空状态 )。
5. 建议在 GPMC0\_CSn0-3 ( 取决于配置 ) 上配置外部上拉电阻器，以防止所连接器件输入在被主机驱动前处于悬空状态。
6. 为 GPMC0\_CLK 配置串联电阻器 ( $0\Omega$ ) ( 靠近处理器时钟输出引脚，以控制可能的信号反射 )，为 GPMC0\_CLK 配置外部下拉电阻器 ( $10\text{k}\Omega$ ) ( 靠近所连接器件时钟输入引脚 )，以将所连接器件保持在低电平状态 ( 在某些情况下，时钟在低电平逻辑状态停止或暂停，并且下拉选项与该逻辑状态一致 )。
7. 连接到以 GPMC0 外设为基准 ( 由其供电 ) 的 IO 组 IO 电源 VDDSHV3 和所连接器件 IO 电源的电源轨来自同一电源，并遵循 ROC。
8. NAND 闪存的开漏输出型信号高电平有效就绪和低电平有效繁忙 (R/B#) 输出连接到 GPMC0\_WAIT0 和 GPMC0\_WAIT1 信号 ( 取决于配置 )。建议在靠近所连接器件的位置提供上拉电阻 ( 通常使用  $10\text{k}\Omega$  电阻值 )。
9. 通过  $0\Omega$  配置引导模式输入用于备选功能 ( GPMC 接口 )，以便能够隔离检查引导模式功能。
10. 用于引导时复位逻辑的实现。建议使用双输入“与运算”逻辑来实现所连接器件 ( 存储器 ) 的复位。处理器 GPIO 作为其中一个输入连接到与门，在“与运算”逻辑与门输入端附近提供上拉电阻器配置 ( $10\text{k}\Omega$  或  $47\text{k}\Omega$ ) ( 以支持引导 )，并提供  $0\Omega$  配置以隔离 GPIO 输出用于测试或调试。与门的另一个输入是 MAIN 域热复位状态输出 (RESETSTATz)。

## 7.4 外部通信接口 (以太网 (CPSW3G0 和 PRU\_ICSSG)、USB2.0、USB3.0 (SERDES0)、PCIe (SERDES0)、UART 和 MCAN )

### 备注

请参阅有链接的部分，了解如何实现串联电阻器和并联拉电阻器：[处理器特定 EVM 或 SK 与数据表](#)。

#### 7.4.1 以太网接口

该处理器系列支持最多五个 (x5) 并行的外部以太网端口。引脚复用覆盖 CPSW3G0 或 PRU1\_ICSSG 实例之一。

有关更多信息，请参阅[在 AM64x 和 AM243x 上启用五个以太网端口](#)应用手册。

该处理器系列提供三个 MDIO 接口，建议将 CPSW3G0 MDIO 连接到 CPSW3G0 以太网端口，将 PRG0 MDIO 端口连接到 ICSSG0 以太网端口，将 PRG1 MDIO 端口连接到 ICSSG1 以太网端口。

在使用以太网端口和配置 MDIO 接口（用于引导和正常运行）之前，请参阅公告文章 *i2329 MDIO : MDIO 接口损坏 (CPSW 和 PRU-ICSS)*，该公告位于 [AM64x/AM243x 处理器硅修订版 1.0、2.0](#)。

有关以太网接口的更多信息，请参阅以下常见问题解答：

[常见问题解答] [AM6442、AM6441、AM6422、AM6421、AM6412、AM6411 和 AM2434、AM2432、AM2431 \(ALV、ALX\) 定制电路板硬件设计 - 以太网](#)

[常见问题解答] [AM625/AM623/AM620-Q1/AM62Ax/AM62Px/AM62D-Q1/AM62L/AM64x/AM243x 设计建议/定制电路板硬件设计 - 与 RGMII 接口和 RGMII TI EPHY 相关的疑问](#)

[常见问题解答] [AM625/AM623/AM620-Q1/AM62Ax/AM62Px/AM62D-Q1/AM62L/AM64x/AM243x 设计建议/定制电路板硬件设计 - 与 RMII 接口和 RMII TI EPHY 相关的疑问](#)

[常见问题解答] [AM625/AM623/AM620-Q1/AM625-Q1/AM625SIP：以太网 PHY RGMII 同步时钟](#)

常见问题解答是通用的，也可用于 AM64x 和 AM243x 处理器系列。

### 7.4.1.1 IO 电源

表 7-1 显示支持媒体独立接口的处理器的 IO 以 IO 组导轨双电压 IO 电源为基准 (由其供电)。

表 7-1. 接口实例的 IO 电源轨映射

外设实例	媒体独立接口类型	接口实例	IO 组的双电压 IO 电源
CPSW3G0	RGMII	RGMII1	VDDSHV1 和 VDDSHV2
		RGMII2	VDDSHV2
	RMII	RMII1 与 IOSET1	VDDSHV2
		RMII1 与 IOSET2	VDDSHV1
		RMII2	VDDSHV1
PRU_ICSSG0	RGMII	RGMII1	VDDSHV1
		RGMII2	VDDSHV1
	MII	MII1	VDDSHV1
		MII2	VDDSHV1
PRU_ICSSG1	RGMII	RGMII1	VDDSHV2
		RGMII2	VDDSHV2
	MII	MII1	VDDSHV2
		MII2	VDDSHV2

建议使用同一电源轨连接附加器件的 VDDSHV1 和 VDDSHV2 电源和 IO 电源轨。

所连接器件 (EPHY) 的 VDD ( CORE 电压 ) 可从 (由) 独立电源 (不同的电源) 供电。

### 7.4.1.2 媒体独立接口 (MAC 侧)

#### 7.4.1.2.1 通用平台 3 端口千兆位以太网交换机 (CPSW3G0)

有关与 RGMII 接口相关的引脚映射信息，请参阅处理器特定数据表的信号说明、CPSW3G、MAIN 域、RGMII1 信号说明和 RGMII2 信号说明一节。

有关与 RMII 接口相关的引脚映射信息，请参阅处理器特定数据表的信号说明、CPSW3G、MAIN 域、RMII1 和 RMII2 信号说明一节。

#### 备注

CPSW3G0 MDIO0、CPSW3G0 RMII1、CPSW3G0 RMII2 和 CPSW3G0 RGMII1 具有一个或多个信号，这些信号可以多路复用到多个引脚。定义的时序要求和开关特性仅对名为 IOSET 的特定引脚组合有效。可在处理器特定数据表 CPSW3G IOSET 部分的表中找到这些接口的有效引脚组合或 IOSET。

根据所需的接口，有关有效 IOSET、每个 CPSW3G0 MDIO0 IOSET、CPSW3G RMII1 和 RMII2 IOSET 以及 CPSW3G0 RGMII1 IOSET 的有效引脚组合的信息，请参阅处理器特定数据表的时序和开关特性、外设、CPSW3G0 IOSET 一节。

RMII\_REF\_CLK 由 RMII1 和 RMII2 共用。为确保正常运行，所有引脚多路复用信号分配都必须使用相同的 IOSET。两个 RMII 端口共用一个 RMII\_REF\_CLK。RMII\_REF\_CLK 时钟可以是 IOSET1 的 PRG1\_PRU0\_GPO10 引脚的输入，也可以是 IOSET2 的 PRG1\_PRU0\_GPO10 引脚的输入。所有 RMII 信号都必须配置为与 IOSET1 或 IOSET2 关联的引脚。不允许在 IOSET 之间拆分时钟分配 (将时钟连接到其中一个 IOSET，将接口信号连接到另一个 IOSET)。每个 IOSET 的时钟路径相对于相应 IOSET 关联的信号而言是时序闭合的。两个时钟路径之间的延迟差不是相对的。

#### 7.4.1.2.2 可编程实时单元和工业通信子系统 - 千兆位 (PRU\_ICSSG)

该处理器系列支持两个 (x2) PRU\_ICSSG 子系统实例，每个 PRU\_ICSSG 支持两个 (x2) 以太网端口 (MII (10/100) 或 RGMII (10/100/1000))。要了解对 SGMII 模式的支持，请参阅处理器特定 TRM。PRU\_ICSSG 支持工业协议，支持的协议取决于处理器选型。

有关与 RGMII 接口相关的引脚映射信息，请参阅处理器特定数据表的信号说明、PRU\_ICSSG、MAIN 域部分。

有关如何选择具有 PRU\_ICSSG 功能的处理器，请参阅 常见问题解答：

[常见问题解答] AM6442：每个 AM64x 器件上的 PRU\_ICSSG 功能是什么？

有关与 MII 接口（备选功能）相关的引脚映射信息，请使用 *SysConfig-PinMux* 工具或处理器特定 TRM。

处理器特定数据表中提供了处理器引脚的引脚映射信息，以实现可用的主要功能。如果这些引脚中的任何一个都可以使用可配置的备选功能，则可以使用 *SysConfig-PinMux* 工具或通过参考处理器特定 TRM 来获取相关信息。

有关更多信息，请参阅处理器特定 TRM 中处理器和加速器一章的可编程实时单元和工业通信子系统一千兆位 (PRU\_ICSSG) 部分。

#### 7.4.1.2.3 其他信息

可以使用 PADCONFIGx 寄存器在处理器级别对 PRU\_ICSSG 引脚进行多路复用，也可以在 PRU\_ICSSG IP 级别对 PRU\_ICSSG 引脚进行多路复用。注意所需接口的原理关系，特别是检查 RGMII 连接与 MII 连接在发送引脚（包括时钟）上的不同之处。

一些工业协议要求使用具有 MII 接口的 10/100Mbit EPHY。请根据需要与 EPHY 制造商核实，以确定是否支持工业协议所需的 MII 接口。

---

#### 备注

PRU\_ICSSG 包含第二层多路复用，以实现 PRU GPO 和 GPI 信号的附加功能。处理器特定 TRM 的 PRU\_ICSSG 一章中对该内部包装器多路复用进行了说明。

---

#### 7.4.1.3 SysConfig-PinMux 工具的使用

要配置所需的以太网接口，建议使用 *SysConfig-PinMux* 工具。*SysConfig-PinMux* 工具提供可能的 IO 配置和 IO 冲突的详细信息。

#### 7.4.1.4 MAC ( 数据、控制和时钟 ) 接口信号连接

建议为以太网 MAC 接口信号配置串联电阻器 ( 对于 **TDx** 信号 , 建议将其置于处理器 MAC 接口引脚附近 ) 。建议使用尽可能小的封装 ( 0402 或更小 ) 并将串联电阻器靠近源极放置。首先 , 将用于 **TDx** 信号的串联电阻器 ( $0\Omega$ ) 放置在处理器引脚附近。对于 **RDx** 信号 , 可以使用 EPHY 提供的内部阻抗控制选项。如果空间充足 , 建议在 **RDx** 信号端提供外部串联电阻器 ( $0\Omega$ ) 配置。

EPHY 的中断输出可以连接到处理器 **EXTINTn** ( 中断 ) 引脚。建议为 **EXTINTn** 连接一个靠近处理器的上拉电阻。

#### 7.4.1.5 EPHY 复位

可以使用 3 输入 “与运算” 逻辑来实现所连接器件 (EPHY) 复位。处理器 GPIO ( 用于本地复位 EPHY ) 连接到 “与运算” 逻辑与门输入 , 在输入端附近提供上拉电阻器 ( $10k\Omega$  或  $47k\Omega$  ) ( 以支持引导 ) 和  $0\Omega$  配置 , 以隔离 GPIO 用于测试或调试。与门的另外两个输入是 MAIN 域 POR ( 冷复位 ) 状态输出 (PORz\_OUT) 或 MAIN 域热复位状态输出 (RESETSTATz) 。

如果双输入 “与运算” 逻辑被视为 PORz\_OUT ( 加电时的引脚搭接 ) 或者 RESETSTATz 可作为其中一个输入连接 , 处理器 GPIO 输入作为另一个 ( 第二个 ) 输入连接。当使用多个 ( 两个 ) EPHY 时 , 建议提供单独复位 EPHY 的配置。

根据 EPHY 复位输入极性 , 可使用 “与运算” 逻辑输出处的上拉或下拉电阻器 ( $10k\Omega$  ) 。时钟有效后 , EPHY 需要在一段指定的最短时间内保持复位状态。

如果处理器 MAIN 域热复位状态输出 (RESETSTATz) 直接用于复位 EPHY ( 所连接设器件 ) , 建议将 RESETSTATz 的 IO 电压电平与已连接器件相匹配。建议使用电平转换器来匹配 IO 电平。如果选择了电阻分压器的理想值 , 则也可以使用电阻分压器进行电平转换。如果过高 , EPHY 复位输入的上升和下降时间可能会很慢 , 从而引入过大延迟。使用过低值电阻器作为分压器会导致处理器在正常运行期间提供过多的稳态电流。

#### 7.4.1.6 以太网 PHY ( 和 MAC ) 运行和媒体独立接口 (MII) 时钟

验证根据接口用于以太网 PHY 和 MAC 的时钟输入选项。

##### 7.4.1.6.1 晶体用作处理器和 EPHY 的时钟源

当使用晶体作为 EPHY 的时钟源时 , 建议将晶体 ( 时钟 ) 规范与处理器时钟规范相匹配。

##### 7.4.1.6.2 用作时钟源的外部振荡器

外部 (LVCMS) 振荡器可用作处理器 ( 和 EPHY ) 的时钟源。可以使用一 ( 单 ) 个振荡器或多个振荡器 ( 每个 EPHY 和处理器都有单独的振荡器 ) 。使用一 ( 单 ) 个振荡器时 , 建议在连接到处理器和 EPHY 之前缓冲振荡器时钟输出 ( 对每个所连接器件时钟输入使用单独的缓冲器 ) 。

单通道 ( 具有单输入和单输出 ) 缓冲器或具有双路或多路输出缓冲器的单输入可用于将振荡器的时钟输出连接到处理器和 EPHY 。对于特定用例 ( 使用时间敏感网络 (TSN) 的某些工业应用的要求 ) , 建议将单输入和两个或更多输出 ( 根据所使用的 EPHY 数量 ) 缓冲器用于处理器和 EPHY 。

建议确认根据建议的指南连接 EPHY 的 XO 。

##### 7.4.1.6.3 处理器时钟输出 (CLKOUT0)

为了优化定制电路板设计 , 处理器时钟输出 (CLKOUT0) 可用作 EPHY 的时钟源 ( 输入 ) 。 CLKOUT0 在内部进行缓冲 , 旨在连接在点对点时钟拓扑中。建议在连接到所连接器件 (EPHY) 的时钟输入之前 ( 单独 ) 对 CLKOUT0 进行缓冲。建议在 CLKOUT0 的源极端安装一个串联电阻器 ( $0\Omega$  , 测试后调整 ) , 以控制可能的信号反射。

使用 RGMII 接口的 EPHY 需要一个与任何其他信号不同步的  $25MHz$  时钟输入。 $25MHz$  时钟不会有何时序要求 , 但需要确保 EPHY 不在时钟输入端接收任何非单调转换。

当 EPHY 配置用于 RMII 接口时 , 时钟选项取决于 EPHY 配置。

EPHY 配置为控制器时 , 许多 RMII EPHY 使用一个与任何其他信号不同步的  $25MHz$  输入时钟 ,  $25MHz$  时钟信号不会有何时序要求 , 但务必要确保 EPHY 在其时钟输入端不接收任何非单调转换。

RMII EPHY 为 MAC 提供 50MHz 时钟输出。在 RMII 用例中，相对于 EPHY，50MHz 数据传输时钟会延迟（硬件延迟）传递至 MAC。延迟会转换时钟数据时序关系，从而会减小时序裕量。如果延迟大，逐斜缩小的时序裕度可能会对某些设计造成问题。

**EPHY 配置为器件时**，MAC 和 EPHY 使用一个与发送和接收数据同步的 50MHz 公共时钟。50MHz 时钟在 RMII 规范中定义为供 MAC 和 EPHY 使用的通用数据传输时钟信号，这种情况下，转换预计会同时到达 MAC 和 EPHY 器件引脚。通用时钟可以为发送和接收数据传输提供更好的时序裕量。需要确保 MAC 和 EPHY 不会在时钟输入端接收任何非单调转换。为了控制时钟信号完整性，建议通过单输入、双输出相位对齐缓冲器路由通用时钟信号。建议使用与  $\frac{1}{2}$  数据信号长度等长的信号布线来连接时钟缓冲器输出，其中一个时钟输出连接到 MAC，另一个连接到 EPHY。

对于 RMII 接口，建议的配置 **RMII 接口典型应用（外部时钟源）** 在处理器特定 TRM 中介绍。当使用 **RMII 接口典型应用（内部时钟源）** 配置时，建议在板级别验证性能。建议提供配置用于连接外部时钟，以进行初始性能测试以及与内部时钟比较。

在处理器和 EPHY（在 EVM 或 SK 电路板上使用）上使用 25MHz 时钟频率验证以太网性能（RGMII）。

可以使用 CLKOUT0 为处理器（MAC）和 EPHY 提供 25MHz 或 50MHz 时钟。在软件配置时钟输出后，CLKOUT0 输出可用。在需要支持以太网引导时，不建议使用 CLKOUT0 配置。配置更改后，作为 EPHY 时钟输入连接的 CLKOUT0 可能会出现故障。

在相应时钟有效后，EPHY 需要保持在复位状态，持续指定的最短复位保持时间。

处理器特定数据表中未定义处理器时钟输出性能，因为时钟性能可能会受到每种定制电路板设计所特有的许多变量的影响。建议定制电路板设计人员使用实际 PCB 延迟、最小或最大输出延迟特性以及每个器件的最低建立和保持要求来验证所有外设的时序，以确认是否有足够的时序裕量。

#### 7.4.1.7 以太网 PHY 引脚配置 (strap)

部分 TI EPHY 在复位期间将输出配置为输入，并在释放 EPHY 复位时将 EPHY 配置锁存（通过电阻器进行引脚配置设置（strap））。建议在硬件配置引脚输入（IO）上应用适当的上拉或下拉（根据 EPHY 的建议）（硬件配置引脚输入（IO）同样连接到处理器 IO）。处理器特定 EVM 或 SK 上使用的 TI EPHY 结合使用了上拉和下拉电阻，从而可以使用每个引脚来配置多种配置模式。在处理器复位期间，IO 缓冲器和内部上拉或下拉电阻处于禁用状态，并尽可能减少了 EPHY 向处理器输入缓冲器施加  $1/2 V_{DD}$  电压的问题。启用任何相关的处理器输入缓冲器之前，需要将 EPHY 从复位状态配置为正常状态，以驱动有效的逻辑状态。

#### 7.4.1.8 外部中断 (EXTINTn)

EXTINTn 是一种开漏输出类型失效防护 IO 缓冲器。当连接 PCB 布线并且外部输入未被主动驱动时，建议连接外部上拉电阻器（ $10k\Omega$  或  $47k\Omega$ ）。漏极开路输出类型 IO 缓冲器在上拉至 3.3V 时具有指定的转换率要求。建议使用 RC（延迟）来限制输入转换率。建议将该电容器放置在靠近处理器引脚的位置。

有关更多信息，请参阅以下常见问题解答：

[常见问题解答] [AM625/AM623/AM620-Q1/AM625-Q1/AM625SIP/AM62L/AM62A7/AM62A3/AM62A1-Q1/AM62D-Q1/AM62P/AM62P-Q1 定制电路板硬件设计 — EXTINTn 引脚上拉连接](#)

常见问题解答是通用的，也可用于 AM64x 和 AM243x 处理器系列。

##### 7.4.1.8.1 外部中断 (EXTINTn) 检查清单

###### 通用

检查并验证定制原理图设计的以下内容：

1. 已查看用户指南上文中的“[所有章节的通用检查清单](#)”章节。
2. 电气特性（拉至 3.3V 时的失效防护和压摆率要求）。
3. EXTINTn IO 的上拉电阻连接。
4. 拉至 3.3V 时，EXTINTn IO 的上拉电阻连接。

## 原理图审阅

定制原理图设计请遵循以下列表：

1. 使用的上拉电阻值。建议从与 EVM 或 SK 原理图实现进行比较开始。
2. 以处理器 VDDSHV0 为基准（供电）的上拉电阻（上拉电阻连接到正确的 IO 电压电平）。
3. EXTINTn 是一种开漏输出类型失效防护 IO 缓冲器。当连接走线或外部输入时，建议使用外部上拉电阻。
4. 漏极开路输出类型 IO 缓冲器 EXTINTn 在拉至 3.3V 电源时具有指定的压摆率要求。建议在输入端添加一个 RC 来限制输入压摆率。请参阅 TMDS64EVM。
5. 用于压摆率控制的 RC 值。请参阅 TMDS64EVM。建议在靠近处理器引脚的位置连接电容器。

#### 7.4.1.9 MAC ( 介质访问控制器 ) 到 MAC 接口

在 2 个处理器之间实现无 EPHY ( MAC 至 MAC ) 连接时 , 建议使用 RGMII 接口 ( 请与 TI 联系以了解所选处理器系列上官方是否支持 MAC 至 MAC 接口 ) , 因为时钟可进行源同步。

当实现 2 个处理器之间的 MAC 至 MAC 接口时 , 建议验证失效防护运行情况、时钟规格匹配以及 IO 级兼容性。

#### 7.4.1.10 MDIO ( 管理数据输入/输出 ) 接口

如果设计中使用了 CPSW3G0 、 PRU\_ICSSG0 和 PRU\_ICSSG1 , 请参阅 MDIO 接口配置。

表 7-2. CPSW3G0 MDIO

IOSET	信号名称	焊球名称	IO 组的双电压 IO 电源
IOSET1	MDIO0_MDIO	PRG0_PRU1_GPO18	VDDSHV1
	MDIO0_MDC	PRG0_PRU1_GPO19	VDDSHV1
IOSET2	MDIO0_MDIO	PRG1_MDIO0_MDIO	VDDSHV2
	MDIO0_MDC	PRG1_MDIO0_MDC	VDDSHV2

表 7-3. PRU\_ICSSG INSTANCE MDIO

外设实例	焊球名称/信号名称	IO 组的双电压 IO 电源
PRU_ICSSG0	PRG0_MDIO0_MDIO	VDDSHV1
	PRG0_MDIO0_MDC	VDDSHV1
PRU_ICSSG1	PRG1_MDIO0_MDIO	VDDSHV2
	PRG1_MDIO0_MDC	VDDSHV2

当前不建议或不支持使用同一 ( 单个 ) MDIO 接口连接到 CPSW3G 和 PRU\_ICSSG 上连接的以太网 PHY 。

CPSW3G0 、 PRU-ICSSG0 和 PRU-ICSSG1 实例包括可连接到 EPHY 的专用 MDIO 接口。

建议为 MDIO0\_MDIO ( MDIO 数据 ) 信号连接外部上拉电阻器 (  $2.2\text{k}\Omega$  ( 遵循 EPHY 建议 ) 靠近 EPHY ) 。

对于 MDIO\_MDC , 建议验证 EPHY 是否支持内部拉电阻器 ( 下拉电阻器 ) 。

在配置 MDIO 接口之前 , 请参阅公告文章 *i2329 MDIO : 处理器特定器件勘误表的 MDIO 接口损坏 ( CPSW 和 PRU-ICSS )* 。

#### 7.4.1.10.1 MDIO 接口模式

使用 MDIO 接口之前 , 请参阅器件特定勘误表的公告文章 *i2329 MDIO : MDIO 接口损坏 ( CPSW 和 PRU\_ICSS )* 。

如果所选的处理器和正在使用的器件修订版本受到器件勘误表的影响 , 则该驱动器可以解决这个问题。该驱动器读取器件 JTAG ID 并将 MDIO 配置为使用手动 ( 位拆裂 ) 模式。

有关 MDIO 模式的信息 , 请参阅外设、高速串行接口、千兆位以太网交换机 ( CPSW3G ) 、 CPSW0 功能说明、 MDIO 中断一节 , 有关处理器特定 TRM 的 JTAG ID , 请参阅简介、器件标识一节

#### 7.4.1.11 包括磁性元件在内的以太网 MDI ( 介质相关接口 )

如果在处理器板上实现了包括磁性元件和 RJ45 连接器在内的 EPHY 和 MDI 接口 ( 铜或光纤 ) , 建议遵循 MDI 接口连接的 EVM 或 SK 实现方案、推荐的磁性元件 ( EVM 或 SK 或类似方案上推荐使用的磁性元件 ) 以及 RJ45 连接器屏蔽层连接至电路接地。建议提供外部 ESD 保护。

#### 7.4.1.12 电源轨的电容器

建议确认已为 VDDSHV1 和 VDDSHV2 电源轨和所连接器件 ( CORE 、 ANALOG 和 IO 电源 ) 提供大容量电容器与去耦电容器 ( 若有建议则使用建议的电容器 , 或遵循相关 EVM 或 SK 实现 ) 。

如果没有可用的建议 , 则建议遵循处理器特定 EVM 或 SK 实现。

### 7.4.1.13 以太网接口检查清单

#### 通用

检查并验证定制原理图设计的以下内容：

1. 已查看用户指南上文中的“[所有章节的通用检查清单](#)”章节。
2. CPSW3G0 和 PRU-ICSSG0、PRU-ICSSG1 的 MAC 接口配置
3. TDx 信号和 EPHY RDx 信号上的串联电阻器
4. 处理器 MAC 接口信号和 EPHY ( 所连接器件 ) 之间的 IO 电平兼容性。
5. MAC 到 MAC 接口连接
6. 处理器和 EPHY 时钟规格匹配。
7. RMII 接口的 EPHY 和处理器 MAC 的时钟设置。
8. MDIO 接口和 EPHY 地址配置。
9. EPHY 复位逻辑的实现。
10. 两个 EPHY 复位逻辑的实现。
11. 以太网接口 IOSET 组合
12. MDIO 接口 MDC ( 时钟信号 ) 上的上拉电阻是可选项 ( EPHY 可能有内部下拉电阻；建议验证 EPHY 数据表中拉电阻的可用性 ) 。

#### 原理图审阅

定制原理图设计请遵循以下列表：

1. 建议将用于处理器和 EPHY 电源轨的大容量电容器和去耦电容器与 EVM 或 SK 原理图实现进行比较 ( 使用 TI EPHY 时 ) 。
2. 电源轨连接遵循 ROC
3. CPSW3G0 支持 RGMII 和 RMII 配置。PRU-ICSSG、PRU-ICSSG1 支持 RGMII 和 MII
4. 提供了靠近处理器 MAC TDx 输出引脚的处理器 MAC 发送信号 TDx 的串联电阻器配置，并使用初始值 ( $0\Omega$ )。可以实现靠近所连接器件的可选  $0\Omega$  串联电阻器的 RDx 信号。
5. 处理器 MAC 和 EPHY ( 所连接器件 ) 之间具有 IO 级兼容性。建议将所连接器件 IO 电源和以接口信号为基准的 IO 组 IO 电源 VDDSHV1 或 VDDSHV2 连接到同一个电源。
6. 使用 TI EPHY 时，将用于所有 EPHY 电源轨的大容量电容器和去耦电容器与 EVM 或 SK 原理图进行比较
7. 当使用 MAC 到 MAC 接口时，建议验证 IO 电平兼容性、失效防护运行情况 ( 当两个处理器 MAC 以不同的电源为基准 ( 由其供电 ) 时 ) 以及时钟规格匹配。
8. 可以为每个 EPHY 使用具有内部振荡器或外部振荡器的晶体，也可以使用具有缓冲器的通用外部振荡器 ( 输出取决于用例 ) 。
9. 建议匹配 EPHY 和处理器时钟规格。
10. RMII 接口的 EPHY 和处理器 MAC 的时钟设置，包括添加缓冲器 ( 根据 EPHY 配置 ) 和时钟架构 ( 使用具有多个输出的通用振荡器和缓冲器 ) 。如果处理器时钟输出连接到多个输入，建议每个时钟输入均作为时钟的缓冲输出。
11. 使用 2 个接口时的 RMII 时钟连接 ( 时钟引脚是通用的 )
12. MDIO 接口连接，包括在 EPHY 附近添加的 MDIO 数据信号的上拉电阻 ( $2.2k\Omega$  ( 遵循 EPHY 建议 ) )。MDIO 连接到多个双端口器件，并在每个 EPHY 附近添加上拉电阻。当使用多个 EPHY 时，MDIO 接口的 EPHY 地址配置。CPSW3G0、PRU-ICSSG0 和 PRU-ICSSG1 实例包括专用 MDIO 接口。确保以太网接口 MDIO 连接映射到正确的 MDIO 接口。
13. 使用 TI EPHY 时，建议使用 EVM 或 SK 实现验证 EPHY 复位实现，包括“与运算”逻辑、与门输入上拉电阻和 EPHY 复位输入拉电阻。可以使用 3 输入“与运算”逻辑来实现所连接器件 (EPHY) 复位。处理器 GPIO ( 用于本地复位 EPHY ) 连接到“与运算”逻辑与门输入，在输入端附近提供上拉电阻器 ( $10k\Omega$  或  $47k\Omega$  ) ( 以支持引导 ) 和  $0\Omega$  配置，以隔离 GPIO 用于测试或调试。与门的另外两个输入是 MAIN 域 POR ( 冷复位 ) 状态输出 (PORz\_OUT) 或 MAIN 域热复位状态输出 (RESETSTATz)。
14. 当使用超过 ( 2 个 ) EPHY 时，建议提供单独复位 EPHY 的配置。

15. RMII 接口包括 IOSET 组合。如果配置了 RMII 接口，建议在连接 2 个 RMII 接口时遵循 IOSET，包括通用 RMII 时钟。IOSETS 的以太网接口时序已关闭。不建议在 IOSETS 之间混合信号。

## 其他

1. 使用 TI EPHY 时，建议遵循以下推荐步骤：
  - 获得对 EPHY 业务部门或产品线实施情况的审查。
  - 建议验证是否添加了建议的大容量电容器和去耦电容器，以及是否遵循电源序列要求。
  - 建议验证 RBIAS 电阻值和容差、RJ45 连接器选择、MDI 信号的外部 ESD 保护配置以及 RJ45 连接器屏蔽层到电路接地的连接
2. 建议使用单输出、单缓冲器器件或者双输出或多输出缓冲器将振荡器的时钟输出连接到处理器和 EPHY。对于特定用例（使用时间敏感网络 (TSN) 的某些工业应用的要求），建议将输入和两个或更多输出（根据所使用的 EPHY 数量）缓冲器用于处理器和 EPHY。
3. 当 EPHY 配置为 RMII 从器件（外设）时，建议使用具有通用输入的双输出相位对齐缓冲器
4. 如果空间充足，请考虑在 EPHY 附近的 RX 信号上添加  $0\Omega$  串联电阻器
5. “与运算”逻辑还会执行 IO 电平转换。在优化复位“与运算”逻辑之前，请验证复位 IO 电平兼容性。IO 电平不匹配会导致电源泄漏并影响处理器运行。
6. 为了简化“与运算”逻辑，请使用双输入与门并将 RESETSTATz 和处理器 GPIO 作为输入。
7. 根据数据表验证建议，或考虑所连接器件的 EVM 实施，包括端接和外部 ESD 保护。
8. 当前不支持互换 CPSW3G0、PRU-ICSSG0 和 PRU-ICSSG1 以太网接口的 MDIO 接口。
9. 如果考虑以太网引导，建议审阅器件勘误表、验证支持的 EPHY 接口配置、使用与建议的 MAC 接口端口以及建议的时钟和接口连接。

## 7.4.2 通用串行总线 (USB2.0)

该处理器系列支持一个 USB 2.0 接口端口实例。该 USB 接口 ( USB0 端口 ) 可以配置为主机、器件或双角色器件 (DRD)。

建议按照处理器特定数据表的 *USB 设计指南* 部分连接 **USB0\_VBUS**。处理器特定数据表的建议运行条件部分定义了 **USB0\_VBUS** 引脚的电源电压范围。当 **VBUS** 电源电压电平为 5V 时，施加的标称输入电压等于电阻分压器输出。

---

### 备注

**USB0\_VBUS** 为失效防护输入。失效防护输入仅在 **VBUS** 电源通过建议的 *USB VBUS 检测分压器/钳位电路* 连接时才有效。

---

### 7.4.2.1 USB0 接口 ( 使用时 )

建议将 USB 电源 **VDDA\_0P85\_USB0** ( USB0 内核电源 ) 、 **VDDA\_1P8\_USB0** ( USB0 1.8V 模拟电源 ) 和 **VDDA\_3P3\_USB0** ( USB0 3.3V 模拟电源 ) 连接到根据处理器特定数据表建议的电源轨。

建议直接连接 **USB0\_DM** 和 **USB0\_DP** 信号 ( 无需任何串联电阻器或滤波电容器 )。建议使用不包含任何残桩或测试点的走线对 **USB0** 信号进行布线。

建议在 **USB0\_RCALIB** 引脚 ( 靠近处理器 **RCALIB** 引脚 ) 与 **VSS** 之间连接一个校准电阻器。有关建议电阻值和容差，请参阅处理器特定数据表。

#### 7.4.2.1.1 配置为主机的 USB 接口

建议实现 USB 电源开关来控制外部连接的 USB 器件的 **VBUS** 电源。电源开关可保护板载电源免于过载 ( 过多电流消耗 )。

电源开关输出连接到 USB Type-A 连接器。建议将电容器 ( 最小值 > 120  $\mu$ F ) 连接到靠近连接器的 **VBUS** 电源上。

**USB0\_DRVVBUS** 信号 ( 复位期间和复位后内部下拉使能 ) 可用于使能 **VBUS** 电源开关。不建议在电源开关使能 (**EN**) 引脚附近使用外部上拉电阻器。外部下拉电阻器 (10k $\Omega$ ) 是可选的。

建议使用具有 OC ( 过流 ) 指示的 USB 电源开关，添加上拉电阻器 ( 10k $\Omega$  或 47k $\Omega$  ) 并连接到处理器 IO ( 输入 ) 以检测 **VBUS** 过载。

**USB0\_VBUS** 输入 ( **VBUS** 电源输入，包括分压器、钳位 ) 的连接是可选的 ( 并非必需 )。

建议通过一个 0 $\Omega$  电阻将 **USB0\_ID** 引脚连接到 **VSS**。

#### 7.4.2.1.2 配置为器件的 USB 接口

**VBUS** 电源从外部主机供电。USB 标准建议将 < 10  $\mu$ F 的电容器连接到靠近 USB B 型连接器的 **VBUS**。

在连接到 **USB0\_VBUS** 输入之前，建议按照处理器特定数据表的 *USB VBUS 设计指南* 部分，使用电阻分压器和齐纳二极管保护装置对 USB VBUS 电压 ( USB 接口连接器附近的电源 ) 进行分压。

如果定制电路板设计人员完全确定电路板不会遇到 > 5.5V ( 板载供电 ) 的 **VBUS** 电压，则可以将齐纳二极管保护 ( 建议 ) 视为可选。

不建议或禁止使用等效分压器连接非开关式 ( 永久 ) 板载电源或连接 3.3V 永久电源，也不建议或禁止将 1.65V 永久电源直接连接到 **USB0\_VBUS**。建议使用可在会话结束时断开并在下一个会话开始时重新开启的开关电源。

建议将 **USB0\_ID** 引脚悬空。

#### 7.4.2.1.3 USB 接口配置为双角色器件

建议将 **USB0\_ID** 引脚直接连接到 USB Micro-AB 连接器上的相应 ID 引脚。根据所连接的电缆，**USB0\_ID** 引脚将端接，处理器可配置为主机或器件。

---

**备注**

---

不支持完全兼容的 USB On-The-Go (OTG) 特性。

---

#### 7.4.2.1.4 USB Type-C

如果定制电路板设计使用 USB Type-C 连接器，则不要求 USB0\_ID 信号连接。DRD 模式开关由 USB Type-C 配套器件控制。

DRP ( 双角色端口 ) 需要一个控制器，主要用于根据协商的角色切换电源。在器件不是由 USB Type-C 连接器供电的 USB Type-C 实现方案 ( 仅限器件模式、USB2.0 ) 中，无需 USB Type-C 控制器。

- 连接器上的 CC 引脚需要通过  $5.1\text{k}\Omega$  电阻独立接地。
- USB DP 和 USB DM 连接器引脚在 PCB 上短接 ( DM=B7:A7 , DP=B6:A6 ) 。无论电缆方向如何，短接都能实现 USB2.0 连接。建议将产生的桩线保持较短。

有关 USB0\_VBUS 输入调节建议的更多信息，请参阅处理器特定数据表的 *USB VBUS 设计指南* 部分。

AM62x SK USB0 接口设计可用作实现 USB Type-C 接口的参考。

请参阅以下常见问题解答：

[常见问题解答] [SK-AM62A-LP : 没有 PD 控制器是否可以实现 USB OTG ?](#)

常见问题解答是通用的，也可用于 AM64x 和 AM243x 处理器系列。

#### 7.4.2.2 USB0 接口 ( 不使用时 )

如果定制电路板设计不使用 USB0 接口，则接口信号和电源有特定的连接要求。

如需连接 USB0、接口信号和电源引脚，请参阅处理器特定数据表的 *引脚连接要求* 部分。

建议通过单独的  $0\Omega$  电阻将 USB 电源 ( VDDA\_0P85\_USB0、VDDA\_1P8\_USB0 和 VDDA\_3P3\_USB0 ) 连接到 VSS 。

如果计划使用 USB0 进行未来扩展，建议按照 USB 接口布线指南将信号 ( USB0\_DM、USB0\_DP、USB0\_RCALIB 和 USB0\_VBUS ) 连接到 USB 连接器。建议提供连接所需的电源的配置。

#### 7.4.2.3 其他信息

建议将 USB0\_DM 和 USB0\_DP 信号直接从处理器连接到 USB 集线器上游端口。然后，集线器将 USB0 信号分配到下游端口。将连接器 ID 接地以启用主机模式。由于每个集线器的实施要求不同，建议遵循集线器制造商的建议。

有关 USB2.0 接口更多信息，请参阅以下常见问题解答：

[常见问题解答] [AM6442、AM6441、AM6422、AM6421、AM6412、AM6411 and AM2434、AM2432、AM2431 \(ALV、ALX\) 定制电路板硬件设计 — USB2.0 接口](#)

[常见问题解答] [AM625/AM623/AM620-Q1/AM62L/AM62A/AM62P/AM62D-Q1/AM64x/AM243x 设计建议/定制电路板硬件设计 — 与无源元件参数值、容差和额定电压相关的疑问](#)

#### 7.4.2.4 USB 接口检查清单

##### 通用

检查并验证定制原理图设计的以下内容：

1. 已查看用户指南上文中的“[所有章节的通用检查清单](#)”章节。
2. 所需的 USB 接口配置（主机或器件）和建议的连接。
3. USB0\_VBUS 的连接。基于 USB 接口配置的 USB VBUS 设计指南。
4. USB 电源的连接，包括滤波。
5. 从处理器到连接器的 USB 接口信号连接。
6. 建议的校准电阻器连接。
7. 当 USB 接口配置为主机时，USB VBUS 电源控制电源开关的实现。
8. USB0\_DRVVBUS 的拉电阻实现。
9. USB 电源开关、使用 USB0\_DRVVBUS 的 EN 以及电源开关 OC 输出到处理器 IO 的连接。
10. 在 USB 连接器附近的 USB VBUS 引脚上提供的建议电容器配置。
11. 为 USB 接口提供的外部 ESD 保护配置。
12. 如果实现了 USB 引导，建议验证勘误表、支持的接口配置、USB 端口和连接。
13. USB0\_VBUS 和 USB 接口信号的失效防护运行情况。

##### 原理图审阅

定制原理图设计请遵循以下列表：

1. USB 接口可以配置用于主机（请参阅相关的 EVM 或 SK 原理图）、器件或 DRD。
2. 从处理器到 USB 连接器的 USB 信号直接连接。USB 接口连接符合所需的 USB 接口配置（主机或器件）。将实现与 EVM 或 SK 原理图进行比较。
3. 任何处理器 GPIO 均可用于支持 DRD。
4. 对于 USB 主机配置，USB0\_VBUS 连接是可选的。
5. 建议遵循处理器特定数据表中关于 VBUS 分压器值和容差 ( $\pm 1\%$ ) 的建议。如果总电阻值、容差和分压器分压比在温度和电压范围内保持不变，则允许使用多个电阻器。VBUS 电源输入保护（齐纳二极管保护和值）和 VBUS 电容器值遵循 USB 标准（请参阅 EVM 或 SK）。
6. USB0\_DRVVBUS 在复位期间和复位后使能内部下拉电阻。连接上拉电阻会将所连接器件驱动为  $1/2 V_S$ 。
7. 电源开关使能连接（如果使用处理器 USB0\_DRVVBUS，则不建议或不允许使用上拉电阻，因为 USB0\_DRVVBUS 在复位期间和复位后使能内部下拉电阻）。
8. 电源开关 OC 输出到处理器 IO 的连接和 IO 电平兼容性（上拉电阻连接）。
9. 电源（内核、外设和 IO）的连接。滤波电源（铁氧体和电容器）用于 VDDA\_CORE\_USB 和 VDDA\_1P8\_USB。VDDA\_3P3\_USB 可以连接到 3V3\_SYS 电压。由于滤波器正在持续优化，因此请参阅具体和最新的 EVM 或 SK 来实现。
10. 连接的处理器 USB 外设电源轨遵循 ROC。
11.  $499 \Omega \pm 1\%$  电阻器到 USB0\_RCALIB 引脚的连接。
12. 不建议或不允许将 5V 电源从 USB 连接器直接连接到 USB0\_VBUS 引脚。不建议或不允许更改处理器特定数据表中建议的 VBUS 分压器和齐纳二极管值。仅当实现了根据处理器特定数据表建议的分压器值时，VBUS 输入的失效防护功能支持才有效。
13. 根据 USB 配置建议的电容器连接。有关实现的信息，请参阅 EVM 或 SK 原理图。对于 USB 主机，建议将电容器（最小值为  $120 \mu F$ ）连接到靠近连接器的 VBUS 电源。对于 USB 器件，VBUS 电源由外部主机供电。USB 标准建议将  $< 10 \mu F$  的电容器连接到靠近 USB B 型连接器的 VBUS。
14. 不使用 USB0 时，建议遵循连接 USB 内核和外设的引脚连接要求。
15. 实现根据处理器特定数据表的 VBUS 配置时，支持 USB0\_VBUS 功能。
16. USB 接口信号不具备失效防护。在电源斜升之前，不建议施加接口信号。

##### 其他

1. 如果利用 TI 器件实现 Type-C USB 接口，建议可与相关业务部门或产品线一起审查实施情况。

2. 建议验证 USB 接口的失效防护运行情况。在处理器电源斜升之前施加外部接口信号会导致馈电并影响定制电路板功能。
3. 可以在 USB 接口信号上使用共模扼流圈 (CMC) 来控制 EMI。CMC 可以降低信号振幅并降低 USB 接口性能 (速度、数据吞吐量，通信错误)。建议提供使用  $0\Omega$  电阻器绕过 CMC 的配置。在 USB 接口信号上使用 CMC 时，建议验证连接 (包括极性)。反转 CMC 连接极性可能会使 USB 接口数据信号短路。
4. 连接到 USBO\_DRVVBUS 引脚的 DNI 外部上拉和下拉电阻，用于实现从深度睡眠功能唤醒。
5. 建议考虑标记差分信号和差分阻抗值。

### 7.4.3 串行器和解串器 (SERDES0)

USB3.0 或 PCIe 接口 ( 数据传输 ) 是通过 SERDES0 引脚实现的。USB3.0 子系统或 PCIe 子系统没有任何直接的外部接口引脚。

---

#### 备注

USB3.0 和 PCIe 接口是互斥的 ( USB3.0 或 PCIe ) 。USB3.0 和 PCIe 不能同时使用。

---

有关更多信息，请参阅以下常见问题解答：

[常见问题解答] AM6442、AM6441、AM6422、AM6421、AM6412、AM6411 和 AM2434、AM2432、AM2431 (ALV) 定制电路板硬件设计 — SERDES0 接口

#### 7.4.3.1 SERDES0 检查清单

##### 通用

检查并验证定制原理图设计的以下内容：

1. 已查看用户指南上文中的“[所有章节的通用检查清单](#)”章节。
2. 支持的接口为 PCIe 1 个单通道 Gen 2 或 1 个 USB 3.1 DRD
3. 当 SERDES0 时钟在时钟输入模式下运行时，需要 HCSL 时钟
4. 处理器可提供 100MHz PCIe 总线时钟。此注释适用于处理器器件 PG2.0。更多详细信息请参阅器件勘误表
5. 支持的接口：USB SuperSpeed 和 PCIe 共用一个通用串行器/解串器 PHY。因此，将串行器/解串器 PHY 用于 PCIe 时，USB 将被限制为非 SuperSpeed 模式
6. 使用 PCIe 或 USB3.0 接口时，建议将模拟和 IO 电源 VDDA\_0P85\_SERDES0、VDDA\_0P85\_SERDES0\_C 和 VDDA\_1P8\_SERDES0 连接到符合处理器特定数据表的建议电源轨。
7. 建议使用最新 EVM 设计中使用的相同模拟滤波器，因为这些滤波器已经过验证
8. 使用 SERDES0 时，建议为 SERDES0\_REXT ( 靠近处理器引脚 ) 连接电阻器 ( 下拉电阻 )。有关电阻值和容差，请参阅处理器特定数据表。当不使用 SERDES0 且需要边界扫描时 ( SERDES0 电源按照处理器 ROC 连接 )，建议连接 SERDES0\_REXT，铁氧体和大容量电容器对于电源是可选项。当不使用 SERDES0 且不需要边界扫描时 ( SERDES0 电源按照引脚连接要求连接 ( 连接到 VSS ) )，SERDES0\_REXT 引脚可以保持悬空。
9. 建议为 SERDES0 发送和接收对使用交流耦合电容器

##### 原理图审阅

定制原理图设计请遵循以下列表：

1. 建议参阅以下内容：
  - [USB3SS0 - USB3.0 超高速接口配置](#)
  - [外设组件互连 Express \(PCIe\) 接口配置](#)

##### 其他

1. USB3.0 和 PCIe 接口是互斥的 ( USB3.0 或 PCIe ) 。USB3.0 和 PCIe 不能同时使用
2. SERDES0 输入不具有失效防护功能
3. 如果在处理器电源斜升之前提供了时钟或数据输入，则根据电源架构实施情况、VDDR\_CORE 电源轨可能会受到影响、从而导致引导问题
4. 建议按预期和测试结果实现 SERDES0 接口。示例，PCIe 或超高速 USB。不支持任何其他自定义接口用例或配置
5. 不使用时，SERDES0 对接口信号和电源有特定的连接要求。有关连接接口信号、模拟和 IO 电源的信息，请参阅处理器特定数据表的引脚连接要求部分
6. 当使用边界扫描功能时，建议在模拟和 IO 电源引脚上使用去耦电容器。大容量电容器和铁氧体是可选项

7. 当引脚连接要求包括将处理器模拟和 IO 电源引脚 ( 未使用边界扫描 ) 连接到 VSS 时。建议通过单独的  $0\Omega$  电阻器连接到 VSS
8. 当不使用边界扫描功能且 SERDES0 电源连接到 VSS 时 , 可以删除去耦电容器、大容量电容器和铁氧体。也可以删除 SERDES0\_REXT 配置

### 7.4.3.2 SERDES0 ( 使用时 )

建议将模拟和 IO 电源 VDDA\_0P85\_SERDES0、VDDA\_0P85\_SERDES0\_C 和 VDDA\_1P8\_SERDES0 连接到处理器特定数据表中的建议电源轨。

建议为 SERDES0\_REXT ( 靠近处理器引脚 ) 提供电阻 ( 下拉 )。有关电阻值和容差 , 建议参考处理器特定数据表。

#### 7.4.3.2.1 USB3SS0 - USB3.0 超高速接口配置

USB3.0 接口包括具有片上 SS (USB3.0) PHY 和 HS/FS/LS (USB2.0) PHY 的 SuperSpeed (SS) USB 3.0 双角色器件 (DRD) 子系统。

针对 USB3.0 功能配置了 SERDES0 PHY 差分发送数据 (TX0) 信号和差分接收数据 (RX0) 信号。

SERDES0\_TX0\_P 和 SERDES0\_TX0\_N 配置为 USB0\_SSTXP 和 USB0\_SSTXN。SERDES0\_RX0\_P 和 SERDES0\_RX0\_N 配置为 USB0\_SSXP 和 USB0\_SSXN。

##### 7.4.3.2.1.1 信号接口

###### 7.4.3.2.1.1.1 USB3.0 超高速接口

建议为 USB3.0 发送和接收信号使用交流耦合电容器。建议将电容器放在更靠近发送器的位置。

如果使用板载 USB3.0 连接器 , 则建议将来自处理器的接收信号直接连接到连接器。用于接收信号的交流耦合电容器应在连接到 USB3.0 连接器的器件上可用。

###### 7.4.3.2.1.1.1.1 USB3.0 超高速接口工作模式配置

处理器 USB0\_ID 引脚并非特定于 USB2.0。同一引脚用于确定 USB3.0 的工作模式。如果作为主机运行 ( 使用 Type-A 连接器 ) , USB0\_ID 引脚通过  $0\Omega$  电阻直接连接到 VSS ; 而在作为器件运行 ( 使用 Type-B 连接器 ) 时 , 该引脚会开路。建议将 USB0\_ID 信号从处理器路由到 Micro USB Type-AB 连接器 , 以进行双角色配置。

##### 7.4.3.2.1.2 未使用的 SERDES0 时钟连接

有关连接未使用的 SERDES0\_REFCLK0P 和 SERDES0\_REFCLK0N 引脚的信息 , 请参阅处理器特定数据表的引脚连接要求表建议。或者 , 在时钟输出端子 ( P 和 N ) 上靠近处理器的接地端放置  $50\Omega$  ( $49.9\Omega$ ) 电阻 , 并为内部板级测试提供一个测试点。

##### 7.4.3.2.1.3 其他信息

USB3.0 接口包含与 USB3.0 和 USB2.0 信号相关的信号 , 以实现向后兼容。有关 USB2.0 信号及连接的信息 , 建议参阅上文的 [通用串行总线 \(USB2.0\)](#) 一节。

将 USB3.0 信号 ( 差分发送和接收 ) 和 USB2.0 信号 ( USB0\_DP 和 USB0\_DM ) 连接到 USB3.0 ( 同一 ) 连接器。在 USB3.0 规范中 , 不允许将 USB3.0 和 USB2.0 信号拆分到不同的连接器。

如 EVM 原理图中所示、可以为 USB2.0 和 USB3.0 差分信号配置共模滤波器。建议添加绕过 CMC 的配置。定制电路板设计人员负责选择不影响性能的 CMC 。

#### 7.4.3.2.1.4 USB3SS0 - USB3.0 超高速接口检查清单

##### 通用

检查并验证定制原理图设计的以下内容：

1. 已查看用户指南上文提及的“[所有章节的通用检查清单](#)”部分的内容
2. 连接 USB3.0 接口信号
3. 连接 USB2.0 接口信号
4. 连接 SERDES0\_REXT 电阻(包括值和容差)
5. 所需滤波器和去耦电容器的连接
6. 时钟终端和连接
7. 根据建议提供交流耦合电容器

##### 原理图审阅

定制原理图设计请遵循以下列表：

1. 按照 USB3.0 要求连接发送和接收信号
2. 内核和模拟电源的连接，包括滤波器和去耦电容器
3. 所需滤波器和去耦电容器的连接（建议遵循 EVM 实现）
4. USB3.0 接口包括超高速(SS)信号和 USB2.0 连接、以实现与旧 USB 器件的向后兼容
5. 针对 USB3.0 功能配置了 SERDES0 PHY 差分发送数据 (TX0) 信号和差分接收数据 (RX0) 信号。  
SERDES0\_TX0\_P 和 SERDES0\_TX0\_N 配置为 USB0\_SSTXP 和 USB0\_SSTXN。SERDES0\_RX0\_P 和 SERDES0\_RX0\_N 配置为 USB0\_SSXP 和 USB0\_SSXN。建议为 SERDES0\_REXT (靠近处理器引脚) 连接电阻器 (下拉电阻)。有关电阻值和容差，请参阅处理器特定数据表。
6. 建议为 USB3.0 发送和接收信号使用交流耦合电容器。建议将电容器放在更靠近发送器的位置。
7. 如果使用板载 USB3.0 连接器，则建议将来自处理器的接收信号直接连接到连接器。用于接收信号的交流耦合电容器应在连接到 USB3.0 连接器的器件上可用。

##### 其他

1. USB3.0 SK-AM64B 的实现参考，适用于 AM64x Sitara 处理器的 AM64B 入门套件。
2. A53 内核控制的 USB 接口是否只能是 USB 3.0 主机，而不能是速率 为 5Gbps 的 USB 3.0 器件？

不支持设备模式下的 USB 3.0，仅支持设备模式下的 USB 2.0。

3. 建议将 USB3.0 信号 (差分发送和接收) 和 USB2.0 信号 (USB0\_DP 和 USB0\_DM) 连接到 USB3.0 (同一) 连接器。在 USB3.0 规范中，不允许将 USB3.0 和 USB2.0 信号拆分到不同的连接器。
4. 处理器 USB0\_ID 引脚并非特定于 USB2.0。同一引脚用于确定 USB3.0 的工作模式。如果作为主机运行 (使用 Type-A 连接器)，USB0\_ID 引脚通过 0Ω 电阻直接连接到 VSS；而在作为器件运行 (使用 Type-B 连接器) 时，该引脚会开路。建议将 USB0\_ID 信号从处理器路由到 Micro USB Type-AB 连接器，以进行双角色配置。
5. USB3.0 和 USB2.0 接口信号不具备失效防护。

#### 7.4.3.2.2 外设组件互连 Express (PCIe) 接口配置

针对 PCIe 功能配置了 SERDES0 PHY 差分发送数据 (TX0) 信号和差分接收数据 (RX0) 信号。SERDES0\_TX0\_P 和 SERDES0\_TX0\_N 信号配置为 PCIE0\_TX0\_P 和 PCIE0\_TX0\_N。SERDES0\_RX0\_P 和 SERDES0\_RX0\_N 信号配置为 PCIE0\_RX0\_P 和 PCIE0\_RX0\_N。

##### 7.4.3.2.2.1 PCIe 工作模式的时钟配置

PCIe 接口实现了通用时钟架构。时钟可由处理器或附加卡提供，具体取决于配置的功能。可将一个通用外部时钟用作替代时钟选项。

#### 7.4.3.2.2.2 信号接口端接

建议为 PCIe 发送和接收信号使用交流耦合电容器。建议将电容器放在更靠近发送器的位置。

如果使用板载 PCIe 连接器，则建议将来自处理器的接收信号直接连接到连接器。用于接收信号的交流耦合电容器应在连接到 PCIe 连接器的器件上可用。

#### 7.4.3.2.2.3 PCIe 时钟 (REFCLK) 源

可以考虑使用以下时钟选项作为 PCIe 接口 ( 通用时钟架构 ) 时钟的来源

- **时钟发生器**

时钟发生器输出可作为通用时钟连接到处理器和附加卡 ( 板载 PCIe 连接器 ) 。建议遵循时钟发生器的建议来端接时钟输出。

- **处理器的时钟输出**

处理器时钟输出可作为时钟输入连接到附加卡。在时钟输出端子 ( P 和 N ) 上靠近处理器的接地端放置  $50\Omega$  ( $49.9\Omega$ ) 电阻。

#### 备注

有关允许的时钟输出配置，请参阅处理器特定勘误表中的公告文章 i2236。

- **处理器的外部时钟输入 ( 来自附加卡的时钟输出 )**

来自附加卡的外部时钟作为时钟输入连接到处理器。如果来自附加卡的时钟处于不重新偏置模式，则放置一个  $0\Omega$  串联电阻；如果来自附加卡的时钟处于重新偏置模式，则放置一个  $0.1\mu F$  电容器 ( 交流耦合 ) 0402 封装。建议将电容器放在更靠近接收器的位置。

#### 7.4.3.2.2.4 硬件复位 ( 冷复位或基础复位 )

以下选项可用于复位 PCIe 卡。

- **复位附加卡**

建议使用与门逻辑实现附加 PCIe 器件 ( 附加卡 ) 的复位。其中一个与门输入是处理器通用输入/输出 (GPIO) 引脚，并具有下拉电阻配置。与门的另一个输入是处理器主域热复位状态输出 (RESETSTATz) 信号。

建议使用双输入“与运算”逻辑来实现所连接 PCIe 器件 ( 附加卡 ) 的复位。处理器 GPIO 作为其中一个输入连接到与门，在“与运算”逻辑与门输入端附近提供上拉电阻器配置 ( $10k\Omega$  或  $47k\Omega$ ) ( 以支持引导 )，并提供  $0\Omega$  配置以隔离 GPIO 输出用于测试或调试。与门的另一个输入是 MAIN 域热复位状态输出 (RESETSTATz)。

- **处理器复位**

建议将附加卡 ( PCIe 连接器 ) 的复位输出作为输入之一连接到用于生成处理器 MCU 域冷复位 (MCU\_PORz) 的“与运算”逻辑。

有关实现的信息，请参阅处理器特定 EVM。

#### 7.4.3.2.2.5 PCIe 时钟请求 (PCIE0\_CLKREQn) 信号

处理器和 PCIe ( 附加卡 ) 连接器之间的 PCIE0\_CLKREQn ( 时钟断电信号 ) 引脚连接是可选的，并且取决于应用。需要 PCIE0\_CLKREQn 连接才能启用低功耗模式。

目前尚未在处理器特定 EVM 上实现 PCIE0\_CLKREQn 功能。添加 PCIE0\_CLKREQn 支持需要进一步分析并添加胶合逻辑。

#### 7.4.3.2.2.6 连接 PCIe 接口信号

有关连接和配置其他适用 PCIe 信号以实现 PCIe 接口的不同工作模式的信息，请参阅处理器特定 EVM。

#### 7.4.3.2.2.7 PCIe 接口检查清单

##### 通用

检查并验证定制原理图设计的以下内容：

1. 已查看用户指南上文提及的“[所有章节的通用检查清单](#)”部分的内容
2. PCIe 接口信号的连接
3. 连接所需滤波器和去耦电容器（遵循 EVM 实现）
4. 时钟终端和连接
5. 连接建议的终端
6. 根据建议提供交流耦合电容器配置
7. “与运算”逻辑用于实现处理器或附加器件复位
8. 连接其他 PCIe 接口信号
9. 连接 SERDES0\_RXT 电阻(包括值和容差)
10. 复位 PCIe 附加卡

##### 原理图审阅

定制原理图设计请遵循以下列表：

1. 根据所需的 PCIe 配置连接发送、接收和时钟信号
2. 如果设计使用外部时钟、则可以将时钟连接到符合 PCIe 标准的 100MHz 差分时钟
3. 如果内部处理器时钟用作输出、则对于 CLKP/CLKN 信号、建议将  $50\Omega$ ( $49.9\Omega$ ) 到 GND 电阻器放置在处理器附近
4. 查看最新文档以确定输出时钟是否兼容 PCIe
5. SERDES0\_TX0\_P 和 SERDES0\_TX0\_N 信号配置为 PCIE0\_TX0\_P 和 PCIE0\_TX0\_N。SERDES0\_RX0\_P 和 SERDES0\_RX0\_N 信号配置为 PCIE0\_RX0\_P 和 PCIE0\_RX0\_N。建议为 SERDES0\_RXT ( 靠近处理器引脚 ) 连接电阻器 ( 下拉电阻 )。有关电阻值和容差，请参阅处理器特定数据表。
6. 建议为 PCIe 发送和接收对使用交流耦合电容器。建议将电容器靠近 PCIe 发送器放置。
7. 如果设计中使用 PCIe 连接器 ( 非板载 )，建议将接收对直接连接到连接器 ( 无直流阻断电容器 )。接收对的直流阻断电容器将 ( 预计会 ) 出现在远端 PCIe 器件上。
8. 通过 PCIe 接口连接器实现处理器或所连接器件复位。建议使用双输入“与运算”逻辑来实现所连接 PCIe 器件 ( 附加卡 ) 的复位。处理器 GPIO 作为其中一个输入连接到与门，在“与运算”逻辑与门输入端附近提供上拉电阻器配置 ( $10k\Omega$  或  $47k\Omega$ ) ( 以支持引导 )，并提供  $0\Omega$  配置以隔离 GPIO 输出用于测试或调试。与门的另一个输入是 MAIN 域热复位状态输出 (RESETSTATz)。

##### 其他

1. 借助处理器器件 PG2.0 , AM64x 可以为 PCIe 参考时钟提供源，但在为 PCIe 参考时钟提供源时不支持 SSC。验证工作采用通用时钟拓扑(即、使用相同时钟的根复合体和终点)来执行。因此，两端都使用与 AM64x PCIe 参考时钟源相同的时钟但无 SSC = 正常。两端都使用与外部源相同的时钟(有或无 SSC = OK)。为根复合体和终点使用独立的时钟源=未经验证的拓扑
2. PCIe 接口信号不具备失效防护。
3. 不支持 PCIe 摆幅调优。
4. 有关 PCIe 实现的参考，请参阅 Sitara 处理器 TMDS64EVM 和 Am64x 评估模块
5. 有关正确的 PCIe SERDES 信号连接和布线的详细建议，请参阅 Jacinto7/Sitara 高速接口布局指南(可在 TI.com 上获取)。建议在原理图中添加适当的约束或布线要求

#### 7.4.3.3 未使用 SERDES0

不使用时，SERDES0 对接口信号和电源有特定的连接要求。有关连接接口信号、模拟和 IO 电源的信息，请参阅处理器特定数据表的引脚连接要求一节。

当使用边界扫描功能时，建议在模拟和 IO 电源引脚上使用去耦电容器。大容量电容器和铁氧体是可选项。

当引脚连接要求包括将处理器模拟和 IO 电源引脚（未使用边界扫描）连接到 VSS 时，建议通过单独的  $0\Omega$  电阻器将电源连接到 VSS。

当不使用边界扫描功能且 SERDES0 电源连接到 VSS 时，可以删除去耦电容器、大容量电容器和铁氧体。

#### 7.4.4 通用异步收发器(UART)

##### 备注

处理器外设 (UART、MCAN、MCSPI、I2C) 实现了 IOSET。建议在定制电路板设计中验证和使用正确的 IOSET。该接口的时序闭合基于 IOSET。

处理器系列支持九个 (x9) UART 接口实例 (7 个主域、2 个 MCU 域)。支持的 UART 功能包括数据传输 (TXD、RXD)、调制解调器控制功能 (CTS、RTS) 和扩展调制解调器控制信号 (DCD、RI、DTR、DSR — 由主域 UART0 支持)。

有关支持的 UART 实例数，请参阅处理器特定数据表。每个 UART 实例支持的功能，建议参阅处理器特定数据表的信号说明一节。

建议验证 UART 接口 (外部通信接口或调试) 和功能 (配置，2 线或 4 线带流量控制) 的应用要求。

使用外部 RS232 收发器时，建议使外部接口信号 IO 电平与 IO 组工作电压电平的双电压 IO 电源匹配。建议利用同一电源为外部收发器的 IO 电源与 IO 组 VDDSHVx 的处理器 IO 电源供电。建议验证 UART 输入的失效防护运行情况以及连接到外部拉电阻器期的电压电平。

建议在接口信号上靠近源极的位置配置串联电阻器 ( $0\Omega$ )，用于隔离 (调试) 或控制可能的信号反射。

在复位期间和复位之后，处理器 IO 缓冲器是 (TX (输出) 和 RX (输入)) 和内部拉电阻器 (上拉和下拉电阻器) 关闭。建议在处理器 UART 接收输入 (UARTn\_RXD [n = 0-6]、MCU\_UARTn\_RXD (n = 0-1)) 上使用上拉电阻器 ( $10k\Omega$  或  $47k\Omega$ )，以防处理器 IO 可能悬空 (以防止所连接器件输入在由主机驱动之前处于悬空状态)。建议验证外部接口信号上拉电阻器的可用性，并相应地安装拉电阻器。建议对处理器 UART 发送信号 (UARTn\_TXD [n = 0-6]、MCU\_UARTn\_TXD (n = 0-1)) 使用上拉电阻器 ( $10k\Omega$  或  $47k\Omega$ )，以防处理器或所连接器件输出可能悬空。

使用 UART 接口时观察到的常见错误之一是 UART 接口信号极性相反。建议按如下方式连接信号：

- TX 到 RX
- RX 到 TX

建议在使用额外的 UART 接口流控制信号时验证连接、IO 电平和极性匹配。

当外部 UART 接口信号直接连接到处理器 UART 接口时，建议验证 IO 电平兼容性和失效防护运行。建议为外部 ESD 保护提供配置。

建议为早期电路板构建配置连接 UART 引导 (UART0)，以便进行电路板启动和调试。

##### 7.4.4.1 不使用时的 UART 接口

当未在定制电路板设计中实现 UART 接口时，建议提供连接外部 UART 接口信号的配置，以进行调试。建议在配置 UART 接口信号时遵循以下优先级：

- UART0
- MCU\_UART0

建议在处理器板上添加 TP，用于连接外部输入。建议为可能悬空的 IO 提供并联拉电阻器 ( $10k\Omega$  或  $47k\Omega$ ) (以防止所连接器件输入在由主机驱动之前处于悬空状态)。建议添加外部 ESD 保护，在使用 UART 接口时可以安装该保护功能。

UART 接口信号不具备失效防护。在处理器电源斜升之前，建议不施加任何外部输入 (UART 接口信号)。

##### 7.4.4.2 通用异步接收器/发送器(UART) 检查清单

###### 通用

检查并验证定制原理图设计的以下内容：

1. 已查看用户指南上文中的“[所有章节的通用检查清单](#)”章节。
2. 配置靠近源的接口信号的串联电阻器。

3. 为处理器或连接器件 IO 添加了并行拉电阻配置。
4. 接口信号（数据，方向控制）连接。
5. 所需通信速度（波特率）与支持的波特率。
6. 由于内部时钟分频器不匹配而导致的所需通信误差（%）与计算所得通信误差（%）对比。
7. IO 组的处理器 IO 电源和连接器件 IO 电源连接。
8. UART 接口信号的失效防护运行情况。
9. 当接口信号直接连接到外部输入时，可提供外部 ESD 保护。

## 原理图审阅

定制原理图设计请遵循以下列表：

1. 在源极附近为接口信号添加串联电阻，以控制可能的信号反射或隔离，从而进行测试。
2. 为可能悬空的接口信号提供并联拉电阻器（ $10\text{k}\Omega$  或  $47\text{k}\Omega$ ）（以防止所连接器件输入在由主机驱动之前处于悬空状态）。
3. 以相应 UART 实例和信号的处理器 VDDSHVx（由其供电）为基准的上拉电阻匹配。
4. 接口信号（数据，方向控制）连接，包括信号极性匹配。
5. 电源轨道连接至 IO 组 VDDSHVx 的 IO 电源，该 IO 电源以 UART 外设为基准（由其供电）；且连接器件的 IO 电源均连接到同一电源，并遵循推荐工作条件（ROC）。
6. 为任何处理器或所连接器件 IO 添加了可悬空的并联拉电阻器配置。
7. UART 接口信号不具备失效防护。建议仅在处理器电源斜升后施加输入。

## 其他

1. 建议在外部接口信号直接连接且该信号与 IO 组的处理器 IO 电源由不同电源供电的情况下，验证失效防护操作。
2. 在处理器电源斜升之前对处理器 UART 输入施加外部输入信号会导致馈电并影响定制电路板功能。
3. 建议在外部输入直接连接时，为接口信号配置外部 ESD 保护。
4. 如果不使用 UART 接口，建议提供连接 UART0 或 MCU\_UART0 的配置以进行调试。

## 7.4.5 模块化控制器局域网 (MCAN) , 具有完整 CAN-FD 支持

### 备注

处理器外设 ( UART、MCAN、MCSPI、I2C ) 实现了 IOSET。建议在定制电路板设计中验证和使用正确的 IOSET。该接口的时序闭合基于 IOSET。

该处理器系列支持模块化控制器局域网 (MCAN) 的两个 (x2) ( 2 个主域 ) 实例，具有或不具有完整的 CAN-FD 支持。

MCAN 模块支持传统 CAN 和 CAN FD ( 具有灵活数据速率的 CAN ) 规范。

MCAN 接口，通过外部 MCAN 收发器连接到支持 MCAN 接口的所连接器件。

使用外部收发器时，建议使外部接口信号 IO 电平与 IO 组电压电平的双电压 IO 电源匹配。建议使用同一电源为收发器的 IO 电源和处理器 IO 电源轨供电。

建议在接口信号上靠近源极的位置配置串联电阻器 ( $0\Omega$ )，用于隔离 ( 调试 ) 或控制可能的信号反射。在复位期间和复位之后，处理器 IO 缓冲器是 ( TX ( 输出 ) 和 RX ( 输入 ) 和内部拉电阻器 ( 上拉和下拉电阻器 ) ) 关闭。如果处理器或所连接器件的输出可以悬空，建议对处理器 MCAN 发送 ( 接收 ) 信号使用上拉电阻器 (  $10k\Omega$  或  $47k\Omega$  )。

建议为 MCAN 收发器外部接口输入提供建议的端接。

### 7.4.5.1 模块化控制器局域网检查清单

#### 通用

检查并验证定制原理图设计的以下内容：

1. 已查看用户指南上文中的 “[所有章节的通用检查清单](#)” 章节。
2. 为源极附近的所有接口信号添加串联电阻器的配置。
3. 为处理器或所连接器件接口 IO 添加并联拉电阻的配置。
4. 连接 IO 组的 IO 电源和所连接器件的 IO 电源。
5. MCAN 接口信号的失效防护运行情况。

#### 原理图审阅

定制原理图设计请遵循以下列表：

1. 使用的串联电阻值 ( $22\Omega$ ) 和放置位置 ( 靠近源极 )。
2. 为任何可能悬空的处理器或所连接器件 IO 添加并联拉电阻值 ( $10k\Omega$  或  $47k\Omega$ ) ( 以防止所连接的器件输入在主机驱动之前悬空 )。
3. 以相应 MCAN 实例的处理器 VDDSHVx 为基准 ( 由其供电 ) 的上拉电阻器与引脚匹配。
4. 电源轨道连接至 IO 组 VDDSHVx 的 IO 电源，该 IO 电源以 MCAN 外设为基准 ( 由其供电 )；且连接器件的 IO 电源均连接到同一电源，并遵循推荐工作条件 (ROC)。
5. 为任何处理器或所连接器件 IO 添加了可悬空的并联拉电阻器配置。
6. MCAN 接口信号不具备失效防护。建议仅在处理器电源斜升后施加输入。

#### 其他

1. 处理器 IO 不具有失效防护功能。在处理器电源斜升之前，不建议施加任何外部输入。建议验证连接到外部接口信号时的失效防护操作。在处理器电源斜升之前对处理器 MCAN 输入施加外部输入信号会导致馈电并影响定制电路板功能。
2. 当接口信号直接连接到外部输入时，可提供外部 ESD 保护。

## 7.5 板载同步通信接口 ( MCSPI、FSI 和 I<sub>2</sub>C )

### 7.5.1 多通道串行外设接口 (MCSPI)

#### 备注

处理器外设 ( UART、MCAN、MCSPI、I<sub>2</sub>C ) 实现了 IOSET。建议在定制电路板设计中验证和使用正确的 IOSET。该接口的时序闭合基于 IOSET。

#### 多通道串行外设接口 (MCSPI) :

该处理器系列支持七个 (x7) MCSPI 实例 (5 个主域、2 个 MCU 域)。MCSPI 模块是多通道发送/接收同步串行总线，可以在控制器模式或外设模式下运行。在控制器模式下，处理器 SPI 接口向附加器件提供时钟信号。在外设模式下，附加器件需要为处理器提供 SPI 时钟源。

建议为 MCSPI 时钟输出信号使用串联一个  $22\Omega$  电阻器 (作为起点)。建议将该电阻放置在靠近处理器时钟输出引脚的位置 (用于重定时)。建议在所连接器件时钟输入引脚附近使用下拉电阻器 ( $10k\Omega$ )。对于靠近所连接器件的芯片选择 (CS) 引脚，建议使用上拉电阻器 ( $10k\Omega$ )。

MCSPI 外设不支持引导。OSPI0 接口支持 SPI 引导。

对于 MCSPI 接口，SPI<sub>x</sub>\_D0 和 SPI<sub>x</sub>\_D1 为数据线路。数据线支持将信号编程为发送数据 (发送、输出) 或接收数据 (接收、输入)。

在复位期间和复位之后，处理器 IO 缓冲器是 (TX (输出) 和 RX (输入) 和内部拉电阻器 (上拉和下拉电阻器)) 关闭。建议为处理器或所连接器件的数据线使用并联拉电阻器 ( $10k\Omega$  或  $47k\Omega$ )，它可能悬空 (以防止所连接器件输入在由主机驱动之前处于悬空状态)。

建议将 SPI 接口连接到 1 (单) 个存储器器件。连接到多个存储器器件时，建议遵循高速设计实践并执行仿真，以确保当单个时钟源连接到多个连接 SPI 的器件时，布局不会产生非单调时钟转换。

请参阅以下常见问题解答：

[常见问题解答] [SK-AM64B : MCSPI 集成指南](#)

[常见问题解答] [AM6412 : AM64x SPI D0 和 D1 - MISO/MOSI](#)

常见问题解答是通用的，也可用于 AM243x 处理器系列。

#### 7.5.1.1 MCSPI 接口信号的连接

对于 MCSPI 接口，建议靠近处理器时钟输出引脚 (处理器 MCSPI 配置为控制器) 为 SPI 时钟输出信号 SPI<sub>0..4</sub>\_CLK (MCSPI 0..4) 和 MCU\_SPI<sub>0..1</sub>\_CLK (MCU\_MCSPI 0..1) 提供串联电阻器 ( $22\Omega$ )，因为时钟输出用于重定时。

建议为针对 MCSPI 接口配置的所有 IO 添加一个下拉电阻器 ( $10k\Omega$ ) (靠近所连接器件时钟输入引脚)，以将所连接器件保持在低电平状态 (在某些情况下，时钟在低电平逻辑状态下停止或暂停，并且下拉电阻器选项与该逻辑状态一致)。

在复位期间和复位之后，对于许多处理器 IO (LVC MOS 或 SDIO)，IO 缓冲器 TX (输出) 和 RX (输入) 被禁用，并且内部拉电阻器 (上拉和下拉电阻器) 被关闭。建议验证是否为 SPI 芯片选择 SPI<sub>0..4</sub>\_CS0..3 (MCSPI 0..2) 和 MCU\_SPI<sub>0..1</sub>\_CS0..3 (MCU\_MCSPI 0..1) 提供了外部上拉电阻器 ( $10k\Omega$  或  $47k\Omega$ ) (靠近所连接器件)。建议向处理器添加拉电阻器 ( $10k\Omega$  或  $47k\Omega$ ) 和可悬空的所连接器件信号 (数据接口 - 数据输入、数据输出) (以防止所连接器件输入在被主机驱动前处于悬空状态)。

#### 7.5.1.2 MCSPI 接口检查清单

#### 通用

检查并验证定制原理图设计的以下内容：

1. 已查看用户指南上文提及的“所有章节的通用检查清单”部分的内容
2. 接口配置和连接
3. 时钟输出和放置的串联电阻器配置
4. 靠近源极的接口信号的串联电阻器配置
5. 时钟、数据和芯片选择的并联拉电阻连接
6. 外部 SPI 芯片选择连接
7. 连接 IO 组的 IO 电源和所连接器件的 IO 电源。
8. 接口性能和信号完整性
9. SPI 数据信号配置
10. 接口信号的失效防护运行情况

## 原理图审阅

定制原理图设计请遵循以下列表：

1. 接口配置和建议的连接（包括 IOSET）。
2. 添加到靠近处理器时钟输出引脚的时钟输出信号的  $22\Omega$  串联电阻器（用于重新定时）。
3. 提供为接口信号添加串联电阻器（可选）的配置（以隔离进行测试或控制可能的信号反射）。
4. 以相应 MCSPI 实例和信号的处理器 VDDSHVx 为基准（由其供电）的上拉电阻。
5. 处理器 VDDSHVx 和所连器件 IO 电源来自同一电源。
6. 连接到以 MCSPI 外设为基准（由其供电）的 IO 组 IO 电源 VDDSHVx 和所连接器件 IO 电源的电源轨遵循 ROC。
7. 对于为 MCSPI 接口配置的所有 IO，为 MCSPI 时钟（靠近所连接器件时钟输入引脚）提供下拉电阻（ $10k\Omega$ ）配置，以将所连接器件保持在低电平状态（在某些情况下，时钟在低电平逻辑状态下停止或暂停，并且下拉电阻选项与此逻辑状态一致）。
8. 为 SPI 芯片选择信号 SPI0..4\_CS0..3 (MCSPI 0..4) 和 MCU\_SPI0..1\_CS0..3 (MCU MCSPI 0..1) 提供外部上拉电阻配置（靠近所连接器件）。建议向可能悬空的处理器和所连接器件信号（数据接口—数据输入、数据输出）添加拉电阻（以防止所连接器件输入悬空，直到由主机驱动）。使用的上拉电阻值（ $10k\Omega$  或  $47k\Omega$ ）。
9. 处理器 SPIx 数据位 D0 和 D1 位（数据方向）的配置与所连接器件匹配，并为可悬空的信号添加所需的拉电阻。
10. 为可悬空的处理器或所连接器件 IO 添加了并联拉电阻。
11. 当连接到多个附加设备时，接口性能（速度、数据吞吐量、通信错误）和信号完整性相关问题已被分析（模拟）。
12. MCSPI 接口信号不具备失效防护。建议仅在处理器电源斜升后施加输入。

## 其他

1. 建议验证处理器 IO 直接连接到外部接口信号或连接器（通过载板或附加电路板）时的失效防护运行情况。在处理器电源斜升之前对处理器 MCSPI 输入施加外部输入信号会导致馈电并影响定制电路板功能。
2. 当接口信号直接连接到外部输入时，可提供外部 ESD 保护。

### 7.5.2 FSI (快速串行接口)

该处理器系列支持快速串行接口接收器 (FSI\_RX) 内核的六个 (x6) (6 个主域) 实例和快速串行接口发送器 (FSI\_TX) 内核的两个 (x2) (2 个主域) 实例。

快速串行接口 (FSI) 是 TI 所有的通信外设，可在彼此之间有隔离的器件间实现高速、可靠的串行通信。

快速串行接口 (FSI) – 负责 2 或 3 行单工串行数据的发送或接收。设计用于满足高速 (100Mbps) 需求以及跨越隔离边界时引入的可变延迟。

FSI 物理接口由三根导线、一个时钟和两个数据信号组成，其中一个数据信号是可选的。数据在上升沿和下降沿上传输，这允许最大 50MHz FSI 时钟频率通过两条导线 (CLK 和 D0) 以 100Mbps 的速率，以及通过三条导线 (CLK、D0 和 D1) 以 200Mbps 的速率传输数据。高吞吐量以及包含有限的报头和报尾的定义数据包 (帧)，使

得数据可以在器件之间以较小的延迟进行传输。FSI 模块由独立的发送器和接收器内核组成，它们允许在两个方向上同时进行全速通信，而不需要主从器件。

有关更多信息，请参阅以下常见问题解答：

[常见问题解答] AM6442、AM6441、AM6422、AM6421、AM6412、AM6411 和 AM2434、AM2432、AM2431 (ALV、ALX) 定制电路板硬件设计 — FSI 快速串行接口

### 7.5.2.1 FSIO 检查清单

#### 通用

检查并验证定制原理图设计的以下内容：

1. 已查看用户指南上文提及的“[所有章节的通用检查清单](#)”部分的内容
2. FSIO 发送器和接收器信号的连接
3. 在源极添加（可选）串联电阻器以实现 EMI 控制
4. 为可悬空的处理器或所连接输入 IO 添加上拉电阻器

#### 原理图审阅

定制原理图设计请遵循以下列表：

1. 快速串行接口 (FSI) 是一种高速串行端口，在三线模式下每个方向支持高达 200Mbps 的速率、在双线模式下每个方向支持高达 100Mbps 的速率
2. FSI 旨在实现芯片间配置或以菊花链形式将多个器件连接在一起
3. FSI 模块由独立的发送器和接收器内核组成，它们允许在两个方向上同时进行全速通信，而不需要主从器件
4. 可以通过以菊花链方式连接多个设备的 FSI 来创建环形拓扑。环形拓扑的优势在于每个器件仅需要一个 FSI 发送器和接收器，并且从物理连接角度而言也很简单。
5. 当您的要求包括低延迟、高带宽和低成本时，FSI 支持在高速数字隔离器（包括增强型隔离）之间进行数字通信
6. 可用 FSI 实例和支持的配置

#### 其他

1. FSI 支持全双工通信，没有固定主从结构，以及具有灵活的拓扑结构。

### 7.5.3 内部集成电路 (I2C)

#### 备注

处理器外设 (UART、MCAN、MCSPI、I2C) 实现了 IOSET。建议在定制电路板设计中验证和使用正确的 IOSET。该接口的时序闭合基于 IOSET。

该处理器系列支持 6 (六) 个 (2 (两) 个符合 I2C 规范的失效防护开漏输出型 IO 缓冲器和 4 (四) 个 LVC MOS 缓冲器类型模拟开漏输出型 IO ) I2C 接口实例。支持的 I2C 接口包括四个 MAIN 域 (一个符合 I2C 规范的开漏输出型 IO 缓冲器和三个 LVC MOS IO 缓冲器用于模拟开漏输出型 IO )、两个 MCU 域 (一个符合 I2C 规范的开漏输出型 IO 缓冲器和一个 LVC MOS IO 缓冲器用于模拟开漏输出型 IO ) I2C 接口。

I2C0 和 MCU\_I2C0 接口是真正的开漏输出型 IO 缓冲器，具有失效防护且完全符合 I2C 规范（有关时序详细信息，请参阅 Philips I2C 总线规范版本 2.1）。

该处理器系列包括多控制器集成电路间 (I2C) 控制器，每个控制器均在本地主机 (LH、AM64x 或 AM243x 处理器) 与通过 I2C 总线连接的任何 I2C 总线兼容器件之间提供接口。

每个 I2C 实例均可配置为与 I2C 兼容的目标或控制器器件。I2C 接口可以使用专用的 I2C 兼容开漏输出型 IO 缓冲器，或使用标准 LVC MOS IO 缓冲器来实现。与开漏 IO 缓冲器相关的 I2C 实例支持 HS 模式（当 IO 缓冲器在

1.8V 下工作时最高数据速率可达 3.4Mbps，当 IO 缓冲器在 3.3V 下工作时最高数据速率可达 400Kbps )。与 LVC MOS IO 缓冲器关联的 I2C 实例支持快速模式 ( 数据速率高达 400Kbps )。

### 7.5.3.1 I2C 接口信号连接

---

#### 备注

对于具有开漏输出型 IO 缓冲器 ( I2C0 和 MCU\_I2C0 ) 的 I2C 接口，无论使用何种 IO 配置，都建议添加上拉电阻器 ( $4.7\text{k}\Omega$ )。即使 I2C 接口 ( 外设 ) 未用于替代功能且预计会保持未连接状态，也建议使用外部上拉电阻器。

---

请参阅处理器特定数据表的引脚连接要求一节。建议为 I2C 接口使用上拉电阻器 ( $4.7\text{k}\Omega$ ，测试后调整)。I2C 接口支持时钟延展。时钟输出频率 ( 相对于设定的频率 ) 取决于总线负载。当在设定频率与测得的时钟频率之间观察到差异时，调整上拉电阻器 ( 减少 ) 并测量时钟频率。

当开漏输出型 IO 缓冲器 I2C 接口被拉至 3.3V 电源时，其指定了转换率要求。建议使用 RC ( 放置在处理器 I2C 接口引脚附近的电容器 ) 来限制转换率。有关 RC 实现，请参阅 AM64x EVM 原理图并参阅以下常见问题解答：

[常见问题解答] [AM625/AM623/AM620-Q1/AM62A/AM62P/AM62D-Q1/AM62L 定制电路板硬件设计过程中的设计建议/常见错误-SK 原理图设计更新说明](#)

有关更多信息，请参阅 [将电源轨连接到外部上拉电阻器](#) 一节。

在需要多个 I2C 接口的应用中，可以考虑使用 I2C1、I2C2、I2C3 和 MCU\_I2C1 接口。

I2C1、I2C2、I2C3 和 MCU\_I2C1 接口使用 LVC MOS 类型 IO 缓冲器来模拟开漏输出型 IO，并且不完全符合 I2C 规范，尤其是下降沿的速度很快 (< 2ns)。请参阅处理器特定数据表中的异常 ( 适用于 I2C1、I2C2、I2C3 和 MCU\_I2C1 接口 )。建议将一个串联电阻器 ( $47\Omega$ ，测试调整后) 放置在处理器附近，以便接口信号控制下降时间。建议在测试期间最终确定串联电阻器值。

当为 I2C 功能配置 IO 时，建议为 LVC MOS IO 使用上拉电阻器 ( $4.7\text{k}\Omega$ ，测试后调整)。建议使用最短的残桩连接上拉电阻器。

有关更多信息，请参阅以下常见问题解答：

[常见问题解答] [AM6442、AM6441、AM6422、AM6421、AM6412、AM6411 and AM2434、AM2432、AM2431 \(ALV、ALX\) 定制电路板硬件设计 — I2C 接口](#)

[常见问题解答] [AM62A7/AM62A7-Q1/AM62A3/AM62A3-Q1/AM62A1-Q1 和 AM62D-Q1 : MCU\\_I2C0 和 WKUP\\_I2C0 的内部拉电阻配置寄存器](#)

常见问题解答是通用的，也可用于 AM64x 和 AM243x 处理器系列。

当计划使用 TI 提供的软件时，请将推荐的处理器 I2C 接口连接到 PMIC，因为 I2C0 是用于 PMIC 控制的接口。

---

#### 备注

建议进行定制电路板设计期间，请查阅处理器特定数据表中时序和开关特性 - I2C 一节的异常小节。  
请注意模拟开漏输出型 IO I2C 接口的异常。建议添加串联电阻来控制下降时间。

---

### 7.5.3.2 I2C ( 开漏输出类型 IO 缓冲器 ) 接口检查清单

#### 通用

检查并验证定制原理图设计的以下内容：

- 已查看用户指南上文中的 “[所有章节的通用检查清单](#)” 章节。
- 提供的时序和开关特性以及任何其他信息。
- I2C 接口配置、建议的连接和 I2C 接口上拉电阻。
- 压摆率要求和用于压摆率控制的连接。

5. 接口未使用时的开漏输出 I<sub>2</sub>C 接口连接。
6. I<sub>2</sub>C 实例以及与多个所连接器件的连接。
7. 所连接器件地址输入的端接。

## 原理图审阅

定制原理图设计请遵循以下列表：

1. I<sub>2</sub>C0 和 MCU\_I<sub>2</sub>C0 I<sub>2</sub>C 接口（控制器）是符合规范的开漏输出型 IO 缓冲器。
2. 在处理器冷复位期间和复位后，RX 缓冲器被使能，无论 IO 配置如何，都建议使用上拉电阻 ( $4.7\text{k}\Omega$ )。
3. 在处理器冷复位期间和复位之后，使能 RX 缓冲器，无论 IO 使用情况如何（包括计划将 I<sub>2</sub>C 接口信号保持为 NC 的用例），都建议使用上拉电阻器。
4. 建议使用 EVM 或 SK 原理图实现验证用于 I<sub>2</sub>C 接口的上拉电阻值，或根据负载计算上拉电阻值。建议为 I<sub>2</sub>C 接口使用上拉电阻器 ( $4.7\text{k}\Omega$ ，测试后调整)。
5. 连接的 I<sub>2</sub>C 上拉电源电压遵循失效防护 IO 规定的稳态最大电压。电源阈值取决于连接到 IO 组 IO 电源的电源电压。
6. 开漏输出型 IO 缓冲器的 RC，用于在接口以 3.3V 运行（拉取）时限制输入压摆率。当实现了用于输入压摆率控制的 RC 时，连接在处理器 I<sub>2</sub>C 接口引脚附近的电容器。验证 RC 对 I<sub>2</sub>C 接口速度的影响，并根据需要调整 RC。
7. 连接到以 I<sub>2</sub>C 外设为基准（由其供电）的 IO 组 IO 电源 VDDSHVx 和所连接器件 IO 电源的电源轨来自同一电源，并遵循 ROC。
8. 所连接器件的地址输入，通过电阻器 ( $>1\text{k}\Omega$ ) 连接到 IO 电源。
9. 处理器支持多个 I<sub>2</sub>C 实例。建议验证任何 I<sub>2</sub>C 接口上有无 I<sub>2</sub>C 地址冲突。如果需要额外的 I<sub>2</sub>C 接口，可以使用 I<sub>2</sub>C 开关。

## 其他

1. 建议在设计阶段审阅处理器特定数据表的时序和开关特性、I<sub>2</sub>C 异常部分，包括所需的电路。
2. I<sub>2</sub>C 总线的运行速度只能与总线上最慢外设的运行速度一致。如果需要更快的运行速度，请将慢速器件移至另一个 I<sub>2</sub>C 端口。
3. 建议不要在 I<sub>2</sub>C 总线上放置多组上拉电阻，因为上拉电阻可能会导致负载过大和运行错误。根据配置的总线速度调整上拉电阻值。
4. 建议确保为处理器 I<sub>2</sub>C IO 供电的 IO 组 IO 电源与上拉电阻和所连接 I<sub>2</sub>C 器件 IO 电源所使用的电源电压相匹配。将上拉电阻连接到适当的电源电平可防止 I<sub>2</sub>C 接口错误运行。
5. I<sub>2</sub>C 接口支持时钟延展。如果由于总线负载或信号压摆率导致测得的时钟频率与配置的频率不匹配，建议调整上拉电阻。

### 7.5.3.3 I<sub>2</sub>C ( 仿真开漏输出类型 IO ) 接口检查清单

#### 通用

检查并验证定制原理图设计的以下内容：

1. 已查看用户指南上文中的“所有章节的通用检查清单”章节。
2. 提供的时序和开关特性以及任何其他信息。
3. I<sub>2</sub>C 接口配置、I<sub>2</sub>C 接口上拉电阻要求和连接。
4. 未使用接口时的 I<sub>2</sub>C 上拉电阻。
5. I<sub>2</sub>C 实例以及与多个所连接器件的连接。
6. 所连接器件地址输入的端接。
7. 仿真开漏输出型 I<sub>2</sub>C 接口异常和连接要求。

## 原理图审阅

定制原理图设计请遵循以下列表：

1. I<sub>2</sub>C1、I<sub>2</sub>C2、I<sub>2</sub>C3 和 MCU\_I<sub>2</sub>C1 I<sub>2</sub>C 接口是 LVC MOS 缓冲类型仿真开漏输出型 IO。
2. I<sub>2</sub>C 接口配置和建议的连接（包括根据 IOSET 对接口信号进行分组）
3. 当 IO 配置为 I<sub>2</sub>C 接口时，建议使用上拉电阻（4.7kΩ）。
4. 建议使用 EVM 或 SK 原理图实现验证用于 I<sub>2</sub>C 接口的上拉电阻值，或根据负载计算上拉电阻值。建议为 I<sub>2</sub>C 接口使用上拉电阻器（4.7kΩ，测试后调整）。
5. 以处理器 VDDSHVx 为基准（供电）的上拉电阻（I<sub>2</sub>C 上拉电阻连接到正确的电压）。
6. 当不使用 I<sub>2</sub>C 接口时，这些 IO 可以配置为备选功能，且上拉电阻取决于 IO 功能。
7. 连接到以 I<sub>2</sub>C 外设为基准（由其供电）的 IO 组 IO 电源 VDDSHVx 和所连接器件 IO 电源的电源轨来自同一电源，并遵循 ROC。
8. 处理器支持多个 I<sub>2</sub>C 实例。建议验证任何 I<sub>2</sub>C 接口上有无 I<sub>2</sub>C 地址冲突。如果需要额外的 I<sub>2</sub>C 接口，可以使用 I<sub>2</sub>C 开关。
9. 附加器件地址引脚，通过电阻器 (>1kΩ) 连接到 IO 电源。
10. 对于仿真开漏输出型 I<sub>2</sub>C 接口，请注意处理器特定数据表时序和开关特性部分中的 I<sub>2</sub>C 异常。建议将串联电阻器（47Ω，测试后调整）置于处理器 I<sub>2</sub>C 接口信号附近以控制下降时间。

## 其他

1. I<sub>2</sub>C1、I<sub>2</sub>C2、I<sub>2</sub>C3 和 MCU\_I<sub>2</sub>C1 接口使用 LVC MOS 类型 IO 缓冲器来模拟开漏输出型 IO，并且不完全符合 I<sub>2</sub>C 规范，尤其是下降沿的速度很快(< 2ns)。
2. 建议在设计阶段审阅处理器特定数据表的时序和开关特性、I<sub>2</sub>C 异常部分。
3. I<sub>2</sub>C 总线的运行速度只能与总线上最慢外设的运行速度一致。如果需要更快的运行速度，请将慢速器件移至另一个 I<sub>2</sub>C 端口。
4. 建议不要在 I<sub>2</sub>C 总线上放置多组上拉电阻，因为上拉电阻可能会导致负载过大和运行错误。根据配置的总线速度调整上拉电阻值。
5. 建议确保为处理器 I<sub>2</sub>C IO 供电的 IO 组 IO 电源与上拉电阻和所连接 I<sub>2</sub>C 器件 IO 电源所使用的电源电压相匹配。将上拉电阻连接到适当的电源电平可防止 I<sub>2</sub>C 接口错误运行。
6. I<sub>2</sub>C 接口支持时钟延展。如果由于总线负载或信号压摆率导致测得的时钟频率与配置的频率不匹配，建议调整上拉电阻。
7. 失效防护接口支持（仿真开漏输出型 IO 没有失效防护功能，建议在处理器 IO 电源斜升之前不要施加任何外部输入）。建议验证连接到外部接口信号时的失效防护操作。在处理器电源斜升之前对处理器 I<sub>2</sub>C 输入施加外部输入信号可能会导致馈电并影响定制电路板功能。

## 7.6 模数转换器 (ADC)

该处理器系列支持一个采用 ALV 封装的 12 位 ADC，一个采用 ALX 封装的 10 位 ADC，高达 4MSPS 的速率，八个多路复用模拟输入。

有关允许的 ADC0 输入范围和电气特性，请参阅处理器特定数据表的 **ADC12B** 电气特性部分。

建议参阅处理器特定器件勘误表（公告 i2287），获取在现有电路板上使用 SR2.0 处理器的指导信息或新的定制电路板设计的相关建议。

### 7.6.1 ADC0 ( 使用时 )

建议将 ADC0 模拟电源 VDDA\_ADC0 连接到处理器特定数据表中建议的电源轨。

使用 ADC0 之前，建议遵循处理器特定数据表的信号说明、**ADC**、**MAIN** 域表末尾添加的注释。

请参阅 [使用 AM6442、AM6422、AM6412 和 AM2434、AM2432、AM2431 \(ALV、ALX\) 处理器系列的定制电路板设计硬件设计注意事项](#) 用户指南的外设、模数转换器 (ADC)、AM64x/AM243x SR2.0 ADC 勘误表的变更摘要一节。

#### 备注

ADC0 输入不具有失效防护功能。不建议也不允许在处理器供电前向任何 ADC0 输入施加电压。施加的输入（基于输入电平）可能导致处理器电源轨上出现残余电压，从而可能导致电路板启动问题。请参阅处理器特定数据表的绝对最大额定值表。如果需要监控处理器电源斜升之前可用的电源轨，建议通过一个开关将这些输入连接到 ADC0。该开关既可由处理器 GPIO 控制，也可由来自任何电源（包括 PMIC）的电源正常信号控制。

### 7.6.2 ADC0 ( 未使用时 )

当不使用整个 ADC0 时，对输入和电源轨有特定的端接要求。当不使用任何 ADC0 输入时，对未使用的输入有特定的端接要求。

如需连接 ADC0 输入、模拟电源引脚，请参阅处理器特定数据表的引脚连接要求一节。

建议通过单独的  $0\Omega$  电阻将 ADC0 输入和处理器模拟电源引脚连接到 VSS。该配置为了将来的扩展或增强而准备，是可选操作。

### 7.6.3 ADC0 配置为输入 ADC0\_DIG\_TEST[0-7]

当配置为作为通用输入 (GPI) 运行时，ADC0 输入连接到 AM64x GPIO1 模块。每个 ADC0 引脚到 GPIO1 模块的分配在数据表的 ADC0 信号说明表中有定义。这些输入能够执行与任何其他 GPIO1 输入相同的输入功能。请阅读处理器特定 TRM 中的 **GPIO** 部分，了解这些输入的功能。

有关更多信息，请参阅以下常见问题解答：

[常见问题解答] [AM6442 : ADC0\\_DIG\\_TEST\[0-7\]](#)。如果采用数字输入，这八项可以被视为 1.8V 逻辑下的 MAIN GPIO 和/或中断输入

## 7.6.4 ADC0 检查清单

### 通用

检查并验证定制原理图设计的以下内容：

1. 已查看用户指南上文提及的“[所有章节的通用检查清单](#)”部分的内容
2. 处理器的选择
3. ADC0 模拟电源的连接
4. ADC0\_REFP 和 ADC0\_REFN 基准输入的连接和范围
5. ADC 输入配置
6. 模拟输入的连接和输入范围
7. 模拟输入和 ADC0 电源的滤波和去耦电容器
8. 未使用部分或完整 ADC0 时 ADC0 输入的连接

### 原理图审阅

定制原理图设计请遵循以下列表：

1. 审阅支持 ADC0 功能的处理器器件型号的选择
2. ADC0 模拟电源和基准输入的连接，符合处理器特定数据表并遵循 ROC
3. ADC0\_REFP 和 ADC0\_REFN 基准输入的连接，符合处理器特定数据表，包括允许的基准输入电平
4. 用于测量模拟输入或数字输入的 ADC0 输入配置
5. 施加的模拟输入范围在数据表输入范围规范内
6. ADC 电源、ADC 基准和模拟输入所需滤波器和去耦电容器的连接（建议遵循 EVM 实现）
7. 如果不使用部分或完整的 ADC0，请参阅连接输入的引脚连接要求。

### 其他

1. 查看 ADC0 相关勘误表。
2. ADC0 输入不具有失效防护功能。建议在 ADC0 电源斜升之前，不要施加任何输入。当 ADC0 输入在 ADC0 电源斜升之前可用时，通过一个由处理器电源或处理器 IO 控制的开关连接 ADC0 输入，以验证失效防护是否运行。

## 7.7 GPIO 和硬件诊断

### 7.7.1 通用输入/输出 (GPIO)

#### 备注

有关连接处理器 IO，请参阅处理器特定数据表的引脚连接要求一节结尾的注释。

该处理器系列支持 MAIN 域中的 2 个 GPIO 模块实例 (GPIO0 和 GPIO1) 和 MCU 域中的 1 个 GPIO 模块实例 MCU\_GPIO0。通用输入/输出 (GPIO) 外设支持可以配置为输入或输出的信号 (引脚)。当配置为输出时，软件可以对内部寄存器进行写入来控制输出引脚上驱动的状态。当配置为输入时，软件可以通过读取内部寄存器的来读取输入的状态。此外，GPIO 外设可以在不同的中断/事件生成模式下生成主机 CPU 中断和 DMA 同步事件。处理器特定数据表的引脚属性和信号说明两节提供了有关处理器引脚的信息，这些引脚可配置为支持 LVC MOS 和 SDIO 缓冲器类型的 GPIO (推挽型)。引脚属性一节还介绍了处理器支持的其他类型 IO。

请参阅以下常见问题解答：

[常见问题解答] AM625/AM623/AM620-Q1/AM62Ax/AM62Px/AM62D-Q1/AM62L/AM64x/AM243x 设计建议/定制电路板硬件设计 — 与 GPIO 相关的疑问

[常见问题解答] AM625/AM623/AM620-Q1/AM62L/AM62Ax/AM62D-Q1/AM62Px/AM64x/AM243x 定制电路板硬件设计的设计建议/常见错误 — LVC MOS 输入磁滞相关的疑问

[常见问题解答] AM625/AM623/AM620-Q1/AM62L/AM62A/AM62P/AM62D-Q1/AM64x/AM243x 设计建议/定制电路板硬件设计 — 数据表引脚属性及引脚连接相关问题

#### 7.7.1.1 GPIO 连接和添加外部缓冲器

建议添加一个串联电阻器 (其值取决于用例并按照处理器特定数据表限制电流)。当消耗 (需要) 更高电流的负载 (高于处理器特定数据表值) 连接到处理器 GPIO 时，建议在连接到负载之前缓冲处理器 IO。

通用处理器 LVC MOS IO 接口指南：

1. 很多处理器 IO 都没有失效防护功能。建议在处理器电源斜升之前不施加外部输入。
2. 处理器 LVC MOS IO 指定了转换率要求 (LVC MOS 输入转换率 <1000ns)，不建议施加慢速斜升输入或在输入端直接连接电容器。
3. 不建议在输出端连接一个 > 22pF 的电容器负载。DNI 电容器或 (根据用例) 执行仿真。
4. 在复位期间和复位之后，处理器 IO 缓冲器是 (TX (输出) 和 RX (输入) 和内部拉电阻器 (上拉和下拉电阻器)) 关闭。建议在可悬空的处理器 IO 驱动的所连接器件附近添加一个拉电阻器 (以防止所连接器件输入在被主机驱动前处于悬空状态)。
5. 对于连接了布线但未被主动驱动的任何处理器 IO 焊盘，建议使用并联拉电阻器 (47kΩ)。当添加并联拉电阻器不可行时，请布线远离噪声信号。
6. 建议验证处理器 IO 与所连接器件之间的 IO 级兼容性以及失效防护操作。

#### 7.7.1.2 GPIO 与 MMC 接口进行多路复用

如果需要将具有 MMC 功能的 IO 用于 GPIO 功能，可以删除器件树中的 MMC 条目，使 IO 能够充当 GPIO。或者，可以将 `iomux_enable` 位设置为 1。

#### 7.7.1.3 其他信息

除非另有说明，否则未使用的 IO 上的引脚 (或焊盘) 可以保留为无连接状态。许多 IO 都有一个焊盘配置寄存器可用于控制 IO 的功能 (每个 `conf_<module>_<pin>` 寄存器中的 RXENABLE 字段) 的配置。更多信息，请参阅处理器特定 TRM 的控制模块一章。在早期初始化期间，软件可禁用设计中未使用的 IO 接收缓冲器 (即 RXENABLE=0)。当相关引脚悬空时，建议软件不要意外使能 IO 接收器 (通过设置 RXENABLE 位)。

---

### 备注

如需了解配置某些未使用的引脚（或外设）的指导信息，建议参阅处理器特定数据表的引脚连接要求一节。

---

---

### 备注

#### **PADCONFIG 寄存器位配置 — ST\_EN :**

如果 PADCONFIG 寄存器被软件修改，建议保持 ST\_EN 位使能。每个电气特性表中定义的最小输入转换率参数与长期可靠性相关联。这些参数不受 ST\_EN 位的影响。通过滤除不超过磁滞的噪声脉冲，输入缓冲器中实现的施密特触发功能只会更改输入缓冲器的输出结果。当应用向 IO 输入施加慢于处理器特定数据表中定义的转换率时，施密特触发功能不会改变输入缓冲器的工作方式。

---

---

### 备注

如需了解有关配置 IO 的指导信息，请参阅处理器特定 TRM 的焊盘配置寄存器一节。

---

---

### 备注

特定外设和 GPIO 支持去抖功能。建议在处理器特定数据表的信号说明一节中查找与外设或 GPIO 的去抖功能相关的注释。

---

有关未使用处理器外设和 IO 连接的更多信息，请参阅以下常见问题解答：

[常见问题解答] [AM625/AM623/AM620-Q1/AM62L/AM62A/AM62D-Q1/AM62P 定制电路板硬件设计过程中的设计建议/常见错误 – 不使用时的 SOC 外设和 IO 连接](#)

有关连接（已使用/未使用）处理器引脚和外设的信息，请参阅以下常见问题解答：

[常见问题解答] [AM62x、AM62Ax、AM62D-Q1、AM62L、AM62Px、AM64x、AM243x 定制电路板硬件设计 – 如何处理已使用/未使用的引脚/外设以及添加上拉或下拉电阻？（例如 GPIO、SERDES、USB、CSI、MMC（eMMC、SD 卡）、CSI、OLDI、DSI、CAP\\_VDDRx……）](#)

使用处理器 GPIO 时，请参阅处理器特定数据表连接要求一节末尾的注释。

### 7.7.1.4 GPIO 检查清单

#### 通用

检查并验证定制原理图设计的以下内容：

1. 已查看用户指南上文中的“[所有章节的通用检查清单](#)”章节。
2. 电源到 IO 组 IO 电源的连接（所有以 VDDSHVx 或 VDDSHV\_MCU 为基准（由其供电）的 IO 引脚均连接到相同的电压电平）。
3. 外部施加输入的 IO 电平兼容性。
4. 处理器 IO 到 IO 电源或 VSS 的连接。
5. LVC MOS (SDIO) 输入压摆率，电容器在处理器 IO 输入端或输出端的连接。
6. LVC MOS (SDIO) IO 的失效防护运行情况以及多个 IO 的连接。
7. IO 灌电流或拉电流遵循处理器特定数据表中的建议。IO 接口的一个常见用例是驱动 LED 进行指示。建议定制电路板设计人员检查 LED 拉电流或灌电流，对处理器 IO 电压电平的影响，并调整电流。如果预计会持续消耗电流，建议使用外部 FET 或基于晶体管的开关驱动 LED。
8. 基于所需 IO 功能的相关 PADCONFIG 寄存器配置。

#### 原理图审阅

定制原理图设计请遵循以下列表：

1. 每个 IO 都有一个用于为 IO 单元 ( VDDSHVx 或 VDDSHV\_MCU ) 供电的相关电源电压。如果 VDDSHVx 或 VDDSHV\_MCU 由 3.3V (1.8V) 电源供电，则建议在 3.3V (1.8V) 电平下连接（运行）以 VDDSHVx 或 VDDSHV\_MCU 电源轨为基准（由其供电）的所有 IO。
2. 连接到处理器 IO 的所有上拉电阻的电源电压与施加到相应 IO 组 IO 电源 ( VDDSHVx 或 VDDSHV\_MCU ) 的电压相匹配。将信号拉至不同的 IO 电压可能导致电压泄漏（残余电压）。
3. 连接到 GPIO 组的电源轨以 IO 组 IO 电源 VDDSHVx 或 VDDSHV\_MCU 为基准（由其供电），并且外部输入或 GPIO 上拉电压电平遵循 ROC。
4. 不建议或不允许将处理器 IO 直接连接到电源或 VSS（包括引导模式输入）。定制电路板设计人员可能遇到固件错误，并且错误配置用于输入（而是将输出驱动为逻辑高电平）的 LVC MOS GPIO。
5. 来自附加电路板或载板的外部施加输入或通过外部连接器（添加了提供外部 ESD 保护的配置）直接连接到 IO 的外部输入的 IO 电平兼容性。
6. 为任何可能悬空的处理器（或所连接器件）IO 添加外部拉电阻（以防止所连接的器件输入在主机驱动之前悬空）。
7. 施加到处理器 LVC MOS 输入的输入信号遵循符合处理器特定数据表的压摆率要求。在输入端直接连接一个电容器可能会增加信号压摆，因此不建议这样做。
8. 不允许将电容负载直接连接到处理器输出以控制或使能所连接器件。建议在 GPIO 的输出端使用 > 22pF ( 占位值 ) 的电容负载时进行仿真。
9. 很多处理器 IO 都没有失效防护功能。在 IO 组 IO 电源 VDDSHVx 或 VDDSHV\_MCU 斜升之前，不允许向处理器 IO 施加外部输入电压（失效防护 IO 除外）。
10. 不建议直接将多个 IO 短接在一起。不建议将 IO 直接连接到电源或接地。

#### 其他

1. 为直接连接到 IO 的外部输入提供外部 ESD 保护配置。
2. 通用处理器 LVC MOS IO 接口指南，请参阅用户指南的 [GPIO 连接和外部缓冲](#)。许多处理器 IO ( LVC MOS、SDIO ) 都没有失效防护功能。在处理器电源斜升之前，不建议施加任何外部输入。
3. 处理器 IO 指定了压摆率要求。不建议应用慢速斜升输入或在输入端直接连接电容器。
4. 不建议在输出端连接一个 > 22pF ( 占位值 ) 的电容器负载。DNI 电容器或（根据用例）执行仿真。
5. 在复位期间和复位之后，处理器 IO 缓冲器是 ( TX ( 输出 ) 和 RX ( 输入 ) 和内部拉电阻器 ( 上拉和下拉电阻器 ) ) 关闭。建议为由可能悬空的处理器 IO 驱动的所连接器件添加拉电阻（以防止所连接器件输入在主机驱动之前悬空）。

6. 对于连接了走线且未主动驱动的任何处理器 IO ( 焊盘 ) , 建议使用并联拉电阻 ( $47\text{k}\Omega$ )。当添加拉电阻不可行时 , 建议走线远离噪声信号布线 ( 在复位期间和复位后 , 处理器 IO 缓冲器 ( TX ( 输出 ) 和 RX ( 输入 ) 以及内部拉电阻 ( 上拉和下拉 ) ) 关闭 ) 。建议在所连接器件附近使用上拉电阻 ( $47\text{k}\Omega$ ) , 以保持可能悬空的所连接器件的输入处于已知状态。
7. 连接到外部信号时进行失效防护操作。在处理器电源斜升之前对处理器 GPIO 输入施加外部输入信号可导致馈电并影响电路板性能。
8. 当 IO 直接连接到外部接口信号时 , 建议提供外部 ESD 保护配置。
9. 失效防护 IO 包括 MCU\_PORz、I2C0\_SCL、I2C0\_SDA、MCU\_I2C0\_SCL、MCU\_I2C0\_SDA、EXTINTn 和 USB0\_VBUS ( 使用符合处理器特定数据表的建议 VBUS 分压器时 ) 。

## 7.7.2 板载硬件诊断

### 7.7.2.1 使用处理器电压监测器来监测板载电源电压

处理器电源电压监测器可用于监测使用基于 PMIC 或替代电源架构生成的板载电源，以及从外部连接器或载板连接的定制电路板的输入电源。为了使电压监测器 VMON\_VSYS 检测有效，使用电阻分压器（监控输入为 0.45V）对 5V 或更高（12V 或 24V）的直流电压进行分压，并连接至 VMON\_VSYS 监控输入。建议在监测到较高的直流电压时提供过压保护配置（并联电阻器或齐纳二极管）。

建议将板载 1.8V 或 3.3V 电源直接连接到 VMON\_1P8\_SOC、VMON\_1P8 MCU 和 VMON\_3P3\_SOC、VMON\_3P3 MCU。

#### 7.7.2.1.1 使用时电压监控输入连接

对于电压监控引脚 VMON\_VSYS，无论软件实现如何，建议始终配置外部电阻（分压器）以早期检测（指示）电源故障）。建议连接 5V 或更高电压的电压以使检测生效。如需通过外部电阻分压器连接板载电压（主电源电压，如 5V 或 12V 或 24V），请参阅处理器特定数据表的系统电源监测设计指南一节。建议在连接到 VMON\_VSYS 输入的电阻器输出端（跨接）实施噪声滤波器（电容器），因为 VMON\_VSYS 具有极小的迟滞和对瞬态的高带宽响应。

建议将 VMON\_1P8\_SOC、VMON\_1P8 MCU、VMON\_3P3\_SOC 和 VMON\_3P3 MCU 引脚直接连接到各自的电源（无需添加任何外部滤波电容器）。有关允许的电源电压范围，请参阅处理器特定数据表的建议运行条件部分。

---

#### 备注

对于 VMON\_VSYS，当遵循处理器特定数据表的系统电源监测设计指南一节中的建议时，失效防护条件有效。

对于 VMON\_1P8\_SOC、VMON\_1P8 MCU、VMON\_3P3\_SOC 和 VMON\_3P3 MCU 引脚，当连接的电源电压在处理器特定数据表的建议运行条件部分范围内时，失效防护条件有效。

---

有关更多信息，请参阅以下常见问题解答：

[常见问题解答] AM625/AM623/AM620-Q1/AM62Ax/AM62D-Q1/AM62Px/AM64x/AM243x (ALV) 设计建议/定制电路板硬件设计 — POK VMON 电压监控器

[常见问题解答] AM625/AM623/AM620-Q1/AM62Ax/AM62D-Q1/AM62Px/AM64x/AM243x (ALV、ALX) 设计建议/定制电路板硬件设计 — 电源正常 (POK) 监控的模块电压和连接建议

[常见问题解答] AM625/AM623/AM620-Q1/AM62L/AM62A/AM62P/AM62D-Q1/AM64x/AM243x 设计建议/定制电路板硬件设计 — 与无源元件参数值、容差和额定电压相关的疑问

### 7.7.2.1.1 电压监视器检查清单

#### 通用

检查并验证定制原理图设计的以下内容：

1. 已查看用户指南上文提及的“[所有章节的通用检查清单](#)”部分的内容
2. 由 VMON\_VSYS 监测的电压电平
3. 由处理器 VMON\_VSYS 输入监测的电压连接
4. 分压器，包括滤波电容器
5. VMON\_1P8\_SOC、VMON\_1P8 MCU 和 VMON\_3P3\_SOC、VMON\_3P3 MCU 的连接

#### 原理图审阅

定制原理图设计请遵循以下列表：

1. 为了使电压监测器 VMON\_VSYS 检测有效，建议使用电阻分压器连接 5V 或更高（12V 或 24V）的直流电压
2. 分压器遵循处理器特定的建议，包括在连接到处理器监测输入的 VMON\_VSYS 分压器上添加滤波电容器。参阅“处理器特定数据表”部分《系统电源监测设计指南》。电容器的值由定制电路板设计人员根据跳闸时间要求来确定。
3. VMON 分压电阻器使用  $\pm 1\%$  容差的电阻器
4. 将 1.8V 直接连接到 VMON\_1P8\_SOC、VMON\_1P8 MCU，将 3.3V 直接连接到 VMON\_3P3\_SOC、VMON\_3P3 MCU 引脚，无需任何外部滤波电容器

#### 其他

1. 建议始终使用 VMON\_VSYS 实现电压监控功能（电路板上的配置），以便及早检测输入电源故障。电压监控器 VMON\_VSYS 用于进入 PCB 的主输入（较高）电压轨的电源故障指示器。例如：5V、12V 或 24V。与 VMON\_VSYS 电压监控器相关的误差要求您将阈值设置为明显低于标称工作范围以避免误触发，因此建议监控输入电压，而不是监控处理器电源导轨。请参阅处理器特定数据表的系统电源监控设计指南章节。

### 7.7.2.1.2 不使用时的电压监控输入连接

建议始终连接（使用）电压监控器 VMON\_VSYS 来进行早期输入电源故障检测（指示）。当不使用 VMON\_VSYS 时，建议通过  $0\Omega$  电阻器将 VMON\_VSYS 引脚连接至 VSS，并添加一个用于未来扩展的测试点（遵循引脚连接要求）。

如需在不使用时连接电压监测器输入 VMON\_3P3\_SOC、VMON\_3P3 MCU 和 VMON\_1P8\_SOC、VMON\_1P8 MCU，请参阅以下常见问题解答：

[常见问题解答] [AM625/AM623/AM620-Q1/AM62Ax/AM62D-Q1/AM62Px/AM64x/AM243x \(ALV、ALX\) 设计建议/定制电路板硬件设计 — 电源正常 \(POK\) 监控的模块电压和连接建议](#)

### 7.7.2.2 内部温度监测

处理器上的电压和热管理器 (VTM) 模块通过提供对片上温度传感器的控制来支持处理器的电压和热管理。

独立的温度传感器位于处理器上指定的热点。建议在 Linux 中读取片上温度传感器并执行热管理。请参阅 [E2E 主题](#)。

该处理器支持 MAIN 域中的一个 VTM 模块，即 VTM0。

有关更多信息，请参阅以下常见问题解答：

[常见问题解答] [AM625/AM623/AM620-Q1/AM62Ax/AM62D-Q1/AM62Px/AM62L/AM64x/AM243x \(ALV, ALX\) 定制电路板硬件设计 — 电压热管理器 \(VTM\)](#)

### 7.7.2.2.1 内部温度监测检查清单

#### 通用

检查并验证定制原理图设计的以下内容：

1. 已查看用户指南上文中的“[所有章节的通用检查清单](#)”章节。
2. 将建议的电源连接到温度传感器电源引脚。
3. 为 TEMP $n$  ( $n = 0-1$ ) 传感器模拟电源引脚增加滤波电容器。

### 7.7.2.3 错误信号输出 (MCU\_SAFETY\_ERRORn) 的连接

建议根据处理器特定数据表的[引脚连接要求](#)一节连接 MCU\_SAFETY\_ERRORn 信号以进行测试，或将该信号用于其他板级功能。

### 7.7.2.4 高频振荡器 (MCU\_OSC0) 时钟丢失检测

该处理器系列支持通过 HFOSC0 时钟丢失检测电路来检测 HFOSC0\_CLK 故障（停止）情况。专用硬件逻辑使用 CLK\_12M\_RC 时钟来监测 HFOSC0 时钟。当 HFOSC0\_CLK 停止切换的时长达到 9 个 CLK\_12M\_RC 时钟周期时，会检测到 HFOSC0 时钟停止丢失情况。如果设置了 CTRLMMR\_MCU\_PLL\_CLKSEL [8]

CLKLOSS\_SWITCH\_EN，则参考时钟将从 HFOSC0\_CLKOUT 切换到 CLK\_12M\_RC，允许该处理器以较慢的时钟运行。

在时钟丢失情况下，该处理器通过 MCU\_SAFETY\_ERRORn 引脚（将该引脚驱动为低电平）向外部器件报告错误。恢复机制取决于外部器件（例如由 PMIC 执行操作）。

例如，对整个电路板进行下电上电以使电路板恢复。如果电路板未恢复，则该处理器必须指示定制电路板设计人员采取替代措施或执行电路板级测试，例如检查板载系统时钟、外部晶体或电源导轨。

请参阅以下常见问题解答：

[\[常见问题解答\] AM6422：如何在时钟丢失检测后切换回外部时钟的常见问题解答](#)

常见问题解答是通用的，也可用于 AM243x 处理器系列。

#### 7.7.2.4.1 晶体或外部振荡器故障

在冷复位（加电复位）期间，如果晶体或外部振荡器不产生时钟，则处理器可能无法启动。

## 7.8 EVM 或 SK 特定电路实现（重复使用）

如果重复使用了下面列出的某些 EVM 或 SK 实现：

- FT4232 UART 转 USB 桥接器
- XDS110 调试程序
- CPSW3G 和 PRU-ICSSG RGMII - EPHY
- 电流监控器件
- USB TYPE-C 实现

建议遵循以下常见问题解答：

[\[常见问题解答\] AM625/AM623/AM620-Q1/AM62L/AM64x/ AM243x \(ALV\)/AM62Ax/AM62D-Q1/AM62Px 设计建议/定制电路板硬件设计 — 在定制电路板设计上重复使用下面列出的 SK 特定实现的指南](#)

## 7.9 在定制电路板启动期间执行电路板级测试

### 7.9.1 使用 Pinmux 工具的处理器引脚配置

建议使用 TI [SysConfig-PinMux](#) 工具验证处理器外设和 IO 配置，以确保配置了有效的 IOSET。

有关更多信息，请参阅 [SysConfig-PinMux](#) 工具提供的 PinmuxConfigSummary.csv 文件。

### 7.9.2 原理图配置

建议验证为替代功能或测试提供的电路选项在定制电路板设计中标记为 DNI 并且在为电路板供电之前未安装在电路板上，这些选项在电路板正常运行期间必须为 DNI（安装元件可能会影响定制电路板的性能）。

### 7.9.3 将电源导轨连接到外部上拉电阻器

将处理器 IO 上拉电阻器连接到不同的 IO 电源导轨/工作电压（与 IO 组参考的 IO 组的 IO 电源电压电平不匹配）可能导致 IO 导轨上漏电压并影响定制电路板性能或处理器可靠性。每个信号的 IO 组都有一个相关的 IO 电源（例如：VDDSHVx [x = 0-5]）。有关更多信息，请参阅处理器特定数据表中的引脚属性表。

例如，要在 GPIO 多路复用模式（GPIO1\_43）中上拉 SPI0\_CS1 信号，请将所连接的电源导轨外部上拉电阻器连接至 IO 组的 IO 电源 VDDSHV0。

### 7.9.4 外设（子系统）时钟输出

对于任何包括时钟输出的处理器外设，建议配置相应 **CTRLMMR\_MCU\_PADCONFIGx**、**CTRLMMR\_PADCONFIGy** 寄存器的 **RXACTIVE** 位。该位配置是时钟输出正常工作的必需条件。

### 7.9.5 通用板启动和调试

启动电路板之前的电路板启动提示，包括验证以下内容：

- 组装的处理器、所连接器件和其他元件与设计匹配（定制电路板原理图和定制电路板设计要求）
- 已根据 BOM 检查装配电路板的元件安装情况（包括 DNI（请勿安装）元件）。已检查装配电路板的组装（元件焊接和焊接工艺）
- 在施加定制电路板电源和处理器电源斜升之前，没有外部输入连接到处理器输入

请参阅以下常见问题解答：

[常见问题解答] [Sitara 器件 \(AM64x、AM243x、AM62x、AM62L、AM62Ax、AM62D-Q1、AM62Px\) 的电路板启动提示](#)

#### 7.9.5.1 电路板启动、测试或调试的时钟输出

处理器上提供以下时钟输出，仅用于测试和调试：

##### MCU\_SYSCLKOUT0

**MCU\_PLL0\_HSDIV0\_CLKOUT (MCU\_SYSCLKOUT0)** 4 分频，然后连接到名为 **MCU\_SYSCLKOUT0** 的特定引脚。该时钟输出仅用于测试或调试目的。

##### SYSCLKOUT0

**MAIN\_PLL0\_HSDIV0\_CLKOUT (SYSCLKOUT0)** 4 分频，然后连接到名为 **SYSCLKOUT0** 的特定引脚。该时钟输出仅用于测试或调试目的。

##### OBSCLK0、MCU\_OBSCLK0

建议仅将观察时钟（**OBSCLK0** 和 **MCU\_OBSCLK0**）输出仅用于测试或调试目的。观察时钟可用于选择多个内部时钟之一作为输出。观察时钟不应该用作任何外部器件的时钟源。如处理器特定数据表所述，**OBSCLK0** 和 **MCU\_OBSCLK0** 信号仅用于测试或调试目的。

建议在可行时为名称为 **MCU\_SYSCLKOUT0**、**SYSCLKOUT0**、**OBSCLK0** 和 **MCU\_OBSCLK0** 的处理器引脚提供 TP 和并联拉电阻器（10kΩ 或 47kΩ）。

如果时钟输出引脚配置为备选功能，建议在布线上插入 TP，并提供将信号所连接器件进行隔离的配置，从而进行测试或调试。

#### 7.9.5.2 其他信息

建议为 MCU\_RESETSTAT<sub>z</sub>、RESETSTAT<sub>z</sub> 和 POR<sub>z</sub>\_OUT 提供测试点，以便在不使用时进行测试或调试。

对于具有警报输出、过流指示输出或 PG（电源良好）输出的板载已连接器件（分立直流/直流或 LDO 或温度传感器或电压监控器），建议提供上拉电阻器（10kΩ）和测试点，用于测试或后续增强（不使用时）。

### 7.9.5.3 通用板启动和调试检查清单

#### 通用

检查并验证定制电路板原理图设计的以下内容：

1. 电路部分隔离规定。
2. 外部调试接口配置。

#### 原理图审阅

定制原理图设计请遵循以下列表：

1. 建议添加相关配置，以将可用于调试的 IO 与替代功能隔离。
2. 提供了连接调试 UART 的配置 (UART0 和 MCU\_UART0)。建议添加相关配置，以便在初始电路板构建期间连接 UART 接口进行调试。
3. 建议为 JTAG 连接器或 JTAG 接口信号测试点添加相关配置。建议按引脚连接要求放置靠近处理器 JTAG 接口引脚的上拉电阻器。
4. 为 UART 接口信号提供所需的上拉电阻器和串联电阻器。
5. 当外部接口信号直接连接到处理器 UART 信号时增加了外部 ESD 保护配置。建议为 JTAG 接口信号添加外部 ESD 保护配置。

#### 其他

1. 包括 UART 在内的许多处理器 IO 都没有失效防护功能。建议仅在处理器电源斜升连接后外部输入。
2. 建议在处理器电路板断电时断开外部接口信号。

请参阅以下常见问题解答：

#### [常见问题解答] SK-AM62 : 不同 UART 的用途

常见问题解答是通用的，也可用于 AM64x 和 AM243x 处理器系列。

## 8 定制电路板原理图设计的自我审查

### 备注

在定制电路板设计周期中，建议遵循[使用 AM6442、AM6422、AM6412 和 AM2434、AM2432、AM2431 \(ALV、ALX\) 处理器系列的定制电路板硬件设计注意事项](#)用户指南以及[原理图设计指南和原理图审阅检查清单](#)用户指南。

完成所需的原理图更新后（遵循用户指南、参考 EVM 或 SK 原理图实现、硬件设计注意事项用户指南和 TI.com 上的其他配套资料），定制电路板设计的下一阶段将按照原理图设计指南各章节末尾提供的审阅检查清单进行自我审阅。也可以使用 Excel 格式的原理图审查检查清单进行审查，并且可以使用 Excel 格式的原理图审查检查清单来跟踪原理图审查一节的完成情况。

自我审阅的审阅检查清单各部分示例：

- 处理器内核和外设内核电源检查清单
- 通用板启动和调试检查清单

以下常见问题解答列出了对定制电路板原理图进行自我审查时定制电路板设计人员可以遵循的可用配套资料和步骤：

[常见问题解答] [AM6442、AM6441、AM6422、AM6421、AM6412、AM6411、and AM2434、AM2432、AM2431 \(ALV\) 设计建议/定制电路板硬件设计 — 定制电路板原理图自检](#)

以下常见问题解答列出了观察到的常见错误（基于对多个客户原理图的审查并参考多个配套资料）。建议阅读错误列表并对定制电路板原理图进行所需的更新：

[常见问题解答] [AM625/AM623/AM620-Q1/AM62L/AM62A/AM62P/AM62D-Q1/AM64x/AM243x 设计建议/定制电路板硬件设计 — 在客户原理图审查期间观察到的错误列表](#)

## 9 定制电路板布局注释（在原理图部分附近添加）和通用指南

建议考虑为处理器、所连接器件和其他板载器件添加所需或适用的设计注释，以减少定制电路板设计期间的错误。建议为处理器内存添加必要的设计注释（例如：USB2.0 接口、以太网接口、PCIe 接口，以及 eMMC、OSPI、SD 卡、SDIO 等存储接口；以及其他使用的处理器外设，包括 USB、MCSPI）。建议包含注释，以包括定制电路板引导模式配置、串联和并联电阻的放置、去耦和大容量电容器的放置。

建议标记所有差分信号、可能影响性能的关键信号并指定目标阻抗（根据需要）。请参见以下示例：

- USB2.0 数据线的差分阻抗应在  $90\Omega$  标称值的额定容差范围内。
- SuperSpeed、PCI-Express (PCIe) 信号线 ( TX 和 RX ) 的差分阻抗预计在  $95\Omega$  标称值的额定容差范围内。
- 以太网 MDI 信号的差分阻抗预计在  $100\Omega$  标称值的额定容差范围内。

请参阅以下常见问题解答，其中包含要遵循的电路板布局指南：

[常见问题解答] AM625：针对特定外设的 PCB 模式建议

[常见问题解答] AM625：MMC0 PCB 连接要求

[AM6442：MMCSD0 \(eMMC\) 和 MMCSD1 \( SD 卡 \) 的 PCB 布局指南](#)

常见问题解答是通用的，也可用于 AM64x 和 AM243x 处理器系列。

有关更多信息，请参阅以下常见问题解答：

[常见问题解答] AM625/AM623/AM620-Q1/AM62L/AM64x/AM243x (ALV)/AM62Ax/AM62D-Q1/AM62Px 电路板布局 — 通用高速布局布线指南的文档链接

### 9.1 布局布线注意事项

#### 通用

检查并验证定制原理图设计的以下内容：

1. 已查看用户指南上文提及的“[所有章节的通用检查清单](#)”部分的内容
2. 是设计为符合处理器特定数据表“[时序与开关特性](#)”部分时序条件表中定义的 PCB 布线延迟要求的定制电路板
3. 处理器特定数据表“[应用、实施与布局](#)”部分，并且遵循相关部分规定
4. 遵循了通用高速指南

有关更多信息，请参阅以下常见问题解答：

[常见问题解答] AM625/AM623/AM620-Q1/AM62L/AM64x/AM243x (ALV)/AM62Ax/AM62D-Q1/AM62Px 电路板布局 — 通用高速布局布线指南的文档链接

## 10 定制电路板设计仿真

所连接存储器（DDR4 或 LPDDR4）的基线驱动阻抗和 ODT 设置源自对 EVM 或 SK 执行的信号完整性 (SI) 仿真。

由于配置值可能与 EVM 或 SK 原理图实现不同，因此建议对定制电路板设计执行仿真以最终确定这些值。

执行仿真时，可以参考以下常见问题解答：

[常见问题解答] AM625/AM623/AM620-Q1/AM625-Q1/AM625SIP/AM62A7/AM62A3/AM62A1-Q1/AM62D-Q1/AM62L/AM62P/AM62P-Q1/AM64x/AM243x 定制电路板硬件设计 — IO 缓冲器的 S 参数和 IBIS 模型

[常见问题解答] 将 DDR IBIS 模型用于 AM64x、AM243x (ALV)、AM62x、AM62L、AM62Ax、AM62D-Q1、AM62Px

要简要了解高速 LPDDR4 接口的电路板提取、电路板仿真和分析方法，请参阅 [AM62Ax、AM62Px、AM62Dx LPDDR4 电路板设计和布局指南](#) 应用手册的 *LPDDR4 电路板设计仿真* 一章。

使用 SysConfig 上的 [DDR 寄存器配置工具](#) 可调节驱动强度。

有关配置 DDRSS 寄存器更多信息，请参阅以下常见问题解答：

[常见问题解答] AM62A7/AM62A3/AM62A1-Q1/AM62D-Q1 定制电路板硬件设计 — 处理器 DDR 子系统和器件寄存器配置

常见问题解答是通用的，也可用于 AM64x 和 AM243x 处理器系列。

有关 PDN Power SI 仿真的相关问题，请参阅以下常见问题解答：

[常见问题解答] AM62A3-Q1 : AM62A3-Q1 PDN Power SI 仿真问题

常见问题解答是通用的，也可用于 AM64x 和 AM243x 处理器系列。

### 10.1 DDR-MARGIN-FW

利用 DDR 裕度固件和支持脚本，可以在板载 DDR 接口中实现定制电路板裕度的可视化和测量。这些工具能够对关键数据信号进行无探头测量，以了解定制电路板设计是否遵循接口的建议设计指南。

#### AM64x 处理器系列

[DDR-MARGIN-FW — 用于测量系统 DDR 裕度的固件和脚本](#)

#### AM243x 处理器系列

查找 [DDR-MARGIN-FW — 用于测量系统 DDR 裕度的固件和脚本](#)

有关更多信息，请参阅以下常见问题解答：

[常见问题解答] PROCESSOR-SDK-AM62X : 有关 AM625/AM623/AM620-Q1/AM625-Q1/AM625SIP DDR 裕度测试工具的问题

常见问题解答是通用的，也可用于 AM64x 和 AM243x 处理器系列。

## 11 其他参考内容

其他参考资料包含针对特定处理器的常见问题解答和定制电路板设计硬件设计注意事项文档。连接器件（包括 PMIC 和 EPHY）的原理图。

### 11.1 涵盖 AM64x、AM243x、AM62x、AM62Ax、AM62D-Q1、AM62Px、AM62Lx 处理器系列的常见问题解答

以下常见问题解答汇总了在定制电路板原理图设计和定制电路板原理图审阅期间可以参考的主要配套资料。

[常见问题解答] AM64x、AM243x (ALV、ALX)、AM62x、AM62Ax、AM62Px、AM62D-Q1、AM62L 定制电路板硬件设计 — 原理图设计和原理图审阅期间用于参考的配套资料

---

#### 备注

使用 EVM 或 SK PDF 原理图以及设计说明 (D-Note) 和审阅说明 (R-Note) 进行定制电路板原理图审查时，建议查看原理图中添加的常见问题解答链接，以获取更多信息。

---

### 11.2 常见问题解答 - 处理器产品系列和 Sitara 处理器系列

根据 TI sitara 处理器应用和系统团队与多位定制电路板设计人员的互动交流、定制电路板设计人员的咨询以及从定制电路板设计人员收到的咨询中获得的信息和内部配套资料的审阅，创建了常见问题解答（包含以下相关内容：（添加了详细说明和示例说明）处理器运行、处理器电源和 IO 连接、处理器外设和接口、处理器评估 EVM 或 SK、在客户电路板设计审阅期间发现的常见错误、数据表和引脚属性以及常见 E2E 咨询问题），以便在定制电路板设计阶段为定制电路板设计人员提供支持。请参阅下面的常见问题解答列表。建议客户可在定制电路板设计期间使用该列表以及 TI.com 上的其他可用设计配套资料（包括定制电路板设计硬件设计注意事项和原理图设计指南和原理图审查检查清单）：

#### AM64x 与 AM243x 处理器系列：

[常见问题解答] AM6442、AM6441、AM6422、AM6421、AM6412、AM6411、AM2434、AM2432、AM2431 定制电路板硬件设计 — 与处理器配套资料、功能、外设、接口和 EVM/入门套件相关的常见问题解答

#### Sitara 处理器系列：

[常见问题解答] 定制电路板硬件设计 — 所有 Sitara 处理器 (AM62x、AM62Ax、AM62D-Q1、AM62Px、AM62L、AM64x、AM243x、AM335x) 系列的主要（完整）常见问题解答列表

请参阅下面的常见问题解答，其中提供了所有可用的常见问题解答，包括与软件或 sitara 系列处理器相关的常见问题解答：

[常见问题解答] AM6x：有关 AM62x、AM62Ax、AM62D-Q1、AM62Px、AM62L、AM64x、AM24x、AM3x、AM4x Sitara 器件的最新常见问题解答

---

#### 备注

常见问题解答会经常更新。建议定期查看感兴趣的常见问题解答和常见问题解答主列表以获取最新信息。

---

### 11.3 原理图审查 ( 内部自检 ) 与原理图审查需求 ( 供应商 )

根据定制电路板设计周期，建议执行自我审查和团队审查，并根据需要与供应商进行外部审查。

如果需要向 TI 提交原理图审查申请，建议遵循以下常见问题解答：

[常见问题解答] Sitara MPU 硬件应用支持 — 原理图审查申请

常见问题解答是通用的，也可用于 AM64x 和 AM243x 处理器系列。

### 11.4 处理器连接器件检查清单

[TPS65219 原理图、布局检查清单](#)

## 以太网 PHY PCB 设计布局检查清单

## 备注

建议验证 [TI.com](#) 上所连接器件的器件特定原理图审查检查清单的可用性，并使用可用检查清单验证定制电路板原理图实现。

## 12 用户指南内容和使用情况摘要

本用户指南包括原理图设计指南和原理图审查检查清单，可供定制电路板设计人员在定制电路板原理图设计和定制电路板原理图审查期间使用。本用户指南中提供的建议有助于定制电路板设计人员优化定制电路板设计、减少原理图设计错误、缩短定制电路板启动时间、缩短定制电路板调试时间，以及更大程度地减少日后重新设计电路板的工作。

## 13 参考资料

### 13.1 AM64x

- 德州仪器 (TI), [AM64x Sitara 处理器数据表](#), 数据表。
- 德州仪器 (TI), [SK-AM64B \(适用于 AM64x Sitara 处理器的 AM64B 入门套件\)](#), 产品页面。
- 德州仪器 (TI), [TMDS64EVM \(Sitara 处理器的 AM64x 评估模块\)](#), 工具页面。
- 德州仪器 (TI), [TMDS64DC01EVM \(AM64x IO-link 和高速分线板\)](#), 产品页面。
- 德州仪器 (TI), [使用 TPS65220 或 TPS65219 PMIC 为 AM64x 供电](#), 应用手册。
- 德州仪器 (TI), [使用 LP8733xx PMIC 为 AM64xx 供电](#), 应用摘要。
- 德州仪器 (TI), [TMDS64EVM 设计包文件夹和文件列表](#), 产品概述。
- 德州仪器 (TI), [SK-AM64B 设计包文件夹和文件列表](#), 产品概述。

### 13.2 AM243x

- 德州仪器 (TI), [AM243x Sitara 微控制器数据表](#), 数据表。
- 德州仪器 (TI), [TMDS243EVM \(AM243x Arm Cortex-R5F MCU 评估模块\)](#), 产品页面。
- 德州仪器 (TI), [LP-AM243 \(AM243x Arm® MCU 通用 LaunchPad™ 开发套件\)](#), 产品页面。
- 德州仪器 (TI), [TMDS243DC01EVM \(用于高速扩展的 AM243x 和 AM64x 评估模块分线板\)](#), 产品页面。
- 德州仪器 (TI), [使用 TPS65219 PMIC 为 AM243x 供电](#), 应用手册。
- 德州仪器 (TI), [AM243x OSPI、QSPI 闪存选择指南](#), 产品概述。

### 13.3 常见参考文献

- 德州仪器 (TI), [AM64x/AM243x Sitara 处理器技术参考手册](#), 技术参考手册。
- 德州仪器 (TI), [AM64x/AM243x 处理器器件勘误表](#), 勘误表。
- 德州仪器 (TI), [AM64x/AM243x 功耗估算工具](#), 应用手册。
- 德州仪器 (TI), [使用 AM6442、AM6422、AM6412 和 AM2434、AM2432、AM2431 \(ALV、ALX\) 处理器系列的定制电路板设计硬件设计注意事项](#), 用户指南。
- 德州仪器 (TI), [AM64x 和 AM243x BGA 迂回布线](#), 用户指南。
- 德州仪器 (TI), [AM64x/AM243x DDR 电路板设计和布局布线指南](#), 应用手册。
- 德州仪器 (TI), [AM62x、AM62Lx DDR 电路板设计和布局布线指南](#), 应用手册。
- 德州仪器 (TI), [AM62A3/AM62A7 DDR 电路板设计和布局布线指南](#), 应用手册。
- 德州仪器 (TI), [DSP 热设计指南和 Arm 应用处理器应用报告](#), 应用手册。
- 德州仪器 (TI), [PRU-ICSS 特性比较](#), 应用手册。
- 德州仪器 (TI), [Sitara™ 处理器和 MCU 支持的工业通信协议](#), 应用手册。
- 德州仪器 (TI), [Sitara 处理器配电网络：实现与分析](#), 应用手册。
- 德州仪器 (TI), [高速接口布局指南](#) 应用手册。
- 德州仪器 (TI), [Jacinto7 AM6x、TDA4x 和 DRA8x 高速接口设计指南](#), 应用手册。
- 德州仪器 (TI), [仿真和跟踪接头技术参考手册](#), 技术参考手册。
- 德州仪器 (TI), [XDS 目标连接指南](#), 开发工具。
- 德州仪器 (TI), [Jacinto™ 7 DDRSS 寄存器配置工具](#), 应用手册。
- 德州仪器 (TI), [使用 IBIS 模型进行时序分析](#), 应用手册。
- 德州仪器 (TI), [Sitara MCU 热设计](#), 应用手册。
- 德州仪器 (TI), [基于 Arm® 的微控制器和处理器功能安全支持](#), 技术白皮书。
- 德州仪器 (TI), [AM64x/AM243x 延长上电小时数](#), 应用手册。
- 德州仪器 (TI), [AM64x、AM243x IEC61508 TUV SUD 功能安全证书](#), 证书。
- 德州仪器 (TI), [使用单个 LVC MOS 振荡器驱动多个负载](#), 应用手册。

### 13.4 可用常见问题解答主列表 - 按处理器系列

[常见问题解答] AM6442、AM6441、AM6422、AM6421、AM6412、AM6411、AM2434、AM2432、AM2431 定制电路板硬件设计 — 与处理器配套资料、功能、外设、接口和 EVM/入门套件相关的常见问题解答

### 13.5 可用常见问题解答主列表 - Sitara 处理器系列

[常见问题解答] 定制电路板硬件设计 — 所有 Sitara 处理器 (AM62x、AM62Ax、AM62D-Q1、AM62Px、AM62L、AM64x、AM243x、AM335x) 系列的主要 (完整) 常见问题解答列表

### 13.6 常见问题解答，包括相关软件

[常见问题解答] AM6x : 有关 AM62x、AM62Ax、AM62D-Q1、AM62Px、AM62L、AM64x、AM24x、AM3x、AM4x Sitara 器件的最新常见问题解答

### 13.7 有关连接器件的常见问题解答

[常见问题解答] TPS65219 : 为 Sitara AM62x MPU 供电的 PMIC 与分立式解决方案的优势

[常见问题解答] DP83869-EP : 以太网合规性测试失败

## A 术语

<b>ADC</b>	模数转换器
<b>BOM</b>	物料清单
<b>BU</b>	业务部门
<b>CAN</b>	控制器局域网
<b>CKE</b>	时钟使能
<b>CPPI</b>	通信端口编程接口
<b>CPSW3G</b>	通用平台 3 端口千兆位以太网交换机
<b>DDR0_CAL0</b>	IO 焊盘校准电阻
<b>DFU</b>	器件固件升级
<b>DNI</b>	请勿安装
<b>DRD</b>	双角色设备
<b>DRP</b>	双角色端口
<b>E2E</b>	工程师对工程师
<b>ECC</b>	错误校正码
<b>EMC</b>	电磁兼容性
<b>EMI</b>	电磁干扰
<b>eMMC</b>	嵌入式多媒体卡
<b>EMU</b>	仿真控制
<b>EOS</b>	电过应力
<b>ESD</b>	静电放电
<b>ESL</b>	有效串联电感
<b>ESR</b>	有效串联电阻
<b>常见问题解答</b>	常见问题解答
<b>FET</b>	场效应晶体管
<b>GPIO</b>	通用输入/输出
<b>GPMC</b>	通用存储器控制器
<b>I2C</b>	内部集成电路
<b>IBIS</b>	输入/输出缓冲器信息规范
<b>JTAG</b>	联合测试行动组
<b>LDO</b>	低压降
<b>LVCMOS</b>	低压互补金属氧化物半导体
<b>MAC</b>	介质访问控制器
<b>MCSPI</b>	多通道串行外设接口
<b>MCU</b>	微控制器单元
<b>MDI</b>	媒体相关接口
<b>MDIO</b>	管理数据输入/输出
<b>MII</b>	媒体独立接口
<b>MMC</b>	多媒体卡
<b>MMCSD</b>	多媒体卡-安全数字接口
<b>ODT</b>	片上端接

<b>OPN</b>	可订购器件型号
<b>OSPI</b>	八线串行外设接口
<b>OTP</b>	一次性可编程
<b>PCB</b>	印刷电路板
<b>PCIe</b>	外设组件快速互连
<b>PDN</b>	配电网络
<b>PET</b>	功耗估算工具
<b>PL</b>	产品线
<b>PMIC</b>	电源管理集成电路
<b>POR</b>	上电复位
<b>PRU_ICSSG</b>	可编程实时单元和工业通信子系统 - 千兆位
<b>QSPI</b>	四线串行外设接口
<b>RGMII</b>	简化千兆位媒体独立接口
<b>RMII</b>	简化媒体独立接口
<b>ROC</b>	建议运行条件
<b>SD</b>	安全数字
<b>SDIO</b>	安全数字输入输出
<b>SPI</b>	串行外设接口
<b>TCK</b>	测试时钟输入
<b>TDI</b>	测试数据输入
<b>TDO</b>	测试数据输出
<b>TEN</b>	测试使能
<b>TMS</b>	测试模式选择输入
<b>TRC_DATA<sub>n</sub></b>	跟踪数据 n
<b>TRM</b>	技术参考手册
<b>TRST<sub>n</sub></b>	复位
<b>UART</b>	通用异步接收器-发送器
<b>USB</b>	通用串行总线
<b>XDS</b>	扩展开发系统
<b>ZQ</b>	存储器件校准基准电阻器

## 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

### Changes from JANUARY 30, 2025 to OCTOBER 31, 2025 (from Revision D (January 2025) to Revision E (October 2025))

	Page
• 添加了“用于所有原理图设计指南和原理图审阅章节的通用检查清单”章节.....	3
• 添加了“定制电路板原理图设计实现检查清单小节说明”一节.....	3
• (处理器特定信息) : 添加的注释.....	6
• (处理器电源架构) : 添加的注释.....	8
• (基于分立式电源器件 (DC/DC、LDO) 的电源架构) : 添加了与分立式电源架构常见问题解答相关的问题，并添加了有关 MCU_PORz 输入的更多信息.....	12
• (一般建议) : 添加的注释.....	15
• (有关元件选择的注意事项) : 添加的注释.....	16
• 添加的注释.....	16
• (外设时钟输出串联电阻器) : 添加了更多信息.....	17
• 添加了“外设时钟输出下拉电阻器”一节.....	17
• 添加了“EVM 或 SK 原理图页面排序 (基于功能，重复使用) 和 EVM 或 SK 电路板布局布线”章节.....	19
• 添加了“处理器特定 SDK”一节.....	19
• (器件比较、IOSET 和电压冲突) : 添加了有关电压冲突的信息.....	21
• (PADCONFIG 寄存器注意事项) : 添加了有关 PADCONFIG 位和 PADCONFIG 寄存器默认值汇总常见问题解答的信息.....	22
• (定制电路板高速接口设计指南) : 添加了通用高速布局指南常见问题解答文档链接.....	22
• (针对电源、时钟、复位、引导和调试的处理器特定建议) : 添加的注释.....	26
• (MCU_OSC0 (高频率) 时钟 (内部振荡器) 或 LVCMOS 数字时钟 (外部振荡器) ) : 添加了有关 MCU_OSC0 LVCMOS 数字时钟源等疑问的常见问题解答和有关时钟输入的更多信息.....	37
• (处理器复位) : 添加了处理器复位输入、复位状态输出和连接建议常见问题解答.....	41
• (外部复位输入) : 添加了处理器复位输入、复位状态输出和连接建议常见问题解答.....	41
• (引导模式的配置 (针对处理器) ) : 添加了受支持的引导模式配置常见问题解答.....	45
• (处理器外设电源、接口和连接) : 添加的注释.....	50
• (DDR 子系统 (DDRSS)) : 增加了 DDR4/LPDDR4 性能差异以及无源元件值、容差和额定电压相关疑问的常见问题解答。添加了有关 DDRSS 的更多信息.....	52
• 添加了有关无源元件值、容差、额定电压的问题的常见问题解答以及有关 MMC0 接口的更多信息.....	59
• (MMC1 - SD (安全数字) 卡接口) : 添加了有关 MMC1 SD (安全数字) 卡接口的更多信息.....	63
• (八路串行外设接口 (OSPI) 或四路串行外设接口 (QSPI) ) : 添加了有关 OSPI 或 QSPI 接口的注释和更多信息.....	68
• (通用内存控制器 (GPMC)) : 添加了有关 GPMC 接口的更多信息.....	72
• (外部通信接口 (以太网 (CPSW3G0 和 PRU_ICSSG) 、USB2.0、USB3.0 (SERDES0)、PCIe (SERDES0)、UART 和 MCAN) ) : 添加的注释.....	74
• (USB Type-C) : 添加了“没有 PD 控制器是否可以实现 USB OTG ?”常见问题解答.....	85
• (其他信息) : 添加了有关无源元件值、容差和额定电压的问题的常见问题解答.....	85
• (通用异步接收器/发送器 (UART) ) : 添加了有关 UART 接口的注释和更多信息.....	95
• 添加了“不使用时的 UART 接口”一节.....	95
• (模块化控制器局域网 (MCAN)，具有完整 CAN-FD 支持) : 添加了有关 MCAN 接口的注释和更多信息.....	97
• (多通道串行外设接口 (MCSPI) ) : 添加了注释、有关 MCSPI 接口的更多信息以及参考的所需常见问题解答.....	98
• 添加了“MCSPI 接口信号的连接”一节.....	98
• (内部集成电路 (I2C) ) : 添加了有关 I2C 接口的注释和更多信息.....	100
• 添加了“I2C 接口信号连接”部分.....	101
• (通用输入/输出 (GPIO) ) : 添加了注释、有关处理器 IO 的更多信息、与 GPIO 相关的问题以及与 LVCMOS 输入磁滞相关的问题常见问题解答.....	106

• ( 使用时电压监控输入连接 ) : 添加了电源正常 (POK) 监控模块电压以及连接建议和无源器件值、容差和额定电压常见问题解答相关问题.....	110
• ( 不使用时的电压监控输入连接 ) : 添加了电源正常 (POK) 模块电压监测和连接建议的常见问题解答.....	111
• ( 高频振荡器 (MCU_OSC0) 时钟丢失检测 ) : 添加了如何在时钟丢失检测后切换回外部时钟的常见问题解 答 .....	112
• 添加了“晶体或外部振荡器故障”一节.....	112
• 添加了“EVM 或 SK 特定电路实现 (重复使用)”一节.....	112
• ( 定制电路板原理图设计的自我审查 ) : 添加的注释.....	116
• ( 定制电路板布局注释 (在原理图部分附近添加) 和通用指南 ) : 通用高速布局布线指南常见问题解答的文档 链接.....	117
• 添加了 DDR-MARGIN-FW 部分.....	118
• 添加了“原理图审查 (内部自检) 与原理图审查需求 (供应商)”一节.....	119
• ( 参考文献 ) : 更新了对所有章节的引用.....	122

## 重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做出任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 [TI 销售条款](#))、[TI 通用质量指南](#) 或 [ti.com](#) 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2025 , 德州仪器 (TI) 公司

最后更新日期 : 2025 年 10 月