

Chase Wood

摘要

在用于数据采集的现代高度集成数字系统中，高速模数转换器 (ADC) 在将信号转换为数字表示方面发挥着重要作用。由于 ADC 是无线通信、电子战、雷达系统、医学成像和其他应用的整个系统信号链的重要元件，它们必须有效运行以保持较高的无杂散动态范围 (SFDR)，从而建立可与噪声区分开来的信号。因此，ADC 校准对于通过降低噪声和增强信号可区别性来改善 SFDR 至关重要。具体而言，校准可减少误差，从而可改善 SFDR。本应用手册介绍了大多数现代转换器中常见的不同 ADC 校准方法，包括一次性校准、后台校准和前台校准。

内容

1 引言.....	2
2 通过校准确保准确性.....	2
2.1 温度变化.....	2
2.2 外部噪声.....	3
2.3 不稳定的电源.....	3
2.4 机械应力.....	3
2.5 制造差异.....	3
2.6 避免误差.....	3
3 校准技术.....	3
3.1 一次性校准.....	3
3.2 前台校准.....	4
3.3 后台校准.....	5
4 总结.....	5
5 参考文献.....	6

插图清单

图 2-1. ADC12DJ5200RF 在不同校准模式下的性能与温度间的关系.....	3
图 3-1. ADC32RF55 未经过一次性校准的输出.....	4
图 3-2. ADC32RF55 经过一次性校准的输出.....	4
图 3-3. 前台校准期间的 ADC32RF55 输出代码.....	5
图 3-4. 后台校准期间的 ADC32RF55 内核交换.....	5

商标

所有商标均为其各自所有者的财产。

1 引言

高速 ADC 在现代高度集成的数字系统中发挥着至关重要的作用；但是，这些 ADC 容易引入一系列误差，这会显著影响采样信号的精度。这些误差包括增益误差、失调电压误差和线性偏差，它们会导致所获得的数据失真。幸运的是，校准可以有效地减少这些误差并提高 ADC 的性能，使其更接近预期行为。

校准已成为现代 ADC 设计的一个重要方面，这是由更先进工艺节点（例如 0.18 μm 或更小）的普及推动的。这些工艺节点允许在 ADC 架构内进行额外的数字特性集成。通过引入串行寄存器来启用或禁用特定功能，数字修整的概念已成为传统上激光修整器件偏置电流方法的替代方案，从而提高了 INL 和线性度。

回想过去，当内部 ADC 偏置电流的激光修整成为标准时，ADC 的 ADC 性能固定为对其进行修整的最高速度或采样率。与此预期采样率的任何偏差都会导致性能下降。这种限制促使 ADC 器件系列中的器件具有多个速度等级，以满足不同的采样率要求。

随着技术进一步向前推进并达到 65nm 及以下，数据转换器上的数字特性空间已显著增加，从而能够整合更多的数字元件和功能。这种扩展为实时校准打开了一扇新的大门，并允许对 ADC 进行动态修整。

实时校准已成为在各种采样率和输入频率下对 ADC 性能进行线性化处理的标准方法。这些校准方法为系统设计人员提供了灵活性，允许在其特定应用中实现定制的 ADC 性能。通过提供超高灵活性，校准使系统设计人员能够实现卓越性能，而不受采样率或输入频率变化的影响（与激光修整相比，这是一项重大进步）。因此，同一个 ADC 可在许多不同应用中提供出色的性能，从而实现可重新配置的系统。

2 通过校准确保准确性

有几个因素会导致高速 ADC 校准性能下降或丧失。这些因素会影响 ADC 的精度和性能目标，从而导致需要重新校准。以下部分讨论了一些可能导致高速 ADC 未校准的常见因素。

2.1 温度变化

温度变化会影响 ADC 的内部电路，降低其性能，因此需要重新校准以保持精度。下面的图 2-1 比较了不同校准模式下的信噪比 (SNR) 和 SFDR 与温度的关系。FG25 布线用作基线，表示仅在 25°C 下校准 ADC12DJ5200RF 时的性能。所有其他布线在每个记录的温度下进行校准，证明各种校准方法有效。

此外，环境和/或电路板温度的这些变化会改变前端元件的电气特性，从而导致意外的 ADC 输入阻抗，并可能导致二阶或三阶谐波 (HD2 和 HD3) 降级。

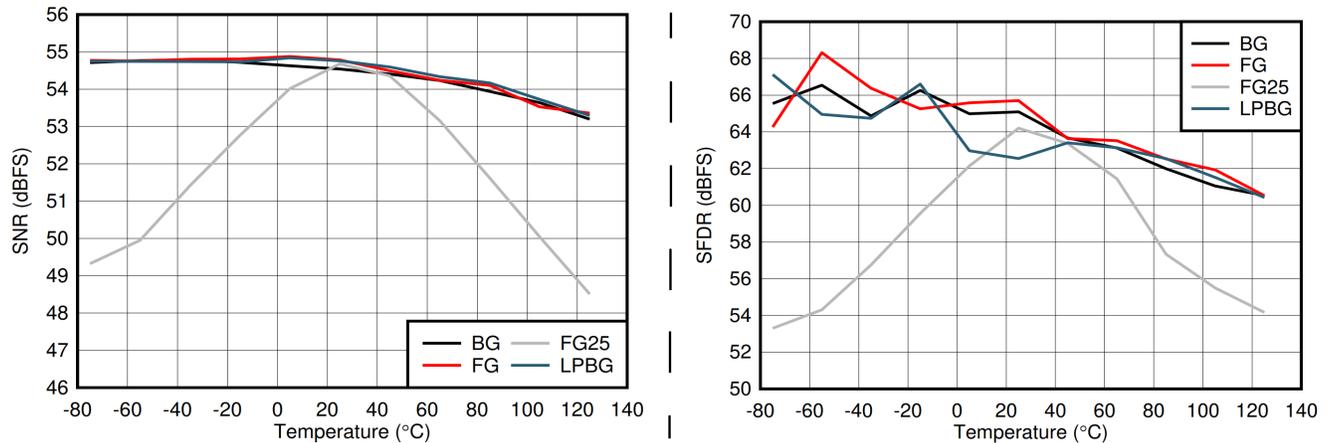


图 2-1. ADC12DJ5200RF 在不同校准模式下的性能与温度间的关系

2.2 外部噪声

电磁干扰 (EMI)、噪声和电源波动等外部因素会降低 ADC 和 ADC 校准的性能。电噪声源 (包括强大的射频 (RF) 信号或电源噪声) 可能会引入误差并降低 ADC 的性能，需要重新校准才能恢复更优、更准确的测量。

2.3 不稳定的电源

超过 ADC 数据表指定的最大电压或电流限制可能会导致非理想行为、显著的性能下降甚至器件故障。在超出建议范围的情况下运行 ADC 会导致增益和/或失调电压误差，从而显著影响 SFDR。在这种情况下，当恢复正常电源条件时，重新校准可以确保恢复准确的测量，但是，可能需要对器件进行重新编程以保证系统性能。

2.4 机械应力

机械应力或振动会影响 ADC 内部键合线的稳定性，从而导致校准温漂。在物理应力下，ADC 或封装的温度特性可能不符合预期，因此建议经常进行校准。此外，前端元件上的机械应力可能会改变电气特性，从而导致匹配网络性能下降。因此，在 ADC 性能恢复正常之前，任何物理冲击、应力或振动都可能导致需要重新校准。

2.5 制造差异

制造工艺的差异属正常现象，会导致不同 ADC 之间不一致。由于晶圆上的每个芯片都是以独特方式制造的，因此两个 ADC 之间的性能不会完全相同，只是行为方式相似而已。这表现在器件上的一些示例包括增益误差、线性行为和基准电压温漂。每个 ADC 的封装或制造寄生效应也可能略有不同，所有这些差异均可通过校准进行解决。

2.6 避免误差

适当的设计、布局、屏蔽和环境控制措施有助于更大限度地减小这些因素的影响，并在更长的时间内保持高速 ADC 的校准。通过实施适当的接地、屏蔽技术和热管理等稳健的设计措施，可以减轻温度变化、外部因素以及机械应力或振动的不利影响。这些措施有助于确保高速 ADC 的长期精度和性能，优化其在数字系统中的功能并减少对频繁重新校准的需求。

3 校准技术

3.1 一次性校准

一次性校准过程仅涉及在数据转换器的初始启动序列期间执行一次校准。在 ADC32RF55 双通道 14 位 3GSPS 射频采样 ADC 的特定情况下，执行初始启动序列以校准所有内部子 ADC 内核，从而实现数据表中所列性能。如果不执行此一次性校准，转换器将严重降级，并且没有值得处理的数据，如图 3-1 所示。但是，在执行一次性校准后，FFT 符合预期，如图 3-2 所示。

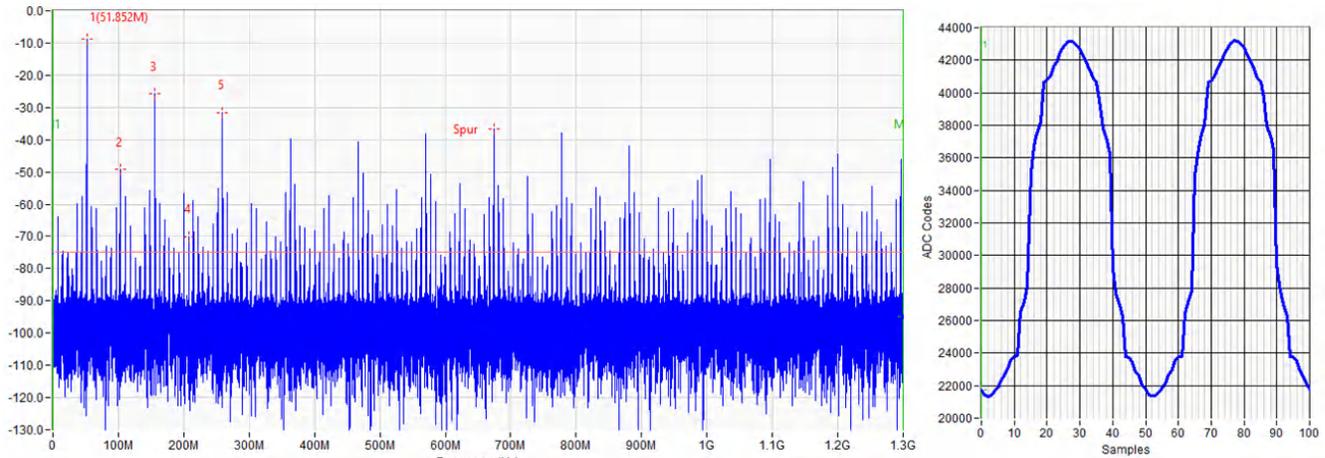


图 3-1. ADC32RF55 未经过一次校准的输出

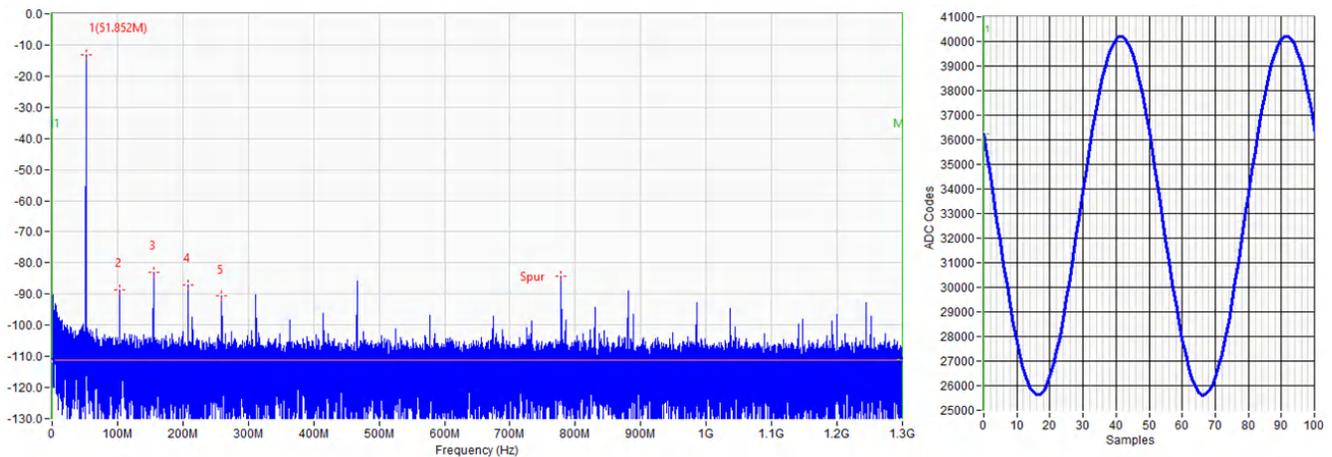


图 3-2. ADC32RF55 经过一次校准的输出

同样，ADC12DJ5200RF 是一款双通道 12 位 5.2GSPS 射频采样 ADC，也需要一次性校准，以便匹配子 ADC 内核的增益和失调电压，从而减少交错杂散并改善 SFDR。在 ADC32RF55 和 ADC12DJ5200RF 器件的初始编程期间，串行外设接口 (SPI) 执行一次性校准。

3.2 前台校准

前台校准（也称为实时校准）类似于节 3.1 中的一次性校准，但是，前台校准是在器件主动发送数据时进行，而不是在传输有效数据之前进行。在校准期间，下游处理器或 FPGA 上产生的数据可能会失真，并且并不总是与输入信号类似。前台校准要求下游处理器或 FPGA 通过实时监控转换器的性能来确定何时需要校准。如果是 ADC32RF55 的前台校准，则会在后台连续校准额外的 ADC 内核（额外内核的具体数量取决于模式），并且在进行前台校准时，未校准的 ADC 内核会与其中一个已校准的 ADC 内核交换。因此，可以丢弃单个样本，如图 3-3 所示。前台校准通常可以使用 SPI 接口或通过通用硬件输入 (GPIO) 触发。

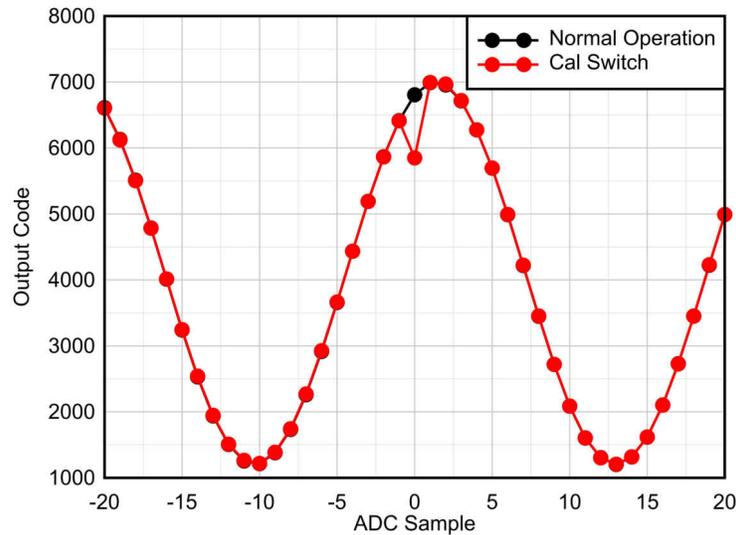


图 3-3. 前台校准期间的 ADC32RF55 输出代码

3.3 后台校准

后台校准是在 ADC 运行期间进行的连续过程。后台校准涉及连续使用未校准的备用 ADC 内核。校准此备用 ADC 内核后，ADC 内核会与 (其中一个) 有效 ADC 内核交换。因此，后台校准可在各种环境 (例如快速变化的温度) 中实时保持 ADC 的精度。但是，后台校准比其他校准模式消耗的功率更多，因为备用 ADC 内核始终处于通电状态，并且正在与有效 ADC 内核进行持续交换。

对于 ADC32RF55，后台校准功能在数据表中被称为连续校准。在连续校准期间，五个内部 ADC 内核 (每个通道) 中的一个大约每 27ms 交换一次，如果器件以 3GSPS 运行，则相当于大约每 8100 万个样本交换一次。图 3-4 比较了前台校准期间的内部 ADC 内核交换 (前两个 GPIO1 脉冲表示两个单独的前台校准) 与 ADC 内核在连续校准期间的交换方式 (较长的 GPIO1 脉冲用于表示连续校准) 。

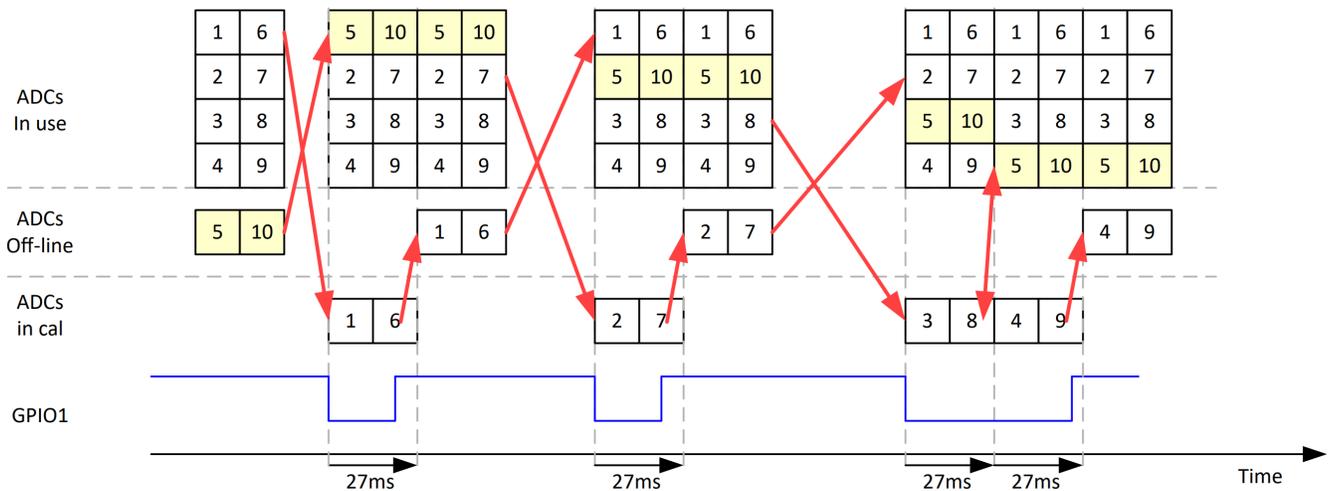


图 3-4. 后台校准期间的 ADC32RF55 内核交换

必须通过寄存器字段使用 SPI 配置后台校准。某些器件 (如 ADC12DJ5200RF) 支持低功耗后台校准 (LPBG) 模式 (如先前的图 2-1 所示)，可降低后台校准期间的总功耗，但会增加器件电源的瞬态要求。在 ADC32RF55 实例中，可将 GPIO 配置为临时冻结后台校准，从而在低活动水平期间降低功率耗散。

4 总结

高速 ADC 是现代数字系统中必不可少的元件，但 ADC 精度可能会因各种误差而受到影响。校准解决了增益、失调电压、线性和杂散分量 (例如 HD2 和 HD3)，在改善 ADC 的无杂散动态范围 (即 SFDR) 方面发挥着至关重要

要的作用。在以较低发射功率或较长距离运行的系统中，实现高 SFDR 尤为重要，因为高 SFDR 有助于将所需信号与不必要的杂散分量区分开来。内部 ADC 校准方案已成为有效的解决方案，可更大限度地减少这些误差并提高 ADC 性能。但是，温度变化、电源波动和 IC 工艺变化等因素可能会降低或影响校准性能。一次性校准可提供良好的开端，而前台和后台校准可在环境条件发生变化时保持准确性。系统设计人员必须了解并实施适当的校准技术，以减少谐波失真、改善 SFDR，并在未来的设计中使用高速 ADC 实现精确测量。

5 参考文献

- 德州仪器 (TI), [ADC32RF5x 双通道 14 位 2.6 至 3GSPS 射频采样数据转换器](#), 数据表。
- 德州仪器 (TI), [ADC12DJ5200RF 10.4GSPS 单通道或 5.2GSPS 双通道 12 位射频采样模数转换器 \(ADC\)](#) 数据表。

重要声明和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做任何明示或暗示的担保，包括但不限于对适销性、某特定用途方面的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他功能安全、信息安全、监管或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的应用。严禁对这些资源进行其他复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。您应全额赔偿因在这些资源的使用中对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，TI 对此概不负责。

TI 提供的产品受 [TI 的销售条款](#) 或 [ti.com](#) 上其他适用条款/TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

邮寄地址：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265

Copyright © 2023，德州仪器 (TI) 公司