

针对小站应用 AFE77xx 的相关应用细则

Name

Sales and Marketing/KAT/Zhang Chi

ABSTRACT

在通信市场上，具有收发天线数少，成本低，方便布站等特点的小站，作为室内补盲补热的产品，具有巨大市场潜力。AFE77xx 系列作为 TI 零中频经典解决方案，其低功耗，低成本，非常适合小站的系统应用，并成为市场上最主要的小站系统解决方案。为了更好地让客户快速了解并调试 AFE77xx，TI 针对 AFE77xx 推出了一系列成熟的配套资料，包括 DEMO 板参考电路，TI 小站参考系统设计方案，AFE77xx 调试手册，寄存器手册等，可以更加方便地服务更多小站客户群体。本文将结合分布式皮基站的应用，详细阐述 AFE77xx 从选型到调试中常遇到的问题及相应解决方案，以及如何将 TI 提供的各种参考材料，调试工具，软件函数充分地应用至实际的开发中。

Contents

1	针对小站应用场景的 AFE77xx 方案	2
2	AFE77xx 的配置需求	3
	2.1 如何将客户需求对应至 AFE77xx 的主要参数中	3
	2.1.1 射频频率范围.....	3
	2.1.2 带宽.....	3
	2.1.3 收发通道，及 TDD/FDD 模式.....	4
	2.1.4 JESD 模式.....	4
	2.2 AFE77xx 配置需求表格	5
3	TI AFE77xx 系列解决方案	6
	3.1 小站完整参考解决方案	6
	3.2 AFE77xx 参考文档的正确使用.....	8
4	AFE77xx 调试问题	9
	4.1 AFE77xx DEMO 调试问题.....	9
	4.2 AFE77xx 与客户 DEMO 调试.....	10
	4.3 AFE77xx 在板调试	11
5	参考文献	12

Figures

Figure 1.	基站类型分布	2
Figure 2.	TDD 和 FDD 模式图解	4
Figure 3.	LMFS 设置下对应的 SerDes 速率计算	4
Figure 4.	详细需求配置表格	5
Figure 5.	AFE77xx 文件配置包	8
Figure 6.	FPGA 和 AFE77xx 的内部 PRBS 可实现路径	12

1 针对小站应用场景的 AFE77xx 方案

通讯市场中，基站即公用移动通信基站是无线电台站的一种形式，是指在一定的无线电覆盖区中，通过移动通信交换中心，与移动电话终端之间进行信息传递的无线电收发信电台。基站作为移动设备接入互联网的接口设备，通常按照功率和覆盖范围划分为宏站，小站，分布式皮基站。如下图，不同的基站类型，其覆盖范围不同，功率要求也不同。对于常见的宏站级别其覆盖范围在 km，对于小站则是在百米范围内，分布式皮基站则为小几十米的覆盖范围。其中分布式皮基站因为其成本低，功耗低的特点，被广泛应用于室内补盲补热的场景。

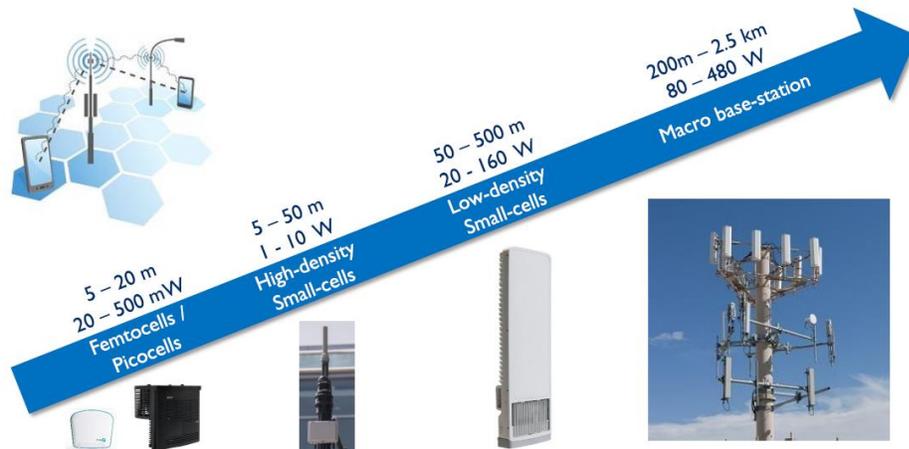


Figure 1. 基站类型分布

在 TI 的 transceiver 器件中，会有 AFE76xx, AFE77xx, AFE79xx 和 AFE80xx 等系列，其中针对小站应用客户，AFE79xx 和 AFE77xx 系列分别作为射频采样和零中频架构的两种典型解决方案，是最受欢迎的方案。

为了更清晰地了解 TI 的 AFE 两个系列，下表列出了基本区别，其中功耗是基于 TDD 4TR2FB 工作条件的测试结果。

TI 方案	架构	通道数	基本功耗	带宽	频率覆盖范围	JESD
AFE77xx	零中频架构	4TR2FB (可做删减版本)	6.5W	300MHz	7GHz	JESD204B/C
AFE79xx	射频采样架构	4TR2FB (可做删减版本)	7.5W	400MHz	10GHz	JESD204B/C

简单来说，AFE77xx 系列有功耗较小的优势，但由于其零中频架构的限制，只能实现带宽 300MHz 的 IBW，覆盖 7GHz 以下的射频频率范围。而 AFE79xx 系列作为射频采样的经典架构，具有大带宽 400MHz，频率覆盖范围 10GHz 的优势，且没有镜像信号，LO 泄漏等系统架构引起的问题，但是对应的功耗会相应略高一些。

因此，AFE79xx 系列更适用于宏站 RRU，MIMO 等需要大带宽，射频频率较高的场景。AFE77xx 系列凭借低功耗和低成本的优势更利于小站应用。本文仅针对 AFE77xx 的应用进行介绍。

2 AFE77xx 的配置需求

2.1 如何将客户需求对应至 AFE77xx 的主要参数中

AFE77xx 内部有很多复杂的参数配置，本小节会简单介绍如何快速判断小站客户需求，并拿到主要参数配置反馈给 BU。

针对基站应用，客户一般会提出主要参数：射频频率范围，带宽，收发通道，TDD/FDD 模式，JESD 速率，模式等。

2.1.1 射频频率范围

射频频率范围是指客户实际想通过天线发送和接收的频率范围，目前 5G 通信中常见的频率有，中国移动的 2.6G，4.9G，中国电信联通的 1.8G，2.1G 和 3.5G，广电的 700M。对于射频频率范围，每个国家针对不同运营商都会有固定的频段分配，因此可以通过客户的出货国家和对应供应商快速判断出所需频段

特别注意的是，2.6G 或是 3.5G 一般指的是附近频段的代称，实际可能会是 2455-2655MHz 频段范围。AFE77xx 本身是可以支持 7G 以下的频率范围。

2.1.2 带宽

带宽是指信号所占据的频带宽度；在被用来描述信道时，带宽是指能够有效通过该信道的信号的最大频带宽度。对于客户来说，带宽就是实际数据传输的覆盖范围，即射频频率的范围差值，例如发送通道是 2455-2655MHz，则为 200MHz 带宽。

对于 AFE77xx 来讲，分为发送通道 TX，接受通道 RX 和反馈通道 FB，TX，FB 可实现最大带宽为 600MHz，RX 可实现最大带宽为 300MHz，以上便是最大能力。

在与客户沟通时，可能会提到接口速率要 245.76Mbps，368.64Mbps，491.56Mbps 等，如何与带宽对应上，实际带宽=接口速率 X0.8，接口速率与带宽的对应公式如下：

$$\text{Interface data rate} = \text{BW}(1 + \alpha)$$

其中， $1/(1 + \alpha)$ 为频道利用率， α 为低通滤波器的滚降系数， α 取值为 0 时，频带利用率最高，但此时因波形“拖尾”而易造成码间干扰。它的取值一般不小于 0.15，以调解频带利用率和波形“拖尾”之间的矛盾。所以一般来讲 α 取值在 0.2。

在实际中我们也会提到 IBW(Instantaneous BandWidth)和 OBW(Occupied Bandwidth)，简单区分两种带宽，IBW 指的是最小和最大占用频段的边界频率之差，OBW 指的是实际占用频段之和。

2.1.3 收发通道, 及 TDD/FDD 模式

收发通道即常提到的发送通道 TX, 接受通道 RX 和反馈通道 FB, 也会有上行 (对应 RX), 下行 (对应 TX) 的称呼。如果是 4 个通道接收 4 个通道发送, 可以称作 4TR 或 4T4R。要注意的是, 对于收发通道, 我们会有两种分类, 第一种是单板的收发通道数量, 例如小站的一般为 2TR, 4TR, RRU 一般为 4TR, AAU 会有 32TR, 64TR 之多。第二种为 AFE 的收发通道数量, AFE77xx 为 4T4R2FB, AFE79xx 为 4T4R2FB, AFE80xx 为 8T8R2FB。

在实际讨论过程中, 还会细分到 TDD 模式还是 FDD 模式。TDD(Time-division Duplex)模式指时分双工模式, 例如, 3G 标准中的 TD-SCDMA 采用此双工模式, 具体是指在同一频率信道即载波的不同时隙, 用保证时间来分离接收与传送信道, 即 TX, RX 和 FB 的频段相同, 通过在不同时间开启发送和接收通道, 实现数据传输; FDD(Frequency-division Duplex)模式指频分双工模式, 3G 标准中的 WCDMA 和 CDMA2000 采用此模式。在分离的两个对称频率信道上, 用保证频段来分离接收与传送信道, 即 TX, RX 的频段不同, 在同一时间通过不同频段实现数据的传输。

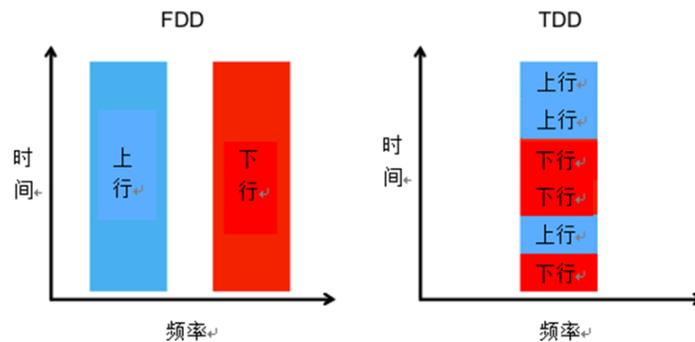


Figure 2. TDD 和 FDD 模式图解

2.1.4 JESD 模式

JESD 是客户也会经常提到的, JESD204 是一种连接数据转换器(ADC 和 DAC)和逻辑器件的高速串行接口, 是 AFE 与 FPGA 或是 ASIC 通信的重要标准。通常会有 JESD204B 和 204C 之分, 可以简单的将其划为 12.5Gbps 下可以用 204B, 12.5Gbps 速率以上 204C 可以实现。

	Sample rate(MSPS)	interface rate(MSPS)	L	M	F	S	N	scramber	JESD mode	Serdes rate(Mbps)
TX	8847.36	491.52	4	4	2	1	16	1.03125	204C	8110.08
RX	2949.12	491.52	4	4	2	1	16	1.03125	204C	8110.08
FB	2949.12	491.52	2	2	2	1	16	1.03125	204C	8110.08

Figure 3. LMFS 设置下对应的 SerDes 速率计算

这里简单的阐述 JESD204 的标准, 以及对应计算方式, 如图所示, 是 TX, RX 和 FB 在实际中的应用举例, 其中 2949.12 代表的是 ADC/DAC 的采样速率, 122.88 代表的是接口速率 (及前面提到的带宽的计算方式)。那么 LMFS 代表的就是 204 中 lane, ADC 转换数量 (Multiblock), Frame (几个 octets), Sample (每个 Frame 每个 ADC 的采样数量) 的对应数量; 加扰方式在 204B 和 204C 中略有不同, 204B 通常采用 8/10B 编码, 204C 通常采用 64/66B 编码, 此处用 204B 到达 8/10B 作为例子。

$$\text{SerDes rate} = (\text{interface data rate}) / (\text{Lane}) \times \text{Multiblock} \times 10\text{Bit} / 8\text{Bit} \times N$$

$$N = (\text{Frame} \times 8\text{Bit}) / (\text{Multiblock} / \text{Lane})$$

如果是 LMFS 为 1-4-6-1，F=6 表示 6*8=48Bits，所以 48bits 要占用 M=4 个 ADC 转换器数据，也就是说必须是 12bit 模式，因此 N 等于 12bit。

SerDes 速率计算的是每根 lane 上可以传输的实际 bit 数，简单来讲是接口速率对应每个 ADC 转换数量，乘以每个 ADC 需要转换的 bit 数，在此基础上进行加扰，并平均分到每根 lane 上，即可得到 SerDes 的实际传输速率。

对于实际的 JESD 模式选择，更多是与客户端的 FPGA 速率相关，根据客户可以支持的最高速率以及实际应用场景需要的速率共同决定。

具体关于 JESD 调试细则可以参考详细的 APP note 进行深入了解，参考链接如下。

<http://www.ti.com/cn/lit/ZHCABT4>

2.2 AFE77xx 配置需求表格

在详细了解 AFE77xx 系列的基本参数后，可以将对应的标准配置表格需求提供给客户，这样会更简单清晰地了解客户的实际应用场景，及我们需要提供的基本配置脚本。

Specs	example requirments
AFE77xx reference clock	491.52MHz
TX/RX/FB interface data rate	TX=FB=RX=368.64M 16bits
DAC sample rate	8847.36MHz
ADC sample rate	2949.12M
JESD204C or 204B	204C
4 TX JESD mode (LMFS)	2881(see left)
4RX JESD mode (LMFS)	2881(see left)
1FB JESO mode (LMFS)	1281 w/ data duplicate and sharing with RX lane (see left)
TX/RX LO, FB NCO setting	TX=RX=FB: 2593.08Mhz
RX AGC setting (analog and digital)	Peak: High threshold -3dBfs, low threshold -9dBfs
4TX DSA default value	-40dB
4RX DSA default value	-22dB
1FB DSA defalut value	-12dB
SPI mode	3 lines
SYNC mode for JESD 204B	Single-mode
RX lane mapping	RX D&C -->4STX and C/D swap RX A&B -->2STX Lane0 : RxD_i, RxD_q, RxC_i, RxC_q Lane1 : RxA_i, RxA_q, RxB_i, RxB_q
1FB do all sharing with RX	FB sharing with RX A
TX lane mapping	4SRX-->TX A&B 2SRX-->TX D&C and C/D swap Lane0 : TXD_i, TXD_q, TXC_i, TXC_q Lane1 : TXA_i, TXA_q, TXB_i, TXB_q

Figure 4. 详细需求配置表格

如图示，是 TI 提供的需求配置表格，其中列出的详细参数有如下：

- **AFE77xx 参考钟：**提供给内部全局 PLL 的参考钟，需要与 FPGA 的时钟进行同步。一般会考虑客户端的时钟可提供频点，以及有可能出现在带内的频率规划决定最终的时钟，需要是 61.44MHz 的倍数
- **TX/RX/FB 的接口速率：**如果需要采用镜像校准和直流泄露校准，必须要保证 TX 和 FB 的接口速率一致
- **DAC/ADC 的采样速率**
- **JESD204 的具体模式：**采用 204B 或是 204C
- **TX,RX 和 FB 的 LMFS 设置：**需要针对客户的需求，仔细核对计算是否互相对应
- **TX/RX 的 LO, FB 的 NCO 设置频点：**TX, RX 是零中频架构需要设置 LO, FB 是射频采样架构需要设置 NCO
- **AGC 和对应的 DSA 范围设置**
- **SPI 模式：**有 3 线和 4 线两种可选
- **TX, RX 和 FB 的 lane mapping：**IQ 数据的分配和需要的对应 lane 传输
- **AGC slicer 的传递方式：**用 GPIO 或是 SPI 通过 ADC 的后两位传递

3 TI AFE77xx 系列解决方案

3.1 小站完整参考解决方案

在小站中，TI 不仅仅有对应的 **transceiver** 器件推荐，而且有包括时钟，电源，传感器等在内的完整全套解决方案。

对于电源的分配，AFE77xx 针对自己的电源轨有相应的推荐方案。

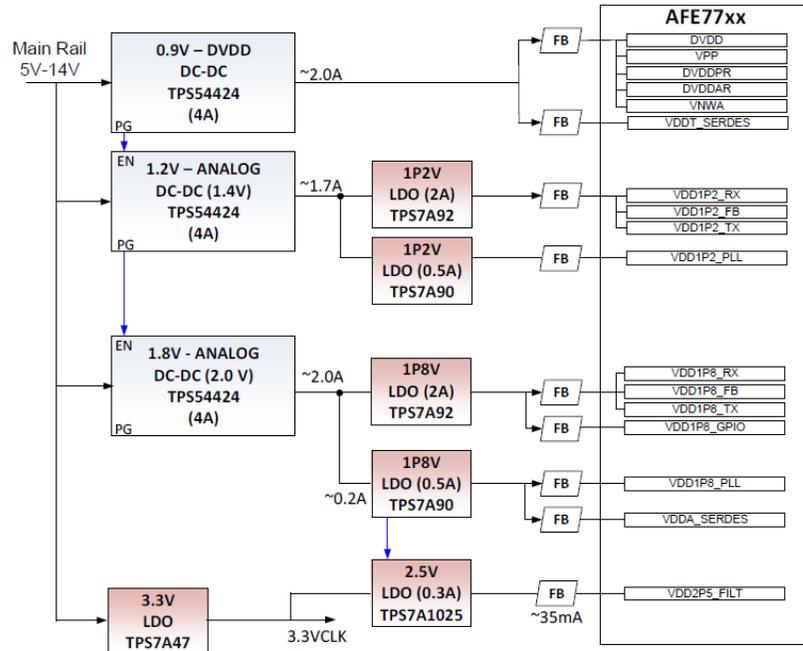


Figure 5. AFE77xx 电源树参考方案

在实际应用中，客户会针对自己的需求将板上所有电源合并，因此这里针对常见的电流需求，推荐如下：

Power rail	Current GEN	NEXT GEN
20A	TPS546C23	TPS546C23
12A	TPS56C215	TPS56C231
6A	TPS54620	TPS566231
3A LDO	TPS7A8401A	TPS7A8401A
negative GaN bias	LM5145(>1A peak)	Upgrade 85Vin TPS54561

针对板上主要的信号链器件，除了 AFE77xx 系列，TI 还提供包括时钟，高速信号处理器件，ADC/DAC，正压、负压开关，以及逻辑接口器件，具体如下：

Signal chain	current solution	TI roadmap	Comments
Clock	LMK05318	LMK5Fxxxx	2 PLL
Clock buffer	CDCV304		4 LVCMOS output buffer
	CDCV31310		10 LVCMOS output buffer
	LMK00301		10 universal output buffers
	LMK00304		4 universal output buffers
CDR	DS280DF810	DS560DF810	28G/56GbE retimer
Sensing	LM75		digital temp sensor

	TMP235		analog temp sensor
	INA281		high-performance current sensor
	INA202		low-cost current sensor
Interface/logic	TS5A3159		positive switch
	TMUX4157	TMUX6234	negative switch
	TRS3221/TRS3221E		RS232
	SN65HVD01		RS485
Transceiver	AFE7769	AFE7769+DPD	transceiver
Integrated ADC+DAC	AMC7836		16 channel ADC +DAC
	AMC7932		32 channel ADC +DAC

3.2 AFE77xx 参考文档的正确使用

针对 AFE77xx 的具体应用，TI 会提供一个完整的文件配置包，以供客户使用。

如下图所示，是 TI 针对小站客户，提供的所有文件。其中包括了

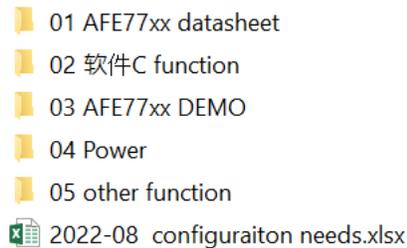


Figure 6. AFE77xx 文件配置包

1. AFE77xx 参考手册：包括了 AFE7769 和 AFE7799 的详细数据手册，对应的寄存器手册
2. 软件 C function 函数：包括了 AFE77xx 会用到的所有基本的函数指令 API，可以让客户直接将这些 C function 函数集成到客户 FPGA 的软件系统中，方便正式上板调试调用使用。

一般来讲，对于实际调试，是通过 FPGA 或 ASIC 来控制 AFE 的，那么需要将 AFE 的底层寄存器通过 API 的方式合入到 FPGA 的软件系统中。如何将提供的 C function 正确合入到系统 ASIC/FPGA 的软件中，实现过程需要注意两点：

- a. C function 中每次寄存器是按照 8 位标准写入，但是 AFE 部分寄存器是长度 16 位写入生效，因此针对这种情况，Cfunction 的实现过程需要分两次将低位和高位依次写入。需要注意的是，在低位和高位写入过程中，不要插入任何其他操作，例如每次写入时为了验证写入是否正确，会读取写入值并与正确值进行比较操作，这种设置会打断正常低位和高位的连续性，使连续的 16 位写入错误
- b. 在运行软件或是启动脚本的过程中，经常会有上层软件运行其他操作，打断脚本或是误写寄存器值的行为。需要在启动 AFE 时，暂停其他的高层软件操作，以免有启动失败的情况产生。

对于 C function，也可以通过分析其底层逻辑，找到底层寄存器，在分析问题排除软件方面的时候，通过分别验证底层寄存器和 API 函数的方式来排除软件问题。

3. AFE77xx DEMO 相关文件：

- a. DEMO 的 BOM list，包含 2.6G 和 3.5G 频段两种参考 BOM。其中 2.6G 的是完整版本，3.5G 版本只标明了与 2.6G 的不同之处，需要结合两者共同做参考。
 - b. DEMO 的 CPLD：TI DEMO 中的 CPLD 与 AFE77xx 的 GPIO 连接，主要是时钟，TDD 开关的控制连接
 - c. DEMO 的 layout 参考
 - d. DEMO 的原理图参考：包括了 AFE77xx 的原理图，以及 TI FPGA demo (TSW14J56) 的原理图
 - e. 运行 DEMO 需要的软件：TI 提供了一个软件包，按照步骤安装即可。目前 TI 提供的 DEMO 系列是 AFE77xx+TSW14J58（可支持到 JESD204C 32Gbps 速率，仅需要 latte 一个软件，不需要额外的 High Speed Data Converter）
 - f. DEMO 的使用手册：详细介绍了如何正确安装并搭建运行 AFE77xx demo，并查看其功能和相关性能。
4. AFE77xx 的电源轨方案：针对 TI AFE77xx 的每一路电源需求，我们提供了相应的 DCDC 和 LDO 的解决方案。注意 PLL 和 SerDes 对应的电源对噪声十分敏感，需要 LDO 供给。在方案中我们也提供了 1 个 AFE 器件，2 个及 4 个 AFE 器件的推荐合并电源方案。

4 AFE77xx 调试问题

在实际调试中，会有很多问题出现，在对接小站客户调试情况会分为三种情况：

1. TI DEMO 调试：AFE7769 DEMO +TSW14J58
2. TI DEMO 与客户 ASIC/FGPA DEMO 联合调试，通过 FMC 连接：AFE7769 DEMO + 客户 ASIC/FPGA DEMO
3. TI 样片和客户 ASIC 共板调试，一般为正式板或是量产板

这里会针对三种不同情况及可能所遇到的问题，进行详细描述

4.1 AFE77xx DEMO 调试问题

AFE77xx 会有很多版本，但是 DEMO 一般会基于 AFE7769 的版本，搭配相对应 Xilinx 的 TSW14J56, J57 或 J58。这里会针对 AFE7769+J58 的搭配组合进行举例。

Bringup 过程中的常见问题以及解决方案：

1. 脚本无法正常启动，查看电源是否限流。
2. SPI not working

- 1) 内部状态机卡死，可以重新上下电后，重启 AFE7769 和 J58 板上的所有 reset 按键，再跑脚本
- 2) SPI 电源有波动，查看 AFE77 子板上的电源，数字电源 0.95V 和 1.8V 是否到了板上，且在上电的期间没有超过电压范围的波动。
3. Couldn't load GUI, 可以忽略，不同版本对 GUI 的 load 需求不一样
4. Link 报错，无法识别。通常检查 204 设置是否正确。首先 bringup 脚本中的 204，FPGA jumper 的 204，以及 latte 实际运行的识别 204 是否与预想一致

在很多小站应用中，因其实际应用速率要求，会有 JESD204B 和 204C 的不同情况，那对应应在 J58 板上需要检查对应跳帽 J35 的连接，pin1-2 是 204C，Pin2-3 是 204B；相应脚本中需要注意两处修改

```
sysParams.jesdProtocol = 0#2#1 # -0:B; 1:H; 2:C
```

```
sysParams.jesdK = [32,32] # E in case of JESD 204C
```

5. 出现建链不成功，检查极性反转是否匹配，极差 serdes eye 是否正常
6. TX 读数时跳闪，检查信号源和频谱仪的同步情况，或是板上时钟连接。
7. RX 采数有裙带：首先可以检查同步情况，其次可以通过在 FPGA 的 set coherent 处选择 FPGA 可以 FFT 出的频率；最后可以检查时钟连接。
8. 对于板上时钟连接，会有两种设置，
 - 1) 一种外供时钟 122.88M 直接供给 AFE 和 FPGA；
 - 2) 另一种是给板上 LMK04828 参考钟 10M，通过参考钟出来的时钟供给 FPGA 和 AFE。

板上的连接一般会只有一种，例如通过 10MHz 参考进入到 LMK，即便通过 ref clk 灌入外部参考钟，实际还是通过 LMK free run 模式给内部提供时钟，并非从 ref clk 进入。这种情况可以通过只给 ref 或是只给 LMK，看 bringup 是否仍旧保持建链状态判断。如果只给 ref，成功建链，但是断开 ref，给入 LMK 后仍保持建链，说明一直起作用的是 LMK 时钟，板上连接也是 LMK 时钟。

9. 如果在 bring up 期间有 sysref error，可能原因是因为供电 AFE 的电源是非理想电压，内部电压不足，使得 sysref 无法到达 AFE 侧，此时需要提高 AFE 电压到 6V，以防止遇到 sysref 收不到的问题。

4.2 AFE77xx 与客户 DEMO 调试

用 AFE77xx DEMO 和 DPD ASIC 通过 FMC 连接。此时需要注意

1. 将 bringup 脚本中的修改为如下

```
setupParams.skipFpga=1, 这句命令的含义是 AFE77xx 跳过识别 FPGA 板子的固件号的步骤，可以直接继续进行下一步。这条命令适用于与非 TSW14J58 的 FPGA 适配时使用。
```

2. 查看时钟连接和提供方式

在评估板上，时钟是由 AFE77xx 子卡中的 LMK04828 产生的，提供相应的 sysref 频率，参考频率，同时时钟与 FPGA 的同步钟也需要通过 LMK04828 提供。通常情况下，在与客户的 FPGA 主板合作时有两种情况。

- 1) FPGA 母板上有本地的时钟发生器，可以提供时钟频率，此时需要将 AFE77xx 子卡上的 LMK04828 断掉，将母板上产生的 sysref 和参考频率连接到 AFE77xx 对应 pin 脚上
- 2) FPGA 母板上没有本地的时钟发生器，此时需要将 AFE77xx 子卡上的 LMK04828 的输出对应提供给 FPGA 的时钟 pin 脚

3. 需要通过 FMC 传输的信号

控制信号和 serdes 数据信号都已经在 FMC 中的对应管脚有对应关系，如果客户想要修改某个特殊部分，需要外部单独控制，例如 reset，需要将内部的 FMC 对应信号关系关掉，然后进行外部连接

4.3 AFE77xx 在板调试

在实际项目板调试过程中，AFE77xx 作为主要器件，很多系统问题也会与 AFE77xx 息息相关，如何将实验现象快速定位到对应部分，是十分考验现场支持 FAE 的。

实际的在板调试会遇到很多实际的问题，其中 JESD 建链是所有的的基础。在建链过程中，我们一般将整个过程分为两个部分，物理层和链路层。以 JESD204B 为例，首先看 TX 对应告警，如果有问题，需要看 0x130 K 码状态。一般查看 K 码状态做为物理层和链路层状态的区分，K 码不正确，需要看物理层，K 码正确，需要看 link 层，link 层的具体问题可以参考前面的 JESD204B app note，这里会详细展开针对物理层问题的解决方案。

物理层需要排查的是：

- Sysref 时钟是否正常收到，内部全局 PLL 是否锁定
- 眼图大小：一般回读值是 16 进制，需要换算 2 进制，乘以 0.5 即为所得值，最后结果应该大于 200mV 才为正常，需要注意的是 475mV 是默认没有数据或者没有自适应的数值，属于不正常数值。
- CTLE 适应值，CTLE 设置会有两种模式，自适应模式和固定模式，一般来讲初次调试，我们会建议采用自适应模式，以寻找最佳数值。对于 CTLE 的检查，可以查看 CTLE 的具体数值或是 CTLE 自适应是否完成的标志位。CTLE 的具体数值，一般为 0-7，其数值越大，对应的 CTLE 补偿能力越小。
- PRBS 校验

如果眼图和 CTLE 都在正确范围内，可以选择用 PRBS 进行底层物理层校验。这样可以快速检查物理层的通过状态。AFE77xx 内部提供 PRBS generator 和 PRBS checker 两种功能。通常来说 PRBS 的检查路径，有如下几种。

- 1) 1-2-7-3-4, FPGA 发送 PRBS, 通过 AFE 发送接收端完整链路回环至 FPGA 处, 查看整个环路的 PRBS 情况
- 2) 3-6-2, 检查 AFE 接收和发送端的物理层情况
- 3) 1-5-4, FPGA 发送 PRBS, 经过 AFE 的 JESD 接收, 内部回环至 JESD 发送端, 并返回至 FPGA 接受处, 检查 SerDes JESD 环路的物理层情况
- 4) 1, 通过 FPGA 发送, AFE JESD RX 查看单一路径的物理层情况
- 5) 4, 通过 AFE JESD TX 发送, FPGA RX 接收查看单一路径的物理层情况

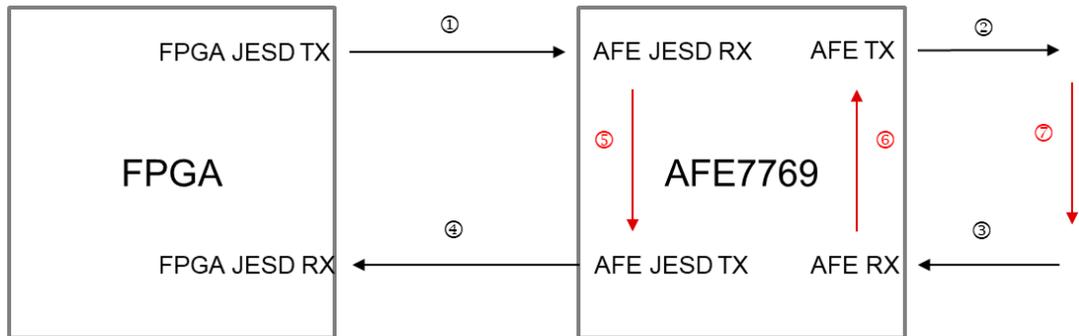


Figure 7. FPGA 和 AFE77xx 的内部 PRBS 可实现路径

5 参考文献

1. *AFE77xx datasheet*
2. JESD204B、JESD204C 协议标准

重要声明和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做任何明示或暗示的担保，包括但不限于对适销性、某特定用途方面的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他功能安全、信息安全、监管或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的应用。严禁对这些资源进行其他复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。您应全额赔偿因在这些资源的使用中对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，TI 对此概不负责。

TI 提供的产品受 [TI 的销售条款](#) 或 [ti.com](#) 上其他适用条款/TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

邮寄地址：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265

Copyright © 2023，德州仪器 (TI) 公司