

Application Note

DP83867 疑难解答指南



Evan Mayhew, Patrick O'Farrell

内容

1 商标.....	1
2 DP83867 应用概述.....	2
3 排查应用问题.....	3
3.1 读取并检查寄存器值.....	3
3.2 原理图和布局检查清单.....	4
3.3 元件检查清单.....	4
3.4 外设引脚检查.....	5
3.5 链路质量检查.....	8
3.6 具有各种环回模式的内置自检.....	10
3.7 调试 MAC 接口.....	12
3.8 应用特定调试.....	16
3.9 工具和参考.....	17
4 结论.....	20
5 修订历史记录.....	20

1 商标

所有商标均为其各自所有者的财产。

2 DP83867 应用概述

DP83867 是一款稳健耐用型低功耗全功能物理层收发器，它集成了 PMD 子层以支持 10BASE-Te、100BASE-TX 和 1000BASE-T 以太网协议。

图 2-1 是典型 DP83867 应用的高级系统方框图。

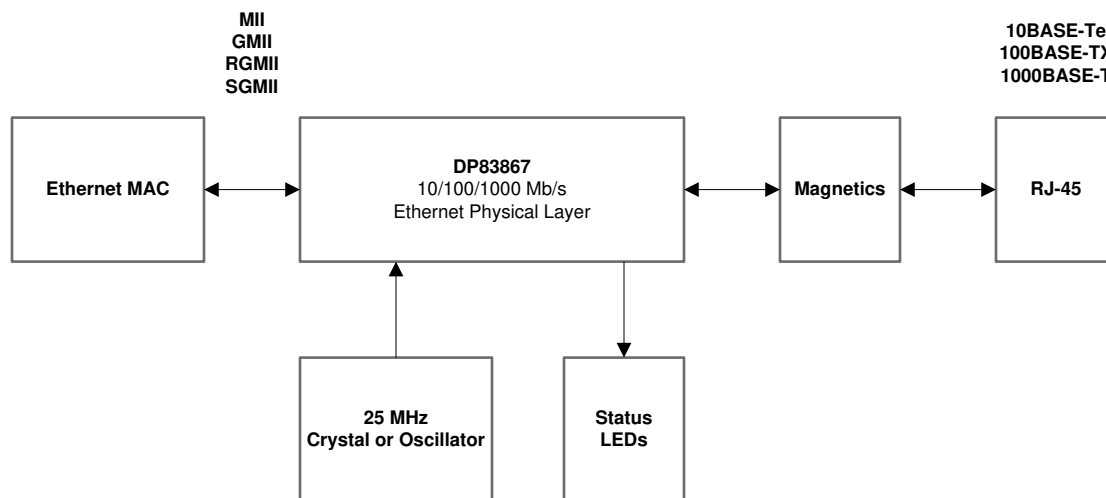


图 2-1. DP83867 方框图

DP83867 将连接到以太网 MAC 和介质。通过变压器和连接器连接到介质。

3 排查应用问题

以下各节从较高层次介绍调试方法，尝试从具有广泛影响的应用特性开始，然后致力于研究设计的更重点方面。

3.1 读取并检查寄存器值

读取寄存器并验证数据表中显示的默认值。请注意，某些寄存器的初始值可能会因 **strap** 配置选项而异。

下面展示了在启用自协商的情况下以 1000Mbps 速率运行 PHY 和链路的预期寄存器值。

表 3-1. DP83867 寄存器值参考

寄存器地址	寄存器值
0x0000	1140
0x0001	769D
0x0002	2000
0x0003	A231
0x0004 (1)	0061
0x0005 (2)	C1E1
0x0006	006F
0x0007	2001
0x0008	4806
0x0009	0300
0x000A	3C00
0x000D	401F
0x000E	0000
0x000F	3000
0x0010	5048
0x0011	BF02
0x0012	0000
0x0013	1C42
0x0014	29C7
0x0015	0000
0x0016	0000
0x0017	0040
0x0018	6150
0x0019	4444
0x001A	0002
0x001E	0002

在 PHY 以给定速度链接的情况下，使用这些值作为参考来识别预期运行的任何变化。

(1) 通过禁用寄存器 0x4 中其他速度的广播，强制使用 1000Mbps。

(2) 寄存器 0x5 的值将根据链路伙伴通告的不同而变化。

示例：在以 10Mbps 的速率为 PHY 供电并链接之后，寄存器 0x0001 以十六进制值 7969 读取。注意到该值与 796D 预期值之间的差异，等效二进制值用于确定哪些位不同。在这种情况下，**bit[2]** 为低电平，而预期值为高电平。参考数据表寄存器映射，寄存器 0x0001 的 **bit[2]** 对应于链路状态。由此，我们知道 PHY 未链接。

对于表中显示的任何不同于预期值的值，重复此过程将有助于诊断 PHY 的确切状态来解决遇到的任何问题。

有关使用 USB-2-MDIO 接口读取和写入寄存器的信息，请参阅[工具](#)一章。

3.2 原理图和布局检查清单

参考并验证以下电子表格中记录的所有原理图和布局建议：

[DP83867 原理图和布局检查清单](#)

3.3 元件检查清单

磁性元件：

以下指南是兼容磁性元件的主要参考规格：

表 3-2. 磁隔离要求

参数	测试条件	典型值	单位
匝数比	±2% 容差	1:1	-
开路电感	-	320 至 350	μH
插入损耗	1-100 MHz	-1	dB
回波损耗	1-30 MHz	-16	dB
	30-60 MHz	-12	dB
	60-100 MHz	-10	dB
差分至共模抑制比	1-50 MHz	-30	dB
	50-150 MHz	-20	dB
串扰	30MHz	-35	dB
	60MHz	-30	dB
隔离	HPOT	1500	Vrms

如果无法满足这些确切要求，可以提供以下容差：

- 匝比
 - 理想情况下为 2%，但 3% 也可以接受。
- 电感
 - 首选高电感。通常看到的数字约为 350 μH。
- 插入损耗
 - 与数据表中规定的每个范围的指定值相比，该值应尽可能接近 0dB。如果规格给出 -1dB 的典型值，建议找到具有 -1dB、-0.9dB、... 的元件。
- 回波损耗
 - 不高于数据表中指定的幅度。如果规格给出 -1dB 的典型值，建议找到具有 -16dB、-17dB、... 的元件。

晶体/振荡器

以下指南是兼容晶体的主要参考规格：

表 3-3. 25MHz 晶体规格

参数	测试条件	最小值	典型值	最大值	单位
频率			25		MHz
频率容限	工作温度			±50	ppm
频率稳定性	1 年老化			±50	ppm

如果选择振荡器：

表 3-4. 25MHz 振荡器规格

参数	测试条件	最小值	典型值	最大值	单位
频率			25		MHz
频率容限	工作温度			±50	ppm
频率稳定性	1 年老化			±50	ppm
上升/下降时间	20% - 80%			5	ns
Symmetry	占空比	40%		60%	
抖动 RMS	集成频带：12 kHz 至 5 MHz			11	ps

3.4 外设引脚检查

以下部分详细介绍了 PHY 运行期间各种外设输出引脚的预期值 - 测量并比较标注的引脚输出以验证 PHY 运行。

3.4.1 电源

电源是第一个要检查的关键项。为器件加电，并在尽可能靠近引脚的位置对电源执行直流测量。确认每个测量值均在数据表的 *建议运行条件* 部分中定义的限制值范围内。

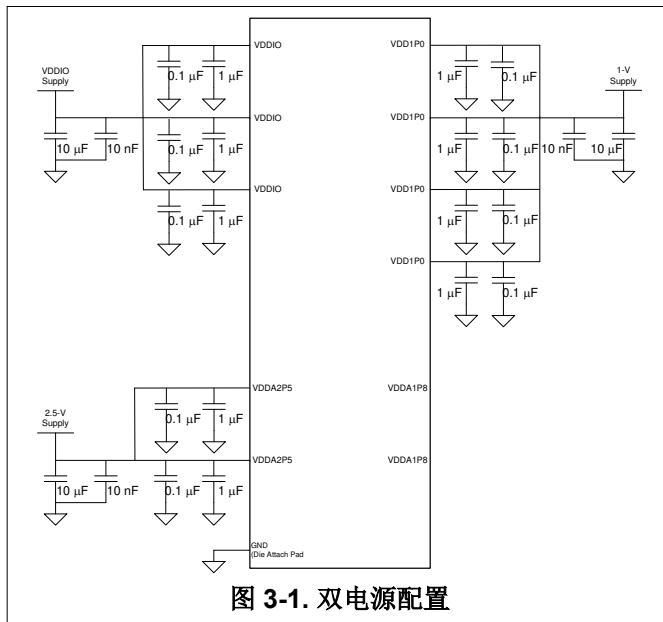


图 3-1. 双电源配置

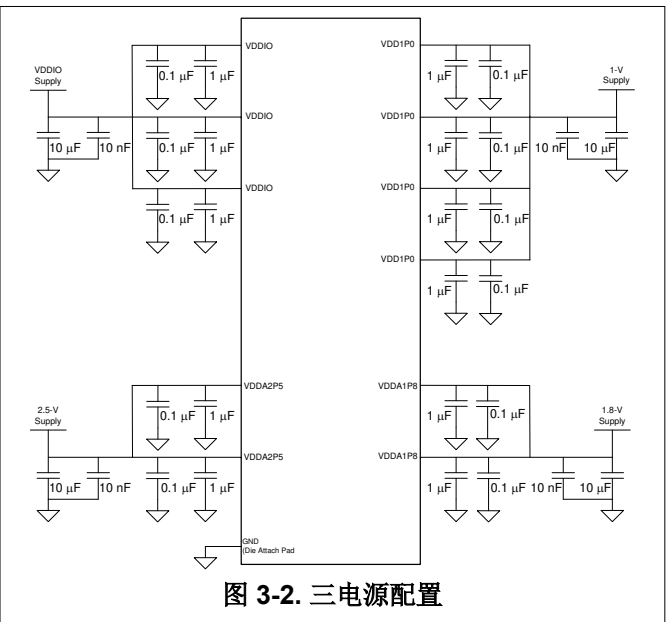


图 3-2. 三电源配置

DP83867 支持两种电源配置，如图 3-1 和图 3-2 所示。它只需两个电源即可运行。在三电源配置下运行时，VDDA1P8 电源必须在 VDDA2P5 电源上升的 25ms 内保持稳定。在三电源模式下运行时，其他电源不需要时序控制。当 DP83867 断电时，VDDA1P8 电源应在 VDDA2P5 电源之前关闭。为电路板加电，并使用示波器验证这些电源的顺序。

3.4.2 RBIAS 电压和电阻

RBIAS 电阻器用于在 PHY 中产生内部偏置电流和电压。它的额定容差为 1%，因此 PHY 能够满足严格的 IEEE 802.3 规范。

测量 RBIAS 电阻两端电压的直流值，并确认电压为 1V。

为电路板断电并验证 RBIAS 电阻器值是否为 $11k\Omega \pm 1\%$ 。

3.4.3 探测 XI 时钟

验证频率和信号完整性。为了实现链路完整性，时钟必须为 25MHz ±50ppm。

如果使用晶体作为时钟源，则探测 CLK_OUT 信号。探测晶体可以改变容性负载，从而改变工作频率。CLK_OUT 上的默认信号是 XI 基准的缓冲版本，将提供代表性测量。

3.4.4 探测 RESET_N 信号

复位引脚为低电平有效。务必确认控制器未将 RESET_N 信号驱动为低电平。否则，器件将保持复位状态，并且不会响应。

3.4.5 在初始化期间探测配置引脚

在某些情况下，电路板上的其他器件（例如，MAC）将意外地拉动或驱动这些引脚。确认这些信号处于数据表中所述的目标电压范围内。可在上电期间以及上电后 RESET_N 信号有效时进行测量。

为了进一步确认，可以从寄存器中读取自举值。这些值可在寄存器 0x006E (STRAP_STS1) 和寄存器 0x006F (STRAP_STS2) 中找到。

3.4.6 探测串行管理接口信号 (MDC、MDIO)

未驱动时，MDIO 应上拉至 I/O 电源。探测 MDIO 以确认默认电压。

尝试读取寄存器。使用数据表验证 MDIO 数据序列，确保 MDIO 读取访问时序正确。在读取和写入操作期间探测 MDC/MDIO 信号，并参考下面的预期波形：



图 3-3. 典型的 MDC/MDIO 读取操作

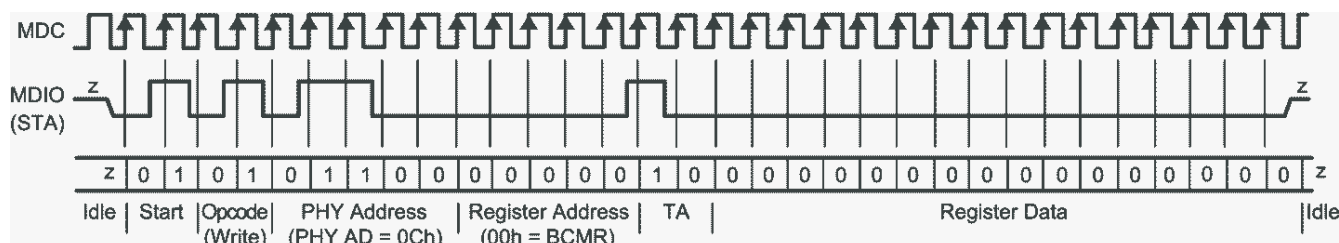


图 3-4. 典型的 MDC/MDIO 写入操作

3.4.7 探测 MDI 信号

在默认配置中，将启用自动协商和自动 MDIX。链路脉冲应在通道 A 和通道 B 发送和接收差分对 (TD_P_A、TD_M_A、TD_P_B、TD_M_B) 上可见。

具有 100 欧姆终端的短以太网电缆可用于测量 MDI 信号。端接电缆如图 3-5 所示。图 3-6 展示了使用端接电缆进行测量的连接图。

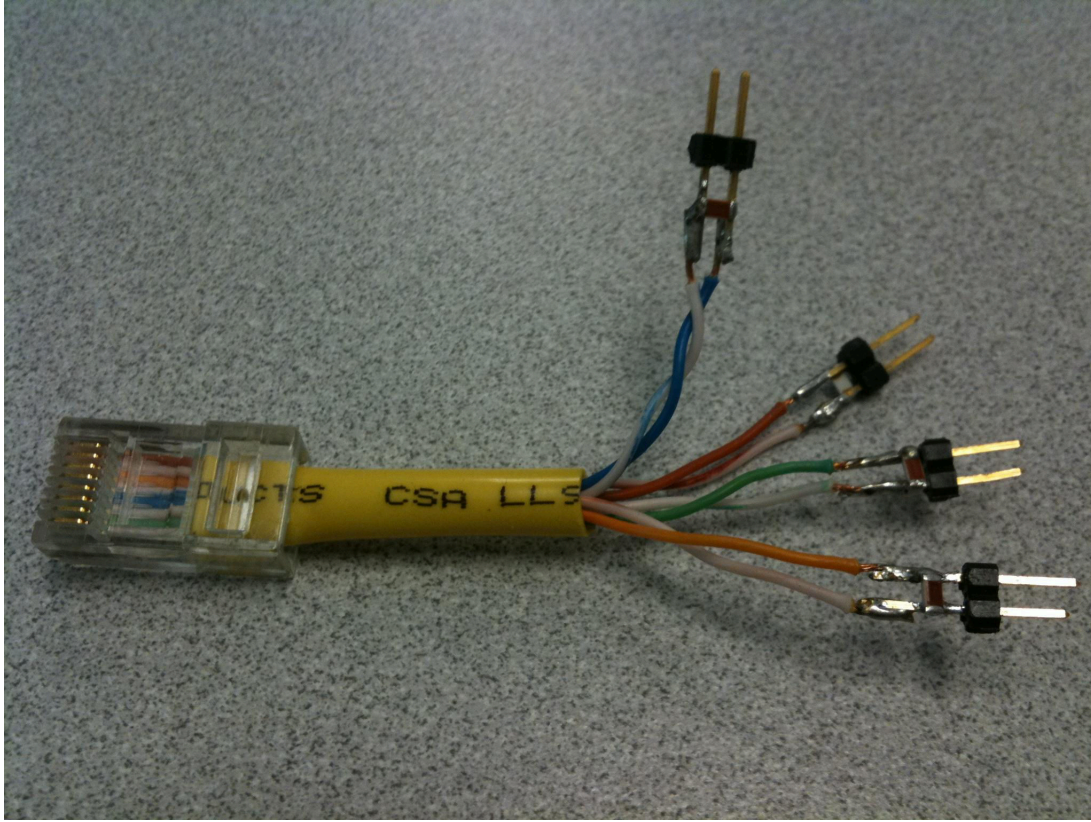


图 3-5. 用于 MDI 信号测量的 100 Ω 端接电缆

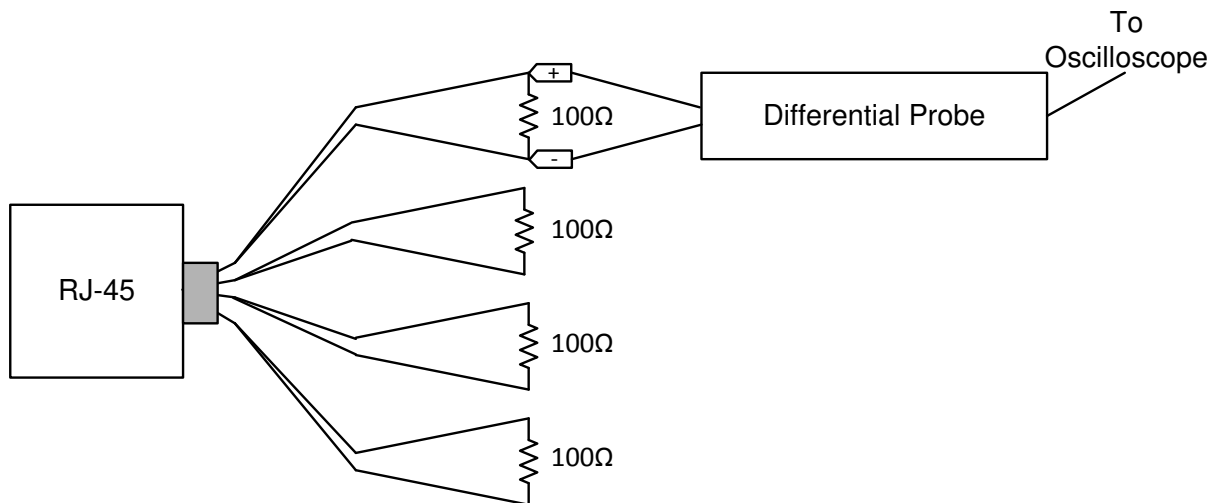


图 3-6. 100M 端接电缆的连接图

自动协商链路脉冲的标称宽度为 100ns。脉冲间隔为 62 μ s 或 125 μ s，并以突发方式传输。突发的标称持续时间为 2ms，每 16ms 发生一次。下面的图 3-7 展示了一个示例链路脉冲

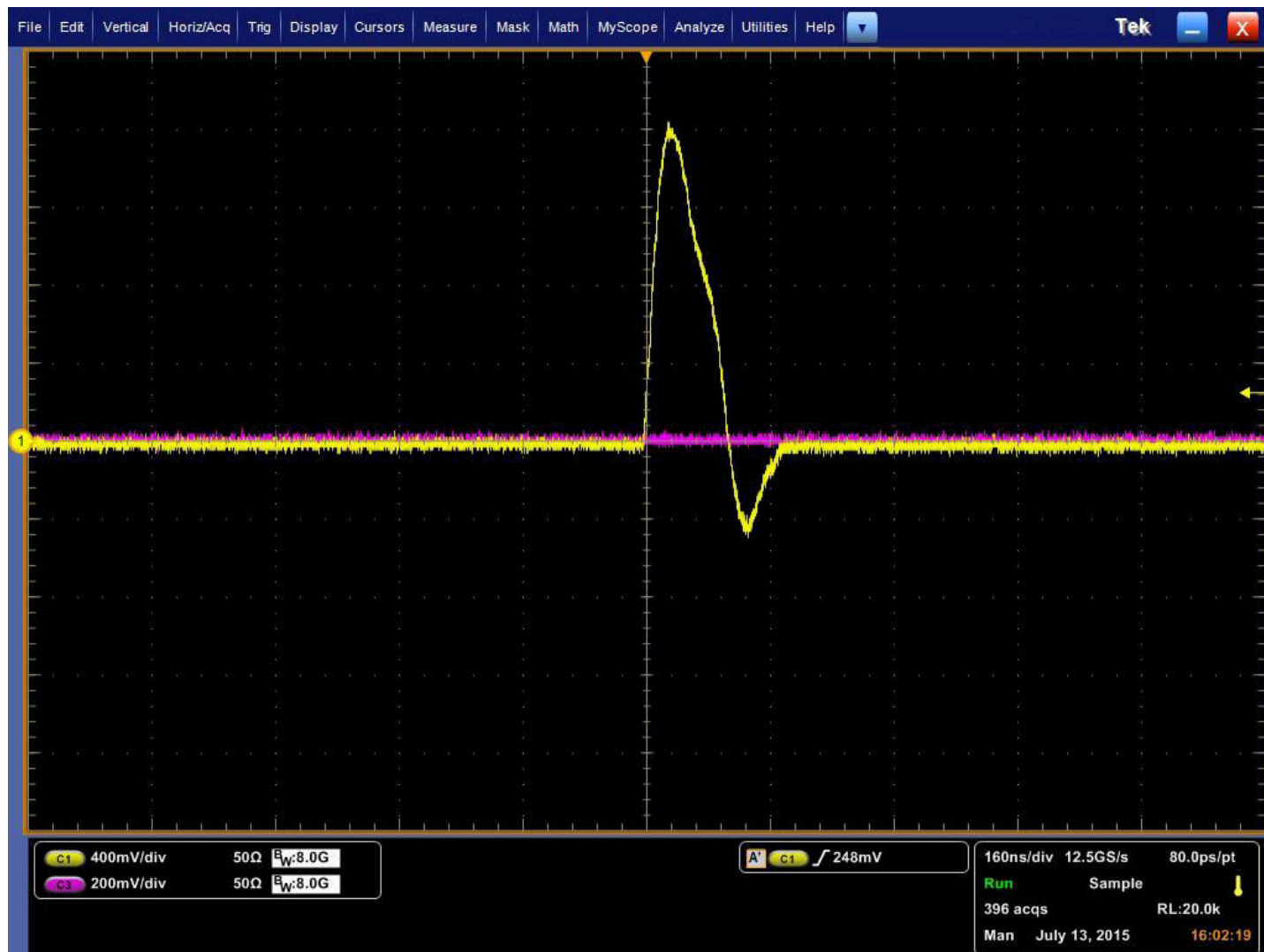


图 3-7. DP83867 链路脉冲

观察此脉冲可确认 PHY 已打开并尝试进行连接。

3.5 链路质量检查

PHY 通电并连接到链路伙伴后，可以读取以下寄存器以确定链路的运行状况：

表 3-5. 链路质量 MSE 寄存器

通道	寄存器地址
A	0x225
B	0x265
C	0x2A5
D	0x2E5

对于给定的通道，读取寄存器值以确定 MSE（均方误差），转换为十进制，并参考下表来确定链路质量：

表 3-6. MSE 链路质量范围

链路质量	MSE 范围
非常好	< 522
好	522-827
差	> 827

有关如何在扩展寄存器空间中读取和写入寄存器的信息，请参阅[工具](#)。

3.6 具有各种环回模式的内置自检

该器件包含内部 PRBS 内置自检 (BIST) 电路，可适应电路内测试或诊断。BIST 电路可用于测试发送和接收数据路径的完整性。BIST 可使用各种环回模式来执行，以便隔离数据路径特定部分的任何问题。BIST 会生成包含可变内容和 IPG 的封装化数据。下图说明了每个环回模式可用于验证的各种数据路径：

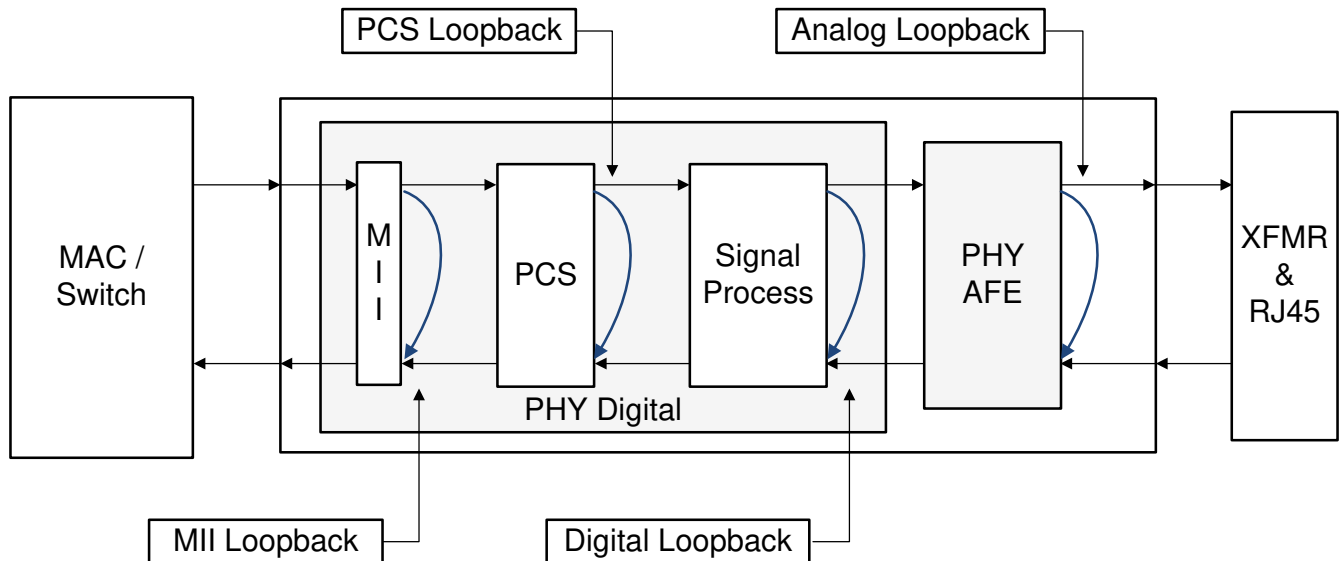
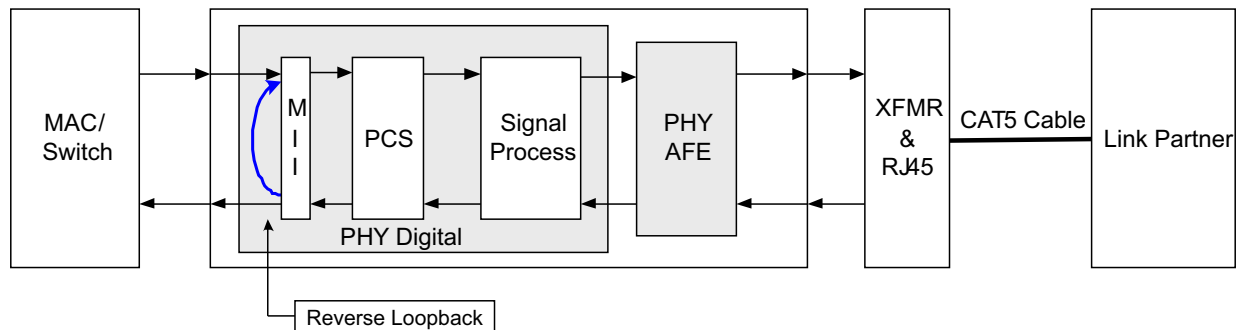


图 3-8. 方框图、环回模式



Copyright © 2016, Texas Instruments Incorporated

图 3-9. 方框图、反向环回模式

模拟环回通常用于验证 PHY 的完整内部数据路径，而反向环回则用于与链路伙伴一起验证沿 MDI 的数据路径。

通过 MAC 发送和接收数据包：

如果可以使用 MAC 生成和检查数据包，并且 PHY 有一个具有反向环回功能的工作链路伙伴，请按如下方式验证完整数据路径：

1. 为 PHY 供电并将其连接到 MAC 和一个正常工作的链路伙伴。
2. 在链路伙伴上启用反向环回（对于 DP83867 链路伙伴，将 0x16 写入 0020）。
3. 将测试数据包从 MAC 发送到 PHY。
4. 验证 MAC 是否接收相同的测试数据包。

如果 MAC 接收到相同的测试数据包而未出现问题，则通过 MAC → PHY → MDI 的完整数据路径是有效的。如果此测试未通过，则执行模拟环回以隔离数据路径上的问题：

1. 为 PHY 供电并将其连接到 MAC。
2. 在 PHY 上启用模拟环回（将 0x16 写入 0008）。
3. 将测试数据包从 MAC 发送到 PHY。
4. 验证 MAC 是否接收相同的测试数据包。

如果 MAC 接收到相同的测试数据包，则通过 MAC → PHY 的数据路径有效，并且问题已与 MDI 数据路径隔离。如果此测试未通过，则问题可能出在 MAC 接口或内部数据路径上。要验证 MAC 接口，请参阅[调试 MAC 接口](#)。要验证内部数据路径，请使用以下[脚本](#)执行带有模拟环回的 PRBS。

通过 BIST 发送和接收数据包：

如果无法通过 MAC 生成和检查数据包，请使用 PRBS 数据包生成和检查功能来验证数据路径。使用 PRBS 和正常工作的链路伙伴执行反向环回，如下所示：

1. 为 PHY 供电并将其连接到链路伙伴。
2. 在 PHY 上启用 PRBS 数据包生成 (将 0x16 写入 5000) 。
3. 在链路伙伴上启用反向环回 (对于 DP83867 链路伙伴，将 0x16 写入 0020) 。
4. 等待至少一秒钟，然后检查 PHY 上的 PRBS 锁定状态 (读取寄存器 0x17[11:10]) 。

如果寄存器 0x17[11] 为高电平，则通过 PHY → MDI 的数据路径有效。如果此测试未通过，则问题可能出在 PHY 的内部数据路径或 MDI 上。要验证内部数据路径，请使用以下[脚本](#)执行带有模拟环回的 PRBS。如果内部数据路径有效，则问题将与 MDI 隔离 (假设链路伙伴正常工作) 。

下面是寄存器读取和写入的示例序列，用于以 10Mbps 速率执行带有模拟环回的 BIST：

```
// This is how you make a comment.所有脚本都必须以“begin”开头
begin
// hard reset
001F 8000
// disable auto-neg, force 10Mbps (1)
0000 0100
// enable analog loopback (2)
0016 0008
// force mdi mode for 10/100 Mbps (not relevant for 1000Mbps)
0010 5008
// loopback configuration register required
00FE E720
// enable packet gen, keep analog loopback (3)
0016 5008

// (1)
// for 100Mbps, write 0000 to 2100
// for 1000Mbps, write 0000 to 0140
// (2)
// for digital loopback, write 0016 to 0004
// for PCS loopback, write 0016 to 0003
// (3)
// for packet generation with digital loopback, write 0016 to 5004
// for packet generation with PCS loopback, write 0016 to 5003
end
```

如果在不同的环回模式或速度下进行测试，则参考注释 (1-3) 寄存器写入。在以下读取/写入操作之前至少等待一秒钟，以便允许 PRBS 发送数据包。

```
begin
// lock byte count
0072 0201
// check lock status, # of packets received, and # of errors
0017
0071
0072
// enable continuous mode packet counting
0016 D004
// update packet counter with current value (4)
0072 0201
// read packet counter (5)
0071
// soft reset
001F 4000
// Repeat (4) and (5) as desired to verify packet count changing for each counter update
end
```

寄存器 0x17[11] 指示 PRBS 是否能够通过给定的数据路径成功接收相同的已传输数据。

3.7 调试 MAC 接口

参考本节中的波形，验证移位和对齐模式下 RGMII 的预期 MAC 数据和时钟信号。要捕获数据和时钟信号，请在靠近接收器端的位置进行测量。请注意以下有关选择正确延迟模式的要求：

表 3-7. 选择正确的 RGMII 延迟模式

如果 MAC 的配置为：	所需的 PHY 配置
TX 端的 RGMII 对齐模式	TX 端的 RGMII 移位模式
RX 端的 RGMII 对齐模式	RX 端的 RGMII 移位模式
TX 端的 RGMII 移位模式	TX 端的 RGMII 对齐模式
RX 端的 RGMII 移位模式	RX 端的 RGMII 对齐模式

RX_D[3:0] 数据与 RX_CLK 对齐

对于在 RX 对齐模式下设置为 10/100Mbps 的 PHY，探测 MAC 端的时钟和数据信号，并与下图的参考波形进行比较：

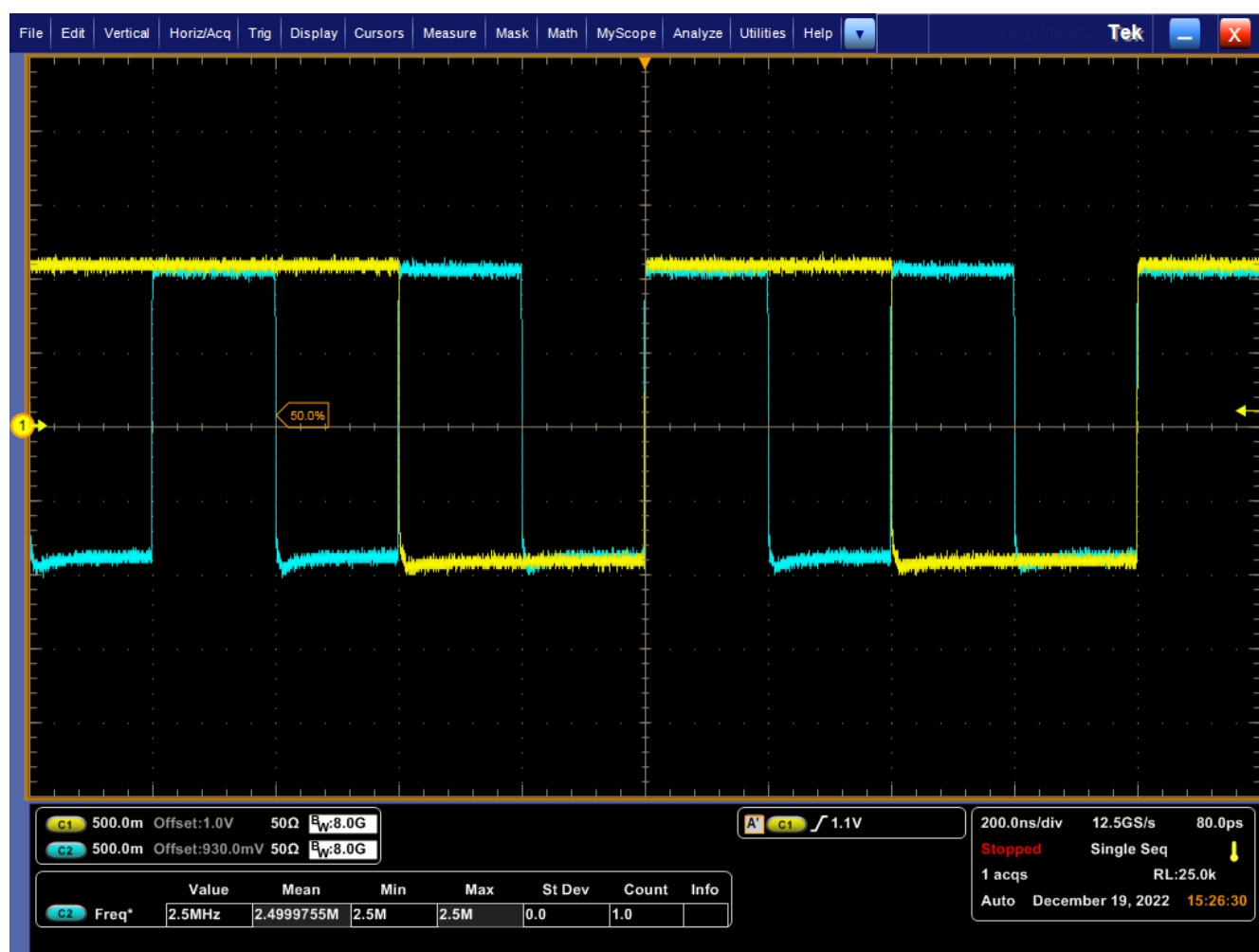


图 3-10. 10Mbps 数据与 RX_CLK 对齐

验证时钟 (C2) 的频率是否为 2.5MHz，以及在时钟的上升沿对数据 (C1) 进行采样。

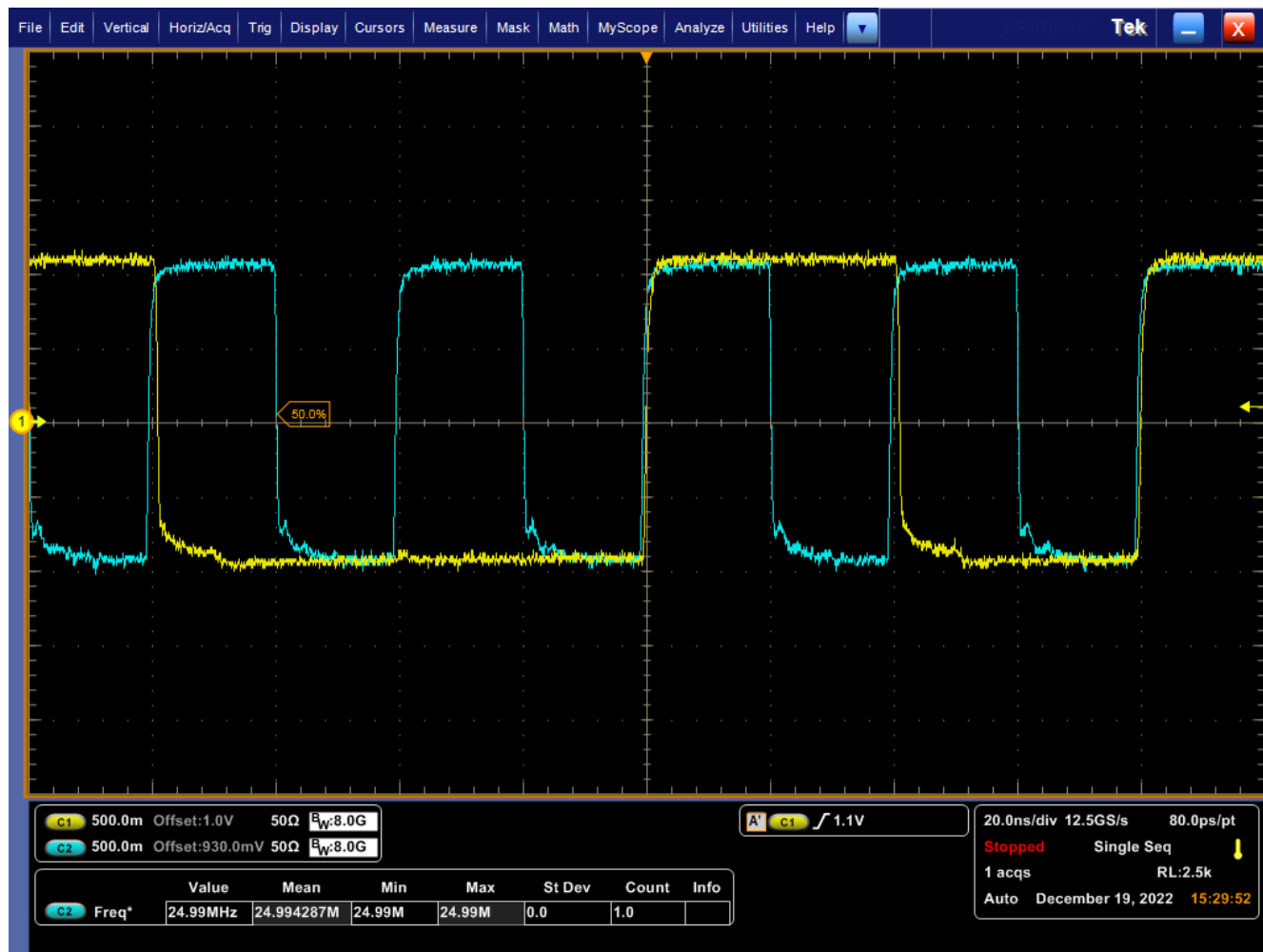


图 3-11. 100Mbps 数据与 RX_CLK 对齐

验证时钟 (C2) 的频率是否为 25MHz，以及在时钟的上升沿对数据 (C1) 进行采样。

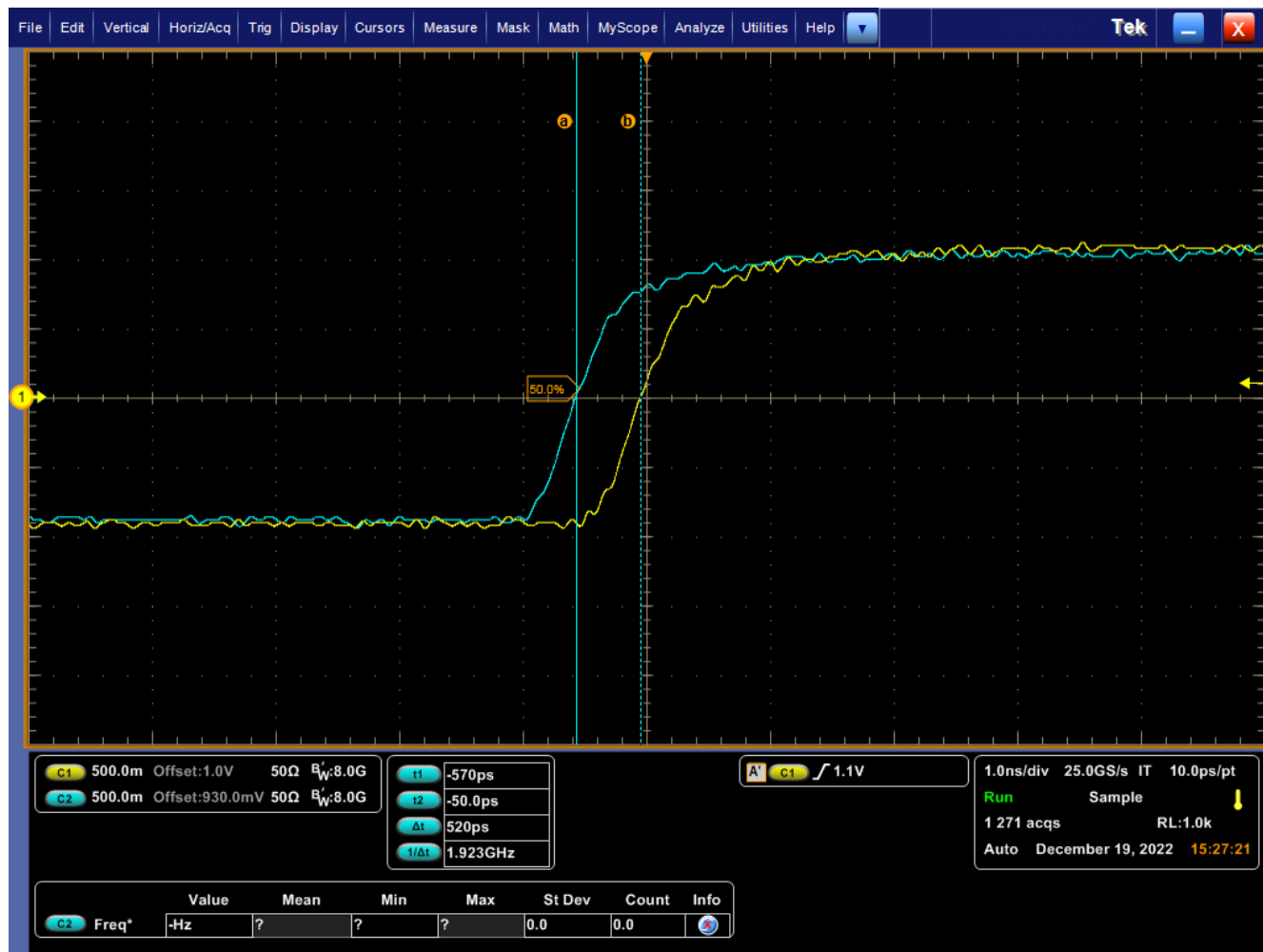


图 3-12. 对齐模式下的 10Mbps 数据和时钟延迟

验证对齐模式下时钟和数据之间的延迟是否小于 500ps。

移位模式下的 RX_D[3:0] 数据和 RX_CLK

对于在 RX 移位模式 (0x32) 下设置为 10/100Mbps 的 PHY，探测 MAC 端的时钟和数据信号，并与下面的参考波形进行比较。

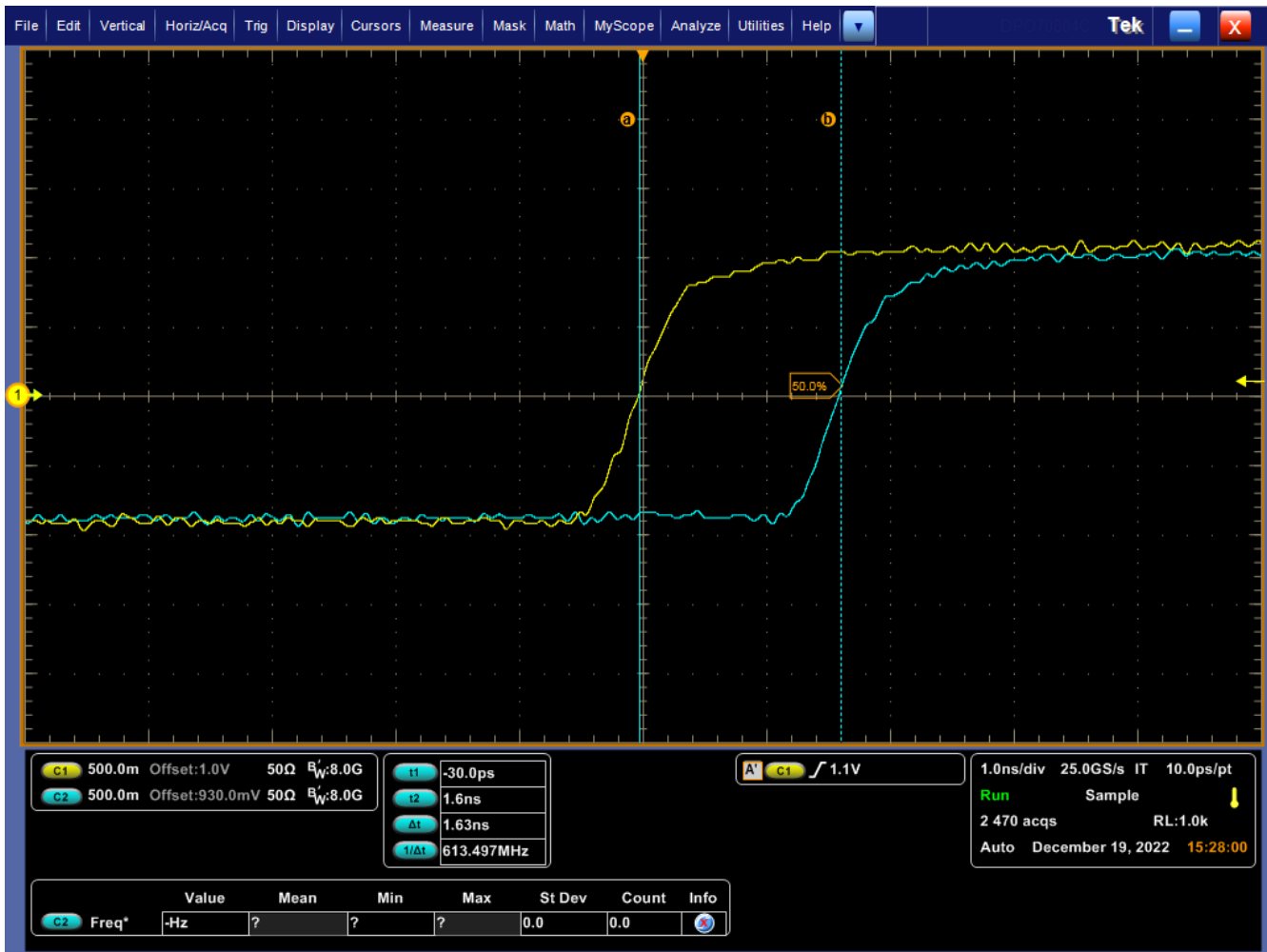


图 3-13. 移位模式下的 10Mbps 数据和 RX_CLK (4ns 编程延迟)

验证移位模式下时钟和数据之间的延迟是否大于 1ns。编程的延迟是相对于时钟在对齐模式下的初始位置。在设置移位模式之前和之后测量时钟位置的差值得到一个更接近编程延迟的值。

移位和对齐模式下为 TX_D[3:0] 和 TX_CLK

对于在 TX 移位或对齐模式下设置的 PHY，探测 PHY 端的数据和时钟信号，并验证是否满足以下时序要求：

参数	最小值	标称值	最大值	单位
T_{skewT} 数据到时钟输出偏斜 (在变送器处)	-500	0	500	ps
T_{skewR} 数据到时钟输入偏斜 (在接收器处)	1	1.8	2.6	ns
T_{setupT} 数据到时钟输出设置 (在变送器处 - 内部延迟)	1.2	2		ns
T_{holdT} 时钟到数据输出保持 (在变送器处 - 内部延迟)	1.2	2		ns
T_{setupR} 数据到时钟输入设置 (在接收器处 - 内部延迟)	1	2		ns
T_{holdR} 时钟到数据输入保持 (在接收器处 - 内部延迟)	1	2		ns

参数	最小值	标称值	最大值	单位
T _{cyc} 时钟周期时长	7.2	8	8.8	ns
Duty_G 千兆位的占空比	45	50	55%	
Duty_T 10/100T 的占空比	40	50	60%	
T _R 上升时间 (20% 至 80%)			0.75	ns
T _F 下降时间 (20% 至 80%)			0.75	ns

3.8 应用特定调试

提高短电缆的链路裕度：

如果在使用 DP83867 时遇到数据包丢失或 CRC 错误的问题，请考虑在使用短电缆时调试其中的一些项目。

如果器件的短电缆为 1m 或更短，可能会导致信号质量问题。原因之一可能是，在内部进行数字信号处理可能需要太长的时间才能收敛，或收敛到长度较短的不理想滤波器值，这可能会导致不良的 SNR (信噪比)。然后，导致链路中断或潜在的数据包丢失，从而可能需要您在重新开始数据包传输之前重置器件。

我们有一种寄存器配置如下，可在观察到这种边缘性的应用中提高 SNR。此脚本允许更改计时带宽以确保 DSP 正确收敛：

```
begin
// Hard Reset
001F 8000
// Threshold for consecutive amount of Idle symbols for Viterbi Idle detector to assert Idle Mode
set to 5
0053 2054
// CAGC DC Compensation Disable
00EF 3840
// Master Training Timers - increasing time in different training states
0102 7477
// Master Training Timers - increasing time in different training states
0103 7777
// Master Training Timers - increasing time in different training states
0104 4577
// Timing Loop Bandwidth
010C 7777
// Timing Loop Bandwidth
01C2 7FDE
// Slave Timers - increasing time in different training states
0115 5555
// Slave Timers - increasing time in different training states
0118 0771
// Timing Loop Bandwidth
011D 6DB2
// Timing Loop Bandwidth
011E 3FFB
// Timing Loop Bandwidth
01C3 FFC6
// Timing Loop Bandwidth
01C4 0FC2
// Timing Loop Bandwidth
01C5 0FF0
// FFE Fix
012C 0E81
// Soft Reset
001F 4000
end
```

提高不同通道的链路裕度

DP83867 使用 AGC 增益收敛电路 (MDI 接收器的自动增益控制) 来提供更快链路。链路时间和各对间的增益不匹配之间存在折衷。在观察到数据包错误的应用中, 可以通过使用以下寄存器写入来增加增益收敛时间, 从而改进增益匹配以实现更优的链路:

```
begin
// Hard reset
001F 8000
// Increase time for AGC
0102 7477
// No AGC Re-train
00E4 0080
// Soft reset
001F 4000
end
```

3.9 工具和参考

以下章节包含与调试相关的其他工具和参考。

3.9.1 DP83867 寄存器访问

如果应用中不能轻松访问寄存器，可从 TI 获取 USB-2-MDIO GUI，它可与 MSP430 Launchpad 搭配使用，并可通过 TI 网上商店 (<https://store.ti.com/>) 购买。GUI 支持读取和写入寄存器以及运行脚本文件。它可与 DP83867 和 TI 以太网产品系列中的其他器件搭配使用。USB-2-MDIO 用户指南和 GUI 可从以下位置下载：<http://www.ti.com/tool/usb-2-mdio>

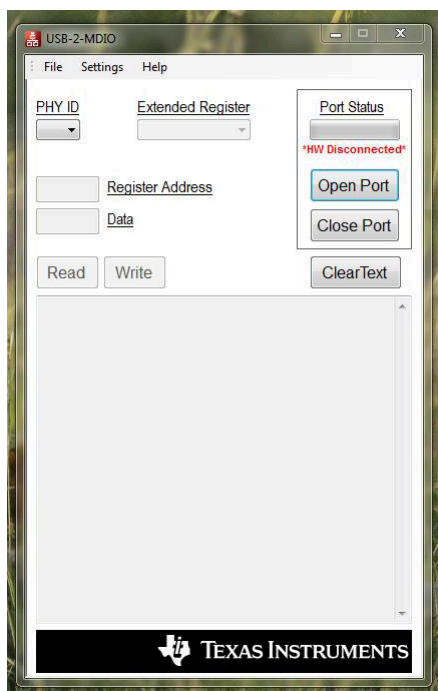


图 3-14. USB-2-MDIO GUI

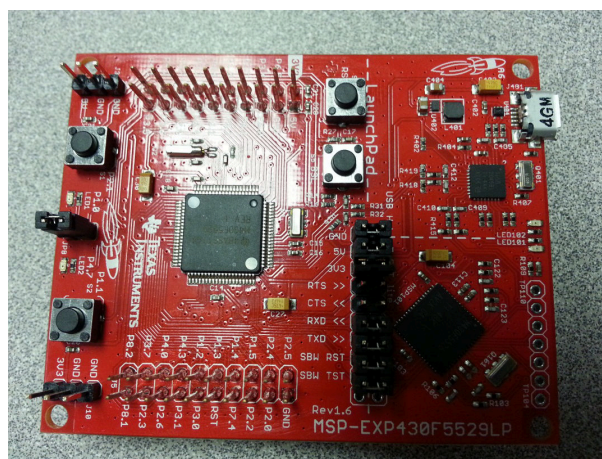


图 3-15. MSP430 LaunchPad

下面是一个示例脚本，也可以在“Help”菜单的 USB-2-MDIO GUI 中找到：

```
// This is how you make a comment.所有脚本都必须以“begin”开头
begin
// To read a register, all you need to do is put down the 4 digit
// HEX value of the registers (from 0000 to FFFF)
// Example to read registers 0001, 000A, and 0017
0001
000A
0017
// To write a register, all you need to do is put down the 4 digit
// HEX value of the register (from 0000 to FFFF) followed by the
// HEX you desire to configure the register to (from 0000 to FFFF)
// Example to write 2100 to register 0000 and
// Example to write 0110 to register 0016
0000 2100
0016 0110
// You must end the script by adding 'end' once you are finished
end
```

由 IEEE 802.3 定义的串行管理接口是单主总线。MDC 时钟由总线主控（常是以太网 MAC）生成。要使用 USB-2-MDIO GUI，必须在 MSP430 Launchpad 与 DP83867 MDIO 和 MDC 引脚之间直接建立连接。具体而言，如果将引脚 4.1 连接至 MDC、引脚 4.2 连接至 MDIO 并将任何 GND 连接至 PHY 接地，则将允许 MSP 通过 USB-2-MDIO 读取和写入 PHY 的寄存器。

3.9.2 扩展寄存器访问

要在扩展寄存器空间中读取和写入寄存器，请参阅以下过程：

MMD “1F” 寄存器的写入过程：

写入 reg<000D> = 0x001F

写入 reg<000E> = <address>

写入 reg<000D> = 0x401F

写入 reg<000E> = <value>

MMD “1F” 寄存器的读取过程：

写入 reg<000D> = 0x001F

写入 reg<000E> = <address>

写入 reg<000D> = 0x401F

读取 reg<000E>

注意：要读取/写入 MMD “1” 寄存器，请将 1F 替换为 01。

注意：上述写入和读取过程通常用于地址大于 0x001F 的寄存器。但一般情况下，它也可用于任何地址。

3.9.3 应用手册参考

有关 EMC/EMI 合规性测试的硬件和软件配置的信息，请参阅以下应用手册：

[如何通过 IEEE 以太网合规性测试](#)

[如何配置 DP838xx 进行以太网合规性测试](#)

4 结论

本应用手册提供了评估新应用和确认预期功能的建议流程。这些分步建议将有助于简化 DP83867 设计的电路板启动和初始评估。

5 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

Changes from Revision A (April 2016) to Revision B (December 2022)	Page
• 更新了整个文档中的表格、图和交叉参考的编号格式.....	2
• 添加了以 1000Mbps 链接的 PHY 的参考寄存器值.....	3
• 删除了关键配置和状态寄存器列表.....	3
• 添加了原理图和布局检查清单部分.....	4
• 添加了元件检查清单部分.....	4
• 添加了外设引脚检查部分.....	5
• 添加了链路质量检查部分.....	8
• 将环回和 BIST 部分与测试程序和相应脚本相结合.....	10
• 添加了调试 MAC 接口的部分.....	12
• 添加了应用特定调试部分.....	16
• 添加了工具和参考部分.....	17
<hr/>	
Changes from Revision * (October 2015) to Revision A (April 2016)	Page
• 从 节 2 中有关通过变压器进行连接的文本中删除了 <i>最常</i>	2
• 在 节 3.1 中的关键配置和状态寄存器列表中添加了自协商状态寄存器.....	3
• 更改了 节 3.4.1 中两个和三个电源配置说明的措辞.....	5
• 更改了 节 3.4.1 中三个电源时序控制的说明.....	5
• 更改了 节 3.4.2 中的 RBIAS 测量顺序.....	5
• 在 节 3.4.5 中添加了在自举状态寄存器中确认自举值的建议.....	6
• 在 节 3.4.7 中添加了端接电缆的电缆连接图.....	7
• 添加了有关寄存器访问的部分。.....	18
• 更改了 节 3.9.1 中 USB-2-MDIO GUI 和 MSP430 LaunchPad 的图像.....	18
• 更改了 节 3.9.1 中 USB-2-MDIO 链路的格式.....	18
• 在 节 3.9.1 中添加了 USB-2-MDIO 的示例脚本.....	18

重要声明和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做任何明示或暗示的担保，包括但不限于对适销性、某特定用途方面的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他功能安全、信息安全、监管或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的应用。严禁对这些资源进行其他复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。您应全额赔偿因在这些资源的使用中对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，TI 对此概不负责。

TI 提供的产品受 [TI 的销售条款](#) 或 [ti.com](#) 上其他适用条款/TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

邮寄地址：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265

Copyright © 2023，德州仪器 (TI) 公司