

*Application Note***Sitara™ 处理器配电网络：实施与分析***Sitara MPU***摘要**

配电网络 (PDN) 的主要目的是为系统上的有源器件提供干净可靠的电源。印刷电路板 (PCB) 是系统级 PDN 传输网络的关键元件。因此，优化 PCB 配电网络设计对于高性能微处理器至关重要。本应用报告提供了为德州仪器 (TI) Sitara™ 系列微处理器设计印刷电路板 (PCB) 供电网络 (PDN) 的实施指南和建议。

内容

1 引言	2
1.1 本文档中使用的首字母缩写词	2
2 PCB 堆叠指南	3
3 PDN 的物理布局优化	5
4 静态 PDN 分析 (IR 压降优化)	8
5 PCB PDN 动态分析	10
5.1 选择去耦电容器以满足 Z_{TARGET}	11
6 PDN 检查清单	13
7 实现实例和 PDN 目标	14
7.1 AM570x	14
7.2 AM571x	16
7.3 AM572x	19
7.4 AM574x	22
7.5 AM65xx/DRA80xM	25
7.6 AM62xx	28
7.7 AM64xx	29
7.8 AM62Ax	31
7.9 AM62Px	34
7.10 AM62Lx	37
8 修订历史记录	39

插图清单

图 2-1. 通过优化 PCB 中的层分配来更大限度地减小环路电感	3
图 2-2. 利用高密度互连过孔的示例堆叠	4
图 2-3. 利用电镀穿孔 (PTH) 过孔的叠加示例	4
图 3-1. 具有 ESL 和 ESR 的“实际”电容器的特性	5
图 3-2. 电容器的典型阻抗曲线	6
图 3-3. 使用接地保护频带的电源网的“共平面”屏蔽示例	6
图 3-4. 电容器安装几何形状	7
图 4-1. 薄层电阻率和电阻描述	8
图 4-2. PCB IR 压降预算	8
图 4-3. 感测线路放置	9
图 4-4. 允许的电源输入电压差	9
图 5-1. 典型配电网 (PDN) 的元件	10
图 5-2. PCB 元件的去耦频率范围	10
图 5-3. 电容器放置示例	11
图 7-1. AM62P PCB 堆叠	34
图 7-2. AM62P PCB 阻抗	35
图 7-3. AM62L PCB 堆叠	37

表格清单

表 1-1. 首字母缩写词.....	2
表 7-1. AM570x PDN 目标和去耦示例.....	15
表 7-2. AM571x PDN 目标和去耦示例.....	18
表 7-3. AM572x PDN 目标和去耦示例.....	21
表 7-4. AM574x PDN 目标和去耦示例.....	24
表 7-5. AM65xx/DRA80xM PDN 目标和去耦示例.....	27
表 7-6. AM62xx PDN 目标和去耦示例.....	29
表 7-7. AM64xx PDN 目标和去耦示例.....	30
表 7-8. AM62Ax PDN 目标和去耦示例.....	32
表 7-9. AM62Px PDN 目标和去耦示例.....	36
表 7-10. AM62Lx PDN 目标和去耦示例.....	38

商标

Sitara™ is a trademark of Texas Instruments.

所有商标均为其各自所有者的财产。

1 引言

本应用报告提供了为德州仪器 (TI) Sitara 系列微处理器设计印刷电路板 (PCB) 供电网络 (PDN) 的实施指南和建议。本应用报告将：

- 讨论 PCB PDN 设计方法
- 提供一般的 PCB PDN 设计建议和要求
- 讨论这些设计要求背后的原理
- 提供 PCB 设计人员可实施的建议和方法，确保满足特定处理器的 PDN 要求。
- 为 Sitara 类微处理器提供 PDN 目标

1.1 本文档中使用的首字母缩写词

表 1-1. 首字母缩写词

首字母缩写词	说明
AC	交流电
BGA	球栅阵列
直流	直流电 (静态)
Df	损耗角正切
DK	电介质常数
EDA	电子设计自动化
EM	电迁移
ESL	有效串联回路
ESR	有效串联电阻
FDTIM	频域目标阻抗方法
HDI	高密度互连 (例如，埋孔/盲孔)
红外	电流 (I) x 电阻 (R) 的乘积
PCB	印刷电路板
PDN	配电网
PM-IC/PMIC	电源管理集成电路
PTH	电镀穿孔
RLC 所取代：	电阻、电感和电容
SMPS	开关模式电源
SMT	表面贴装技术
SRF	自谐振频率
VIP	过孔位于焊盘中

表 1-1. 首字母缩写词 (续)

首字母缩写词	说明
VRM	稳压器模块

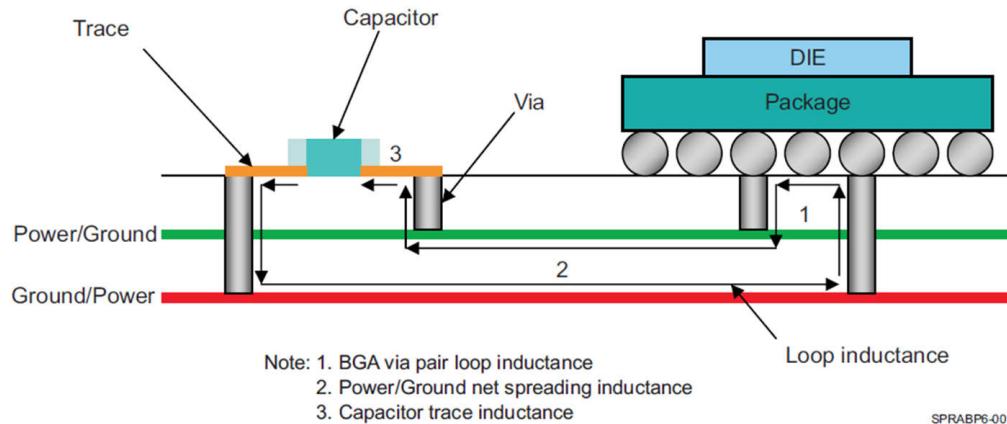
备注

无论是否有相反规定，TI 均不作任何明示、暗示或法定的担保，包括对客户电路板特定用途的适用性和适销性的任何暗示担保。本文档中描述的数据仅用作指南。

2 PCB 堆叠指南

PCB 堆叠（或层分配）是确保配电方案实现卓越性能的一个重要因素。可通过以下建议来实现经过优化的 PCB 堆叠，从而提高电源完整性性能：

- 电源和地平面对/“岛”应该紧密耦合在一起。平面之间形成的电容可用于对电源进行去耦。只要有可能，电源平面和接地平面应该是实心的，以便为返回电流提供连续的返回路径。
- 在电源平面和接地层对之间使用较薄的电介质。电容与平面对的分离成反比，因此尽可能减小分离距离（电介质厚度）有助于更大程度地提高电容。
- 使电源平面和接地平面对尽可能靠近 PCB 顶部和底部表面（请参阅图 2-1）。这有助于更大限度地减小去耦电容器、过孔和电源/接地层对的相关环路电感，从而扩展环路电感。


图 2-1. 通过优化 PCB 中的层分配来更大限度地减小环路电感

如上所示，电源平面和接地平面在 PCB 堆叠中的放置（由层分配确定）对电源电流路径的寄生电感具有重大影响。因此，建议在 PCB PDN 设计周期的早期阶段考虑层顺序，将高优先级电源置于堆叠的上半部分，将低优先级电源置于堆叠的下半部分，如以下示例所示。图 2-2 和图 2-3 展示了在设计时考虑配电性能的典型 PCB 堆叠示例。特定于器件的堆叠示例可在第 8 节中找到。

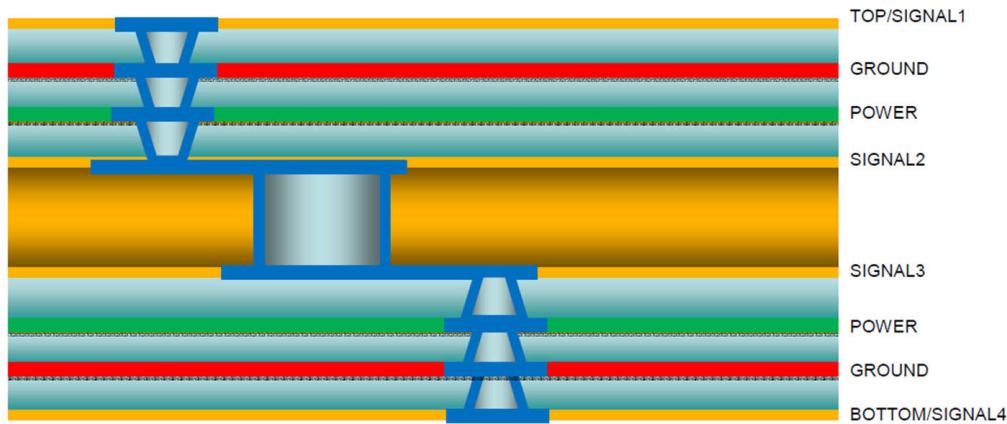


图 2-2. 利用高密度互连过孔的示例堆叠

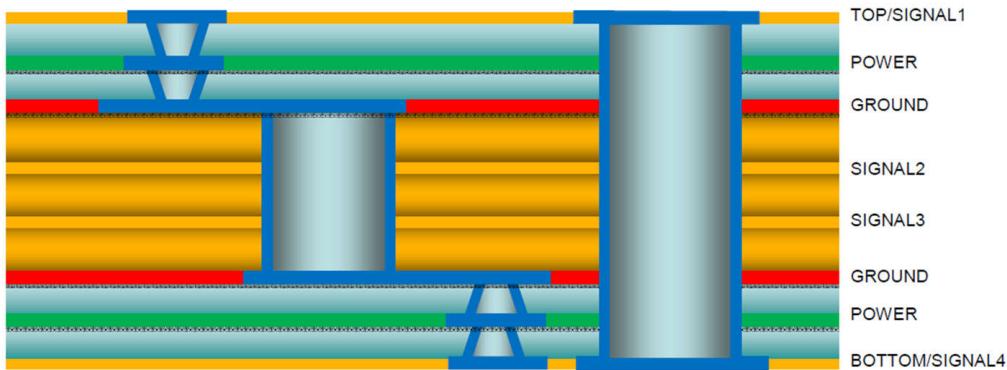


图 2-3. 利用电镀穿孔 (PTH) 过孔的叠加示例

3 PDN 的物理布局优化

以下是在 PCB PDN 设计中实现的重要要求：

- 元件之间的外部电源布线应尽可能宽，因为较宽的布线会导致直流电阻降低，从而降低静态 IR 压降。它们还提供较低的环路电感和较高的电容。
- 只要有可能，尝试使元件引脚和相关过孔的比率达到 1:1（或更好）。不要在多个电容器之间共享过孔。
- 去耦电容器及相关过孔的放置应尽可能靠近处理器焊球。
- 应通过仿真评估每个过渡过孔的最大载流容量，以确定连接元件所需的适当过孔数量。这可确保过孔互连网络的载流能力足以满足每个特定元件的需求。当过孔互连或相同网络无法提供足够的电流时，这称为“过孔耗尽”。
- TI 强烈建议制造之前对任何新的 PCB 设计执行静态和动态 IR 压降分析（在 [节 4](#) 和 [节 5](#) 中讨论）。这些分析应该用于评估满足系统元件 IR 压降要求所需的适当过孔数量和几何布线宽度尺寸。
- 对于内部层（信号路由层和电源层），只要有可能，建议在 PDN 布局中使用宽走线和铜区域填充。如本文档前面部分所述，在平面中布线电源网可提供更多平面间电容并提高 PDN 的高频性能。
- 安装去耦电容器时应尽量减少对电感的影响。电容器不仅具有电容特性，还具有电感和电阻特性。[图 3-1](#) 展示了实际电容器的寄生模型。实际电容器应视为具有有效串联电阻 (ESR) 和有效串联电感 (ESL) 的 RLC 电路。



图 3-1. 具有 ESL 和 ESR 的“实际”电容器的特性

[方程式 1](#) 中给出了此系列模型的阻抗幅度。

$$|Z| = \sqrt{ESR^2 + \left(wESL - \frac{1}{wC}\right)^2}$$

where

$$w = 2\pi f$$

(1)

图 3-2 展示了自谐振频率为 55MHz 的典型电容器的谐振频率响应。电容器的阻抗是其串联电阻、无功电容和电感的组合，如方程式 1 所示。

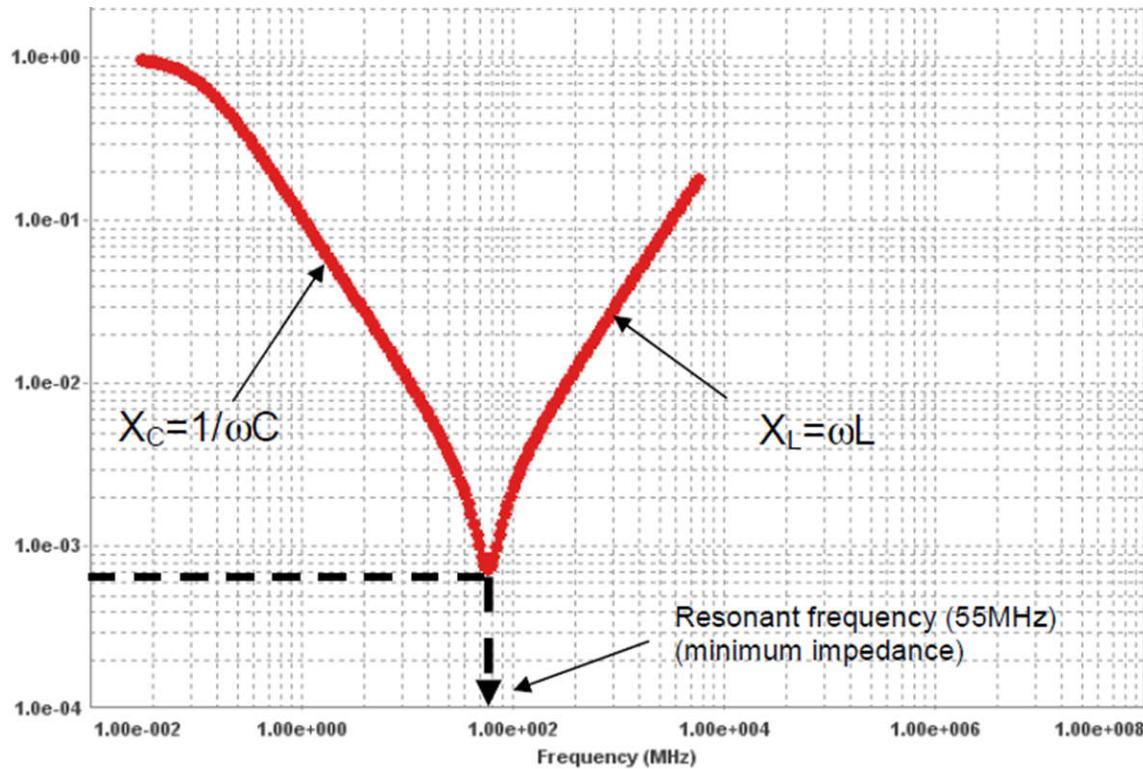


图 3-2. 电容器的典型阻抗曲线

- 尽可能使用“共平面”屏蔽来避免 PCB 上的不同电源网耦合。图 3-3 所示为两个不同电源网 (VDD_MPU_IVA 和 VDD_CORE) 的共平面屏蔽示例。



图 3-3. 使用接地保护频带的电源网的“共平面”屏蔽示例

由于电容器具有会影响其效率的串联电感和电阻，因此在将其放置在配电网路上时必须采用以下建议。尽可能确保使用能够更大限度降低安装电感和电阻的几何形状来安装电容器。电容器贴装电感和电阻包括焊盘、走线和相关过孔的电感和电阻。

用于连接电容器的走线长度对安装的寄生电感和电阻有重大影响。该引线应尽量短而宽。尽可能将过孔放置在焊盘着陆处附近，以尽可能缩短引线长度。通过在电容器焊盘的一侧放置过孔或将过孔数量加倍，可以进一步改进安装。如果 PCB 制造工艺允许，并且具有成本效益，强烈建议使用盘中孔 (VIP) 几何形状。

下面按在降低寄生影响方面的偏好程度证明了常见的过孔放置几何形状：

1. 盘中孔 (VIP)
2. 双偏置过孔
3. 单偏置过孔
4. 焊盘到过孔引线 (短)
5. 焊盘到过孔引线 (长)

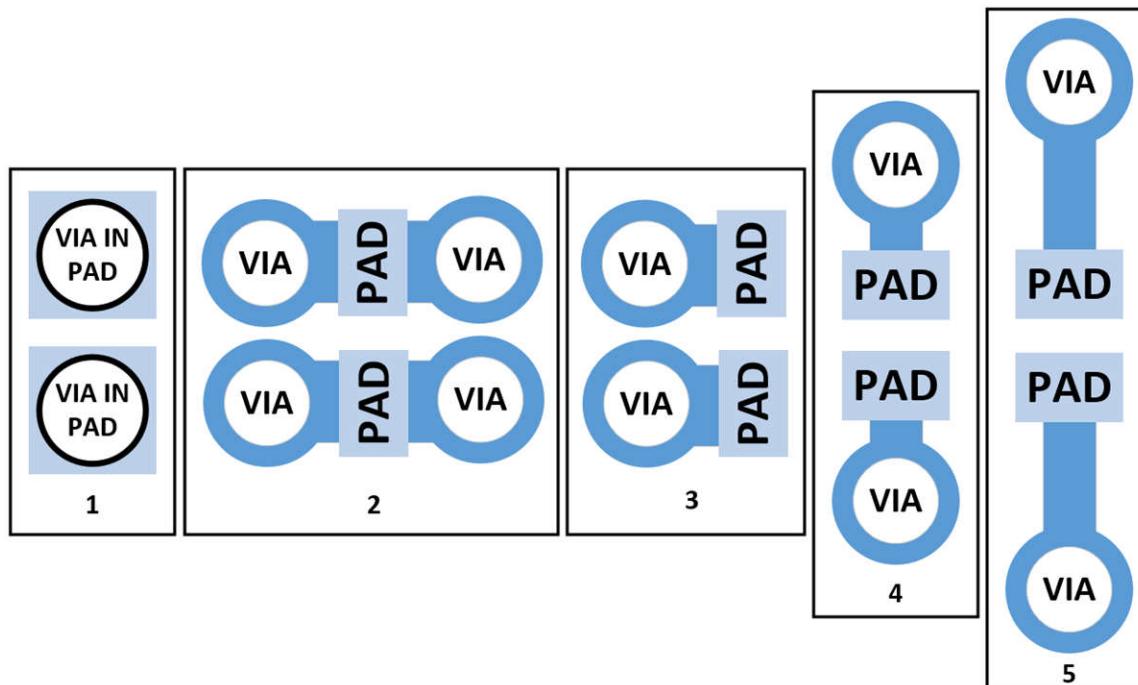


图 3-4. 电容器安装几何形状

除了与在 PCB 上放置电容器相关的贴装电感和电阻外，去耦电容器的有效性还取决于电容器相对于负载的扩散电感和电阻。扩散电感和电阻在很大程度上取决于 PCB 堆叠中的层分配（请参阅图 2-1）。

4 静态 PDN 分析 (IR 压降优化)

向电路提供可靠电源始终至关重要，因为芯片、封装和电路板系统的每个级别都可能发生 IR 压降。远离其关联电源的元件尤其容易受到 IR 压降的影响，而依赖电池电源的设计必须进一步减小压降，避免不可接受的功率损耗。通过仿真进行的早期直流评估有助于确定配电基础知识，例如电源的理想可用入口点、层堆叠选择以及承载所需电流需要的铜面积的估算。

The resistance R_s of a plane conductor for a unit length and unit width is called the **surface resistivity** (ohms per square).

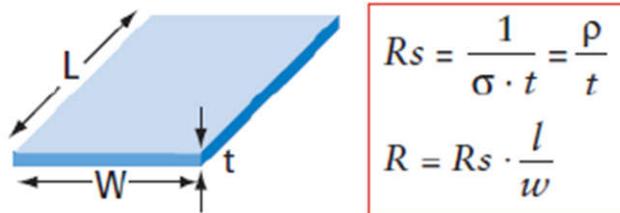


图 4-1. 薄层电阻率和电阻描述

欧姆定律 ($V=IR$) 将传导电流与压降相关联，在直流条件下，关系系数是表示导体电阻的常数。导体也会因其电阻而耗散功率。压降和功率耗散都与导体的电阻成正比。静态红外或直流分析/设计方法包括设计配电网络，使应用处理器器件的电源和接地焊盘上的压降（在直流工作条件下）处于标称电压的指定值范围内，以确保器件正常工作。PCB 级静态 IR 压降预算是介于电源管理器件 (PMIC/VRM/SMPS) 的引脚/焊盘与通过电源管理设备供电的应用处理器器件上的 BGA 焊球之间进行定义的（请参阅图 4-2）。

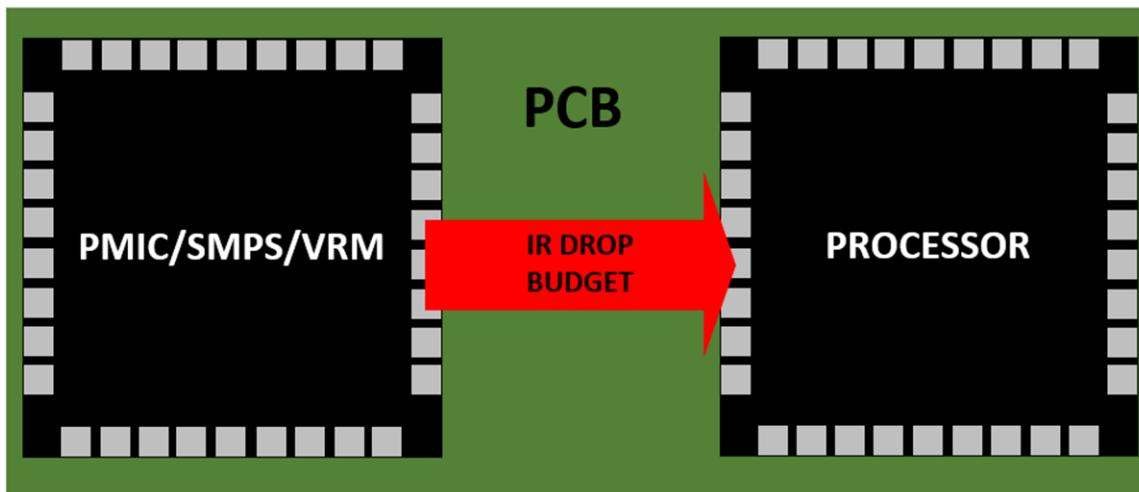


图 4-2. PCB IR 压降预算

考虑到正常器件功能所允许的总系统级裕度，器件 BGA 上允许的电压变化通常指定为标称电压的 2.5%。¹ 对于部署遥感功能的器件，电源管理器件反馈/感应线路必须尽可能靠近相关的处理器电源球（请参阅图 4-3），并且在最大电流负载下，在连接到公共电源轨的所有焊球上保持 $\leq 5\text{mV}$ 的电源输入电压差。5mV 这一最大值表示遥感点与任何关联电源输入之间可能存在的任何电压差（请参阅图 4-4）。

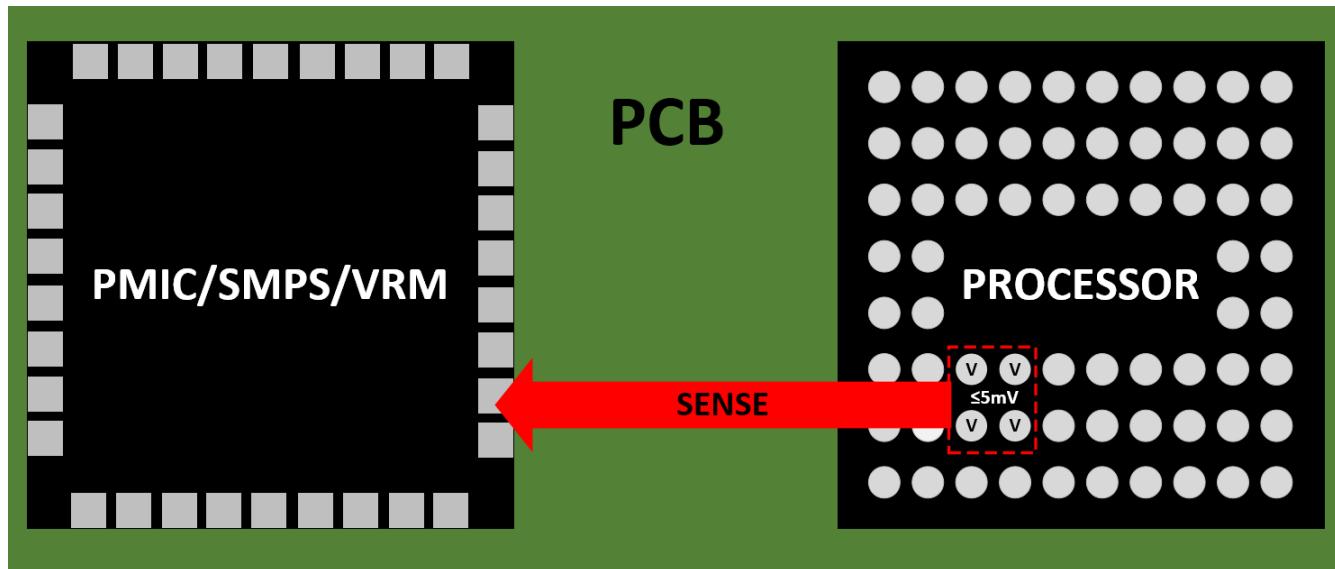


图 4-3. 感测线路放置

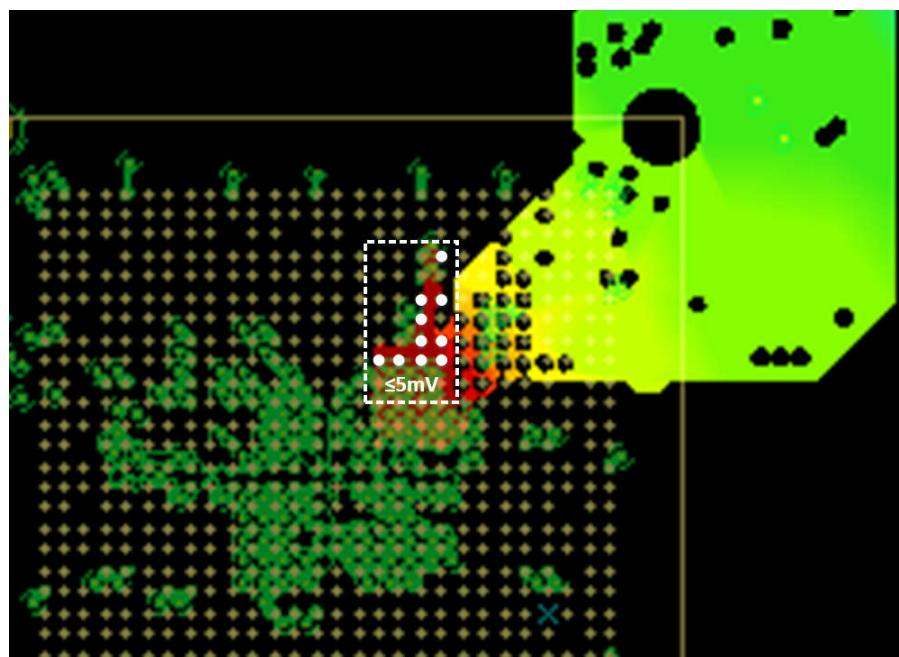


图 4-4. 允许的电源输入电压差

¹ 这是一项通用建议，可能不适用于您的特定处理器。有关处理器要求，请参阅器件特定数据表。

5 PCB PDN 动态分析

图 5-1 展示了 PDN 的典型元素，其中包括使用薄氧化物去耦电容器的芯片级配电。采用平面和中频去耦电容器的封装级配电；采用平面、低频陶瓷和大容量去耦电容器以及电压稳压器模块 (VRM) 的板级 (例如 PCB) 配电。

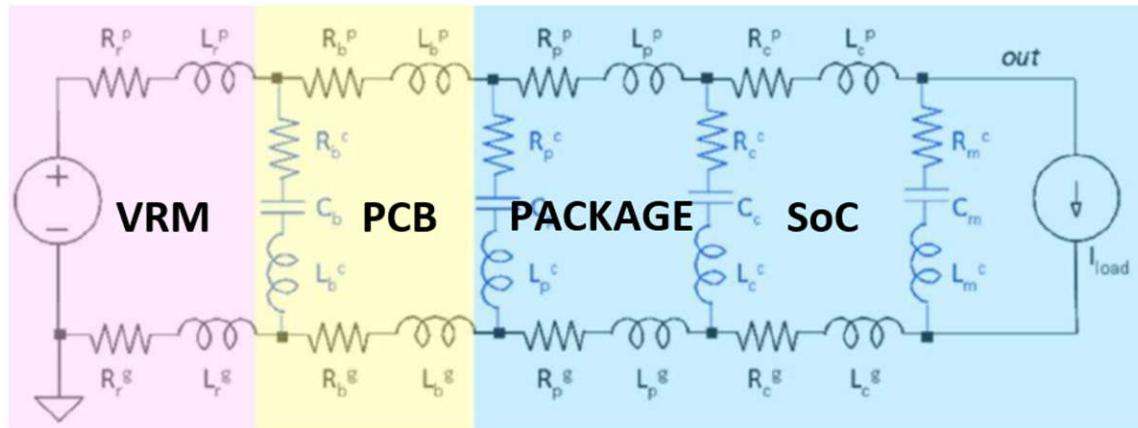


图 5-1. 典型配电网络 (PDN) 的元件

图 5-2 展示了这些元件所涵盖的频率范围。由于主要关注点是优化 PCB PDN 以实现高性能，因此该方法是围绕 PCB 设计人员在设计阶段早期可以控制并可能影响的领域制定的。

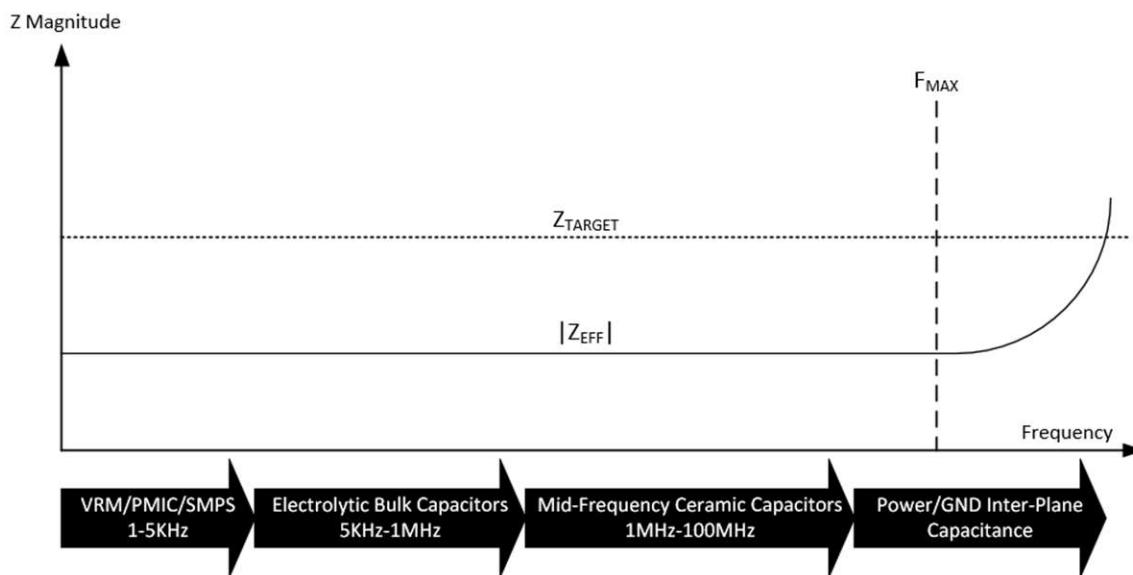


图 5-2. PCB 元件的去耦频率范围

VRM/PMIC/SMPS (简称为稳压器器件) 是 PDN 的第一个主要元件。它会观察其输出电压并调节所提供的电流大小，以保持电压恒定。大多数常见的稳压器以毫秒到微秒级进行此调整。它们可有效地维持从直流到几千赫兹的所有频率事件的输出电压 (取决于稳压器动态响应时间)。对于以高于该范围的频率发生的所有瞬态事件，在稳压器响应新的需求水平之前存在延时时间。在此延时时间内，电源轨会出现压降。供电网络具有与从稳压器模块到处理器的路径相关联的阻抗 (Z_{PDN})。给定电源轨上的噪声幅度 (电压纹波) 与阻抗 (Z_{PDN}) 及与该电源轨相关的瞬态电流 ($I_{TRANSIENT}$) 消耗成正比。

根据欧姆定律，

$$V_{RIPPLE} = I_{TRANSIENT} \times Z_{PDN} \quad (2)$$

通常，瞬态电流取决于特定应用，由特定的开关场景决定。作为电路板设计人员，您可以通过降低电感或更大程度地提高电容来减小 Z_{PDN} ，从而更大限度地减小电压纹波。为了确保电压纹波噪声符合处理器的规格， Z_{PDN} 必须设计为符合特定的阻抗，即目标阻抗 (Z_{TARGET})。使用频域目标阻抗方法 (FDTIM) 描述供电系统的行为已被广泛接受。

FDTIM 的关键概念是确定所考虑电源轨的目标阻抗 Z_{TARGET} （请参阅[方程式 3](#)）。为了确保供电系统可靠运行，在从直流到 $FMAX$ 的频率下，其阻抗频谱需要保持在目标值以下（请参阅[图 5-2](#)）。 $FMAX$ 是频率上的一个点，在这个点之后，由于寄生平面扩散电感和封装电感占据主导地位，添加一个合理数量的去耦电容器不会使电源轨阻抗 $|Z_{EFF}|$ 低于目标阻抗 (Z_{TARGET})。

$$Z_{TARGET} = \frac{\text{Voltage Rail} \times \% \text{ Ripple}}{0.5 \times I_{Max}} \quad (3)$$

5.1 选择去耦电容器以满足 Z_{TARGET}

为了在整个相关频率范围内保持电源完整性，配电网络依赖于稳压器模块 (VRM/SMPS)、板载分立式大容量电解和陶瓷去耦电容器以及平面间电容（电路板堆叠中电源接地夹层的电容）。对于一阶分析，可以将电源管理集成电路 (PMIC) 的 VRM 建模为串联电阻器和电感器。PMIC 在低频（高达 500KHz-1MHz）下通常具有低阻抗，能够响应处理器的瞬时要求。因此，VRM 的 ESR 和 ESL 值非常低。除了较低的频率，VRM 阻抗主要是感性的，因此无法满足器件的瞬态电流要求。大容量和陶瓷分立式去耦电容器必须在 VRM 变为电感时提供所需的低阻抗。大容量和中频去耦电容器（1MHz-70MHz，取决于电容器的 ESL 和 ESR）的有效性受到其放置（由于环路电感）、值和类型的限制。有关电容器放置示例，请参阅[图 5-3](#)。请注意，为了更大限度地减小环路电感，中频电容器已直接放置在处理器下方（在 PCB 的底部）。

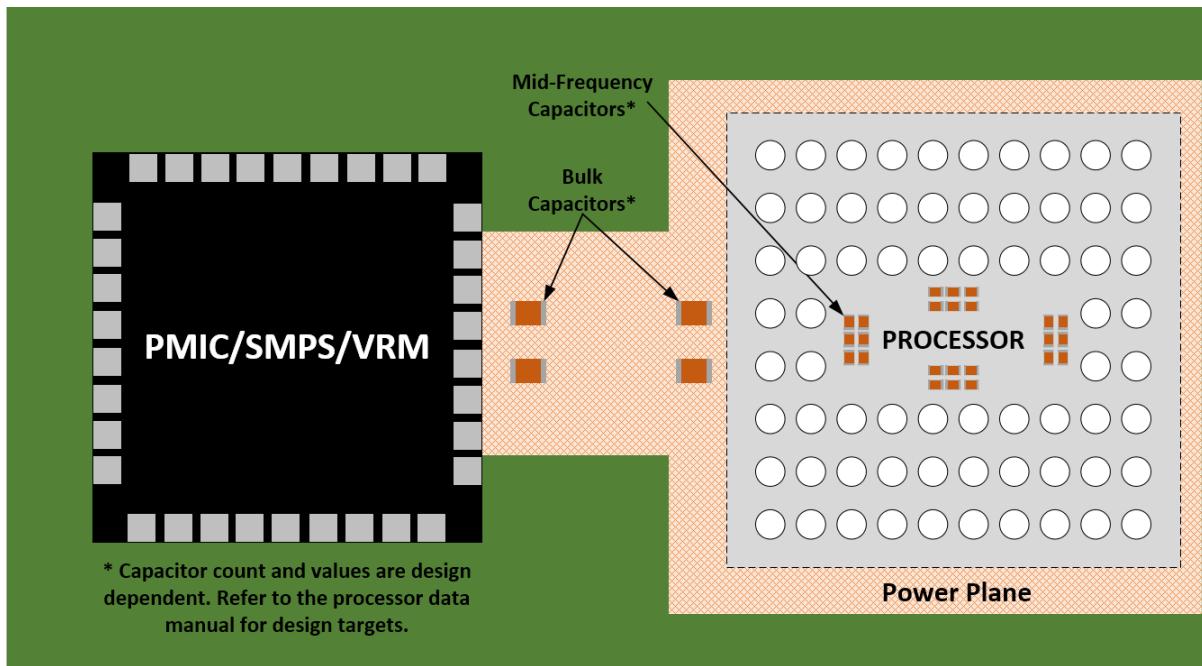


图 5-3. 电容器放置示例

大容量电容器应位于电路板电源入口的入口点附近。去耦电容器将 PDN 阻抗保持在超出 VRM 频率的所需值，直到中频电容器变得有用为止。中频 SMT 电容器在 10MHz 至 150MHz 及更高频率范围内非常有用。这些电容器主要是陶瓷电容器，具有多种电介质类型（NPO、X7R、X5R 和 Y5V）和多种尺寸（1206、0805、0603、0402 等）。中频电容器比大容量电容器小得多，可以放置在更靠近晶体管电路的位置。由于陶瓷电容器较小，因此它们的 ESR 和 ESL 比大容量电容器更低，电容也更低，因此谐振频率更高，谐振阻抗更小。因此，可以在较高的频率下使用陶瓷电容器。典型的中频电容器的电容范围为 1nF - 100nF，ESR 范围为 10-100mΩ，ESL 范围为 0.5nH - 1nH。

“环路电感”的概念是一个用于量化配电网络去耦电容器有效性的有用指标。要计算与去耦电容器放置相关的“环路电感”，可使用[方程式 4](#)：

$$L_{\text{eff}} = \frac{\text{Imaginary}(Z(\text{Power, GND pads of decap}))}{2 \times \pi \times \text{Frequency}} \quad (4)$$

其中 L_{eff} 是有效环路电感， Z (电源，decap 的 GND 焊盘) 表示相应 decap 的电源和接地焊盘上定义的端口的 Z 参数。应在 Z 参数响应的“平坦”区域选择频率，通常在 50MHz – 70MHz 范围内。

6 PDN 检查清单

虽然该列表不包含设计 PCB 时必须考虑的每个参数和变量，但经过 PDN 优化的 PCB 设计将实现以下指南：

- 电源和地平面对（或“岛”）应该紧密耦合在一起。平面之间形成的电容可用于在高频下对电源进行去耦。
- 只要可能，电源平面和接地平面应该是实心的，因为这为返回电流提供了一个连续的返回路径。
- 在电源平面和接地层对之间使用较薄的电介质。电容与平面对的分离成反比，因此尽可能减小分离距离（例如，电介质厚度）可更大程度地提高产生的电容。
- 电源平面和接地平面在 PCB 堆叠中的放置（由层分配确定）对电源电流路径的寄生电感具有重大影响。因此，建议在 PCB PDN 设计周期的早期阶段考虑层顺序，将高优先级电源放置在堆叠的上半部分，将低优先级电源放置在堆叠的下半部分。这有助于更大限度地减小由去耦电容器及其相关过孔引起的环路电感。
- 元件之间的外部电源布线应尽可能宽，因为较宽的布线会导致直流电阻降低，从而降低静态 IR 压降。
- 只要可能，尝试使元件引脚和相关过孔的比率达到 1:1（或更好）。不要在多个电容器之间共享过孔。
- 去耦电容器及其相关过孔的放置应尽可能靠近处理器焊球。为此，请在处理器正下方保留空间。
- 最好使用短而宽的表面走线将电容器焊盘连接到与以下平面相连的过孔。
- 最好使用大直径过孔来降低电感/电阻。
- 优先选择 1oz 至 2oz 铜重量的电源/接地层，以实现更好的 PCB 散热，这有助于降低处理器结温。此外，最好将电源/接地平面放置在靠近安装处理器的 PCB 表面的位置。
- 将 VRM 放置在尽可能靠近处理器且位于 PCB 同一侧的位置。如果将电源管理 IC (PMIC) 作为 VRM 实现，则应对齐该 IC，以更大程度地减小最高电流轨的距离。

7 实现示例和 PDN 目标

本节提供了特定于器件的 PDN 目标和满足这些目标的实现示例。

备注

本文档中介绍的去耦电容器计数和/或电容器值取决于特定的 PCB 设计，不应用于代替 PCB 仿真。PCB 设计人员有责任确保任何设计都符合提供的 PDN 目标。

7.1 AM570x

Layer	Calc Thickness	Primary Stack	Description	Dk / Df
Layer - 1	0.0005		Taiyo 4000-MP 1/4oz Sig (Std Plt)	4.70 / 0.0330
	0.0020		370H	4.03 / 0.0210
	0.0033	1080HRC	1oz P/G	4.54 / 0.0190
	0.0012		370H	4.17 / 0.0210
	0.0041	0.0040C	1/2oz Mix	4.30 / 0.0180
	0.0006		370H	4.16 / 0.0210
	0.0054	1080	1080	4.54 / 0.0190
	0.0280	0.0280	370H	4.05 / 0.0210
	0.0055	1080	370H	4.70 / 0.0330
	0.0006	1080	Taiyo 4000-MP 1/4oz Sig (Std Plt)	
Layer - 4	0.0041			
	0.0012	0.0040C		
Layer - 5	0.0032			
	0.0020	1080HRC		
Layer - 6	0.0005			

Materials: Isola 370H High-Tg FR4

Requirement	Req. Thickness	Tol +	Tol -	Calc Thick
Incl. Plating & Mask	0.0620	0.0062	0.0062	0.0622
Incl. Mask over Laminates	0.0580	0.0058	0.0058	0.0582
Incl. Plating	0.0610	0.0061	0.0061	0.0612
After Lamination	0.0576	0.0029	0.0029	0.0578
Over Laminate	0.0570	0.0057	0.0057	0.0572

Impedance Type	Layer	Design	Actual	Pitch	Plane	Target	Tol (ohms)	Predict
1 Surface MS	L1	0.0050	0.0050	-	-	50	5	49.89
	-	-	-	-	L2			
2 EC Microstrip	L1	0.00480	0.0046	0.0110	-	90	9	90.71
	-	0.00480	0.0046	-	L2			
3 EC Microstrip	L1	0.00440	0.0042	0.0140	-	100	10	100.04
	-	0.00440	0.0042	-	L2			
4 Stripline	L3	0.00525	0.0054	-	L2	50	5	50.01
	-	-	-	-	L5			
5 EC Stripline	L3	0.00450	0.0045	0.0140	L2	100	10	100.18
	-	0.00450	0.0045	-	L5			
6 EC Stripline	L3	0.0050	0.0050	0.0110	L2	90	9.0	89.67
	-	0.0050	0.0050	-	L5			

Impedance Type	Layer	Design	Actual	Pitch	Plane	Target	Tol (ohms)	Predict
7 Stripline	L4	0.00525	0.0054	-	L2	50	5	50.03
	-	-	-	-	L5			
8 EC Stripline	L4	0.00450	0.0045	0.0140	L2	100	10	100.22
	-	0.00450	0.0045	-	L5			
9 EC Stripline	L4	0.0050	0.0050	0.0110	L2	90	9	89.71
	-	0.0050	0.0050	-	L5			
10 EC Microstrip	L6	0.00440	0.0041	0.0140	L5	100	10	99.6
	-	0.00440	0.0041	-	-			
11 EC Microstrip	L6	0.00480	0.0046	0.0110	L5	90	9	89.44
	-	0.00480	0.0046	-	-			
12 Surface MS	L6	0.0050	0.0048	-	L5	50	5	49.88
	-	-	-	-	-			

表 7-1. AM570x PDN 目标和去耦示例

电源名称 ⁽¹⁰⁾	静态PDN目标	动态PDN目标			每个电源的去耦电容器数量 ⁽¹⁾⁽²⁾⁽³⁾⁽⁴⁾⁽⁵⁾⁽⁶⁾⁽⁹⁾							
		最大 R_{eff} (mΩ) ⁽⁷⁾	去耦电容器最大 LL (nH) ⁽⁶⁾⁽⁸⁾	最大阻抗 (mΩ)	相关频率 (MHz)	100 nF	220 nF	470 nF	1 μF	2.2 μF	4.7 μF	10 μF
VDD_CORE	18	2	57	≤20			5	4			1	
VDD_DSP	22	2.5	54	≤20			6	5			2	
VDDS_DDR1	10	2.5	200	≤100			12	1			1	
CAP_VBBLDO_DSP	不适用	6	不适用	不适用				1				
CAP_VBBLDO_GPU	不适用	6	不适用	不适用				1				
CAP_VBBDLO_IVA	不适用	6	不适用	不适用				1				
CAP_VBBLDO_MPUS	不适用	6	不适用	不适用				1				
CAP_VDDRAM_CORE1	不适用	6	不适用	不适用				1				
CAP_VDDRAM_CORE2	不适用	6	不适用	不适用				1				
CAP_VDDRAM_CORE3	不适用	6	不适用	不适用				1				
CAP_VDDRAM_CORE4	不适用	6	不适用	不适用				1				
CAP_VDDRAM_DSP	不适用	6	不适用	不适用				1				
CAP_VDDRAM_GPU	不适用	6	不适用	不适用				1				
CAP_VDDRAM_IVA	不适用	6	不适用	不适用				1				
CAP_VDDRAM_MPUS	不适用	6	不适用	不适用				1				

- (1) 更多有关峰峰噪声值的信息，请参阅器件特定数据手册中的建议运行条件表。
- (2) ESL 必须尽可能低，且不超过 0.5nH。
- (3) 根据特定器件数据手册规格一章中的建议运行条件表，定义了供电网络 (PDN) 阻抗特性与器件活动 (以不同频率运行) 间的关系。
- (4) 静态压降要求驱动 PMIC 或外部 SMPS 与处理器电源焊球之间的最大可接受 PCB 电阻。
- (5) 假设外部 SMPS (电源 IC) 反馈感应靠近处理器电源焊球。
- (6) 高频 (30MHz - 70MHz) PCB 去耦电容器。
- (7) 从 VRM/SMPS/PMIC 到处理器的最大 R_{eff} 。
- (8) 去耦电容器的最大环路电感。
- (9) 提供去耦电容器计数和值仅作为基线建议。TI 建议在制造前对所有 PCB 设计进行仿真，以确保满足处理器 PDN 要求。
- (10) 成组导轨必须满足每个成员导轨的所有要求。

7.2 AM571x

Layer	Calc Thickness	Primary Stack	Description	Dk / Df
Layer - 1	0.0005		Taiyo 4000-BN 1/4oz Mix (Std Plt)	4.71 / 0.0330
	0.0017		370H	4.34 / 0.0210
Layer - 2	0.0037	2113	1oz P/G	
	0.0012		370H	4.33 / 0.0210
Layer - 3	0.0060	0.0060A (1-2113/1-1080)	1/2oz Mix	
	0.0006		370H	4.06 / 0.0210
Layer - 4	0.0048	106	1/2oz P/G	
	0.0006	1080	370H	4.54 / 0.0190
Layer - 5	0.0041	0.0040C (1-2116)	1/2oz Mix	
	0.0006	106	370H	4.06 / 0.0210
Layer - 6	0.0048	1080	1/2oz P/G	
	0.0006	0.0040C (1-2116)	370H	4.54 / 0.0190
Layer - 7	0.0041	106	1/2oz Mix	
	0.0006	1080	370H	4.06 / 0.0210
Layer - 8	0.0048	0.0030 (1-2113)	1/2oz P/G	
	0.0006	1080	370H	4.57 / 0.0190
Layer - 9	0.0030	106	1/2oz P/G	
	0.0006	1080	370H	4.06 / 0.0210
Layer - 10	0.0048	106	1/2oz Mix	
	0.0006	0.0040C (1-2116)	370H	4.54 / 0.0190
Layer - 11	0.0041	1080	1/2oz P/G	
	0.0006	106	370H	4.06 / 0.0210
Layer - 12	0.0048	1080	1/2oz Mix	
	0.0006	106	370H	4.54 / 0.0190
Layer - 13	0.0041	0.0040C (1-2116)	1/2oz P/G	
	0.0006	1080	370H	4.06 / 0.0210
Layer - 14	0.0048	106	1/2oz Mix	
	0.0006	0.0060A (1-2113/1-1080)	370H	4.33 / 0.0210
Layer - 15	0.0060	2113	1oz P/G	
	0.0012		370H	4.34 / 0.0210
Layer - 16	0.0037		1/4oz Mix (Std Plt)	
	0.0017		Taiyo 4000-BN	4.71 / 0.0330
	0.0005			

Materials: Isola 370H High-Tg FR4

Requirement	Req. Thickness	Tol +	Tol -	Calc Thick
Incl. Plating & Mask	0.0800	0.0080	0.0080	0.0816
Incl. Mask over Laminate	0.0766	0.0077	0.0077	0.0782
Incl. Plating	0.0790	0.0079	0.0079	0.0806

Requirement	Req. Thickness	Tol +	Tol -	Calc Thick
After Lamination	0.0762	0.0038	0.0038	0.0778
Over Laminate	0.0756	0.0076	0.0076	0.0772

Job Comment
Sim to pn 516581 Rev F and 517391A.

Impedance Type	Layer	Design	Actual	Pitch	Plane	Target	Tol (ohms)	Predict
1  Surface MS	L1	0.00550	0.0055	-	-	50	5	49.83
	-	-	-	-	L2			
2  EC Microstrip	L1	0.00470	0.0047	0.0100	-	90	9	89.73
	-	0.00470	0.0047	-	L2			
3  EC Microstrip	L1	0.0040	0.0040	0.0105	-	100	10	99.29
	-	0.0040	0.0040	-	L2			
4  Stripline	L3	0.00450	0.0045	-	L2	50	5	50.71
	-	-	-	-	L4			
5  EC Stripline	L3	0.0050	0.0050	0.0120	L2	90	9.0	90.96
	-	0.0050	0.0050	-	L4			
6  EC Stripline	L3	0.00370	0.0037	0.0090	L2	100	10	100.20
	-	0.00370	0.0037	-	L4			
7  Stripline	L5	0.00370	0.0037	-	L4	50	5	49.84
	-	-	-	-	L6			
8  EC Stripline	L5	0.00360	0.0036	0.0120	L4	100	10.0	98.59
	-	0.00360	0.0036	-	L6			
9  Stripline	L7	0.00370	0.0037	-	L6	50	5	49.84
	-	-	-	-	L8			
10  EC Stripline	L7	0.00360	0.0036	0.0120	L6	100	10.0	98.59
	-	0.00360	0.0036	-	L8			
11  Stripline	L10	0.00370	0.0037	-	L9	50	5	49.84
	-	-	-	-	L11			
12  EC Stripline	L10	0.00360	0.0036	0.0120	L9	100	10.0	98.59
	-	0.00360	0.0036	-	L11			
13  Stripline	L12	0.00370	0.0037	-	L11	50	5	49.84
	-	-	-	-	L13			
14  EC Stripline	L12	0.00360	0.0036	0.0120	L11	100	10.0	98.59
	-	0.00360	0.0036	-	L13			
15  Stripline	L14	0.00450	0.0045	-	L13	50	5	50.71
	-	-	-	-	L15			

Impedance Type	Layer	Design	Actual	Pitch	Plane	Target	Tol (ohms)	Predict
16  EC Stripline	L14	0.00370	0.0037	0.0090	L13	100	10	100.20
	-	0.00370	0.0037	-	L15			
17  Surface MS	L16	0.00550	0.0055	-	L15	50	5	49.84
	-	-	-	-	-			
18  EC Microstrip	L16	0.00470	0.0047	0.0100	L15	90	9	89.73
	-	0.00470	0.0047	-	-			
19  EC Microstrip	L16	0.0040	0.0040	0.0105	L15	100	10	99.29
	-	0.0040	0.0040	-	-			
20  EC Microstrip	L1	0.00350	0.0035	0.0120	-	110	11.0	109.02
	-	0.00350	0.0035	-	L2			
21  EC Microstrip	L1	0.00560	0.0056	0.0120	-	87	8.7	86.46
	-	0.00560	0.0056	-	L2			
22  EC Microstrip	L16	0.00560	0.0056	0.0120	L15	87	8.7	86.46
	-	0.00560	0.0056	-	-			

表 7-2. AM571x PDN 目标和去耦示例

电源 名称 ⁽¹⁰⁾	静态 PDN 目标	动态 PDN 目标			每个电源的去耦							
		去耦电容器 最大 LL (nH) ^{(6) (8)}	最大 阻抗 (mΩ)	相关 频率 (MHz)	100 nF	220 nF	470 nF	1 μF	2.2 μF	4.7 μF	10 μF	22 μF
VDD_CORE	27Ω	2	87	≤50	6	1	1	1	1	1		
VDD_MPU	10	2	57	≤20	8	1	1	1	1	1		1
VDD_DSP VDD_GPU VDD_IVA	13	2.5	54	≤20	8	1	1	1	1	1	1	1
VDDS_DDR1	10	2.5	200	≤100	8	4		2		2		1
CAP_VBBLDO_DSP	不适用	6	不适用	不适用				1				
CAP_VBBLDO_GPU	不适用	6	不适用	不适用				1				
CAP_VBBDO_IVA	不适用	6	不适用	不适用				1				
CAP_VBBLD0_MPU	不适用	6	不适用	不适用				1				
CAP_VDDRDRAM_CORE1	不适用	6	不适用	不适用				1				
CAP_VDDRDRAM_CORE3	不适用	6	不适用	不适用				1				
CAP_VDDRDRAM_CORE4	不适用	6	不适用	不适用				1				
CAP_VDDRDRAM_DSP	不适用	6	不适用	不适用				1				
CAP_VDDRDRAM_GPU	不适用	6	不适用	不适用				1				
CAP_VDDRDRAM_IVA	不适用	6	不适用	不适用				1				
CAP_VDDRDRAM_MPU	不适用	6	不适用	不适用				1				

- (1) 更多有关峰峰噪声值的信息，请参阅器件特定数据手册中的建议运行条件表。
- (2) ESL 必须尽可能低，且不超过 0.5nH。
- (3) 根据特定器件数据手册规格一章中的建议运行条件表，定义了供电网络 (PDN) 阻抗特性与器件活动（以不同频率运行）间的关系。
- (4) 静态压降要求驱动 PMIC 或外部 SMPS 与处理器电源焊球之间的最大可接受 PCB 电阻。
- (5) 假设外部 SMPS (电源 IC) 反馈感应靠近处理器电源焊球。
- (6) 高频 (30MHz – 70MHz) PCB 去耦电容器。
- (7) 从 VRM/SMPS/PMIC 到处理器的最大 R_{eff}。
- (8) 去耦电容器的最大环路电感。
- (9) 提供去耦电容器计数和值仅作为基线建议。TI 建议在制造前对所有 PCB 设计进行仿真，以确保满足处理器 PDN 要求。
- (10) 成组导轨必须满足每个成员导轨的所有要求。

7.3 AM572x

Layer	Calc Thickness	Primary Stack	Description	Dk / Df
Layer - 1	0.0005 0.0017		Taiyo 4000-BN 1/4oz Mix (Std Plt)	4.71 / 0.0330
	0.0039		370H	3.95 / 0.0210
Layer - 2	0.0025		2oz P/G	
	0.0060		370H	4.33 / 0.0210
Layer - 3	0.0006	0.0060A (1-2113/1-1080)	1/2oz Mix	
	0.0047		370H	4.07 / 0.0210
Layer - 4	0.0006	106	1/2oz P/G	
	0.0035	1080	370H	4.40 / 0.0210
Layer - 5	0.0006	0.0035A (1-2113)	1/2oz Mix	
	0.0039	106	370H	3.95 / 0.0210
Layer - 6	0.0006	106	1/2oz P/G	
	0.0035	0.0035A (1-2113)	370H	4.40 / 0.0210
Layer - 7	0.0006	106	1/2oz Mix	
	0.0040	106	370H	3.94 / 0.0210
Layer - 8	0.0006	0.0030 (1-2113)	1/2oz P/G	
	0.0030	106	370H	4.57 / 0.0190
Layer - 9	0.0006	106	1/2oz P/G	
	0.0040	106	370H	3.94 / 0.0210
Layer - 10	0.0006	0.0035A (1-2113)	1/2oz Mix	
	0.0035	106	370H	4.40 / 0.0210
Layer - 11	0.0006	106	1/2oz P/G	
	0.0040	106	370H	3.94 / 0.0210
Layer - 12	0.0006	0.0035A (1-2113)	1/2oz Mix	
	0.0035	106	370H	4.40 / 0.0210
Layer - 13	0.0006	106	1/2oz P/G	
	0.0048	1080	370H	4.06 / 0.0210
Layer - 14	0.0006	106	1/2oz Mix	
	0.0060	0.0060A (1-2113/1-1080)	370H	4.33 / 0.0210
Layer - 15	0.0025	2oz P/G		
	0.0039	106	370H	3.95 / 0.0210
Layer - 16	0.0017 0.0005	106	1/4oz Mix (Std Plt) Taiyo 4000-BN	4.71 / 0.0330

Materials: Isola 370H High-Tg FR4

Requirement	Req. Thickness	Tol +	Tol -	Calc Thick
Incl. Plating & Mask	0.0800	0.0080	0.0080	0.0788
Incl. Mask over Laminate	0.0766	0.0077	0.0077	0.0754
Incl. Plating	0.0790	0.0079	0.0079	0.0778
After Lamination	0.0762	0.0038	0.0038	0.0750
Over Laminate	0.0756	0.0076	0.0076	0.0744

Impedance Type	Layer	Design	Actual	Pitch	Plane	Target	Tol (ohms)	Predict
1  Surface MS	L1	0.0050	0.0060	-	-	50	5	51.11
	-	-	-	-	L2			
2  EC Microstrip	L1	0.00440	0.0052	0.0105	-	90	9	90.68
	-	0.00440	0.0052	-	L2			
3  EC Microstrip	L1	0.00380	0.0048	0.0120	-	100	10	99.26
	-	0.00380	0.0048	-	L2			
4  Stripline	L3	0.00450	0.0045	-	L2	50	5	50.37
	-	-	-	-	L4			
5  EC Stripline	L3	0.0050	0.0050	0.0120	L2	90	9	90.45
	-	0.0050	0.0050	-	L4			
6  Stripline	L5	0.0040	0.0033	-	L4	50	5	48.65
	-	-	-	-	L6			
7  Stripline	L7	0.00330	0.0033	-	L6	50	5	48.96
	-	-	-	-	L8			
8  Stripline	L10	0.00330	0.0033	-	L9	50	5	48.96
	-	-	-	-	L11			
9  Stripline	L12	0.0040	0.0033	-	L11	50	5	48.96
	-	-	-	-	L13			
10  Stripline	L14	0.00450	0.0045	-	L13	50	5	50.71
	-	-	-	-	L15			
11  Surface MS	L16	0.0050	0.0060	-	L15	50	5	51.11
	-	-	-	-	-			
12  EC Microstrip	L16	0.00350	0.0044	0.0105	L15	100	10	99.49
	-	0.00350	0.0044	-	-			
13  EC Microstrip	L1	0.00380	0.0038	0.0120	-			110.77
	-	0.00380	0.0038	-	L2			
14  EC Microstrip	L1	0.0060	0.0060	0.0120	-			87.59
	-	0.0060	0.0060	-	L2			
15  EC Microstrip	L16	0.0060	0.0060	0.0120	L15			87.60
	-	0.0060	0.0060	-	-			

表 7-3. AM572x PDN 目标和去耦示例

电源 名称 ⁽¹⁰⁾	静态 PDN 目标	动态 PDN 目标			每个电源的去耦							
		去耦电容器 最大 LL (nH) ^{(6) (8)}	最大阻抗 (mΩ)	相关 频率 (MHz)	100 nF	220 nF	470 nF	1 μF	2.2 μF	4.7 μF	10 μF	22 μF
VDD_CORE	27Ω	2	87	≤50	6	1	1	1	1	1		
VDD_MPU	10	2	57	≤20	12	2	2	3	1	1		1
VDD_DSPEVE	13	2.5	54	≤20	8	1	1	2	1	1	1	
VDD_IVA	48	2	800	≤100	5		1			1		
VDD_GPU	18	2.5	207	≤50	6	1	1	1	1	1		
VDDS_DDR1	10	2.5	200	≤100	8	4		2		2		1
VDDS_DDR2	10	2.5	200	≤100	8	4		2		2		1
CAP_VBBLDO_DSPEVE	不适用	6	不适用	不适用				1				
CAP_VBBLDO_GPU	不适用	6	不适用	不适用				1				
CAP_VBBDO_IVA	不适用	6	不适用	不适用				1				
CAP_VBBLDO_MPU	不适用	6	不适用	不适用				1				
CAP_VDDRAM_CORE1	不适用	6	不适用	不适用				1				
CAP_VDDRAM_CORE2	不适用	6	不适用	不适用				1				
CAP_VDDRAM_CORE3	不适用	6	不适用	不适用				1				
CAP_VDDRAM_CORE4	不适用	6	不适用	不适用				1				
CAP_VDDRAM_CORE5	不适用	6	不适用	不适用				1				
CAP_VDDRAM_DSPEVE1	不适用	6	不适用	不适用				1				
CAP_VDDRAM_DSPEVE2	不适用	6	不适用	不适用				1				
CAP_VDDRAM_GPU	不适用	6	不适用	不适用				1				
CAP_VDDRAM_IVA	不适用	6	不适用	不适用				1				
CAP_VDDRAM_MPU1	不适用	6	不适用	不适用				1				
CAP_VDDRAM_MPU2	不适用	6	不适用	不适用								

- (1) 更多有关峰峰噪声值的信息，请参阅器件特定数据手册中的建议运行条件表。
- (2) ESL 必须尽可能低，且不超过 0.5nH。
- (3) 根据特定器件数据手册 纲格一章中的建议运行条件表，定义了供电网络 (PDN) 阻抗特性与器件活动（以不同频率运行）间的关系。
- (4) 静态压降要求驱动 PMIC 或外部 SMPS 与处理器电源焊球之间的最大可接受 PCB 电阻。
- (5) 假设外部 SMPS（电源 IC）反馈感应靠近处理器电源焊球。
- (6) 高频 (30MHz – 70MHz) PCB 去耦电容器。
- (7) 从 VRM/SMPS/PMIC 到处理器的最大 R_{eff} 。
- (8) 去耦电容器的最大环路电感。
- (9) 提供去耦电容器计数和值仅作为基线建议。TI 建议在制造前对所有 PCB 设计进行仿真，以确保满足处理器 PDN 要求。
- (10) 成组导轨必须满足每个成员导轨的所有要求。

7.4 AM574x

Layer	Cust Thickness	Calc Thickness	Primary Stack	Description	Dk / Df
Layer - 1		0.0005		Taiyo 4000 LDI	3.50 / 0.0019
		0.0017		1/4oz Sig (Std Plt)	
Layer - 2		0.0033		370H	4.03 / 0.0210
		0.0012		1oz P/G	
Layer - 3		0.0060		370H	4.43 / 0.0200
		0.0006		1/2oz Sig	
Layer - 4		0.0044		370H	4.12 / 0.0210
		0.0006		1/2oz P/G	
Layer - 5		0.0041		370H	4.54 / 0.0190
		0.0006		1/2oz Sig	
Layer - 6		0.0044		370H	4.12 / 0.0210
		0.0006		1/2oz P/G	
Layer - 7		0.0041		370H	4.54 / 0.0190
		0.0006		1/2oz Sig	
Layer - 8		0.0044		370H	4.12 / 0.0210
		0.0006		1/2oz P/G	
Layer - 9		0.0030		370H	4.57 / 0.0190
		0.0006		1/2oz P/G	
Layer - 10		0.0044		370H	4.12 / 0.0210
		0.0006		1/2oz Sig	
Layer - 11		0.0041		370H	4.54 / 0.0190
		0.0006		1/2oz P/G	
Layer - 12		0.0044		370H	4.12 / 0.0210
		0.0006		1/2oz Sig	
Layer - 13		0.0041		370H	4.54 / 0.0190
		0.0006		1/2oz P/G	
Layer - 14		0.0044		370H	4.12 / 0.0210
		0.0006		1/2oz Sig	
Layer - 15		0.0060		370H	4.43 / 0.0200
		0.0012		1oz P/G	
Layer - 16		0.0033		370H	4.03 / 0.0210
		0.0017		1/4oz Sig (Std Plt)	
		0.0005		Taiyo 4000 LDI	3.50 / 0.0019

Requirement	Req. Thickness	Tol +	Tol -	Calc Thick
Incl. Plating & Mask	0.0800	0.0080	0.0080	0.0784
Incl. Mask over Laminate	0.0766	0.0077	0.0077	0.0750
Incl. Plating	0.0790	0.0079	0.0079	0.0774
After Lamination	0.0762	0.0038	0.0038	0.0746

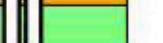
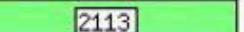
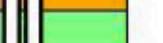
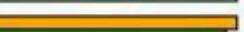
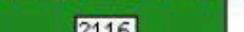
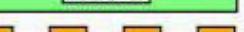
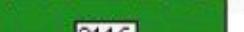
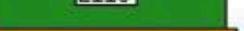
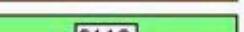
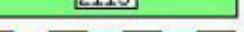
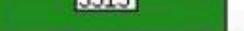
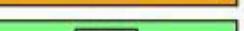
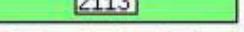
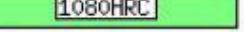
Impedance Type	Layer	Design	Actual	Plotted	Pitch	Plane	Target	Tol (ohms)	Predict
1  Surface MS	L1	0.00520	0.0052	0.00558	-	-	50	5	49.67
	-	-	-	-	-	L2			
2  EC Microstrip	L1	0.00390	0.0039	0.00428	0.0105	-	100	10	99.86
	-	0.00390	0.0039	0.00428	-	L2			
3  EC Microstrip	L1	0.00540	0.0054	0.00578	0.0120	-	87	8.7	87.08
	-	0.00540	0.0054	0.00578	-	L2			
4  Stripline	L3	0.00430	0.0043	0.0048	-	L2	50	5	50.09
	-	-	-	-	-	L4			
5  EC Stripline	L3	0.00350	0.0035	0.0040	0.0090	L2	100	10	100.69
	-	0.00350	0.0035	0.0040	-	L4			
6  Stripline	L5	0.00350	0.0035	0.0040	-	L4	50	5	50.05
	-	-	-	-	-	L6			
7  Stripline	L7	0.00350	0.0035	0.0040	-	L6	50	5	50.05
	-	-	-	-	-	L8			
8  Stripline	L10	0.00350	0.0035	0.0040	-	L9	50	5	50.05
	-	-	-	-	-	L11			
9  Stripline	L12	0.00350	0.0035	0.0040	-	L11	50	5	50.05
	-	-	-	-	-	L13			
10  EC Stripline	L12	0.00340	0.0034	0.0039	0.0120	L11	100	10	99.46
	-	0.00340	0.0034	0.0039	-	L13			
11  Stripline	L14	0.00430	0.0043	0.0048	-	L13	50	5	50.09
	-	-	-	-	-	L15			
12  EC Stripline	L14	0.00350	0.0035	0.0040	0.0090	L13	100	10	100.69
	-	0.00350	0.0035	0.0040	-	L15			
13  Surface MS	L16	0.00520	0.0052	0.00558	-	L15	50	5	49.67
	-	-	-	-	-	-			
14  EC Microstrip	L16	0.00390	0.0039	0.00428	0.0105	L15	100	10	99.86
	-	0.00390	0.0039	0.00428	-	-			
15  EC Microstrip	L16	0.00540	0.0054	0.00578	0.0120	L15	87	8.7	87.08
	-	0.00540	0.0054	0.00578	-	-			

表 7-4. AM574x PDN 目标和去耦示例

电源 名称 ⁽¹⁰⁾	静态 PDN 目标	动态 PDN 目标			每个电源的去耦							
		去耦电容器 最大 LL (nH) ^{(6) (8)}	最大 阻抗 (mΩ)	相关 频率 (MHz)	100 nF	220 nF	470 nF	1 μF	2.2 μF	4.7 μF	10 μF	22 μF
VDD_MPU	18	2	57	≤20	2		4	5			2	
VDD_DSPEVE	22	1.6	40	≤30	2		4	5			2	
VDD_CORE	32	1.6	43	≤30			5	4			1	
VDD_GPU	22	2.1	48	≤30	2		4	3			1	
VDD_IVA	48	2.1	179	≤30	2		2	2			1	
VDDS_DDR1	18	1.5	130	≤100			8	1			1	
VDDS_DDR2	18	1.5	130	≤100			8	1			1	
CAP_VBBLDO_DSPEVE	不适用	6	不适用	不适用				1				
CAP_VBBLDO_GPU	不适用	6	不适用	不适用				1				
CAP_VBBDO_IVA	不适用	6	不适用	不适用				1				
CAP_VBBLDO_MPU	不适用	6	不适用	不适用				1				
CAP_VDDRAM_CORE1	不适用	6	不适用	不适用				1				
CAP_VDDRAM_CORE2	不适用	6	不适用	不适用				1				
CAP_VDDRAM_CORE3	不适用	6	不适用	不适用				1				
CAP_VDDRAM_CORE4	不适用	6	不适用	不适用				1				
CAP_VDDRAM_CORE5	不适用	6	不适用	不适用				1				
CAP_VDDRAM_DSPEVE1	不适用	6	不适用	不适用				1				
CAP_VDDRAM_DSPEVE2	不适用	6	不适用	不适用				1				
CAP_VDDRAM_GPU	不适用	6	不适用	不适用				1				
CAP_VDDRAM_IVA	不适用	6	不适用	不适用				1				
CAP_VDDRAM_MPU1	不适用	6	不适用	不适用				1				
CAP_VDDRAM_MPU2	不适用	6	不适用	不适用				1				

- (1) 更多有关峰峰噪声值的信息，请参阅器件特定数据手册中的建议运行条件表。
- (2) ESL 必须尽可能低，且不超过 0.5nH。
- (3) 根据特定器件数据手册 规格一章中的建议运行条件表，定义了供电网络 (PDN) 阻抗特性与器件活动 (以不同频率运行) 间的关系。
- (4) 静态压降要求驱动 PMIC 或外部 SMPS 与处理器电源焊球之间的最大可接受 PCB 电阻。
- (5) 假设外部 SMPS (电源 IC) 反馈感应靠近处理器电源焊球。
- (6) 高频 (30MHz – 70MHz) PCB 去耦电容器。
- (7) 从 SMPS/PMIC 到处理器的最大 R_{eff} 。
- (8) 去耦电容器的最大环路电感。
- (9) 去耦电容器计数和值仅作为基线建议提供，并基于特定的 PCB 设计。TI 建议在制造前对所有 PCB 设计进行仿真，以确保满足处理器 PDN 要求。
- (10) 成组导轨必须满足每个成员导轨的所有要求。

7.5 AM65xx/DRA80xM

Lay #	Thick (in)	Picture	Type Dk Df	Description	Drill Picture
0.0006/0.0013			4.5 0.019	Soldermask	
1	0.0020		F / S	0.5oz w/plating	
0.0032			3.10 0.0059	fill	
2	0.0013		P	1oz	
0.0040			3.34 0.0060	core	
3	0.0013		S	1oz	
0.0035			3.42 0.0060	fill	
4	0.0013		P	1oz	
0.0040			3.34 0.0060	core	
5	0.0013		S	1oz	
0.0035			3.43 0.0060	fill	
6	0.0013		S	1oz	
0.0050			3.36 0.0060	core	
7	0.0013		S	1oz	
0.0095			3.41 0.0060	fill	
8	0.0013		S	1oz	
0.0050			3.36 0.0060	core	
9	0.0013		P	1oz	
0.0035			3.42 0.0060	fill	
10	0.0013		S	1oz	
0.0040			3.34 0.0060	core	
11	0.0013		P	1oz	
0.0035			3.42 0.0060	fill	
12	0.0013		S	1oz	
0.0040			3.34 0.0060	core	
13	0.0013		P	1oz	
0.0032			3.10 0.0059	fill	
14	0.0020		F / S	0.5oz w/plating	
0.0006/0.0013			4.5 0.019	Soldermask	
0.0760				Total thickness (in) Over mask on plated copper	
0.0720				After lamination thickness (in)	
0.0734				Over laminate thickness (in) (with soldermask)	
0.0754				Customer Requirement (in)	
+/-0.0075				Customer Tolerance (in)	

Notes and Recommendations:

Trace widths measured at base of trace
 All dimensions in inches (unless otherwise noted)

Impedance Constraint Information (I)

Imp #	Impedance Type		Affect Lyr	Cust L/W	Line Width		CenterToCenter		Ref Plane		Targ ohms	Tol ohms	Predicted ohms@2GHz	
					(1)	(2)	(1)	(2)	Top	Bot				
1	EC CPW MS		1	None	0.0105	0.0112	0.1	0.0155	0.06925	None	4	85	8.5	85.73
2	EC MS		1	None	0.0062	0.0062	0.0062	0.0115		None	2	80	8	79.89
3	EC MS		1	None	0.0041	0.0041	0.0041	0.0085		None	2	90	9	89.50
4	EC MS		1	None	0.0042	0.0042	0.0042	0.0116		None	2	100	10	99.65
5	Surf MS		1	None	0.0082	0.0082				None	2	40	4	41.01
6	Surf MS		1	None	0.0052	0.0052				None	2	50	5	51.29
7	EC SL		3	None	0.0043	0.0043	0.0043	0.0087		4	2	80	8	79.81
8	Stripline		3	None	0.005	0.005				4	2	40	4	40.60
9	Stripline		3	None	0.0033	0.0033				4	2	50	5	49.63
10	EC SL		5	None	0.0035	0.0035	0.0035	0.0085		6	4	90	9	88.81
11	Stripline		5	None	0.005	0.005				6	4	40	4	40.39
12	Stripline		5	None	0.0033	0.0033				6	4	50	5	49.41
13	EC SL		10	None	0.0043	0.0043	0.0043	0.0087		9	11	80	8	79.75
14	Stripline		10	None	0.005	0.005				9	11	40	4	40.56
15	Stripline		10	None	0.0033	0.0033				9	11	50	5	49.59
16	EC SL		12	None	0.0043	0.0043	0.0043	0.0087		11	13	80	8	79.88
17	EC SL		12	None	0.003	0.003	0.003	0.0109		11	13	100	10	100.52
18	Stripline		12	None	0.005	0.005				11	13	40	4	40.64
19	Stripline		12	None	0.0033	0.0033				11	13	50	5	49.68
20	EC MS		14	None	0.0062	0.0062	0.0062	0.0115		None	13	80	8	80.12
21	EC MS		14	None	0.0041	0.0041	0.0041	0.0085		None	13	90	9	89.70
22	EC MS		14	None	0.0042	0.0042	0.0042	0.0116		None	13	100	10	99.92
23	Surf MS		14	None	0.0082	0.0082				None	13	40	4	41.19
24	Surf MS		14	None	0.0052	0.0052				None	13	50	5	51.49

Trace widths measured at base of trace
 All dimensions in inches (unless otherwise noted)

表 7-5. AM65xx/DRA80xM PDN 目标和去耦示例

电源名称 ⁽¹⁾	相关频率 (MHz)	每个电源的去耦电容器数量 ^{(2) (3) (4)}				
		0.01µF	0.1µF	1µF	2.2µF	10µF
VDD_CORE	≤25		23	12		4
VDD_MPU0	≤25		11	4		4
VDD_MPU1						
VDD MCU	≤25		3	1		2
VDD_DLL_MMC0	≤25		2			
VDD_DLL_MMC1						
VDD_WKUP0	≤25		4			
VDD_WKUP1						
CAP_VDDAR_WKUP	不适用			1		
CAP_VDDAR_MPU1_1	不适用			1		
CAP_VDDAR_MPU1_0	不适用			1		
CAP_VDDAR_MPU0_1	不适用			1		
CAP_VDDAR_MPU0_0	不适用			1		
CAP_VDDAR MCU	不适用			1		
CAP_VDDAR_CORE4	不适用			1		
CAP_VDDAR_CORE3	不适用			1		
CAP_VDDAR_CORE2	不适用			1		
CAP_VDDAR_CORE1	不适用			1		
CAP_VDDAR_CORE0	不适用			1		
CAP_VDDSHV_SDIO	不适用	取决于用例。 请参阅《特定器件数据手册》。				
CAP_VDDA_1P8_SDIO						
CAP_VDDA_1P8_IOLDO1						
CAP_VDDA_1P8_IOLDO0						
CAP_VDDA_1P8_IOLDO_WKUP	不适用				1	
CAP_VDD_WKUP	不适用			1		

(1) 成组导轨必须满足每个成员导轨的所有要求。

(2) 此处显示的去耦电容器计数和值仅作为基线建议提供，并基于特定的 PCB 设计。TI 建议在制造前对所有 PCB 设计进行仿真，以确保满足所有处理器 PDN 要求。

(3) 更多有关峰峰值噪声值的信息，请参阅器件特定数据表中的建议运行条件表。

(4) ESL 必须尽可能低，且不超过 0.5nH。

7.6 AM62xx

Layer	Stack up	Description	Processed Thickness	Isolation Distance (Summed)	Copper Coverage	ϵ_r	Impedance ID	Supplier Description	Tg
1	Taiyo PSR 4000 HFX DI-GREEN	1.000	3.500					PSR 4000	
	Copper Foil 12 microns	1.850	100.000	1, 2, 3, 4, 5, 6, 7				HI-Q Foil	
	Iteq IT180A Prepreg 106 RC71-NEW	1.779	3.558		3.790			IPC-4101E / 99/ 101/ 126	170.000
	Iteq IT180A Prepreg 106 RC71-NEW	1.779	-		3.790			IPC-4101E / 99/ 101/ 126	170.000
2		1.260	60.000						
3	Iteq IT180A 4 mil core 1/1	4.000	4.000	4.400			8, 9, 10, 11, 12	IPC-4101E / 99/ 101/ 126	170.000
	Iteq IT180A Prepreg 2113 RC58-NEW	3.298	6.597	4.130				IPC-4101E / 99/ 101/ 126	170.000
	Iteq IT180A Prepreg 2113 RC58-NEW	3.298	-	4.130				IPC-4101E / 99/ 101/ 126	170.000
4		1.260	60.000						
5	Iteq IT180A 5 mil core 1/1	5.000	5.000	4.210				IPC-4101E / 99/ 101/ 126	170.000
	Iteq IT180A Prepreg 106 RC71-NEW	1.817	9.823	3.790				IPC-4101E / 99/ 101/ 126	170.000
	Iteq IT180A Prepreg 7628 RC43-NEW	6.190	-	4.450				IPC-4101E / 99/ 101/ 126	170.000
	Iteq IT180A Prepreg 106 RC71-NEW	1.817	-	3.790				IPC-4101E / 99/ 101/ 126	170.000
6		1.260	51.000						
7	Iteq IT180A 5 mil core 1/1	5.000	5.000	4.210				IPC-4101E / 99/ 101/ 126	170.000
	Iteq IT180A Prepreg 2113 RC58-NEW	3.311	6.622	4.130				IPC-4101E / 99/ 101/ 126	170.000
	Iteq IT180A Prepreg 2113 RC58-NEW	3.311	-	4.130				IPC-4101E / 99/ 101/ 126	170.000
8		1.260	47.000	13, 14, 15, 16, 17					
9	Iteq IT180A 4 mil core 1/1	4.000	4.000	4.400				IPC-4101E / 99/ 101/ 126	170.000
	Iteq IT180A Prepreg 106 RC71-NEW	1.779	3.558	3.790				IPC-4101E / 99/ 101/ 126	170.000
	Iteq IT180A Prepreg 106 RC71-NEW	1.779	-	3.790				IPC-4101E / 99/ 101/ 126	170.000
10		1.260	60.000						
	Copper Foil 12 microns	1.850	100.000	18, 19, 20, 21, 22, 23				HI-Q Foil	
	Taiyo PSR 4000 HFX DI-GREEN	1.000	3.500					PSR 4000	

Impedance ID	Impedance Signal Layer	Structure Name	Ref. Plane 1 in Layer	Ref. Plane 2 in Layer	Lower Trace Width (W1)	Trace Separation (S1)	Ground Strip Separation (D1)	Target Impedance	Calculated Impedance	Tol (+/- %)
1	1	Coated Microstrip 1B	2	0	9.050	0.000	0.000	40.000	40.030	10.000
2	1	Coated Microstrip 1B	2	0	5.800	0.000	0.000	50.000	50.540	10.000
3	1	Edge Coupled Coated Microstrip 1B	2	0	4.250	7.150	0.000	100.000	101.270	10.000
4	1	Edge Coupled Coated Microstrip 1B	2	0	4.200	4.400	0.000	90.000	91.560	10.000
5	1	Edge Coupled Coated Microstrip 1B	2	0	6.020	4.800	0.000	80.000	81.230	10.000
6	1	Edge Coupled Coated Microstrip 2B	3	0	4.100	5.750	0.000	120.000	118.350	10.000
7	1	Coated Coplanar Strips With Lower Ground 2B	3	0	16.000	0.000	14.000	50.000	49.090	10.000
8	3	Offset Stripline 1B1A	2	4	5.800	0.000	0.000	40.000	39.930	10.000
9	3	Edge Coupled Offset Stripline 1B1A	2	4	3.200	7.500	0.000	100.000	98.350	10.000
10	3	Edge Coupled Offset Stripline 1B1A	2	4	3.700	6.000	0.000	90.000	89.870	10.000
11	3	Edge Coupled Offset Stripline 1B1A	2	4	4.200	4.300	0.000	80.000	80.240	10.000
12	3	Offset Stripline 1B1A	2	4	3.600	0.000	0.000	50.000	49.920	10.000
13	8	Offset Stripline 1B1A	7	9	5.800	0.000	0.000	40.000	39.930	10.000
14	8	Edge Coupled Offset Stripline 1B1A	7	9	3.200	7.500	0.000	100.000	98.350	10.000
15	8	Edge Coupled Offset Stripline 1B1A	7	9	3.700	6.000	0.000	90.000	89.870	10.000
16	8	Edge Coupled Offset Stripline 1B1A	7	9	4.200	4.300	0.000	80.000	80.240	10.000
17	8	Offset Stripline 1B1A	7	9	3.600	0.000	0.000	50.000	49.920	10.000
18	10	Coated Microstrip 1B	9	0	9.050	0.000	0.000	40.000	40.030	10.000
19	10	Coated Microstrip 1B	9	0	5.800	0.000	0.000	50.000	50.540	10.000
20	10	Edge Coupled Coated Microstrip 1B	9	0	4.250	7.150	0.000	100.000	101.270	10.000
21	10	Edge Coupled Coated Microstrip 1B	9	0	4.200	4.400	0.000	90.000	91.560	10.000
22	10	Edge Coupled Coated Microstrip 1B	9	0	6.020	4.800	0.000	80.000	81.230	10.000
23	10	Edge Coupled Coated Microstrip 2B	8	0	4.100	5.750	0.000	120.000	118.350	10.000

表 7-6. AM62xx PDN 目标和去耦示例

	静态 PDN 目标	动态 PDN 目标			每个电源的去耦电容器数量 (1) (2)(3) (4) (5) (6) (9)			
		最大 R_{eff} (mΩ) (7)	相关频率 (MHz)	去耦电容 器最大 LL (nH) (6) (8)	Z_{TARGET} (mΩ)	0.1μF	1μF	4.7μF
电源名称 (10) (11)								
VDD_CORE	23	≤1	1.5	23	17	1	1	1
		1-20		31				
		20-50		35				
VDDS_DDR	有关更多信息，请参阅 AM62x DDR 电路板设计和布局布线指南 。							

- 更多有关峰峰噪声值的信息，请参阅器件特定数据手册中的建议运行条件表。
- 从电容器焊盘到 SoC BGA 的环路 ESL (不包括固有去耦 ESL) 必须尽可能低，且不超过 1.5nH。
- 根据器件特定处理器数据手册规格一章中的建议运行条件表，定义了供电网络 (PDN) 阻抗特性与器件活动 (以不同频率运行) 间的关系。
- 静态压降要求驱动 PMIC 或外部 SMPS 与处理器电源焊球之间的最大可接受 PCB 电阻。
- 假设外部 SMPS (电源 IC) 反馈检测非常靠近处理器电源焊球。
- 高频 (30MHz 至 70MHz) PCB 去耦电容器。
- 从 VRM/SMPS/PMIC 到处理器的最大 R_{eff} 。
- 将去耦电容器放置在处理器 BGA 下面时的最大环路电感。
- 此处显示的去耦电容器计数和值仅作为基线建议提供，并基于特定的 PCB 设计。TI 建议在制造前对所有 PCB 设计进行仿真，以确保满足所有处理器 PDN 要求。
- 成组导轨必须满足每个成员导轨的所有要求。
- 对于未在该表中列出的电源轨，由于其负载瞬变很小，TI 未对其进行仿真。有关更多信息，请参阅器件特定的 EVM 布局，了解这些电源轨的示例实现。

7.7 AM64xx



Impedance ID	Impedance Signal Layer	Structure Name	Ref. Plane 1 in Layer	Ref. Plane 2 in Layer	Lower Trace Width (W1)	Trace Separation (S1)	Ground Strip Separation (D1)	Calculated Impedance	Target Impedance	Tol (+/- %)	
1	1	Coated Microstrip 1B	2	0	5.800	0.000	0.000	50.040	50.000	10.000	
2	1	Coated Microstrip 1B	2	0	9.050	0.000	0.000	40.010	40.000	10.000	
3	1	Edge Coupled Coated Microstrip 1B	2	0	4.200	4.400	0.000	89.900	90.000	10.000	
4	1	Edge Coupled Coated Microstrip 1B	2	0	4.250	7.150	0.000	100.000	100.000	10.000	
5	1	Edge Coupled Coated Microstrip 1B	2	0	6.020	4.800	0.000	80.140	80.000	10.000	
6	1	Edge Coupled Coated Microstrip 1B	4	0	4.100	5.750	0.000	119.080	120.000	10.000	
7	3	Edge Coupled Offset Stripline 1B1A	2	4	3.700	6.000	0.000	89.920	90.000	10.000	
8	3	Offset Stripline 1B1A	2	4	3.600	0.000	0.000	49.980	50.000	10.000	
9	3	Edge Coupled Offset Stripline 1B1A	2	4	4.200	4.300	0.000	80.280	80.000	10.000	
10	3	Edge Coupled Offset Stripline 1B1A	2	4	3.200	7.500	0.000	98.410	100.000	10.000	
11	3	Offset Stripline 1B1A	2	4	5.800	0.000	0.000	39.980	40.000	10.000	
12	8	Edge Coupled Offset Stripline 1B1A	7	9	3.700	6.000	0.000	89.920	90.000	10.000	
13	8	Offset Stripline 1B1A	7	9	3.600	0.000	0.000	49.980	50.000	10.000	
14	8	Edge Coupled Offset Stripline 1B1A	7	9	4.200	4.300	0.000	80.280	80.000	10.000	
15	8	Edge Coupled Offset Stripline 1B1A	7	9	3.200	7.500	0.000	98.410	100.000	10.000	
16	8	Offset Stripline 1B1A	7	9	5.800	0.000	0.000	39.980	40.000	10.000	
17	10	Edge Coupled Coated Microstrip 1B	9	0	4.200	4.400	0.000	89.900	90.000	10.000	
18	10	Coated Microstrip 1B	9	0	5.800	0.000	0.000	50.040	50.000	10.000	
19	10	Coated Microstrip 1B	9	0	9.050	0.000	0.000	40.010	40.000	10.000	
20	10	Edge Coupled Coated Microstrip 1B	7	0	4.100	5.750	0.000	119.080	120.000	10.000	
21	10	Edge Coupled Coated Microstrip 1B	9	0	4.250	7.150	0.000	100.000	100.000	10.000	
22	10	Edge Coupled Coated Microstrip 1B	9	0	6.020	4.800	0.000	80.140	80.000	10.000	

表 7-7. AM64xx PDN 目标和去耦示例

电源名称 (10) (11)	静态 PDN 目标	动态 PDN 目标			每个电源的去耦电容器数量 (1) (2)(3) (4) (5) (6) (9)			
	最大 R_{eff} (mΩ) (7)	相关频率 (MHz)	去耦电容器最大 LL (nH) (6) (8)	Z_{TARGET} (mΩ)	0.1μF	1μF	4.7μF	10μF
VDD_CORE	23	≤1	1.5	10	11	1	1	1
		1-20		34				
		20-50		35				
VDDS_DDR	有关更多信息，请参阅 AM64x/AM243x DDR 电路板设计和布局布线指南 。							

- 更多有关峰峰噪声值的信息，请参阅器件特定数据手册中的建议运行条件表。
- 从电容器焊盘到 SoC BGA 的环路 ESL (不包括固有去耦 ESL) 必须尽可能低，且不超过 1.5nH。
- 根据器件特定处理器数据手册规格一章中的建议运行条件表，定义了供电网络 (PDN) 阻抗特性与器件活动 (以不同频率运行) 间的关系。
- 静态压降要求驱动 PMIC 或外部 SMPS 与处理器电源焊球之间的最大可接受 PCB 电阻。
- 假设外部 SMPS (电源 IC) 反馈检测非常靠近处理器电源焊球。
- 高频 (30MHz 至 70MHz) PCB 去耦电容器。
- 从 VRM/SMPS/PMIC 到处理器的最大 R_{eff} 。
- 将去耦电容器放置在处理器 BGA 下面时的最大环路电感。
- 此处显示的去耦电容器计数和值仅作为基线建议提供，并基于特定的 PCB 设计。TI 建议在制造前对所有 PCB 设计进行仿真，以确保满足所有处理器 PDN 要求。
- 成组导轨必须满足每个成员导轨的所有要求。
- 对于未在该表中列出的电源轨，由于其负载瞬变很小，TI 未对其进行仿真。有关更多信息，请参阅器件特定的 EVM 布局，了解这些电源轨的示例实现。

7.8 AM62Ax

Lay #	Thick (in)	Picture	Type Dk Df	Description	Drill Picture
0.0006/0.0013			4.5 0.019	Soldermask	
1	0.0020			F/S/LPHTE 0.5oz w/plating	
	0.0030		2.91 0.0058	fill	
2	0.0006			P/RTF5P 0.5oz	
	0.0030		3.14 0.0059	core	
3	0.0006			M/RTF5P 0.5oz	
	0.0044		2.93 0.0058	fill	
4	0.0006			P/RTF5P 0.5oz	
	0.0030		3.14 0.0059	core	
5	0.0006			M/RTF5P 0.5oz	
	0.0044		2.93 0.0058	fill	
6	0.0006			P/RTF5P 0.5oz	
	0.0030		3.14 0.0059	core	
7	0.0006			P/RTF5P 0.5oz	
	0.0045		2.92 0.0058	fill	
8	0.0006			P/RTF5P 0.5oz	
	0.0030		3.14 0.0059	core	
9	0.0006			P/RTF5P 0.5oz	
	0.0044		2.93 0.0058	fill	
10	0.0006			M/RTF5P 0.5oz	
	0.0030		3.14 0.0059	core	
11	0.0006			P/RTF5P 0.5oz	
	0.0030		2.91 0.0058	fill	
12	0.0020			F/S/LPHTE 0.5oz w/plating	
0.0006/0.0013			4.5 0.019	Soldermask	
	0.0486			Total thickness (in) Over plated copper	
	0.0458			After lamination thickness (in)	
	0.0472			Over laminate thickness (in) (with soldermask)	
	0.0490			Customer Requirement (in)	
	+/-0.0049			Customer Tolerance (in)	

Notes and Recommendations:

1. Assume copper usage: 75% for GND layer, 60% for Mix layer.
2. In order to meet impedance, suggest to use 3mil core instead of 4mil core, L1-2&L12-11 Pre-preg is about 2.95mil(1x 1067 PP)
The final board thickness is 49mil exclude solder mask.
3. Suggest to relax tolerance to +/-50hm for 400HM impedance.
4. Suggest to relax tolerance to +/-50hm for 330HM impedance.
5. For "L10_33E single ended(6.3mils for 33E SE)"
--> We need adjust 6.3mil to 8mil to meet 33ohm+/-50hm.
6. For "L10_66E differential(5.5mil/6.3mil for 66E differential)"
--> We need adjust 5.5mil/6.3mil to 7.4mil/4.4mil to meet 66ohm+/-10%.
7. For "L3_66E single ended(3 mils for 66E SE)"
--> 3mil line can not be adjusted to more thin.
the impedance value only meet 57ohm.
8. For "L3_133E differential(3mils/6.5mil for 133E differential)"
--> 3mil line can not be adjusted to more thin.
the impedance value only meet 110ohm.

Impedance Constraint Information (I)

Imp #	Impedance Type	Affect Lyr		Cust L/W	Line Width		Spacing		Ref Plane	Top	Bot	Targ ohms	Tol ohms	Predicted ohms@2GHz
		(1)	(2)		(1)	(2)	(1)	(2)						
1	EC MS		1	None	0.004	0.004	0.004	0.0043		None	2	90	9	89.38
2	EC MS		1	None	0.0035	0.0035	0.0035	0.0055		None	2	100	10	99.52
3	Surf MS		1	None	0.0055	0.0055				None	2	50	5	49.28
4	EC SL		3	None	0.005	0.005	0.005	0.004		4	2	80	8	81.17
5	EC SL		3	None	0.004	0.004	0.004	0.004		4	2	90	9	90.86
6	EC SL		3	None	0.0035	0.0035	0.0035	0.005		4	2	100	10	99.70
7	EC SL		3	None	0.003	0.003	0.003	0.0065		4	2	133	13.3	109.88
8	Stripline		3	None	0.0055	0.0058				4	2	40	5	40.04
9	Stripline		3	None	0.004	0.004				4	2	50	5	49.33
10	Stripline		3	None	0.003	0.003				4	2	66	6.6	56.75
11	EC SL		5	None	0.005	0.005	0.005	0.004		6	4	80	8	81.17
12	EC SL		5	None	0.004	0.004	0.004	0.004		6	4	90	9	90.86
13	EC SL		5	None	0.0035	0.0035	0.0035	0.005		6	4	100	10	99.70
14	Stripline		5	None	0.0055	0.0058				6	4	40	5	40.04
15	Stripline		5	None	0.004	0.004				6	4	50	5	49.33
16	EC SL		10	None	0.0055	0.0074	0.0074	0.0044		9	11	66	6.6	65.37
17	EC SL		10	None	0.005	0.005	0.005	0.004		9	11	80	8	81.17
18	EC SL		10	None	0.004	0.004	0.004	0.004		9	11	90	9	90.86
19	EC SL		10	None	0.0035	0.0035	0.0035	0.005		9	11	100	10	99.70
20	Stripline		10	None	0.0063	0.008				9	11	33	5	32.59
21	Stripline		10	None	0.0055	0.0058				9	11	40	5	40.04
22	Stripline		10	None	0.004	0.004				9	11	50	5	49.33
23	EC MS		12	None	0.004	0.004	0.004	0.0043		None	11	90	9	89.38
24	EC MS		12	None	0.0035	0.0035	0.0035	0.0055		None	11	100	10	99.52
25	Surf MS		12	None	0.0055	0.0055				None	11	50	5	49.28

Trace widths measured at base of trace
All dimensions in inches (unless otherwise noted)

表 7-8. AM62Ax PDN 目标和去耦示例

电源名称 (10) (11)	静态 PDN 目标	动态 PDN 目标			每个电源的去耦电容器数量 (1) (2)(3) (4) (5) (6) (9)			
		最大 R_{eff} (mΩ) (7)	相关频率 (MHz)	去耦电容器最大 LL (nH) (6) (8)	Z_{TARGET} (mΩ)	0.1μF	1μF	
VDD_CORE	6.8	≤ 1		1.5	6	4	9	
		1-20			11			
		20-50			22			

表 7-8. AM62Ax PDN 目标和去耦示例 (续)

电源名称 (10) (11)	静态 PDN 目标	动态 PDN 目标			每个电源的去耦电容器数量 (1) (2)(3) (4) (5) (6) (9)		
	最大 R_{eff} (mΩ) (7)	相关频率 (MHz)	去耦电容器 最大 LL (nH) (6) (8)	Z_{TARGET} (mΩ)	0.1μF	1μF	2.2μF
VDDS_DDR	有关更多信息，请参阅 AM62Ax DDR 电路板设计和布局布线指南 。						

1. 更多有关峰峰噪声值的信息，请参阅器件特定数据手册中的建议运行条件表。
2. 从电容器焊盘到 SoC BGA 的环路 ESL (不包括固有去耦 ESL) 必须尽可能低，且不超过 1.5nH。
3. 根据器件特定处理器数据手册规格一章中的建议运行条件表，定义了供电网络 (PDN) 阻抗特性与器件活动 (以不同频率运行) 间的关系。
4. 静态压降要求驱动 PMIC 或外部 SMPS 与处理器电源焊球之间的最大可接受 PCB 电阻。
5. 假设外部 SMPS (电源 IC) 反馈检测非常靠近处理器电源焊球。
6. 高频 (30MHz 至 70MHz) PCB 去耦电容器。
7. 从 VRM/SMPS/PMIC 到处理器的最大 R_{eff} 。
8. 将去耦电容器放置在处理器 BGA 下面时的最大环路电感。
9. 此处显示的去耦电容器计数和值仅作为基线建议提供，并基于特定的 PCB 设计。TI 建议在制造前对所有 PCB 设计进行仿真，以确保满足所有处理器 PDN 要求。
10. 成组导轨必须满足每个成员导轨的所有要求。
11. 对于未在该表中列出的电源轨，由于其负载瞬变很小，TI 未对其进行仿真。有关更多信息，请参阅器件特定的 EVM 布局，了解这些电源轨的示例实现。

7.9 AM62Px

Layer	Stack up	Description	Processed Thickness	Isolation Distance (Summed)	Copper Coverage	ϵ_r	Loss Tangent	Impedance ID	
1	Taiyo PSR 4000 HFX DI-GREEN		1.000		3,500	0.0270			
	Copper Foil 12 microns		1.850	100,000				1, 2, 3, 4, 5, 6, 7, 8	
	Iteq IT180A Prepreg 106 RC71-NEW		1.779	3,558	3,790	0.0150			
	Iteq IT180A Prepreg 106 RC71-NEW		1.779	-	3,790	0.0150			
2			1.260	60,000					
	Iteq IT180A 4 mil core 1/1		4,000	4,000	4,400	0.0150			
	Iteq IT180A Prepreg 1080 RC65-NEW		2,471	5,718	3,860	0.0160			
	Iteq IT180A Prepreg 2113 RC58-NEW		3,247	-	4,130	0.0160			
4			1.260	60,000					
5	Iteq IT180A 5 mil core 1/1		5,000	5,000	4,210	0.0150			
	1.260			60,000				20, 21, 22, 23, 24, 25, 26, 27	
6			2,526	5,844	3,860	0.0160			
	Iteq IT180A Prepreg 1080 RC65-NEW		3,318	-	4,130	0.0160			
7	Iteq IT180A 4 mil core 1/1		4,000	4,000	4,400	0.0150			
	1.260			60,000					
8			3,318	5,844	4,130	0.0160			
	Iteq IT180A Prepreg 1080 RC65-NEW		2,526	-	3,860	0.0160			
9	Iteq IT180A 5 mil core 1/1		5,000	5,000	4,210	0.0150			
	1.260			60,000				28, 29, 30, 31, 32, 33, 34, 35	
10			3,104	5,466	4,130	0.0160			
	Iteq IT180A Prepreg 2113 RC58-NEW		2,362	-	3,860	0.0160			
11	Iteq IT180A Prepreg 1080 RC65-NEW		2,362	30,000					
	Iteq IT180A 4 mil core 1/1		4,000	4,000	4,400	0.0150			
	1.260			60,000				36, 37, 38, 39, 40, 41, 42, 43, 44, 45, 46	
12			1.779	3,558	3,790	0.0150			
	Iteq IT180A Prepreg 106 RC71-NEW		1.779	-	3,790	0.0150			
	Copper Foil 12 microns		1.850	100,000				47, 48, 49, 50, 51, 52, 53, 54	
	Taiyo PSR 4000 HFX DI-GREEN		1,000		3,500	0.0270			

Copper Thickness = 16.299 | Dielectric Thickness = 51.988 | Solder Mask Thickness = 2.000 | Stack Up Thickness = 68.287 | Stack Up Thickness with Soldermask = 70.287

图 7-1. AM62P PCB 堆叠

Impedance ID	Impedance Signal Layer	Structure Name	Ref. Plane 1 Layer	Ref. Plane 2 Layer	Lower Trace Width (W1)	Trace Separation (S1)	Ground Strip Separation (D1)	Calculated Impedance	Calculated Target Impedance	Calculated Target (%)
1	1	Coated Microstrip 1B	2	0	5,900	0,000	0,000	50,130	50,000	10,000
2	1	Edge Coupled Coated Microstrip 1B	2	0	4,100	6,200	0,000	99,940	100,000	10,000
3	1	Edge Coupled Coated Microstrip 2B	3	0	4,000	5,500	0,000	119,710	120,000	10,000
4	1	Coated Microstrip 1B	2	0	12,500	0,000	0,000	32,930	33,000	10,000
5	1	Coated Microstrip 1B	2	0	9,000	0,000	0,000	40,160	40,000	10,000
6	1	Edge Coupled Coated Microstrip 1B	2	0	9,100	4,500	0,000	66,170	66,000	10,000
7	1	Edge Coupled Coated Microstrip 2B	3	0	4,000	7,800	0,000	133,220	133,000	10,000
8	1	Edge Coupled Coated Microstrip 1B	2	0	6,000	4,500	0,000	80,200	80,000	10,000
9	3	Offset Stripline 1B2A	2	4	8,000	0,000	0,000	32,610	33,000	10,000
10	3	Offset Stripline 1B2A	2	4	3,500	0,000	0,000	49,870	50,000	10,000
11	3	Edge Coupled Offset Stripline 1B2A	2	4	4,300	4,500	0,000	80,400	80,000	10,000
12	3	Edge Coupled Offset Stripline 1B2A	2	4	3,200	8,000	0,000	99,070	100,000	10,000
13	3	Edge Coupled Offset Stripline 1B2A	2	4	6,600	4,500	0,000	65,900	66,000	10,000
14	3	Edge Coupled Offset Stripline 1B2A	2	4	3,700	4,500	0,000	85,450	85,000	10,000
15	3	Edge Coupled Offset Stripline 1B2A	2	4	3,600	5,800	0,000	90,450	90,000	10,000
16	3	Offset Stripline 1B2A	2	4	5,700	0,000	0,000	39,530	40,000	10,000
17	3	Offset Stripline 1B2A	2	4	3,000	0,000	0,000	53,120	66,000	10,000
18	3	Edge Coupled Offset Stripline 1B2A	2	4	3,000	16,000	0,000	105,990	133,000	10,000
19	3	Edge Coupled Offset Stripline 1B2A	2	4	6,600	4,500	0,000	65,900	66,000	10,000
20	5	Offset Stripline 1B2A	4	6	4,250	0,000	0,000	49,850	50,000	10,000
21	5	Offset Stripline 1B2A	4	6	9,150	0,000	0,000	33,350	33,000	10,000
22	5	Edge Coupled Offset Stripline 1B2A	4	6	3,500	6,300	0,000	98,360	100,000	10,000
23	5	Edge Coupled Offset Stripline 1B2A	4	6	8,300	6,166	0,000	66,030	66,000	10,000
24	5	Offset Stripline 1B2A	4	6	6,600	0,000	0,000	40,230	40,000	10,000
25	5	Edge Coupled Offset Stripline 1B2A	4	6	4,500	4,500	0,000	83,590	85,000	10,000
26	5	Edge Coupled Offset Stripline 1B2A	4	6	5,200	4,500	0,000	78,770	80,000	10,000
27	5	Edge Coupled Offset Stripline 1B2A	4	6	4,000	4,700	0,000	88,320	90,000	10,000
28	8	Edge Coupled Offset Stripline 1B2A	7	9	3,500	6,300	0,000	98,360	100,000	10,000
29	8	Offset Stripline 1B2A	7	9	4,250	0,000	0,000	49,850	50,000	10,000
30	8	Offset Stripline 1B2A	7	9	9,150	0,000	0,000	33,350	33,000	10,000
31	8	Edge Coupled Offset Stripline 1B2A	7	9	4,500	4,500	0,000	83,590	85,000	10,000
32	8	Edge Coupled Offset Stripline 1B2A	7	9	8,300	6,166	0,000	66,030	66,000	10,000
33	8	Offset Stripline 1B2A	7	9	6,600	0,000	0,000	40,230	40,000	10,000
34	8	Edge Coupled Offset Stripline 1B2A	7	9	4,000	4,700	0,000	88,320	90,000	10,000
35	8	Edge Coupled Offset Stripline 1B2A	7	9	5,200	4,500	0,000	78,770	80,000	10,000
36	10	Offset Stripline 1B2A	9	11	3,500	0,000	0,000	49,870	50,000	10,000
37	10	Edge Coupled Offset Stripline 1B2A	9	11	6,600	4,500	0,000	65,900	66,000	10,000
38	10	Edge Coupled Offset Stripline 1B2A	9	11	4,300	4,500	0,000	80,400	80,000	10,000
39	10	Offset Stripline 1B2A	9	11	8,000	0,000	0,000	32,610	33,000	10,000
40	10	Offset Stripline 1B2A	9	11	5,700	0,000	0,000	39,530	40,000	10,000
41	10	Edge Coupled Offset Stripline 1B2A	9	11	3,700	4,500	0,000	85,450	85,000	10,000
42	10	Edge Coupled Offset Stripline 1B2A	9	11	3,200	8,000	0,000	99,070	100,000	10,000
43	10	Edge Coupled Offset Stripline 1B2A	9	11	6,600	4,500	0,000	65,900	66,000	10,000
44	10	Offset Stripline 1B2A	9	11	3,000	0,000	0,000	53,120	66,000	10,000
45	10	Edge Coupled Offset Stripline 1B2A	9	11	3,600	5,800	0,000	90,450	90,000	10,000
46	10	Edge Coupled Offset Stripline 1B2A	9	11	3,000	16,000	0,000	105,990	133,000	10,000
47	12	Edge Coupled Coated Microstrip 1B	11	0	4,100	6,200	0,000	99,940	100,000	10,000
48	12	Coated Microstrip 1B	11	0	5,900	0,000	0,000	50,130	50,000	10,000
49	12	Coated Microstrip 1B	11	0	12,500	0,000	0,000	32,930	33,000	10,000
50	12	Coated Microstrip 1B	11	0	9,000	0,000	0,000	40,160	40,000	10,000
51	12	Edge Coupled Coated Microstrip 2B	10	0	4,000	5,500	0,000	119,710	120,000	10,000
52	12	Edge Coupled Coated Microstrip 2B	10	0	4,000	7,800	0,000	133,220	133,000	10,000
53	12	Edge Coupled Coated Microstrip 1B	11	0	6,000	4,500	0,000	80,200	80,000	10,000
54	12	Edge Coupled Coated Microstrip 1B	11	0	9,100	4,500	0,000	66,170	66,000	10,000

图 7-2. AM62P PCB 阻抗

表 7-9. AM62Px PDN 目标和去耦示例

电源名称 (10) (11)	静态 PDN 目标	动态 PDN 目标			每个电源的去耦电容器数量 (1) (2) (3) (4) (5) (6) (9)			
		最大 $R_{eff}(m\Omega)$ (7)	相关频率 (MHz)	去耦电容 器最大 LL (nH) (6) (8)	Z_{TARGET} (mΩ)	0.1μF	1μF	2.2μF
VDD_CORE	3	≤1	1.5	12	5	16	1	2
		1-20		20				
		20-50		40				
VDDS_DDR	有关更多信息，请参阅 AM62Px DDR 电路板设计和布局布线指南 。							

1. 更多有关峰峰噪声值的信息，请参阅器件特定数据手册中的建议运行条件表。
2. 从电容器焊盘到 SoC BGA 的环路 ESL (不包括固有去耦 ESL) 必须尽可能低，且不超过 1.5nH。
3. 根据器件特定处理器数据手册规格一章中的建议运行条件表，定义了供电网络 (PDN) 阻抗特性与器件活动 (以不同频率运行) 间的关系。
4. 静态压降要求驱动 PMIC 或外部 SMPS 与处理器电源焊球之间的最大可接受 PCB 电阻。
5. 假设外部 SMPS (电源 IC) 反馈检测非常靠近处理器电源焊球。
6. 高频 (30MHz 至 70MHz) PCB 去耦电容器。
7. 从 VRM/SMPS/PMIC 到处理器的最大 R_{eff} 。
8. 将去耦电容器放置在处理器 BGA 下面时的最大环路电感。
9. 此处显示的去耦电容器计数和值仅作为基线建议提供，并基于特定的 PCB 设计。TI 建议在制造前对所有 PCB 设计进行仿真，以确保满足所有处理器 PDN 要求。
10. 成组导轨必须满足每个成员导轨的所有要求。
11. 对于未在该表中列出的电源轨，由于其负载瞬变很小，TI 未对其进行仿真。有关更多信息，请参阅器件特定的 EVM 布局，了解这些电源轨的示例实现。

7.10 AM62Lx

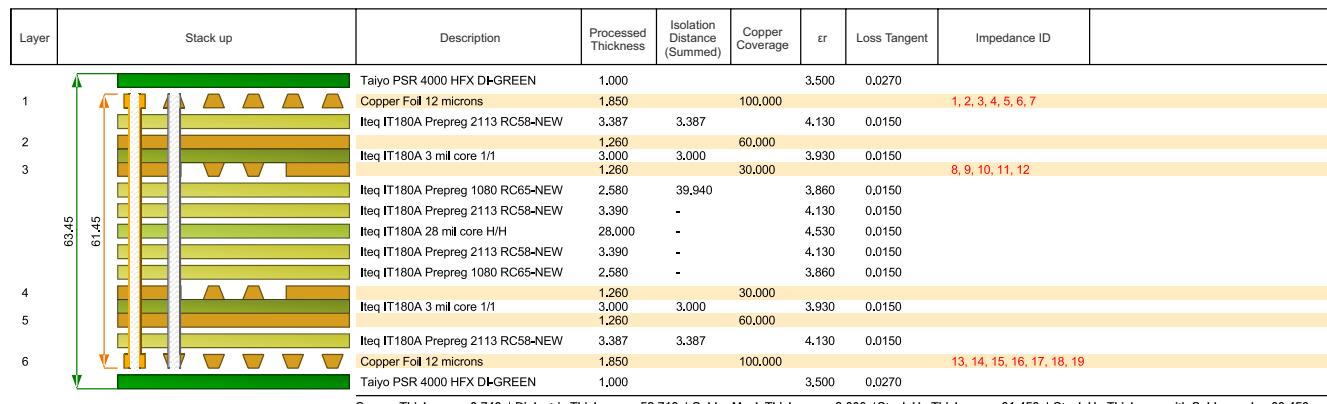


图 7-3. AM62L PCB 堆叠

Impedance ID	Impedance Signal Layer	Structure Name	Ref. Plane 1 Layer	Ref. Plane 2 Layer	Lower Trace Width (W1)	Lower Trace Width (W1)	Trace Separation (S1)	Ground Strip Separation (D1)	Calculated Impedance	Calculated Target Impedance	Tol (+/- %)
1	1	Coated Microstrip 1B	2	0	8.000	7.000	0.000	0.000	40.160	40.000	10.000
2	1	Coated Microstrip 1B	2	0	5.200	4.200	0.000	0.000	50.070	50.000	10.000
3	1	Edge Coupled Coated Microstrip 1B	2	0	7.800	6.800	4.000	0.000	66.220	66.000	10.000
4	1	Coated Microstrip 1B	2	0	11.100	10.100	0.000	0.000	33.090	33.000	10.000
5	1	Edge Coupled Coated Microstrip 1B	2	0	3.500	2.500	5.800	0.000	99.890	100.000	10.000
6	1	Edge Coupled Coated Microstrip 1B	2	0	5.400	4.400	4.500	0.000	80.030	80.000	10.000
7	1	Edge Coupled Coated Microstrip 1B	2	0	4.000	3.000	4.500	0.000	89.900	90.000	10.000
8	3	Edge Coupled Offset Stripline 1B1A	2	4	4.000	3.000	4.500	0.000	80.260	80.000	10.000
9	3	Offset Stripline 1B1A	2	4	3.700	2.700	0.000	0.000	50.130	50.000	10.000
10	3	Offset Stripline 1B1A	2	4	6.000	5.000	0.000	0.000	40.140	40.000	10.000
11	3	Edge Coupled Offset Stripline 1B1A	2	4	3.200	2.200	10.000	0.000	99.160	100.000	10.000
12	3	Edge Coupled Offset Stripline 1B1A	2	4	3.500	2.500	6.250	0.000	89.860	90.000	10.000
13	6	Coated Microstrip 1B	5	0	8.000	7.000	0.000	0.000	40.160	40.000	10.000
14	6	Coated Microstrip 1B	5	0	11.100	10.100	0.000	0.000	33.090	33.000	10.000
15	6	Coated Microstrip 1B	5	0	5.200	4.200	0.000	0.000	50.070	50.000	10.000
16	6	Edge Coupled Coated Microstrip 1B	5	0	7.800	6.800	4.000	0.000	66.220	66.000	10.000
17	6	Edge Coupled Coated Microstrip 1B	5	0	4.000	3.000	4.500	0.000	89.900	90.000	10.000
18	6	Edge Coupled Coated Microstrip 1B	5	0	3.500	2.500	5.800	0.000	99.890	100.000	10.000
19	6	Edge Coupled Coated Microstrip 1B	5	0	5.400	4.400	4.500	0.000	80.030	80.000	10.000

图 7-4. AM62L PCB 阻抗

表 7-10. AM62Lx PDN 目标和去耦示例

电源名称 (9) (10)	静态 PDN 目标	动态 PDN 目标			每个电源的去耦电容器数量 (1) (2) (3) (4) (5) (8)				
		最大 $R_{eff}(m\Omega)$ (6)	相关频率 (MHz)	去耦电容器 最大 LL (nH) (5) (7)	Z_{TARGET} (mΩ)	0.1μF	1μF	2.2μF	4.7μF
VDD_CORE	5	≤1	1.5	19	4	12	1	1	2
		1-20		32					
		20-50		65					
VDDS_DDR	有关更多信息，请参阅 AM62Lx DDR 电路板设计和布局布线指南 。								

1. 更多有关峰峰噪声值的信息，请参阅器件特定数据手册中的建议运行条件表。
2. 从电容器焊盘到 SoC BGA 的环路 ESL (不包括固有去耦 ESL) 必须尽可能低，且不超过 1.5nH。
3. 根据器件特定处理器数据手册规格一章中的建议运行条件表，定义了供电网络 (PDN) 阻抗特性与器件活动 (以不同频率运行) 间的关系。
4. 静态压降要求驱动 PMIC 或外部 SMPS 与处理器电源焊球之间的最大可接受 PCB 电阻。
5. 高频 (30MHz 至 70MHz) PCB 去耦电容器。
6. 从 VRM/SMPS/PMIC 到处理器的最大 R_{eff} 。
7. 将去耦电容器放置在处理器 BGA 下面时的最大环路电感。
8. 此处显示的去耦电容器计数和值仅作为基线建议提供，并基于特定的 PCB 设计。TI 建议在制造前对所有 PCB 设计进行仿真，以确保满足所有处理器 PDN 要求。
9. 成组导轨必须满足每个成员导轨的所有要求。
10. 对于未在该表中列出的电源轨，由于其负载瞬变很小，TI 未对其进行仿真。有关更多信息，请参阅器件特定的 EVM 布局，了解这些电源轨的示例实现。

8 修订历史记录

Changes from Revision G (August 2023) to Revision H (October 2025)	Page
• 添加了 节 7.9 和 AM62L PDN 目标.....	34
• 添加了 节 7.10 和 AM62L PDN 目标.....	37

Changes from NOVEMBER 1, 2022 to FEBRUARY 29, 2024 (from Revision F (November 2022) to Revision G (February 2024))	Page
---	-------------

• 更新了整个文档中的表格、图和交叉参考的编号格式.....	2
• 更新了 AM62xx 部分。	28
• 更新了 [节 7.7](#)。	29
• 添加了[节 7.8](#)	31

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做出任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 [TI 销售条款](#))、[TI 通用质量指南](#) 或 [ti.com](#) 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2025 , 德州仪器 (TI) 公司

最后更新日期 : 2025 年 10 月