

## 服务器多相电源高边 FET 电压尖峰抑制

李志江

### 摘要

随着 Intel 在 Enterprise Server 领域 CPU 平台的演进迭代，对于 VR 多相电源的功率要求越来越高。随之而来的问题是 Power Stage 级高低边 FET 电压应力也越来越大。业界对于低边 FET 抑制的方法很熟悉，但很少探讨高边 FET VDS Spike 的处理。本文首先讨论了在高边采用常规 RC snubber 的方案。此方案需要额外线路元件，占用更大的 PCB layout 空间，同时也显著降低了多相电源效率。针对其问题，本文对 Power Stage 线路进行建模仿真，提出了 1uF input cap 方案。新的方案可以解决常规 RC Snubber 的弊端。本文最后给出了测试结果。

### 目录

1 应用背景.....	2
2 常规 RC Snubber 方案探讨.....	3
3 1uF 输入电容方案.....	4
3.1 方案提出.....	4
3.2 实测结果.....	7
4 结论.....	9

### 图表

图 1 服务器多相电源结构示意图.....	2
图 2 高边 RC Snubber 实施案例.....	Error! Bookmark not defined.
图 3 高边 Snubber 测试结果.....	3
图 4 高边 Snubber 方案效率结果.....	Error! Bookmark not defined.
图 5 多相电源 Buck 线路建模.....	5
图 6 简化模型.....	5
图 7 不同 Ld 值高边 VDS 仿真结果对比.....	6
图 8 不同 Cin 值高边 VDS 仿真结果对比.....	7
图 9 Cin Layout 优化.....	8
图 10 Cin 抑制高边 FET VDS 测试结果.....	8
图 11 Cin=1uF 方案效率测试结果.....	9

## 1 应用背景

众所周知，Intel CPU 在业界的领军地位，同样在 Enterprise Server 领域也是以 Intel 平台为主。随着平台的不断迭代升级，对于 VR 多相电源的功率要求越来越高。由于折算到每一相的电流数值的增加，每一相 Power Stage 高边和低边 FET 的电压应力也随之增大。

对于低边 FET 电压尖峰的处理，业界有广泛的共识，例如通过调整 Rboot 电阻和在 SW 节点对地增加 RC Snubber。但对于高边 FET 鲜有关注和处理。然而，高边 FET 对于系统的安全性至关重要。如下图，当高边 FET 由于电压尖峰过大击穿，Power Stage 处于不受控状态，输入能量会通过击穿的高边 FET 直接灌到负载端。而负载端是 CPU 和 DDR 等系统核心器件，因此受损会导致整个服务器系统的 down 机。通常系统设计会在 input 端再增加一级保护。由此可见高边 FET 电压尖峰抑制的重要性。

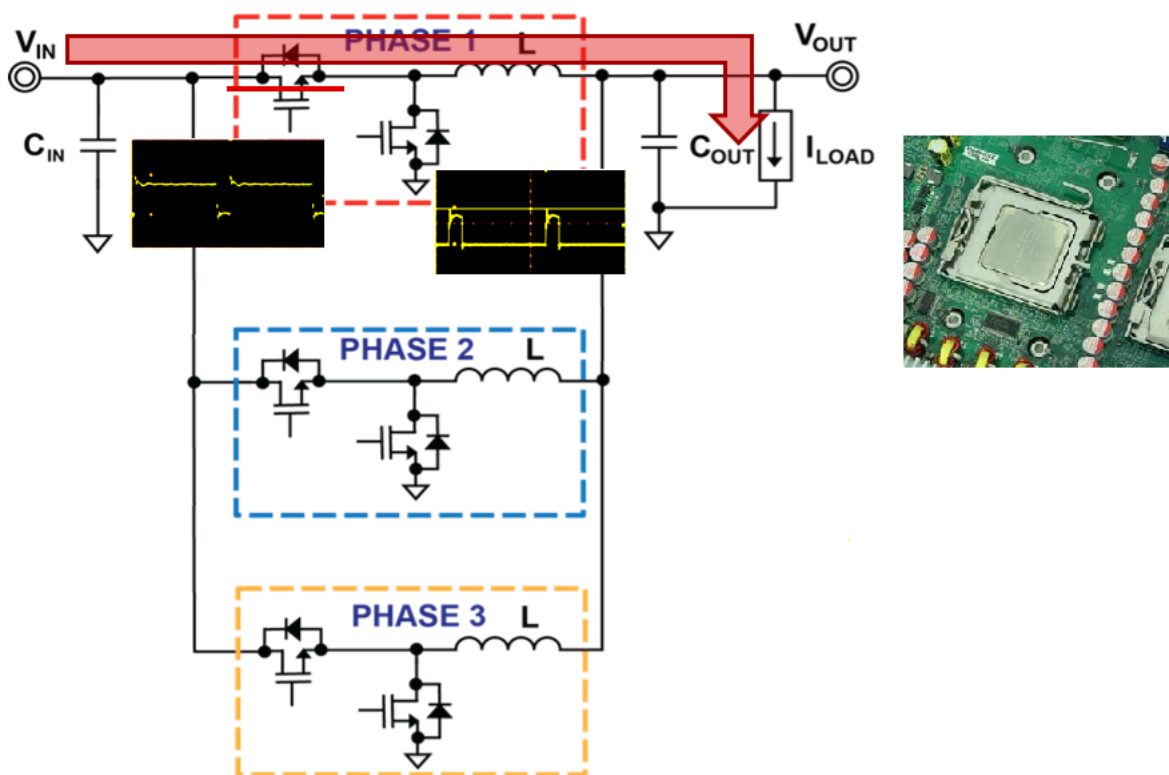


图 1 服务器多相电源结构示意图

## 2 常规 RC Snubber 方案探讨

对于高边 FET 电压尖峰吸收抑制，比较直接的做法是和低边 FET 一样加 RC Snubber，不同点于 RC 是加在 VIN 和 SW 节点之间。由于之前很少关注高边 FET，通常板子设计也不会预留 Snubber 位置，本案例是通过飞线实施，如图 2。

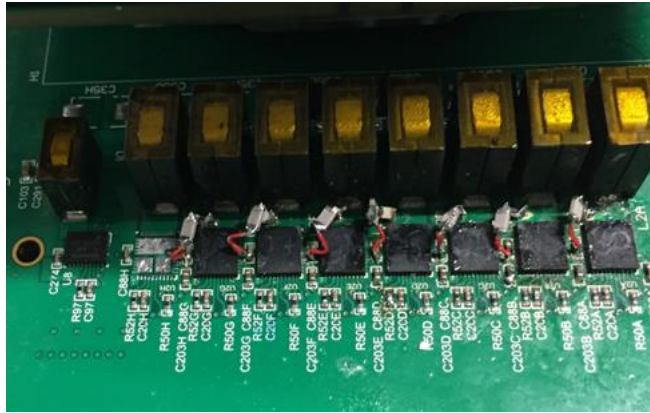


图 2 高边 RC Snubber 实施案例

本案例以将高边 FET 电压尖峰压到其标称额定电压的 80%（16V）为例，确定 RC snubber 的值为  $1\text{ohm}+3300\text{pF}$ ，下图是测试结果。通过增加 Snubber，可以将电压尖峰抑制在规定的门限以下。

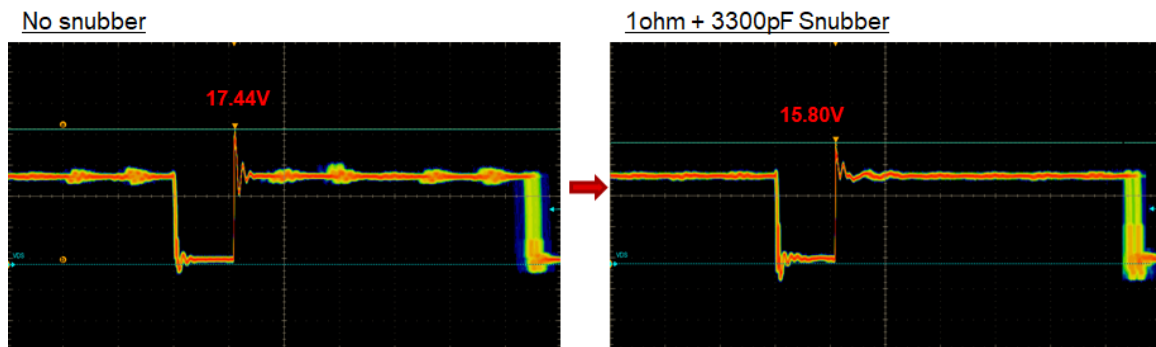


图 3 高边 Snubber 测试结果

同时测量各相加上高边 Snubber 后的效率值与没有 Snubber 对比，如图 4。从结果上看，轻载（20% load）效率却损失了 1.80 个百分点，还是相当严重的。

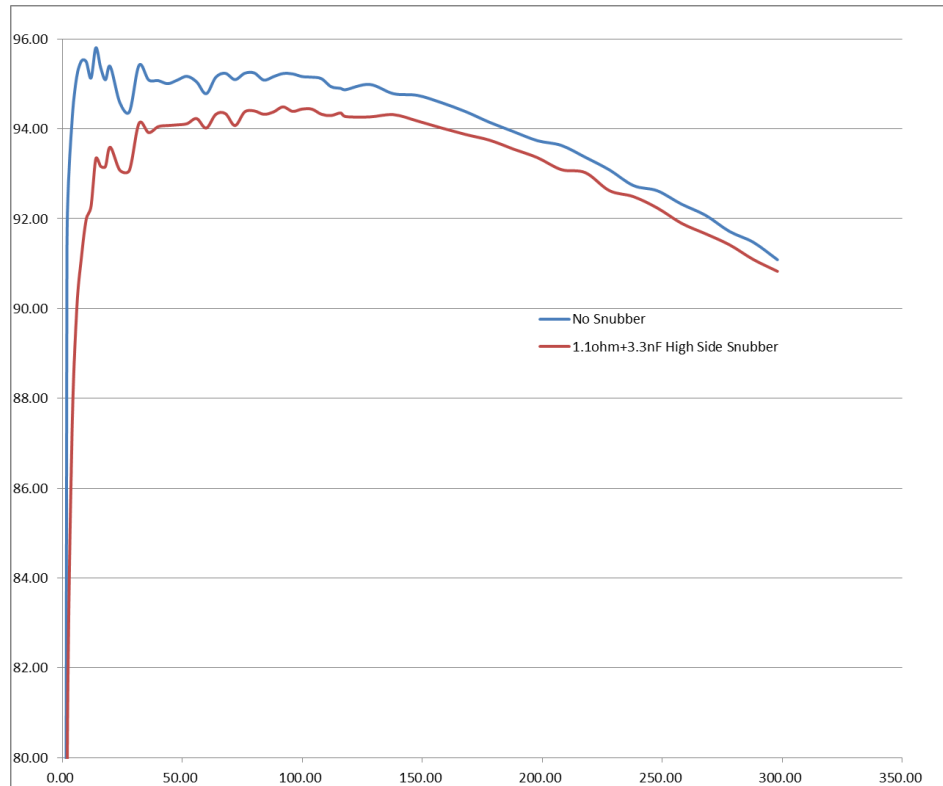


图 4 高边 Snubber 方案效率结果

总结来看，采用高边 RC Snubber 方法存在的问题有：

- 由于传统布版设计没有预留位置，同时 VR 电源采用增加相数来保证提供更大的电流，版面空间有限，高边 RC Snubber 很难实施；
- 器件数量增加，BOM 成本增加；
- 效率显著降低，给系统热设计带来压力和挑战。

### 3 1uF 输入电容方案

#### 3.1 方案提出

针对上述方案存在的问题，需要找到一种更好的方案来实现。对多相电源每一相 Buck 电路进行建模，将寄生参数考虑在内，如图 5。

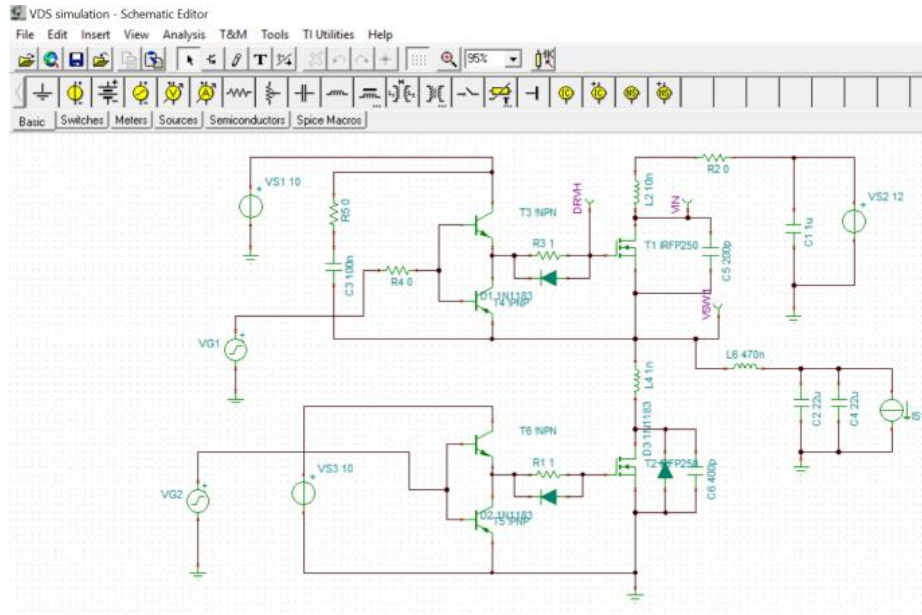


图 5 多相电源 Buck 线路建模

进一步简化，只关注高边 FET 开通关断，如图 6。

压控开关来模拟上管的开通关断，下管等效为  $C_{oss} + \text{Body Diode}$ 。输出功率电感值为 120nH。负载为 30A 恒流源。寄生电感在输入去耦电容  $C_{in}$  后和高边 FET 串联的为  $L_d$ ；在  $C_{in}$  前靠近 Input source 为  $L_d'$ 。

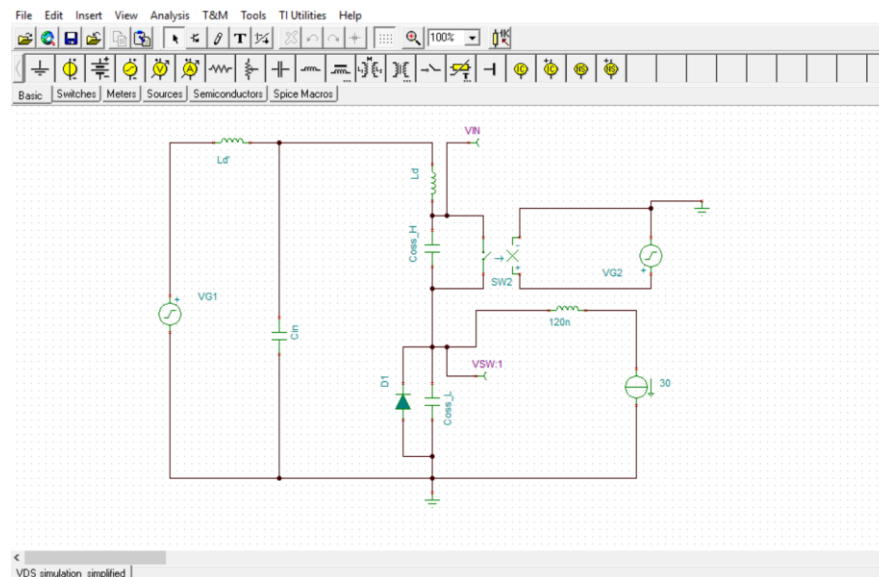


图 6 简化模型

众所周知，VDS 电压尖峰是由于开关电流变化在线路寄生电感上感生。从公式可以看出， $L_d$  越大，感生出来的电压尖峰越大。

$$VDS_{spike} = \frac{L_d * i_{switch}}{t}$$

前端寄生电感  $L_d'$  与输入去耦电容  $C_{in}$  构成 LC 振荡电路。从公式可以看出,  $L_d'$  感生出来的电压尖峰正比于  $L_d'$ , 反比于  $C_{in}$ 。也即增大  $C_{in}$ , 可以减小电压尖峰。

$$VDS_{spike2} = \sqrt{\frac{L_d'}{C_{in}}} * K$$

下面分别对  $L_d$  和  $C_{in}$  对于高边 FET VDS 的影响进行了仿真验证。

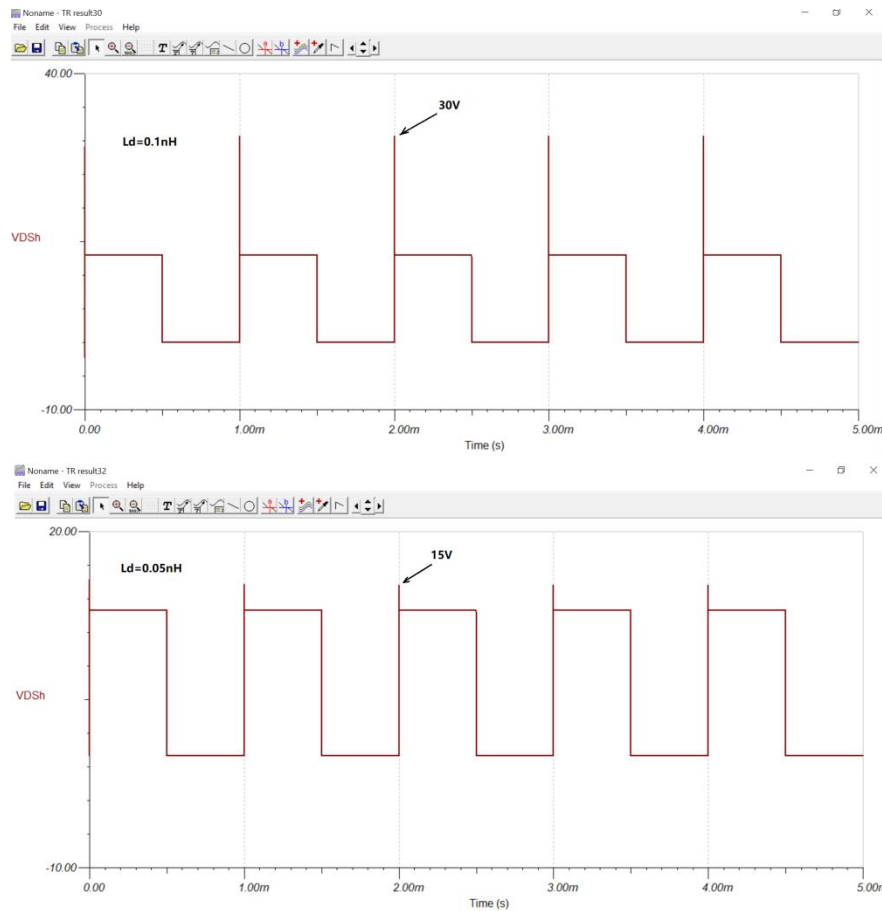


图 7 不同  $L_d$  值高边 VDS 仿真结果对比

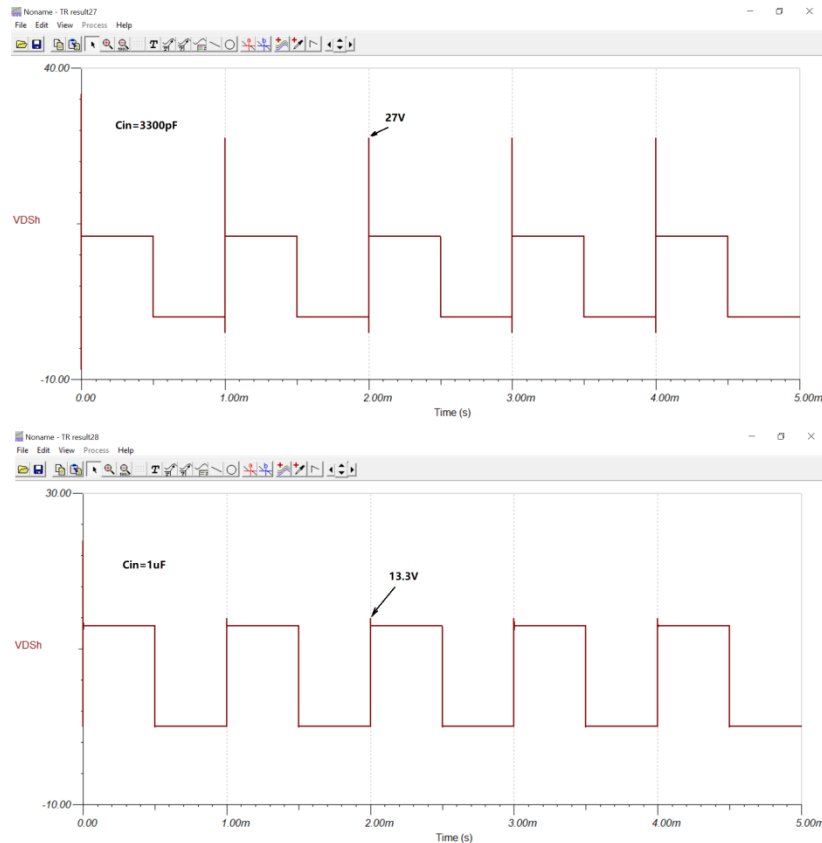


图 8 不同  $C_{in}$  值高边 VDS 仿真结果对比

图 7 反映的是串联在高边 FET 中的寄生电感的影响。从仿真结果上看，尽量减小  $L_d$  可以有效降低高边 FET VDS。图 8 反映的是  $C_{in}$  对于  $L_d'$ （仿真线路中取值 10nH）带来的 VDS 尖峰的抑制效果。增大  $C_{in}$ ，可以更好的压低高边 FET VDS 尖峰。

## 3.2 实测结果

下面以一个实际案例来验证 1uF 输入电容方案的效果。从上面仿真分析可以看出，尽量减小线路寄生电感和增加输入去耦电容值可以减小多相电源中每相 Buck 高边 FET 的 VDS 尖峰。在实际 layout 设计中，优化的设计是将尽量小封装(本案例中采用 0402 )的输入去耦电容摆放在和多相电源 Power Stage 同一层，同时靠近 VIN 和 GND 管脚放置。这样可以尽量减小串联在高边 FET 上的寄生电感。

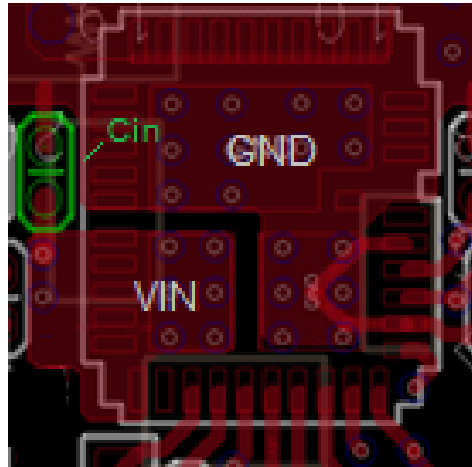
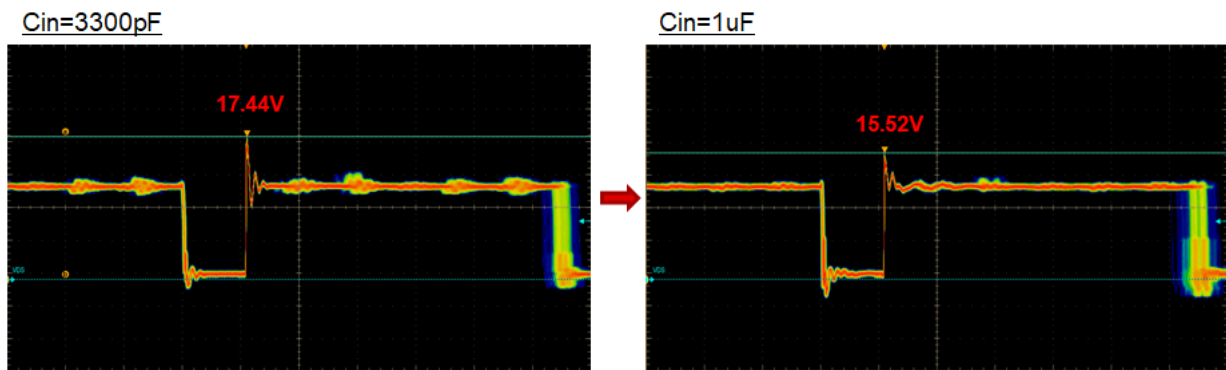


图 9 Cin Layout 优化

对于输入去耦电容  $C_{in}$  前端（靠近输入源）的寄生电感造成的电压尖峰，通过调整  $C_{in}$  的值来抑制。图 10 对比了不同输入去耦电容值下高边 FET VDS 的结果。本案例中目标是将高边 VDS 抑制在 16V 以下。通过实验得到  $C_{in}=1\mu F$  可以满足要求。

从理论和仿真结果来看，增加输入电容  $C_{in}$  可以更好的抑制其前端寄生电感  $L_d'$  造成的电压尖峰。但在实际实施时，由于版面尺寸和成本的考虑，不会无限增加  $C_{in}$ 。在靠近 Power Stage 管脚只能摆放一颗 0402 尺寸去耦电容。而 0402/25V 的电容系列里 1~2.2 $\mu F$  已经接近极限，成本也相对较高。

图 10  $C_{in}$  抑制高边 FET VDS 测试结果

同时比较了效率数据，从结果上看，1 $\mu F$  输入电容方案不会对效率产生影响，不会使效率降低。也即，在把高边 FET VDS 压到相同数值的情况下，1 $\mu F$  输入电容方案相比高边 RC Snubber 方案效率明显提升，在轻载（20% load）时可以提升 1.8 个百分点，如图 11。

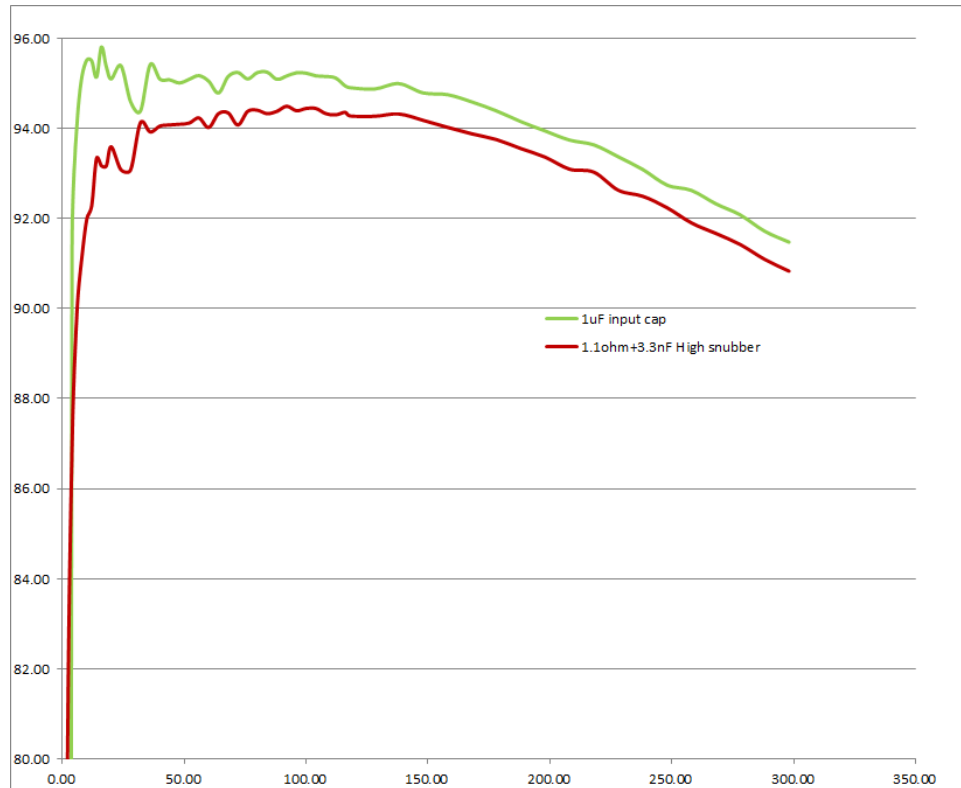


图 11  $C_{in}=1\mu F$  方案效率测试结果

总结来看  $1\mu F$  输入电容方案，

- 容易实施。通常的 Layout 设计都会预留输入去耦电容位置，通过调整这个容值就可以将高边 FET VDS 控制到预期的门限以下，不需要对 Layout 设计做改动；
- 效率不变。 $1\mu F$  输入电容方案对电源效率没有影响，在将高边 FET VDS 压到预期门限以下的情况下，仍然保持高的效率。

## 4 结论

对多相电源每相 Buck 电路高边 FET VDS 的抑制，对提高整个服务器系统的可靠性至关重要。在高边施加 RC Snubber 线路虽然可以实现这个目的，但由于 Layout 设计的限制和对效率的损伤，很难实施。本文提出的  $1\mu F$  输入电容方案，从仿真和实验结果表明，在不改变原有 Layout 设计和不增加器件的情况下，可以有效抑制高边 FET VDS 尖峰，同时保持多相电源效率不损失。

## 重要声明和免责声明

TI 均以“原样”提供技术性 & 可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证其中不含任何瑕疵，且不做任何明示或暗示的担保，包括但不限于对适销性、适合某特定用途或不侵犯任何第三方知识产权的暗示担保。

所述资源可供专业开发人员应用 TI 产品进行设计使用。您将对以下行为独自承担全部责任：(1) 针对您的应用选择合适的 TI 产品；(2) 设计、验证并测试您的应用；(3) 确保您的应用满足相应标准以及任何其他安全、安保或其他要求。所述资源如有变更，恕不另行通知。TI 对您使用所述资源的授权仅限于开发资源所涉及 TI 产品的相关应用。除此之外不得复制或展示所述资源，也不提供其它 TI 或任何第三方的知识产权授权许可。如因使用所述资源而产生任何索赔、赔偿、成本、损失及债务等，TI 对此概不负责，并且您须赔偿由此对 TI 及其代表造成的损害。

TI 所提供产品均受 TI 的销售条款 (<http://www.ti.com.cn/zh-cn/legal/termsofsale.html>) 以及 [ti.com.cn](http://www.ti.com.cn) 上或随附 TI 产品提供的其他可适用条款的约束。TI 提供所述资源并不扩展或以其他方式更改 TI 针对 TI 产品所发布的可适用的担保范围或担保免责声明。

邮寄地址：上海市浦东新区世纪大道 1568 号中建大厦 32 楼，邮政编码：200122  
Copyright © 2020 德州仪器半导体技术（上海）有限公司