

## MSP430 Applications

## 摘要

随着硅技术朝着更低电压的方向发展以及人们对具有高性价比和超低功耗组件设计的需要，系统级 ESD 要求变得越来越苛刻。本应用报告介绍了三个不同的 ESD 主题，旨在帮助电路板设计人员和 OEM 了解和设计稳健的系统级设计：

1. 元件级 ESD 测试和系统级 ESD 测试、两者的区别，以及元件级 ESD 等级不能确保实现系统级稳健性的原因。
2. 系统级 ESD 保护的通用设计指南，包括外壳、电缆、PCB 布局和板载 ESD 保护器件。
3. 介绍了系统高效 ESD 设计 (SEED，一种用于实现系统级 ESD 稳健性的板载和片上 ESD 保护协同设计方法)，并给出了示例仿真和测试结果。

另外，还讨论了两个实际的系统级 ESD 保护设计示例及其结果。

## 内容

<b>1 ESD 简介</b> .....	3
1.1 元件级 ESD 等级.....	3
1.2 系统级 ESD 等级.....	4
1.3 ESD 波形.....	6
<b>2 系统级 ESD 设计通用指南</b> .....	7
2.1 外壳.....	7
2.2 PCB 设计和布局.....	10
2.3 板载 ESD 保护器件.....	14
2.4 电路设计和软件注意事项.....	16
2.5 ESD 测试.....	16
<b>3 系统高效 ESD 设计 (SEED)</b> .....	17
3.1 系统级 ESD 保护方法.....	17
3.2 系统级 ESD 设计的 SPICE 仿真方法.....	18
<b>4 基于 SEED 的 IEC 保护设计和验证 - 实际案例 1</b> .....	19
4.1 对 IEC 应力波形建模.....	19
4.2 对 TVS 器件建模.....	20
4.3 对 MSP430 I/O 引脚建模.....	20
4.4 隔离阻抗计算.....	20
4.5 SPICE 仿真 - SEED 方法.....	21
4.6 板级验证.....	22
<b>5 系统级 ESD 保护 - 实际案例 2</b> .....	23
<b>6 总结</b> .....	24
<b>7 使用 TLP 参数建模</b> .....	25
7.1 使用 TLP 参数对 TVS 器件建模 [8].....	25
7.2 使用 TLP 参数对要保护的 IC 接口引脚建模 [8].....	25
<b>8 参考文献</b> .....	26
修订历史记录.....	26

## 插图清单

图 1-1. 人体放电模型 (类似于 JEDEC JS-001 规范) .....	4
图 1-2. 充电器件模型 (类似于 JEDEC JESD22-C101 规范) .....	4

图 1-3. IEC 61000-4-2 标准规定的供电条件下的 ESD 测试台 [1].....	5
图 1-4. 标准 HBM、CDM 和 IEC 放电脉冲比较.....	7
图 2-1. 外壳场景.....	8
图 2-2. 屏蔽 LED.....	9
图 2-3. 外壳开口注意事项.....	9
图 2-4. 外壳电缆注意事项.....	9
图 2-5. 避免直角布线.....	10
图 2-6. 去耦基本要点.....	10
图 2-7. 示例晶体布局布线.....	11
图 2-8. 实心接地层示例布局.....	12
图 2-9. 无专用接地层的 2 层板的接地注意事项.....	12
图 2-10. 返回电流和产生的环路面积.....	13
图 2-11. 显示具有大电流环路的示例 2 层 PCB 布局.....	13
图 2-12. 显示具有更连续的接地层和更少电流环路的示例 2 层 PCB 布局.....	14
图 2-13. 使用串联电阻提供系统级 ESD 保护.....	15
图 3-1. 两级系统级 ESD 保护 [7].....	17
图 3-2. IEC ESD 保护设计原理图.....	19
图 4-1. SPICE 仿真.....	19
图 4-2. 双向 ESD 保护二极管的 I-V 特性.....	20
图 4-3. SEED 方法仿真原理图.....	21
图 4-4. SEED 原理图和仿真结果.....	22
图 4-5. 基于 MSP430 的测试板布局.....	23
图 5-1. 基于 MSP430 的实时时钟测试板.....	24
图 7-1. 使用 TLP 参数对 TVS 器件建模.....	25
图 7-2. 使用 TLP 参数对 IC 接口引脚建模.....	25

### 表格清单

表 1-1. IC 级 HBM 测试与系统级 ESD 测试比较 [2].....	3
表 1-2. IEC 61000-4-2 测试规格 [1].....	5
表 5-1. 系统级 ESD 性能 - 实际案例 2 结果.....	24

### 商标

MSP430™ is a trademark of Texas Instruments.

所有商标均为其各自所有者的财产。

## 1 ESD 简介

静电荷是静置时的非平衡电荷。当两种非导电材料相互摩擦或分离时，一种材料的表面会获得电子，而另一种材料的表面则失去电子；这会导致带电量不均衡，即产生静电荷。根据定律  $Q = CV$ ，一个物体的可充电电压取决于其电容量。人体能够被充电到数千伏。当静电荷从一个表面移到另一个表面时，称为 ESD（静电放电）。ESD 是在两个处于不同电位的物体之间单次快速转移静电荷的过程。只有当两个物体之间的电压差足够高到超过介电强度而击穿介质时，才会发生这种情况。静电荷快速移动产生的电流会损坏或破坏集成电路 (IC) 内的栅极氧化层、金属化层和结。

ESD 可以通过以下四种方式之一发生：

- 带电体接触 IC
- 带电 IC 接触接地的表面或物体
- 带电金属工具接触 IC
- 在电介质上感应产生足以使其击穿的电压的静电场。

每种情况下的耦合机制都是通过电感、电阻或电容实现的。创建 ESD 安全设计的重点在于综合各种因素最大程度地减少 ESD 耦合。要设计一个具有稳健 ESD 保护功能的产品，必须了解元件级或 IC 级 ESD 保护与系统级 ESD 保护是不同的。

通常，器件供应商会根据行业标准设计、测试和验证其 IC，以确保在 IC 生产或组装到 PCB 期间不会发生物理损坏。原始设备制造商 (OEM) 应设计系统级或板级 ESD 保护，并根据 IEC 61000-4-2 [1] 或 ISO 10605 [6] 系统级 ESD 标准进行测试。表 1-1 根据 IEC 61000-4-2 [1] 和 ISO 10605 [6] 标准的要求，总结了 IC 级或元件级标准 HBM 测试与系统级测试之间的主要区别。

表 1-1. IC 级 HBM 测试与系统级 ESD 测试比较 [2]

参数	IC 级 HBM 测试 (ANSI/ESDA/JEDEC JS-001) [3]	系统级 ESD 测试 (IEC 61000-4-2 [1], ISO 10605 [6])
受应力引脚组	多个引脚组合	几个特殊的引脚
器件电源	未供电	供电和未供电
测试方法	标准化	应用特定，使用各种放电模型
故障特征	泄漏或器件物理损坏	功能或应用故障或器件物理损坏
测试和认证持有者	芯片供应商或元件制造商	系统板设计人员或 OEM
测试设置	商用测试仪和插座	应用特定的板
典型认证目标	1kV 至 2kV HBM	8kV 至 15kV
对应的峰值电流	0.65A 至 1.3A	>20A
ESD 环境	组装和生产过程	终端用户应用，消费类产品

元件级 ESD 和系统级 ESD 测试要求不同，因为它们所针对的 ESD 环境是不同的。同样，与这两个测试相关的 ESD 电流波形在峰值电流、持续时间和总功率方面也有很大差异。因此，要设计一个具有稳健 ESD 保护功能的系统，对于系统板设计人员和 OEM 而言，了解系统级 ESD 保护要求与 IC 级 ESD 保护功能之间的巨大差异非常重要。

### 1.1 元件级 ESD 等级

众所周知，IC 封装的 ESD 保护设计对于安全生产和操作至关重要。一般认为，当在 ESD 安全区域（也称为 ESD 保护区 (EPA)）中处理 IC 时，这种保护设计应满足或超过要求的 ESD 规格 [1]。IC 的 ESD 保护策略涉及 ESD 放电事件，这些事件可能会在暴露于环境中封装的任何引脚上发生。元件级 ESD 保护应考虑为 IC 定义的基本 ESD 模型：人体放电模型 (HBM) 和充电器件模型 (CDM)。

MSP430™ IC 内的 ESD 保护电路是根据器件技术、不同应用的 IC 引脚功能、电源引脚等因素设计的。首先使用测试芯片对保护元件进行表征和有效性分析。在适当的情况下，使用仿真和自动检查来确保保护电路的有效性，并检查其与要保护的引脚的兼容性。

典型的 MSP430 器件经过测试并符合以下业界通用 ESD 等级。

### 1.1.1 人体放电模型 (HBM)

HBM 模拟 ESD 事件，在该事件中，人体通过触摸处于不同电位的 IC 释放累积的静电荷。在简单的近似计算过程中，本文使用一个带电的 100pF 电容器和一个 1.5kΩ 放电电阻建模，类似于 JEDEC JS-001 规范 [3] (参见图 1-1)。

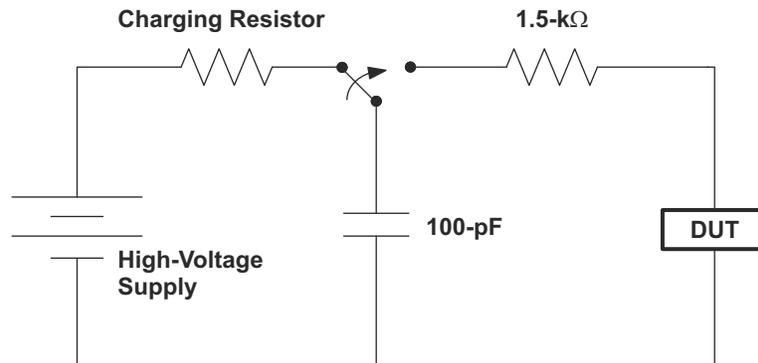


图 1-1. 人体放电模型 (类似于 JEDEC JS-001 规范)

### 1.1.2 充电器件模型 (CDM)

CDM 模拟设备生产和处理过程中发生的充电和放电事件。它模拟了 ESD 事件，在该事件中，设备在一些摩擦工艺中或静电感应过程中获得电荷，然后突然接触接地物体或表面。当制造过程中存在金属表面接触时，可能会发生 CDM ESD 事件。测试要求类似于 JEDEC JESD22-C101 规范 [4] (参见图 1-2)。

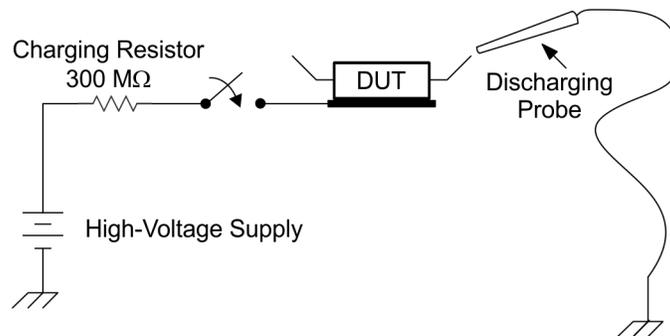


图 1-2. 充电器件模型 (类似于 JEDEC JESD22-C101 规范)

#### NOTE

这些元件级 ESD 标准适用于未供电的设备，并且是器件在制造环境中对 ESD 事件敏感性的一个指标。德州仪器 (TI) 不保证 MSP430 系列器件的系统级 ESD 等级 (例如，符合 IEC 61000-4-2 标准)。有关系统级 ESD 保护指南和建议，请参阅以下部分。

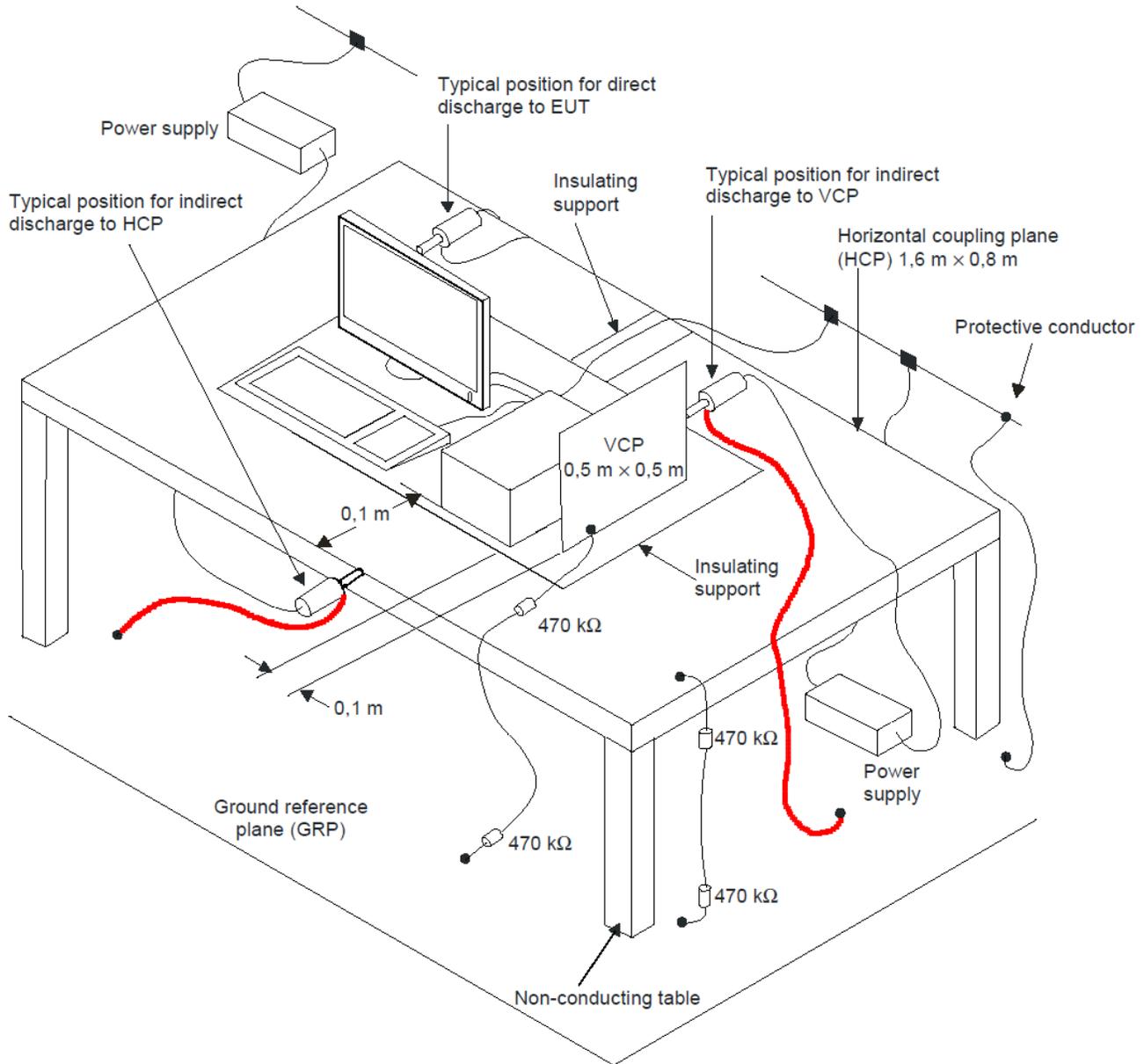
## 1.2 系统级 ESD 等级

通常，在 ESD 保护区 (EPA) 中，ESD 电压电平较低，这是由于在全球范围内，人们在组装、包装和其他生产过程中都采取了 ANSI/ESD S20.20 [13] 和 IEC 61340 [14] 标准所规定的 ESD 控制措施。但是当将最终产品发运并送达客户手中时，无法保证采取了同样的控制措施。部署到现场的消费类产品在处理时通常不受 EPA 制约，因此可能会遭受更高电压的 ESD 冲击。

IEC 61000-4-2 是业界公认的最终产品 ESD 等级标准。IEC 61000-4-2 测试的主要目的是确定系统在运行过程中对外部 ESD 事件的抗扰度。它与设备、系统、子系统和外设有关，但未对这些相关因素作进一步定义。其范围和描述清楚地表明了其目的：测试可能会受到直接由操作人员导致的或人员对邻近物体导致的 ESD 影响的电气和电子设备 [1]。它还定义了与不同环境和安装条件有关的测试级别范围，并制定了测试程序。

系统级 IEC 电流放电曲线比 HBM 测试更严格，该曲线由手持式设备（有时称为 ESD 枪）生成。该方法用于人员与设备之间的直接和间接 ESD 事件。直接放电适用于设备正常使用期间人员可接近的金属位置，间接放电通常通过耦合平面接触放电进行。接触放电模式是 IEC 首选的测试方法，只有绝缘的盖子和带有塑料外壳的连接器引脚才会受空气放电干扰。

与汽车 ESD 标准 ISO 10605 [6] 相比，ESD 发生器连接到接地参考平面 (GRP)。测试的间接放电部分使用另外两个平面：水平耦合平面 (HCP) 和垂直耦合平面 (VCP)，这两个平面通过两个 470kΩ 电阻与接地平面相连。对这些平面的放电模拟了从实际放电到附近物体的辐射场所引起的应力。此测试设置如图 1-3 所示。



A. ESD 枪的接地连接以红色突出显示。

图 1-3. IEC 61000-4-2 标准规定的供电条件下的 ESD 测试台 [1]

表 1-2 列出了 IEC 61000-4-2 测试规格。

表 1-2. IEC 61000-4-2 测试规格 [1]

测试参数	IEC 61000-4-2	
放电类型	接触放电	空气放电

表 1-2. IEC 61000-4-2 测试规格 [1] (continued)

测试参数	IEC 61000-4-2	
	输出电压	2kV 至 8kV
间隔时间	最小 1 秒	
各应力电压电平的极性	正和负	
网络电容	150pF	
网络电阻	330 $\Omega$	
放电脉冲数	最少 10 个	
测试条件	供电	

在按照此系统级标准或类似标准测试系统时，最终产品需要在 ESD 事件出现或发生之后保持正常工作。IEC 规定的系统级故障标准可分为以下几类：

- 性能正常，处于制造商所指定的限制范围内。
- 暂时性的功能丧失或性能下降，干扰停止后此现象消失。被测设备无需操作人员干预即可恢复正常性能。
- 暂时性的功能丧失或性能下降。恢复需要操作员干预。
- 由于硬件或软件损坏或数据丢失而导致的不可恢复的暂时性功能丧失或性能下降。

很明显，上述大多数类别与器件物理损坏无关，而是与系统故障有关。任何特定系统或应用的验收标准都是针对该情况的。因此，电路板设计人员和 OEM 应通过采取必要的预防措施，以防止或最大程度减少 ESD 耦合到系统或器件（直接通过器件引脚或通过连接的电缆）来提供系统级 ESD 稳健性，从而避免在信号布线上产生错误或损坏器件自身。

本文档后面部分重点介绍了一些通用指南，这些指南可帮助创建具有稳健 ESD 保护功能的系统解决方案。因为电路板设计人员和 OEM 在设计应用时未采取必要的预防措施，他们通常会发现未通过 IEC 测试，应该尽量在设计前考虑 ESD 测试的相关事项。因此，建议电路板设计人员和 OEM 在开始设计之前，查看此文档以及有关 ESD 安全的大量可用公开资料。

### 1.3 ESD 波形

当带静电的物体放电时，生成的放电电流曲线前沿较陡直，随后是相对较缓慢的批量放电曲线。不同元件级 ESD 模型（HBM、CDM）和系统级模型（IEC 64000-4-2）之间的电流放电曲线存在显著差异。

标准 HBM 电流波形具有 2ns 至 10ns 的指定上升时间，而 CDM 上升时间通常介于 50ps 至 500ps 的范围内，具体取决于有效器件尺寸和电容量，而 IEC 初始脉冲的上升时间介于 0.6ns 至 1ns 之间，而第二次较大能量脉冲的上升时间介于 10ns 至 20ns 之间。就硬件故障或器件物理损坏而言，这些电流放电差异对于片上保护结构的有效性至关重要。除总功率和峰值电流处理能力外，大多数片上 ESD 保护元件还取决于导通响应的初始脉冲上升时间。因此，对于不同的模型应力，它们的表现可能不同 [2]。这意味着旨在满足 IC 级 ESD 标准（例如 HBM、CDM）的片上 ESD 保护不能适应系统级 ESD 应力，从而无法防止器件物理损坏和其他系统故障。这应由电路板设计人员或 OEM 进行系统级处理。

此外，IEC 脉冲能量远远大于 IC 级 HBM 或 CDM 脉冲能量，峰值电流也是如此。另外，频谱也不同。IEC 包括与 CDM 相当的高频分量，与 HBM 相当的低频分量以及介于两者之间的所有分量。即使准确定义了应用的 IEC 波形，在特定系统中的 IC 波形也是未知的 [2]，因此，功能或应用 ESD 故障是系统级的特定故障。

如果片上 ESD 保护电路必须适应整个系统级 ESD 应力，那么它必须能够在更快的瞬态和更高的峰值电流下吸收更高的能量。与电路板设计人员和 OEM 提供的元件级或系统级保护相比，这将最终会对芯片尺寸和器件总成本带来影响，使其缺少经济性。

图 1-4 显示了特定于模型的电流波形。

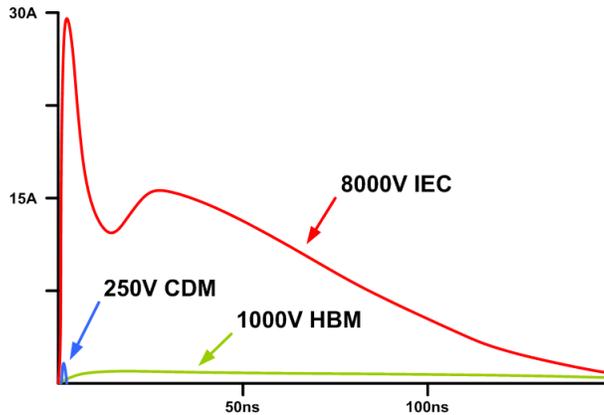


图 1-4. 标准 HBM、CDM 和 IEC 放电脉冲比较

#### NOTE

随着硅技术的快速发展、数据传输速率的提高以及制造 ESD 控制装置和防护意识的提高，ESD 目标等级行业委员会 [15] 得出的结论是：1kV 的 HBM 和 250V 的 CDM 足以满足元件级 ESD 等级，同时在生产和组装期间仍可确保 IC 安全 [9, 10]。德州仪器 (TI) 作为 ESD 目标等级行业委员会的成员，正在努力将这些 HBM 和 CDM 纳入设计规格。

## 2 系统级 ESD 设计通用指南

系统级 ESD 保护策略在很大程度上取决于物理设计、操作要求和最终产品的总体成本。可以考虑采用不同的保护规则，以最大程度减少 ESD 耦合到系统中。具有稳健 ESD 保护功能的系统设计涉及多个因素，例如：

- 外壳
- PCB 设计和布局
- ESD 接地路径
- 板载 ESD 保护器件
- 系统接线和互连
- 软件设计
- ESD 测试

要实现一个具有稳健 ESD 保护功能的系统设计，其关键在于在电路板的设计和开发过程中，遵循抗 ESD 设计指南，尽早考虑系统中 ESD 的影响。整个开发过程中的 ESD 测试有助于在不同阶段识别和修复系统中的 ESD 薄弱点。

### 2.1 外壳

识别系统中的 ESD 入口点并设计能更大程度减小系统内直接或间接静电放电的外壳，是任何系统级 ESD 保护设计的关键。图 2-1 显示了各种外壳实例和相应的 ESD 进入场景。

图 2-1(a) 表示将导电外壳正确屏蔽并接地的理想情况；ESD 根本不会影响系统。这是理想情况，但不适用于大多数系统。

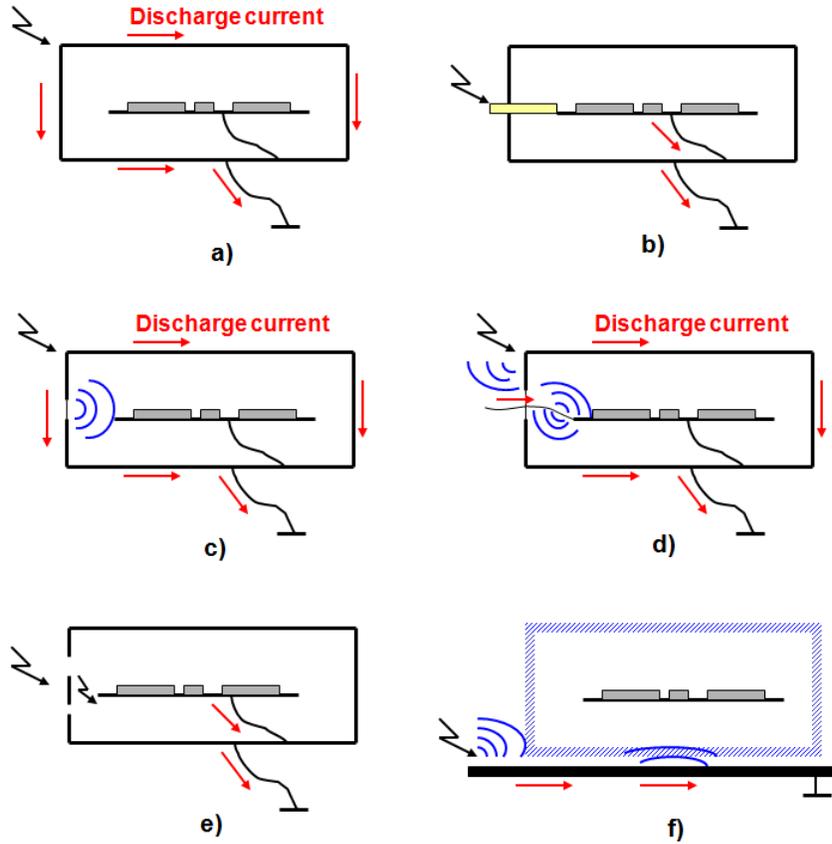
图 2-1(b) 表示直接放电的情况，其中系统中的导电块伸出外壳，静电放电通过该块直接耦合到系统上。一个好的设计应确保从外壳中穿出的导电块已得到适当屏蔽，以最大程度减少 ESD 耦合。

图 2-1(c) 表示间接放电情况，其中产生的电磁场通过外壳孔进入系统。这些电磁场可以耦合到内部电路或电线，并通过系统传播。在外壳孔和外壳内的电子设备之间提供足够的气隙有助于最大程度地减小这种耦合效应。

图 2-1(d) 表示直接放电到电缆，继而在系统中产生电磁场。有关建议的设计指南，请参见节 2.1.2

图 2-1(e) 表示与系统耦合的隔离金属支架或面板的二次放电。有关建议的设计指南，请参见节 2.1.1

图 2-1(f) 表示靠近塑料外壳的静电放电，生成了电磁场。在非导电外壳和外壳内的电子设备之间保持足够的空气间隙可以最大程度地减少耦合到系统中的电磁噪声。



- A. 理想情况
- B. 直接放电
- C. 通过外壳孔产生的电磁影响
- D. 直接放电到电缆
- E. 隔离金属的二次放电
- F. 靠近塑料盒的放电

图 2-1. 外壳场景

### 2.1.1 外壳开口

以下是外壳设计通用指南，可帮助您最大程度地减少耦合到系统（在本例中为 PCB）中的 ESD 和 EMI：

- 为导电外壳提供直接接地路径，以最大程度地减少 ESD 耦合到系统中。直接接地路径应短并具有低电感。
- 选择使用塑料和其他非导电外壳、空气间隙和绝缘体可以防止 ESD 电弧穿透到系统内部。
- 使外壳上易受 ESD 影响的点（包括通风孔、安装孔和接缝等）与 PCB 之间保持足够的空气间隙。
- 选择使用带有塑料轴的开关和用户控制装置，或者使用塑料旋钮覆盖金属轴
- 使用塑料作为外壳材料，通过非导电外壳暴露的 LED 和 LCD 会形成一条指向系统的直接放电路径。在外壳材料为金属的情况下，这种情况就不那么严重，因为 ESD 会在金属外壳而不是 LED 或 LCD 上产生电弧。在使用塑料作为外壳材料的情况下，由于没有可用的金属面板，ESD 会在暴露的 LED 或 LCD 及其连接到系统的引线上产生电弧。通常通过以下方式避免此类放电路径：
  - 在外壳的 LCD 开口周围应用垫圈
  - 使用透明且非导电的透镜罩屏蔽暴露在塑料外壳上的 LED（参见图 2-2）

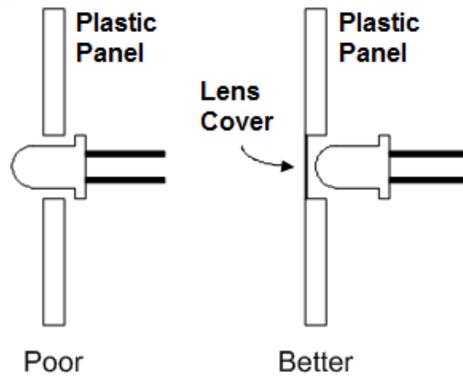


图 2-2. 屏蔽 LED

- 在直接放电到带有隔离金属支架或面板的外壳（代表接地的高阻抗路径）时，(1) 外壳内发生二次放电，从而使 ESD 耦合到 PCB；(2) 产生高频电磁噪声，并可耦合到内部接线或 PCB 上。一个好的设计应将隔离的金属支架正确接地，以最大程度地减少 ESD 或 EMI 耦合。
- 物理开口：减小外壳中物理开口的总孔径，从而更大程度减少 ESD 耦合或耦合到系统内的电磁噪声（参阅图 2-3）。

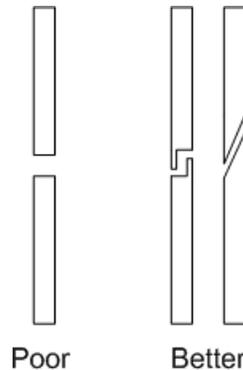


图 2-3. 外壳开口注意事项

- 在塑料挡板下方：空气放电可以到达塑料挡板下方的金属背板，并产生二次放电，二次放电可以耦合到后面的 PCB。在这种情况下，在塑料挡板的背面喷涂导电涂层有助于将放电引向机壳接地，并最大程度地减少 ESD 耦合到系统中。

### 2.1.2 外壳电缆

ESD 可向电缆上的连接器释放电弧，而间接 ESD 可通过感应或辐射耦合到电缆中。以下是外壳设计通用指南，可帮助您最大程度地减少耦合到系统（在本例中为 PCB）中的 ESD（另请参见图 2-4）：

- 屏蔽连接器电缆以减少耦合（使用金属箔或金属箔和编织屏蔽层）。
- 尽可能缩短电缆长度。
- 将接入外壳的电缆正确接地。
- 在电缆入口点使用瞬态抑制器和滤波器。

图 2-4 显示了在电缆入口点使用压敏电阻作为放电抑制器的“最佳”案例。

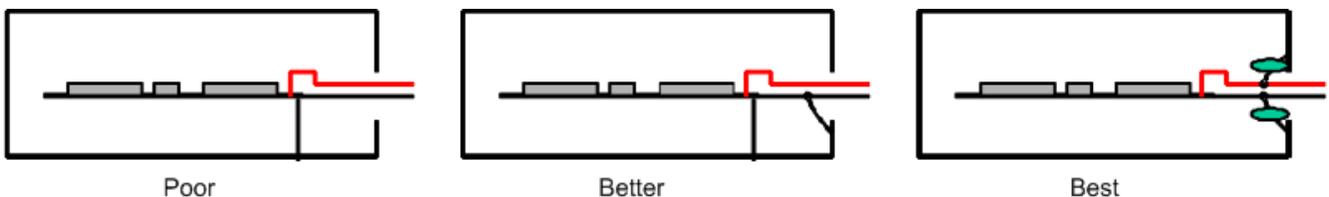


图 2-4. 外壳电缆注意事项

## 2.2 PCB 设计和布局

良好的 PCB 设计和布局可以非常有效地抑制系统中的 ESD。以下是抗 ESD 和 EMI 的 PCB 布局通用指南：

- 尽可能使用接地层而不是接地布线来降低电流路径电感。
- 在您想让 ESD 电流流过的地方使用多点接地方式、较粗的接地线，在其他地方使用单点接地方式、较细的接地线。
- 如果在布局中使用覆铜来创建连续的接地层不可行，则创建较小的覆铜段，继而再将这些覆铜段连接到接地其余部分。但是，请不要创建孤立的覆铜岛；它们会在发生 ESD 事件时引起噪声和电弧。
- 如果可能的话，请使用带有成对电源和接地层的多层 PCB。
- 如果可能的话，请将实心或填充的过孔放入电源和接地层。这些通孔可在发生 ESD 事件时提供良好的散热，并确保良好的电气和电源连接。对于电镀通孔器件，请使用散热孔。
- 尽可能缩短布线长度以减少布线电感。
- 避免布线与元件引脚或其他布线之间形成直角。应避免直角布线，因为这会引起更多的辐射。这在高速设计中变得更为关键。



图 2-5. 避免直角布线

- 保持敏感信号布线远离 PCB 边沿。
- 将所有连接器和外部电线放在 PCB 的一侧。
- 将易受 ESD 影响的电路置于 PCB 的中心 ( 远离电路板边缘、外部电线、连接器和电源 )。
- 去耦 ( 请参见图 2-6 )
  - 使用具有低有效串联电阻 (ESR) 和有效串联电感 (ESL) 的去耦电容将 IC ( 在本例中为 MSP430 ) 电源与电源系统的其他部分去耦。
  - 将去耦电容靠近 IC 电源引脚放置。
  - 保持去耦电容到 GND 的布线尽可能短 ( 且粗 ) 。

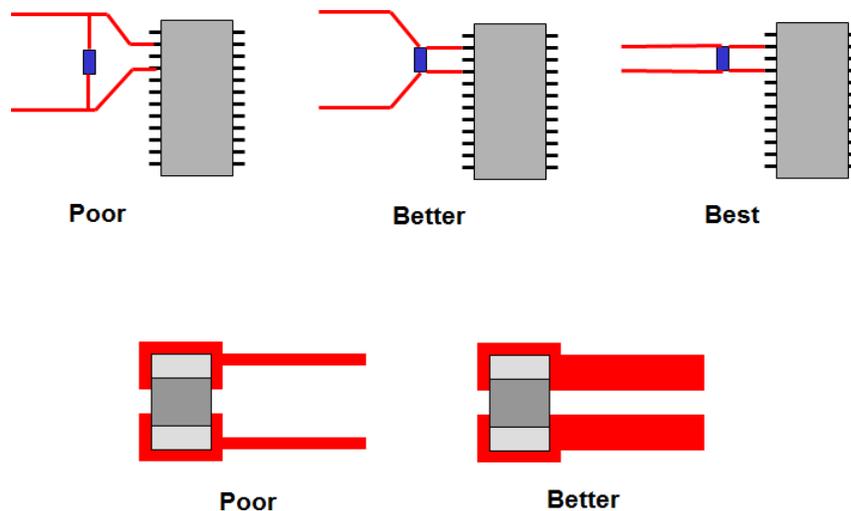


图 2-6. 去耦基本要点

- 晶体布局

PCB 布局上的晶体连接非常重要，因为晶体易受系统中 ESD 和 EMI 噪声的影响。设计不良会导致晶体脱落或导致晶体振荡器时钟抖动。以下是抗 ESD 的 PCB 布局实践通用指南：

- 晶体应尽可能靠近 MSP430 放置。
- 连接晶体的布线应短且直接

- 确保晶体下方没有布线
- 保持开关信号远离晶体布局，以免引起晶体脱落（有关基于此建议的实际案例，请参见第 5 节）
- 保持晶体下方接地层干净
- 晶体外壳也可以接地；在引线周围使用防护环

图 2-7 显示了一个遵循所有这些设计建议的示例晶体布局布线。

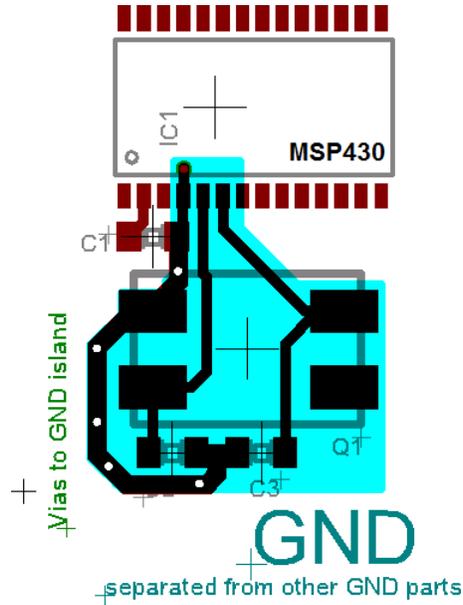


图 2-7. 示例晶体布局布线

《MSP430 32kHz 晶体振荡器》应用手册中提供了更多有关此主题的详细论述 [11]。

• 电流环路

电路始终是闭环的。每个信号路径都有一个返回电源的返回路径，也称为返回电流。使用直流电时，返回电流采用电阻最低的路径。随着频率的提高，返回电流沿最低阻抗流动，即在正向信号路径的正下方 [12]。布局中的电流环路会产生噪声，应通过耦合正向电流和返回电流来最大程度地减小噪声。这有助于提高 EMI 和 ESD 性能。实心接地层为返回电流提供连续的低阻抗路径。

- 对于两层结构的电路板，请尝试将一层电路板作为主要实心接地层，并切出用于信号布线的布线槽
- 图 2-8 显示了实心接地层。接地层上断点仅存在于通孔和穿孔处。这是理想情况。

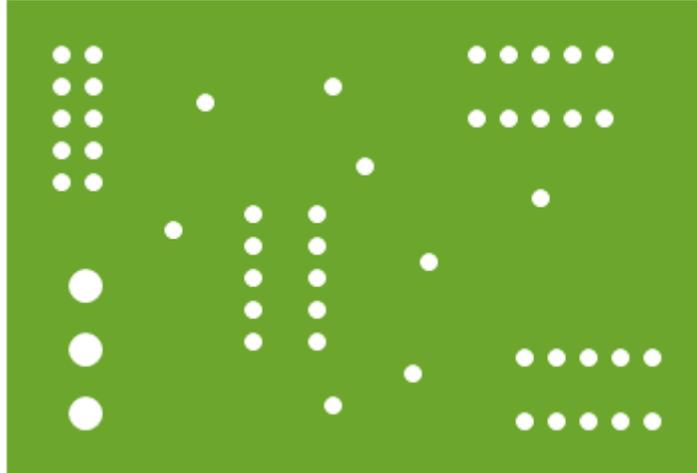
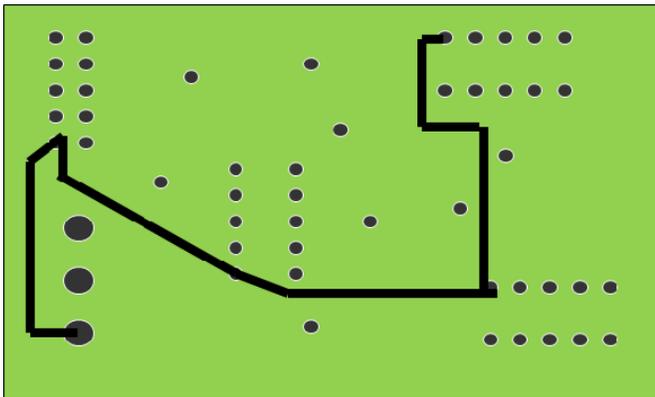
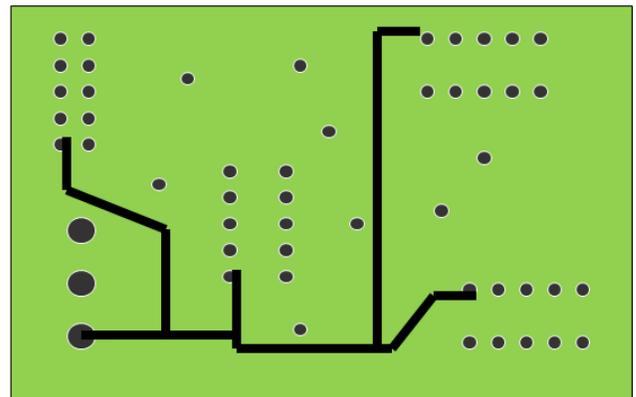


图 2-8. 实心接地层示例布局

- 如果其中一层无法专用作接地层，请使用星形配置而不是菊花链配置来连接所有接地。菊花链强制所有信号沿同一返回路径传输，这可能会导致接地反弹。



Poor  
(Daisy Chain Configuration)



Better  
(Star Configuration)

图 2-9. 无专用接地层的 2 层板的接地注意事项

- 确保另一层上没有布线垂直穿过接地层中的断点或开槽。否则，它将形成一个能够产生和拾取噪声的大型感应环路。如果返回路径（特别是接地层）有断口或开槽，则返回电流必须采用不同的路径，这会导致产生环路区域（请参见图 2-10(a)）。环路面积越大，发生的辐射和 EMI 问题就越多。

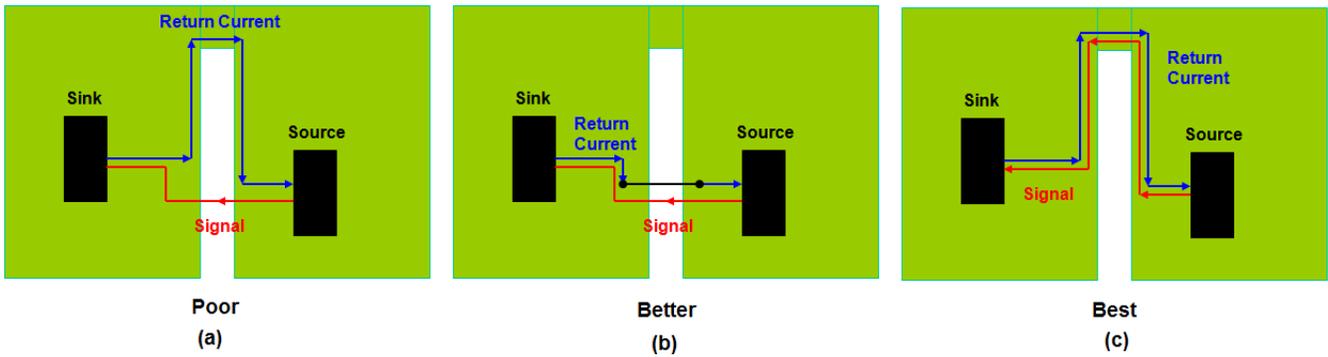


图 2-10. 返回电流和产生的环路面积

- 设计人员必须确保返回电流直接在信号布线下流动。一种方法是通过物理方式连接被开槽隔开的区域（例如，在开槽上放置一个  $0\ \Omega$  电阻），如图 2-10(b) 所示。另一种方法是以与返回电流流动方向相同的方式路由信号（如图 2-10(c) 所示）[12]。这也是最好的方法。
- 保持电源和接地之间的环路面积尽可能小（有关说明此要点的示例布局讨论，请参见节 2.2.1）。
- 保持开关信号的环路面积尽可能小。
- 保持振荡器信号的环路面积尽可能小。

### 2.2.1 示例布局 - 电流环路

图 2-11 显示了一个示例 2 层 PCB 布局（显示了顶层和底层），其中 VCC 信号的正向和反向电流分别用黑色和绿色标记。如图所示，该布局形成了一个较大的 VCC 电流环路，因此，环路区域内的每条布线都会受到环路本身所产生噪声的影响。

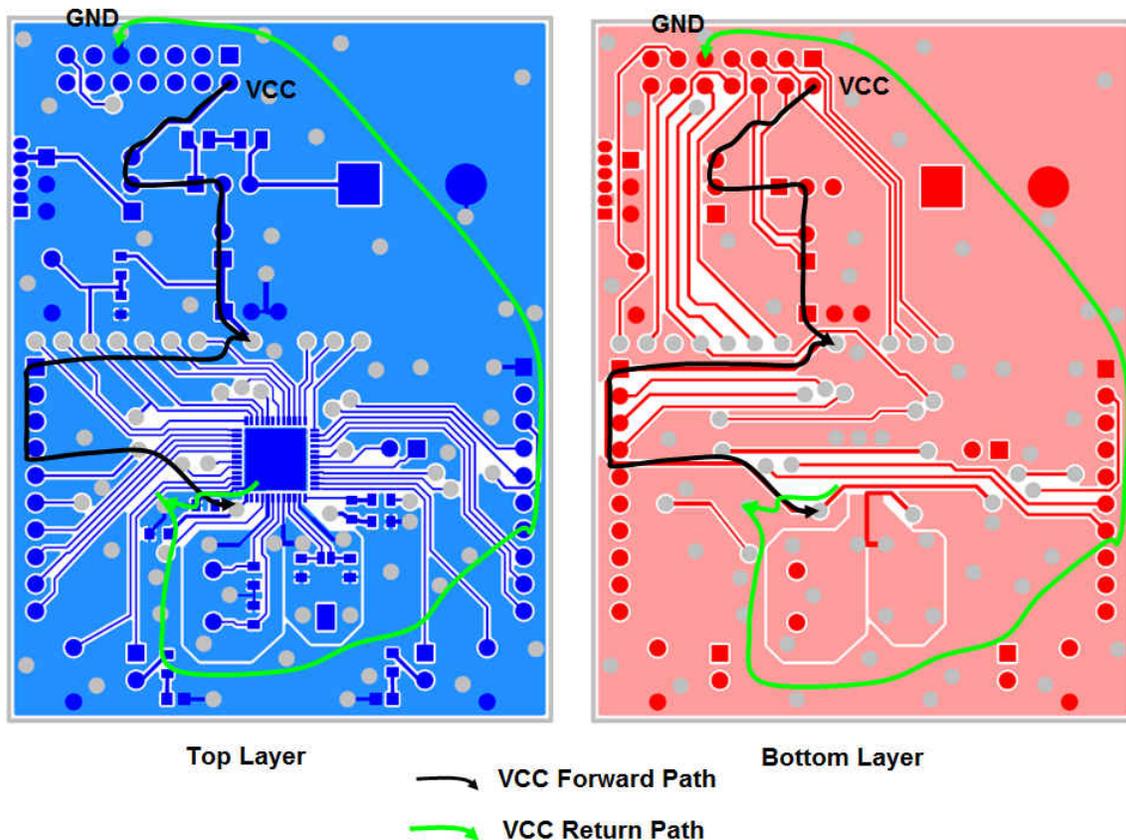


图 2-11. 显示具有大电流环路的示例 2 层 PCB 布局

在电路板的下一个版本中，底层的接地层被设计为基本上是连续的，而且布线非常短。底部接地层允许 VCC 反向电流沿正向路径流动，从而最大程度地减小了整个电流环路。图 2-12 所示为修订后的电路板的顶层和底层。

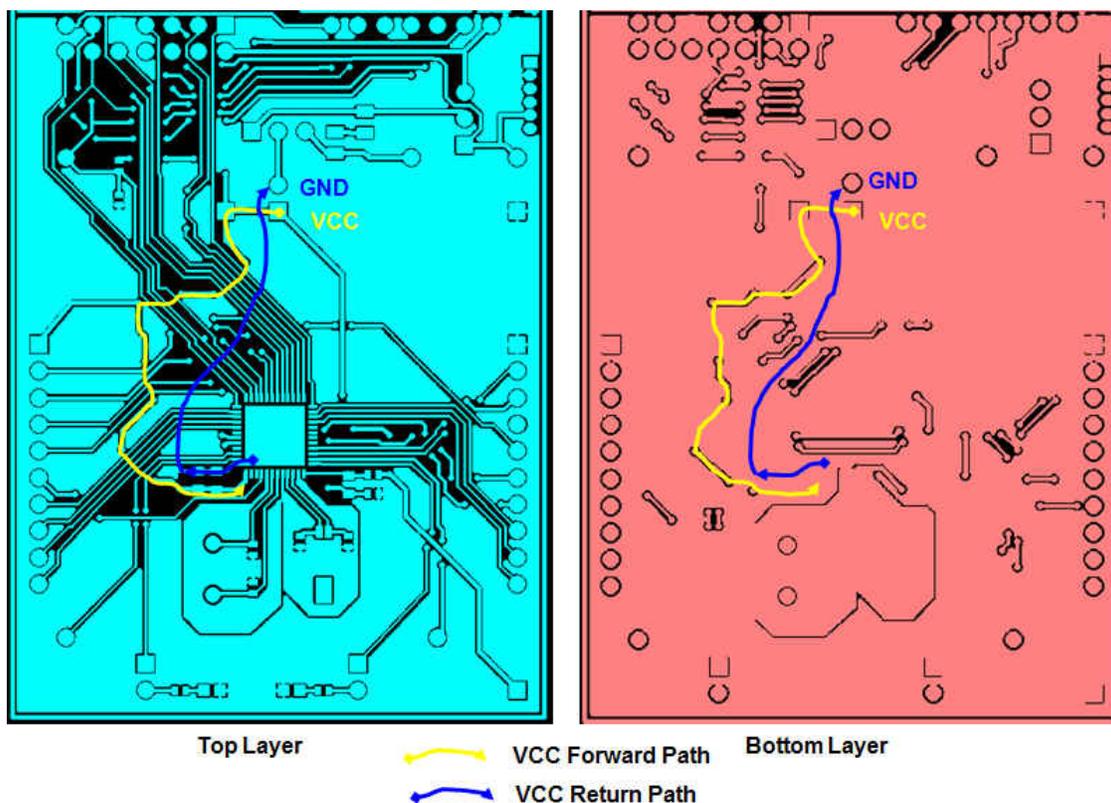


图 2-12. 显示具有更连续的接地层和更少电流环路的示例 2 层 PCB 布局

## 2.3 板载 ESD 保护器件

外部 ESD 保护元件包括无源器件，例如串联电阻、去耦电容、铁氧体磁珠、抑制器件（如滤波器）、瞬态电压抑制器 (TVS)、压敏电阻、晶闸管、二极管、聚合物和 SCR 等。这些元器件可阻断系统中的 ESD 电流、钳制 ESD 感应电压并分流 ESD 感应电流，从而将系统中 ESD 脉冲的影响降至最低。

以下是一些有关选择板载 ESD 保护器件的通用指南，以帮助您最大程度地降低系统中 ESD 的影响。

### 2.3.1 简单的无源器件

- 使用串联电阻来减轻系统中的间接或二次 ESD 应力。事实证明，串联电阻对于系统级 ESD 保护非常有效，它们可与电压钳位和去耦电容器配合使用。

#### NOTE

如果串联电阻被强制通过直接 ESD 事件传导电流，则会在这些电阻上形成非常大的电压，从而在端子之间产生电弧，进而使这些串联电阻短路。因此，在处理系统中的直接放电时，除了使用串联电阻外，还应使用初级钳位器件（TVS 器件），或使用专为高电压设计的电阻（其外形尺寸通常较大）。

- 使用电容器提供简单的去耦。选择使用具有高额定电压、高谐振频率、低电阻 (ESR) 和低电感 (ESL) 的电容器。最大程度缩短 PCB 上电容器的连接引线和布线长度。
- 使用 LC 滤波器阻止瞬变和 EMI 进出系统。
- 使用铁氧体磁珠来降低 EMI 和 ESD。

这些无源器件应尽可能靠近布局中的潜在 ESD 应力点放置

#### NOTE

小型 SMD 无源器件通常不能很好地防止 8kV IEC 直接脉冲，但可以用来防止系统中的二次脉冲 [2]。

### 2.3.2 ESD 抑制器件

- 确定可应用于系统信号线路的最大电容，并在敏感信号（如复位、中断、边沿触发信号等）上放置适当的滤波器或 TVS
- 将滤波器或瞬态抑制器放置在易受直接放电（包括进入光隔离器的信号）影响的电缆的外接收器和驱动器上
- 根据可获得的钳位电压电平、击穿电压、响应时间、电容、动态电阻以及承受 ESD 多次冲击的能力，为系统选择保护元件。德州仪器 (TI) 提供了各种 ESD 和 EMI 保护器件和解决方案；更多有关 ESD 和 EMI 保护产品系列的信息，请参阅参考文献 [5]。

#### TVS 二极管

与其他瞬态抑制器件相比，TVS 二极管具有更低的电容和更低的动态电阻值。它们具有很高的 ESD 多次冲击吸收能力；也就是说，一旦 ESD 冲击被吸收，保护器件就会迅速恢复到高阻抗状态。这些器件具有非常低的钳位电压和击穿电压，并具有出色的响应时间。

#### 压敏电阻

发生 ESD 事件时，压敏电阻会从很高的待机值变为很低的导电值，从而吸收 ESD 能量并限制 ESD 感应电压。压敏电阻通常具有超过 50V 的触发电压，超过 100V 的钳位电压和超过 20Ω 的动态电阻（导通后）[2]。它们具有较低的电容，但在 ESD 应力作用下具有很大的泄漏电流。

#### 聚合物

这些器件的工作原理类似于压敏电阻，但电容很低（0.05 至 1pF），非常适合高频应用。击穿电压较高（与压敏电阻相比），耐 ESD 多次冲击的能力较低。

### 2.3.3 使用串联电阻提供 ESD 保护

假设有这样一个系统，在这个系统中，MSP430 IC 与易受到 ESD（系统中的二次或残留 ESD 应力）影响的 LCD 相连接。在这种情况下，LCD 引脚表示系统中的 ESD 入口点；因此，建议在 LCD 引脚上放置串联电阻。当系统中发生 ESD 事件时，串联电阻会限制最终流向 MSP430 I/O 引脚的冲击电流。电阻值越大，在接口 I/O 引脚上看到的剩余电流越小。

#### NOTE

如果将独立的电阻器用于初级 ESD 保护，则它们必须承受全部静电电压。这需要高电压专用电阻器，而且这些电阻器通常具有较大的空间占用。

串联电阻可与其他二极管和初级钳位器件组合使用，以提供额外的保护（请参见图 2-13 所示的等效电路）。I/O 引脚上的二极管将 ESD 电流转移到初级钳位电路（VCC 和 VSS 之间），并仅在器件 I/O 引脚上出现残留应力。电源引脚处的去耦电容有助于限制 ESD 脉冲的初始快速瞬变。

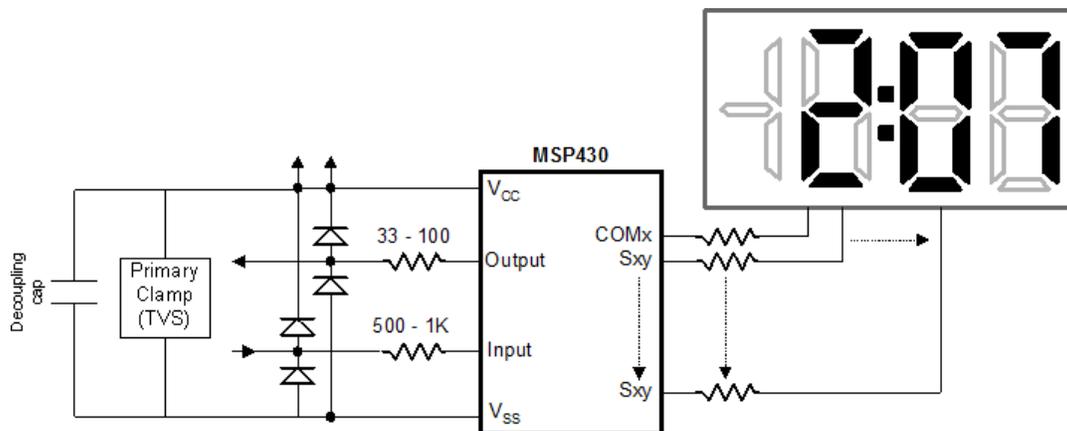


图 2-13. 使用串联电阻提供系统级 ESD 保护

有关基于此概念的实际案例，请参见节 5。

## NOTE

简单的串联电阻保护技术适用于应对低等级 ESD 应力（间接 ESD 或 ESD 剩余电流的二次保护）；但是，对于较高的 ESD 应力（直接 ESD 的初级保护），应考虑使用抑制器件，例如 TVS 二极管、压敏电阻和聚合物。

## 2.4 电路设计和软件注意事项

大多数系统级 ESD 故障是软失效（系统在没有任何物理损坏的情况下发生故障），因此应将电路设计和软件注意事项考虑在内，以识别和处理这些软失效，并确保安全恢复。以下部分列出了电路设计和软件注意事项的通用指南。

### 2.4.1 电路设计

- 正确端接 IC 的未使用引脚（在本例中为 MSP430）。
- 避免将敏感信号（例如复位、中断或边沿触发的信号）连接到长引线或电缆上。
- 尽可能避免系统中的边沿触发逻辑。
- 使用光耦合器或变压器隔离外部信号。
- 如果需要，请安装抗尖峰脉冲滤波器，以防止系统中的错误触发（例如电源监视器）。
- 允许系统在发生 ESD 事件后从死锁状态复位或恢复（例如，通过使用看门狗计时器或不可屏蔽中断）。

### 2.4.2 软件注意事项

- 使用看门狗计时器来监视任何软件锁定。确保软件在启动后不会停止看门狗计时器。设计软件或固件以定期复位看门狗计时器（最好在主环路中的一个或两个位置）。
- 启用功能中的较小超时，以识别故障状态并重新获得控制（在看门狗计时器超时之前）。
- 对关键硬件输入进行过采样，并对结果进行简单的取平均值计算，以确认输入状态。
- 检查传入数据的奇偶性和成帧情况。
- 确认接收到正确的数据；否则，返回错误代码以指示数据接收不正确。
- 如果未收到确认，则重新发送数据。

## 2.5 ESD 测试

整个设计和开发过程中的 ESD 测试有助于识别和修复系统中的 ESD 薄弱点。板载 LED 和开关可用于调试不同的 ESD 故障类别。下面列出了 IEC 61000-4-2 标准所规定的不同系统级 ESD 故障标准 [1]，以及在系统中使用 MSP430 器件时的故障情况示例：

1. 性能正常，处于规格范围内
  - MSP430 不受系统级 ESD 应力的影响，无需任何干预即可继续运行。
2. 可自我恢复的暂时性功能或性能下降或丧失
  - 可能会发生器件复位（例如，由导致器件复位的 MSP430 复位引脚上的低脉冲引起）。
  - 可能会发生振荡器干扰（例如，由板载晶体脱落引起）。这种情况可以通过片上看门狗或振荡器故障检测来识别。

## NOTE

可在 MSP430 MCU 的复位引脚上启用 NMI 功能，以检测或防止器件错误复位。振荡器故障检测中断也可以用于检测振荡器干扰。板载 LED、用户界面或复位中断矢量（有助于确定复位的最终原因，如 BOR、POR 或 PUC）可用于识别故障和恢复条件

3. 需要操作人员干预或系统复位的暂时性功能或性能下降或丧失
  - 器件故障，需要用户手动在复位引脚上施加一个低脉冲或重启电源。

## NOTE

在这种情况下，可以在测试板上使用板载开关来恢复器件

4. 由于设备（元器件）或软件损坏或数据丢失而导致的不可恢复的功能下降或丧失
  - MSP430 I/O 引脚结构损坏。这可能会导致系统故障，例如与 I/O 引脚相关的非操作中断。
  - 由于连接到 I/O 引脚或电源引脚的集成元件和电路的性能下降或损坏而导致的泄漏电流增加。

- 器件 RAM 或非易失性存储器上的代码或数据丢失。
- 器件因软件设计不良而进入死锁状态。

有关标准系统级 ESD 测试、阈值和等级，请参阅 IEC 标准 [1]。

### 3 系统高效 ESD 设计 (SEED)

系统高效 ESD 设计或 SEED 是 JEP161 JEDEC 刊物 [2] 中介绍的一种新的协同设计方法，用于限制到达内部 IC 引脚的破坏性电流脉冲。它有助于人们了解施加在 IC 引脚上 PCB 外部端口上的 IEC 应力的物理影响。

#### 3.1 系统级 ESD 保护方法

SEED 是一种板载和片上 ESD 保护的协同设计方法，可帮助分析和实现系统级 ESD 稳健性。这种设计方法要求对 ESD 应力事件期间外部 ESD 脉冲、整个系统级电路板设计和器件引脚特性之间的相互作用有透彻的了解。

##### 3.1.1 板载保护 - 初级钳位

系统中的板载保护代表系统级 ESD 初级保护（也称为初级钳位），如第 2 节所述，PCB 层的系统级 ESD 保护在很大程度上取决于产品的物理设计及其操作要求。通过设计良好的最终产品外壳或盖，板载保护可以集中在外部连接以及任何可能泄漏 ESD 能量到内部的盖孔或接缝区域。板载保护电路可能包括钳位器件，例如瞬态电压抑制 (TVS) 二极管、压敏电阻和聚合物等。

这些初级钳位可在低容性负载下分流较大的应力电流，并有效地减少最终出现在器件引脚上的残留 ESD 应力。通过对 PCB 进行特性分析，可以提取出一个足够详细的 RLC 网络模型，从而可以在系统级 ESD 应力下对包括无源器件和 ESD 电压钳位元件的电路板进行仿真。该 PCB 特性信息是特定于系统和电路板的，对于 SEED 设计分析至关重要。

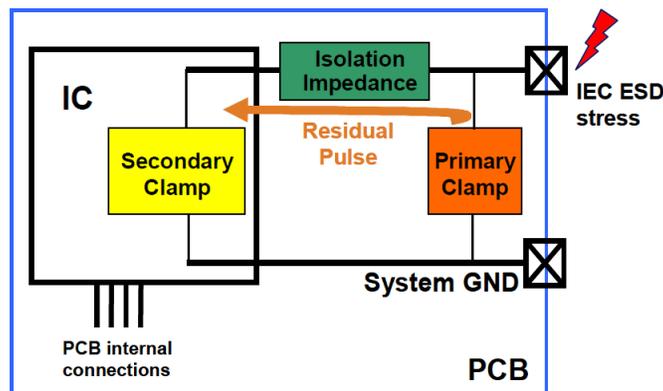
##### 3.1.2 片上保护 - 次级钳位

系统中 IC 引脚的片上保护表示系统级 ESD 次级保护（也称为次级钳位），用于钳制在通过系统中的初级钳位后在特定器件引脚上产生的残留 ESD 应力。ESD 残留脉冲的形状和能量在很大程度上取决于板载初级钳位特性和板本身，因此它通常是未知的。这清楚地表明，仅依靠片上 ESD 保护还不足以全面确保实现指定的系统级稳健性。

必须根据系统特定的 PCB 特性数据和 IC 级 I/O 特性数据（例如传输线脉冲 (TLP) 参数）来分析次级钳位的有效性，以确定系统中特定器件引脚上的 ESD 峰值残留电压和电流是否位于片上 ESD 保护范围内。

##### 3.1.3 两级保护 - 基本 SEED 概念

板载初级保护和片上次级保护构成了 SEED 设计方法的基本概念，其作用类似于典型输入保护方案的初级和次级结构，其中两个分支电路的载流能力由串行阻抗平衡 [2]。图 3-1 显示了这种两级保护方案，在初级和次级保护级之间具有必要的隔离阻抗。



A. 匹配的初级（板载 TVS）和次级（IC ESD 保护）钳位

图 3-1. 两级系统级 ESD 保护 [7]

通过使用 SEED 方法对两级保护进行仿真和分析，电路板设计人员可以为初级钳位和其他电路板元件（隔离阻抗）选择适当的板载保护，以确保出现在 IC 引脚（具有片上 ESD 保护）的峰值残留脉冲仍然得以有效地处理，

以防止任何器件物理损坏和其他系统级故障。更多有关 SEED 协同设计方法的信息，请参见 JPEP161 系统级 ESD 文档 [2]。

总之，这种新的协同设计方法概念表明：(1) 高级元件级保护 (HBM) 不一定能确保实现有效的系统 ESD 稳健性，以及 (2) 了解外部 ESD 应力与整个系统级设计（包括系统中的 IC）之间的相互作用，有助于实现具有稳健 ESD 保护功能的系统设计，同时将片上 HBM 等级降至 IC 处理可接受的更合适的值。

### 3.2 系统级 ESD 设计的 SPICE 仿真方法

本节讨论了 SPICE 仿真方法，该方法利用板载 TVS 元件（初级钳位）和 IC 接口引脚（次级钳位）的传输线保护 (TLP) 数据设计了一种隔离阻抗网络，以应对 IEC 61000-4-2 应力的残留脉冲。仿真过程包括以下步骤：

#### 1. 对 IEC 应力波形建模

可以使用简单的 RLC 电路对 IEC 应力波形建模。节 4.1 中的图 4-1 显示了 IEC 模型电路和生成的相应 IEC 应力波形。必须调整两个分支电路的 R、L 和 C 的值，以部分基于常用的 330 Ω 和 150pF 模型，合理地表示 IEC 标准应力波形 [8]。

#### 2. 对 TVS 器件的 TLP 行为建模

可以基于器件 TLP 信息对板载 TVS 器件（用作系统中的初级钳位）建模，以进行 SPICE 仿真，其中该信息包括最坏情况下的击穿电压（称为  $V_{TVS,t1,max}$ ）和动态导通电阻（称为  $R_{TVS,on,max}$ ）。该 TVS 器件由一个齐纳二极管模型表示。 $V_{TVS,t1,max}$  定义了齐纳二极管的击穿电压， $R_{TVS,on,max}$  定义了安装的串联电阻的值。请参阅节 7 了解更多详细信息。

---

#### NOTE

TVS 器件制造商最好在器件数据表中提供 SEED 方法所需的 TLP 参数。如果要使用没有提供必需的 TLP 参数的 TVS 器件，则电路板设计人员或 OEM 必须在其端部对 TVS 进行表征和建模。

---

#### 3. 要保护的接口引脚的行为

可以使用类似于 TVS 器件的建模方法来对要保护的 IC 接口引脚建模。为 I/O 引脚的片上 ESD 保护建模所需的 SEED 参数是从 TLP 测量得出的，应由元件制造商提供。使用 SPICE 仿真，将 IC 引脚表示为带有安装的串联电阻的齐纳二极管。使用以下 IC 引脚 ESD 保护规格进行建模：(a) 触发 ESD 保护后的最小导通电压（被称为  $V_{IC,t1,min}$ ），(b) 最大允许电流（被称为  $I_{IC,max}$ ），以及 (c) 最小动态导通电阻（被称为  $R_{IC,on,min}$ ）。请参阅节 7 了解更多详细信息。

---

#### NOTE

截止本文撰写之时，德州仪器 (TI) 未在数据表中表征或指定任何 MSP430 产品的 SEED 参数。作为 ESD 目标等级行业委员会的成员，德州仪器 (TI) 正致力于制定支持 SEED 方法所需的参数规格。

---

#### 4. 使用测得的测试板数据进行校准

此步骤包括根据测试板数据校准 SPICE 仿真模型。它应能适应多级板载初级钳位（多个 TVS 器件）以及系统中 IEC 应力点与 IC 接口引脚之间的任何其他隔离阻抗。

#### 5. 使用 SPICE 仿真进行 IEC 保护设计

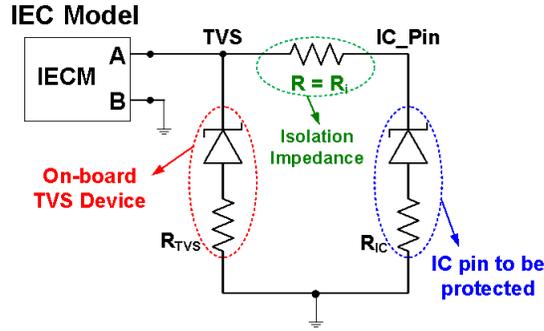
使用 SPICE 仿真进行 IEC 保护设计包括基于各自的 SEED 参数和隔离阻抗电路将 IEC 应力模型、TVS 和 IC 接口引脚模型组合在一起。图 3-2 展示了一个 IEC 保护设计的 SPICE 仿真示例，该示例使用一个电阻作为初级和次级钳位之间的隔离阻抗。

---

#### NOTE

可以将一个去耦电容器与初级钳位并联，以 (1) 限制 TVS 节点上的初始快速瞬态 ESD 电流脉冲的电压，以及 (2) 限制该快速瞬态的电压压摆率（即  $dV/dt$ ）。IC 引脚对 ESD 事件的响应不仅取决于给定应力的准静态特性，而且还取决于其瞬态特性，因此这种去耦电容器在大多数系统级 ESD 设计中是必不可少的。

---



A. 使用电阻作为隔离阻抗

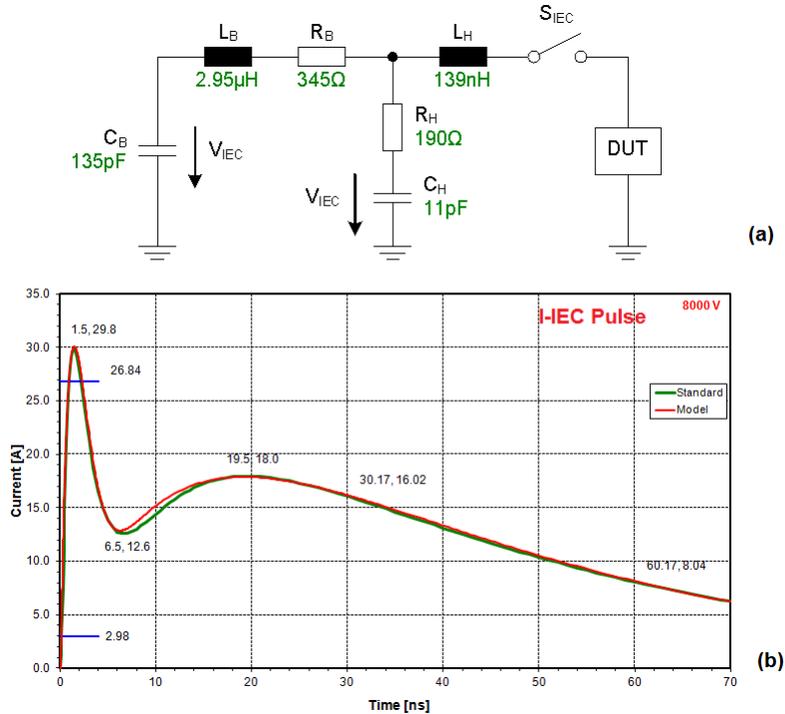
图 3-2. IEC ESD 保护设计原理图

## 4 基于 SEED 的 IEC 保护设计和验证 - 实际案例 1

本节介绍了一个系统级 IEC 保护设计和验证的实际案例，该示例使用标准 TVS 器件作为初级钳位，并使用带片上 ESD 保护功能的特定 MSP430 器件接口引脚作为次级钳位。该示例使用 SPICE 仿真，并应用 SEED 方法来确定系统所需的隔离阻抗，从而确保出现在 MSP430 接口引脚的 ESD 峰值电流和电压都在片上保护能力范围内。最后，利用验证测试板，通过系统级 ESD 测试对该分析进行了验证。

### 4.1 对 IEC 应力波形建模

在此示例中，IEC 应力波形的建模模型如图 4-1(a) 所示。生成的 IEC 应力波形如图 4-1(b) 所示。



- A. 基于 SPICE 的 IEC 脉冲模型
- B. 通过标准规格和模型生成的 8kV IEC 电流波形
- C. DUT = 受测器件

图 4-1. SPICE 仿真

仿真 IEC 脉冲 (请参见图 4-1(b)) 具有大约 30A 的初始快速瞬态峰值，紧接着是峰值电流约为 18A 的缓慢放电脉冲。此 IEC 脉冲出现在初级钳位 (在此示例中为 TVS 器件) 上。

## 4.2 对 TVS 器件建模

使用具有以下特性的单线超低电容双向 ESD 保护二极管作为标准 TVS 器件，以进行初级钳位：

### Characteristics

$T_{amb} = 25\text{ }^{\circ}\text{C}$  unless otherwise specified.

Symbol	Parameter	Conditions	Min	Typ	Max	Unit
$V_{RWM}$	reverse standoff voltage		-	-	5	V
$I_{RM}$	reverse leakage current	$V_{RWM} = 5\text{ V}$	-	5	100	nA
$V_{BR}$	breakdown voltage	$I_R = 5\text{ mA}$	5.5	7	9.5	V
$C_d$	diode capacitance	$f = 1\text{ MHz}; V_R = 0\text{ V}$	-	2.9	3.5	pF
$r_{dyn}$	dynamic resistance	$I_R = 10\text{ A}$	[1]	0.8	-	$\Omega$

[1] Non-repetitive current pulse, Transmission Line Pulse (TLP)  $t_p = 100\text{ ns}$ ; square pulse; ANSI/ESD STM5.5.1-2008.

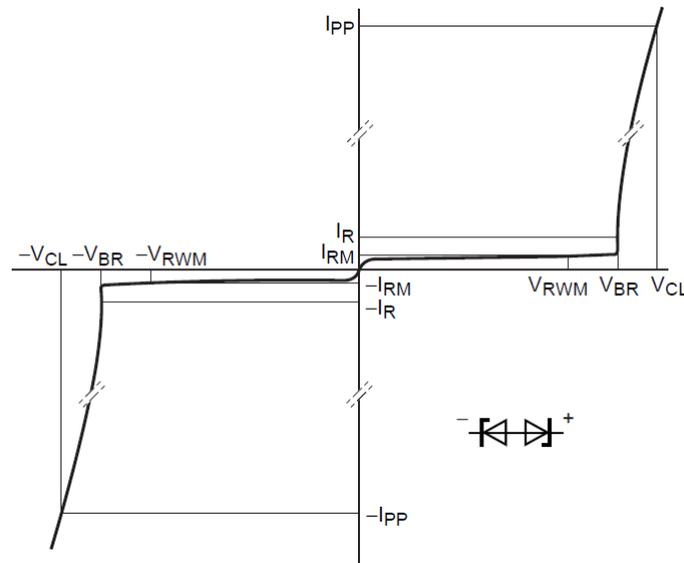


图 4-2. 双向 ESD 保护二极管的 I-V 特性

该 TVS 器件由一个齐纳二极管模型表示。最坏情况下的击穿电压  $V_{BR} = V_{TVS,t1,max} = 9.5\text{ V}$  表示齐纳二极管的击穿电压，动态导通电阻  $r_{dyn} = R_{TVS,on,max} = 0.8\text{ }\Omega + 20\% = 1\text{ }\Omega$  表示串联电阻（即与齐纳二极管串联）（参见图 4-3）。

## 4.3 对 MSP430 I/O 引脚建模

下面列出了基于 SEED 的仿真所需的特定 MSP430 I/O 引脚的示例参数：

- IC 引脚 ESD 最小导通电压（ESD 保护触发后）=  $V_{IC,t1,min} = 2.6\text{ V}$
- IC 引脚 ESD 保护最大允许电流 =  $I_{IC,max} = 1.47\text{ A}$
- IC 引脚 ESD 保护最小导通电阻 =  $R_{IC,on,min} = 1.15\text{ }\Omega$
- IC 引脚 ESD 保护等效 TLP 应力的最大应力持续时间 =  $t_{Dmax} = 100\text{ ns}$

该 MSP430 IC 引脚也是由一个齐纳管串模型表示。最小导通电压  $V_{IC,t1,min} = 2.6\text{ V}$  表示齐纳击穿电压，最小导通电阻  $R_{IC,on,min} = 1.15\text{ }\Omega$  表示串联电阻（即与齐纳二极管串联）（参见图 4-3）。

## 4.4 隔离阻抗计算

图 4-3 显示了 IEC 保护的 SEED 方法仿真。如上述几节所述，该方法使用 SEED 参数对 TVS 器件和 MSP430 I/O 引脚建模。

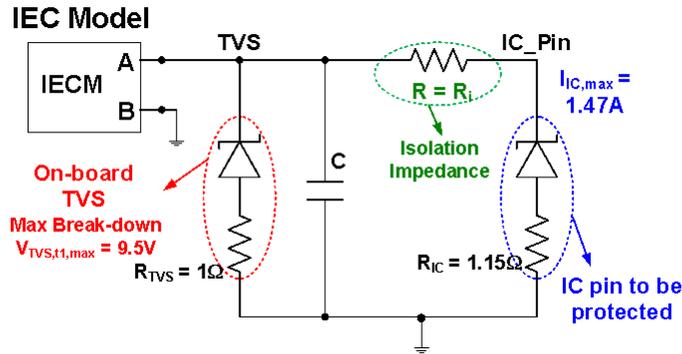


图 4-3. SEED 方法仿真原理图

图 4-3 显示，IEC ESD 电流脉冲首先被 TVS 器件（初级钳位）和去耦电容旁路到 GND，从而限制 IEC 应力脉冲的感应电压。TVS 二极管最大击穿电压加上 TVS 两端的动态电压（基于导通电阻和通过 TVS 的电流）表示在隔离阻抗处呈现的残留脉冲的电压。使用与 TVS 模型并联的去耦电容限制 TVS 节点处 IEC 脉冲的初始快速瞬态电流峰值引起的电压。因此，对于所有进一步的计算，均使用慢放电曲线的峰值 IEC 电流（约为 18A）。当最大 IEC 脉冲电流 ( $I_{IEC,max}$ ) 约为 18A，TVS 导通电阻 ( $R_{TVS,on,max}$ ) 约为 1Ω 时，在隔离阻抗处出现的残留脉冲的最大电压的计算方法为：

$$V_{TVS,max} = V_{TVS,t1,max} + (I_{IEC,max} \times R_{TVS,on,max})$$

$$V_{TVS,max} = 9.5V + (18A \times 1\Omega)$$

$$V_{TVS,max} \approx 27.5V$$

在本例中，隔离阻抗由初级和次级钳位之间的电阻表示。此电阻器的值是根据所需电阻器两端的最大压降计算的，这样，IC 引脚上最坏情况下出现的 ESD 电流和电压不会受到残留 ESD 应力的破坏。

假设 MSP430 I/O 引脚片上 ESD 保护导通电压（ESD 保护触发时）为  $V_{IC,t1,min} = 2.6V$ ，最小导通电阻为  $R_{IC,on,min} = 1.15\Omega$  且最大允许电流为  $I_{IC,max} = 1.47A$ ，则 IC 引脚上出现的最大允许电压的计算方法为：

$$V_{IC,max} = V_{IC,t1,min} + (I_{IC,max} \times R_{IC,on,min})$$

$$V_{IC,max} = 2.6V + (1.47A \times 1.15\Omega)$$

$$V_{IC,max} \approx 4.3V$$

因此，最小隔离或去耦电阻值的计算方法为：

$$R_{i,min} = \frac{V_{TVS,max} - V_{IC,max}}{I_{IC,max}}$$

$$R_{i,min} = \frac{27.5V - 4.3V}{1.47A}$$

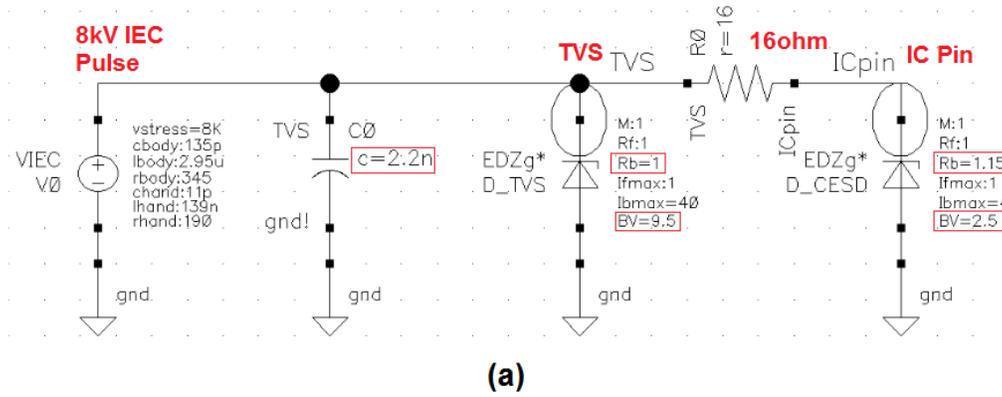
$$R_{i,min} \approx 16\Omega$$

#### 4.5 SPICE 仿真 - SEED 方法

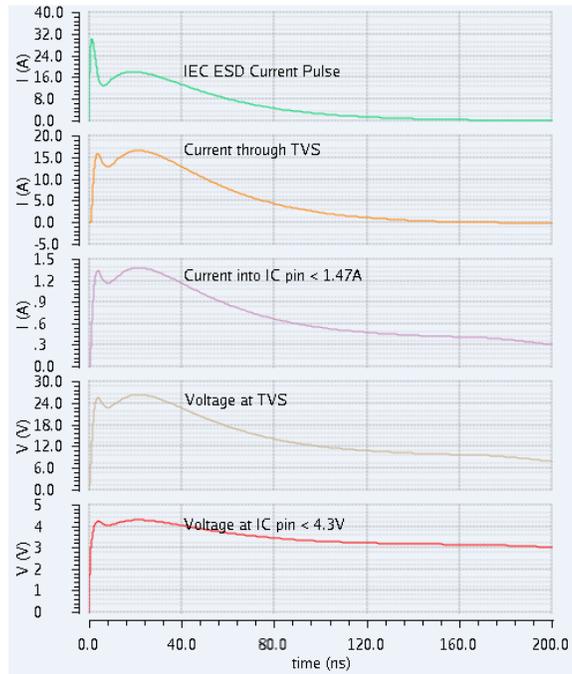
图 4-4(a) 显示了使用 SEED 方法进行 IEC 保护设计的 SPICE 仿真示意图。它由以下模块组成：

- IEC ESD 脉冲发生器，如图 4-1 所示。用于生成初始瞬态峰值约为 30A、缓慢放电曲线的峰值电流约为 18A 的 8kV IEC 脉冲。
- TVS 二极管模型，最大击穿电压为 9.5V，动态导通电阻为 1Ω。
- 电容值为 2.2nF 的最小去耦电容（与 TVS 模型并联），用于限制由初始快速瞬态电流尖峰引起的电压。
- TVS 器件和器件接口引脚模型之间阻值为 16Ω 的去耦电阻。
- MSP430 器件接口引脚模型，其最小开启电压为 2.6V，最小导通电阻为 1.15Ω。

TVS 和 IC 引脚节点上的 SPICE 仿真波形（电流和电压曲线）如图 4-4(b) 所示。仿真波形显示，TVS 节点上的峰值电流  $I_{IEC,max}$  约为 18A，峰值电压  $V_{TVS,max}$  约为 26.5V，而 IC 引脚节点上的峰值电流  $I_{IC,max}$  小于 1.47A，峰值电压  $V_{IC,max}$  小于 4.3V。这些结果与节 4.4 中的计算结果非常吻合。



(a)



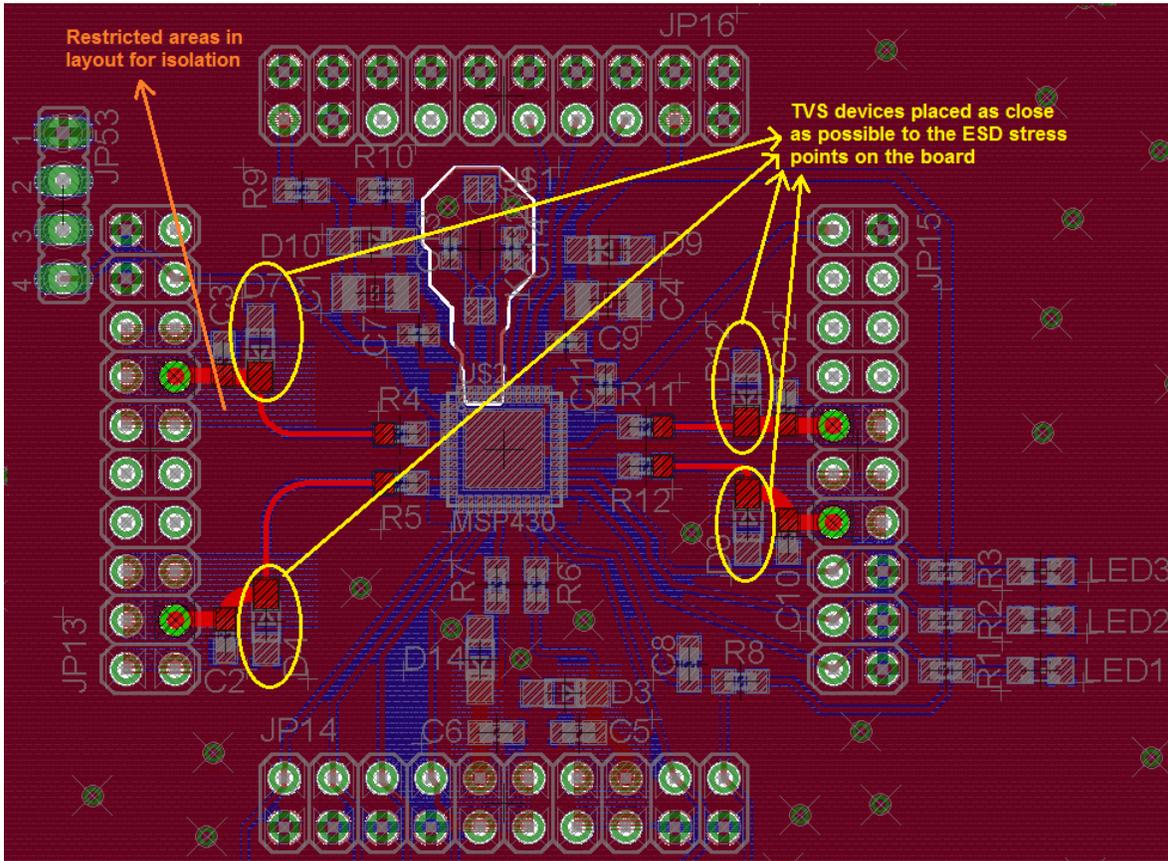
(b)

- A. SEED 原理图
- B. TVS 和 IC 引脚节点处测得的 ESD 应力脉冲的电流和电压波形

图 4-4. SEED 原理图和仿真结果

#### 4.6 板级验证

在测试板上实现了采用 SEED 方法设计的 IEC 保护设计，以验证仿真结果。图 4-5 显示了测试板的电路板布局，其中测试板带有标准 TVS 元件（双向 ESD 保护二极管）和 MSP430 器件。四个 TVS 元件通过去耦电阻连接到四个 MSP430 I/O 接口引脚。TVS 元件放置在靠电路板 ESD 应力点的位置。在每个 TVS 器件与被测试的相应 MSP430 IC 引脚之间添加了一个阻值约为 18Ω 的去耦电阻。



A. 将初级钳位 (板载 TVS) 和隔离阻抗应用于 MSP430 I/O 引脚。

图 4-5. 基于 MSP430 的测试板布局

**NOTE**

测试板布局包括与各个 TVS 元件并联的电容器的空间占用。这些电容器有助于限制由 IEC 脉冲的初始快速瞬态电流尖峰引起的电压。但在本例中的验证测试期间，未安装这些电容器。

在系统级 ESD 测试中，向连接 TVS 器件的引脚插头 JP13 和 JP15 上的引脚施加了 ESD 冲击 (直接接触放电)。测试验证结果 (在三个测试板上进行了测试) 汇总如下：

- 在高达  $\pm 8\text{kV}$  IEC 脉冲下，未观察到器件闩锁现象
- 在高达  $\pm 2\text{kV}$  的电压下，未观察到器件复位。

**5 系统级 ESD 保护 - 实际案例 2**

图 5-1 显示了两个基于 MSP430 的实时时钟 (RTC) 板。

左侧基于 MSP430 的 RTC Rev A 板采用了糟糕的布局技术 (无 GND 层，位于 32kHz 晶体下方有布线)，并且已知会引起系统级 ESD 问题，其中，板上的 MSP430 持续复位，当在 LCD 的顶部引脚上施加 1.5kV 和 3.0kV 的 ESD 脉冲时，有时会出现锁存现象。

为了提高系统级 ESD 稳健性，RTC Rev B 板 (见右图) 采用了良好的布局技术 (与 Rev A 相比，接地层较大) 并且在 LCD 信号线上串联了电阻阵列 (用红色圆圈标明)。串联电阻限制了通过 LCD 信号到达器件的 ESD 电压，从而降低了系统级 ESD 故障的风险。

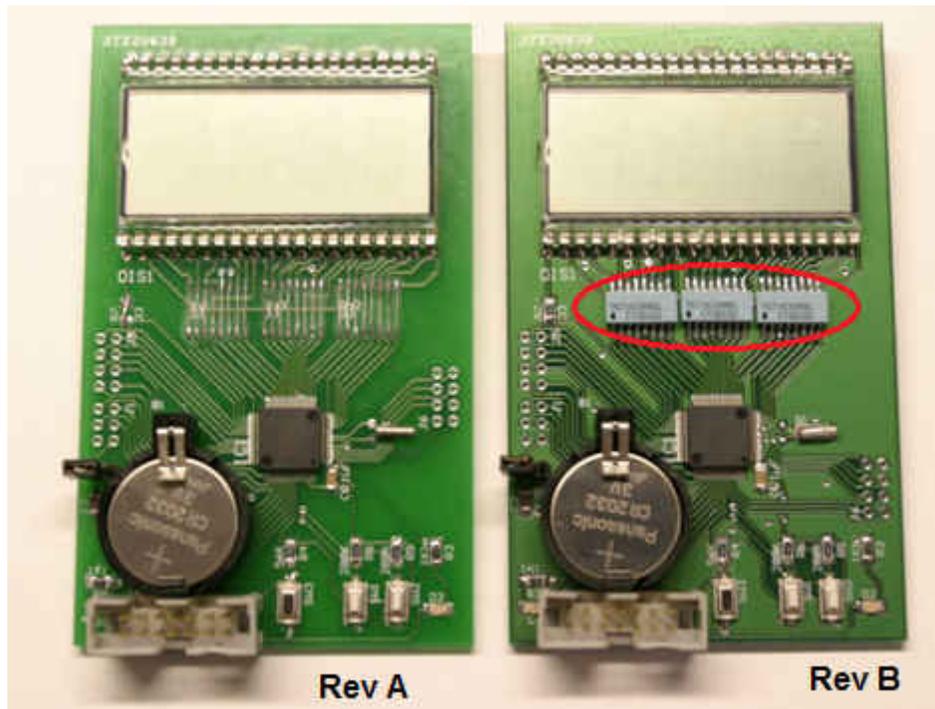


图 5-1. 基于 MSP430 的实时时钟测试板

对于系统级 ESD 测试，使用 Keytek Minizap ESD 仿真器通过间接放电对 LCD 的顶部引脚施加高压 ESD 冲击，从而模拟人与设备之间的静电放电。表 5-1 列出了 Rev A 和 Rev B 板的测试记录，其中 Rev A 板的 LCD 信号布线上没有串联电阻，而 Rev B 板的 LCD 信号布线上带有串联电阻。

表 5-1. 系统级 ESD 性能 - 实际案例 2 结果

	Rev A 板 (无接地层)	Rev B 板 (带接地层)		
串联电阻	0 $\Omega$	0 $\Omega$	39 $\Omega$	1k $\Omega$
器件持续复位	1.5kV	2.5kV	2.5kV	3.5kV
器件门锁	3.0kV	3.0kV	3.0kV	>12kV

从表 5-1 的结果中可以清楚地看出，通过遵循良好的布局指南并在特定信号上添加额外的保护电路（如外部串联电阻器），将外部 ESD 能量耦合到系统或器件中，可以提高系统的 ESD 稳健性。特别是，增加 Rev B 板上串联电阻的值可以大大提高 ESD 的稳健性。也就是说，设备通过了系统级 ESD 测试，且在电压高达 12kV 时未发生器件门锁。

#### NOTE

由于布局技术不良，Rev A 板出现了晶体时钟故障。在 Rev A 板上，可以注意到，数字信号布线位于 PCB 上的 32kHz 晶体下方。切换这些数字信号会导致 MSP430 片上振荡器生成的晶体时钟发生故障。Rev B 采用了良好的布局技术，因此未出现此故障（也就是说，晶体布局下方没有布线）。更多有关晶体布局注意事项的信息，请参阅应用报告《MSP430 32kHz 晶体振荡器》[11]。

## 6 总结

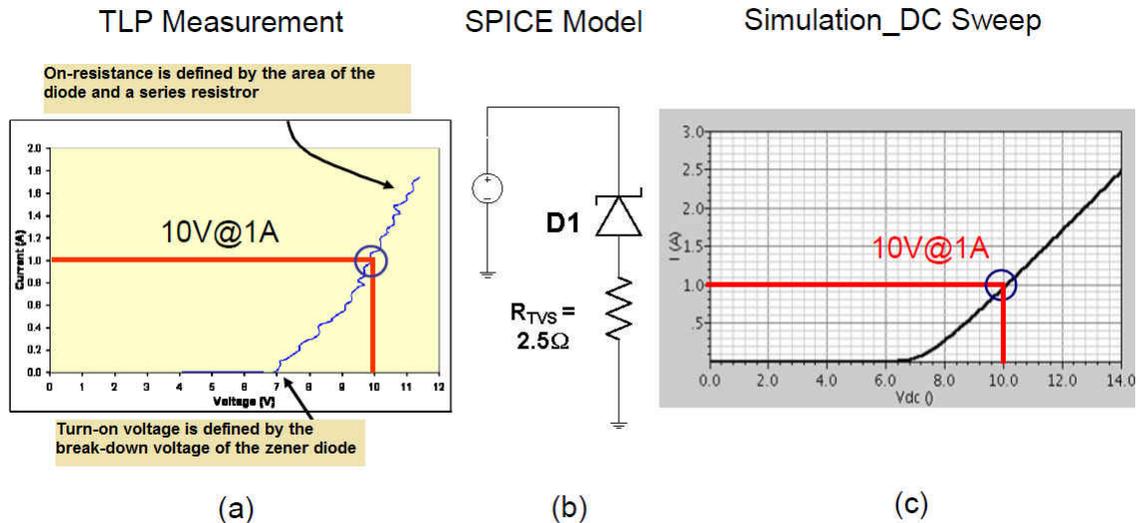
元件级 ESD 等级（HBM 和 CDM）与系统级 ESD 等级（IEC）并不相关。元件级等级解决了在 ESD 保护区（EPA）（例如制造和组装环境）中的组件或 IC 处理问题。提高元件级 ESD 等级以保护器件免受系统级 ESD 脉冲的影响会导致 IC 面积增加和功能性能下降（例如，泄漏电流增加或开关速度降低），并且可能不经济，与为系统级 ESD 保护增加添加外部板载 ESD 保护相比时，尤其如此。而且，在大多数情况下，即使提高了 IC 级 ESD 等级，也无法实现完整的系统级 ESD 稳健性。相反，随着 ESD 控制装置制造水平的改进，ESD 目标等级行业委员会和 JEDEC 建议降低安全处理 IC 所需的元件级 ESD 等级。

设计具有稳健 ESD 保护功能的系统需要一个整体的方法。它要求电路板设计人员和 OEM (1) 在设计初期就了解并评估其系统中的 ESD 影响；(2) 在设计和开发过程中从一开始就遵循 ESD 抗扰设计指南；(3) 在各开发阶段执行系统级 ESD 测试 (根据 IEC 61000-4-2)，以帮助识别和修复设计与 ESD 相关的薄弱点。

## 7 使用 TLP 参数建模

### 7.1 使用 TLP 参数对 TVS 器件建模 [8]

该示例讨论了用作齐纳二极管的 TVS 器件的建模方法，该器件在大约 7V 的电压下导通。图 7-1(a) 显示了其 100ns TLP I-V 特性。使用齐纳二极管模型基于 I-V 数据生成 SPICE 模型，如图 7-1(b) 所示。触发电压由齐纳击穿电压表示，而导通电阻由安装的串联电阻表示。根据图 7-1(c) 中的直流扫描分析，调整图 7-1(b) 中的仿真以使其与图 7-1(a) 中的准静态 TLP 特性匹配。

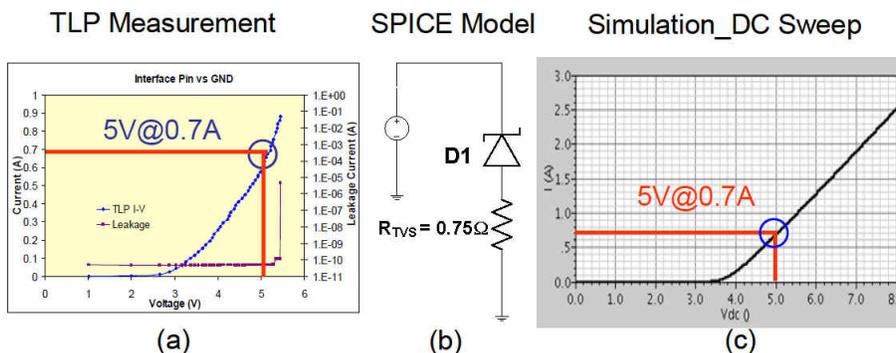


- A. 准静态 100ns TLP I-V 曲线
- B. 各自的 SPICE 模型
- C. TVS 的仿真结果 [8]

图 7-1. 使用 TLP 参数对 TVS 器件建模

### 7.2 使用 TLP 参数对要保护的 IC 接口引脚建模 [8]

此示例讨论了具有 100ns TLP I-V 特性的 IC 接口引脚的建模方法，如图 7-2(a) 所示。使用齐纳二极管模型基于准静态 I-V 特性生成 SPICE 模型，如图 7-2(b) 所示。



- A. 准静态 100ns TLP I-V 曲线
- B. 各自的 SPICE 模型
- C. 示例 IC 接口引脚的仿真结果 [8]

图 7-2. 使用 TLP 参数对 IC 接口引脚建模

## NOTE

本示例中使用的 TLP 数据与 MSP430 器件无关，仅用于显示建模过程。

从图 7-2(a) 和图 7-2(c) 可以看出，根据 TLP I-V 曲线和 TLP 模型仿真，实际的导通点分别为 2.6V 和 3.4V。但是，模型仿真与传导区域中的 TLP 数据相匹配，这一点更有意义。因此，在调整钳位器件模型以匹配 TLP 数据时，如果必须做出折衷，则导通区域比导通点更重要。

## 8 参考文献

1. International Electrotechnical Commission, IEC 61000-4-2, *Electromagnetic capability (EMC) - Part 4-2: Testing and measurement techniques - Electrostatic discharge immunity test*, Ed.2.0
2. JEDEC Publication (White Paper 3) JEP161: *System-level ESD Part I: Common Misconceptions and Recommended Basic Approaches*
3. ESDA/JEDEC Joint Standard for *Electrostatic Discharge Sensitivity Testing - Human Body Model - Component Level*, ANSI ESDA/JEDEC JS-001-2011
4. JESD22-C101 *Field-Induced Charged-Device Model Test Method for Electrostatic Discharge Withstand Thresholds of Microelectronic Components*
5. 德州仪器 (TI) 公司，ESD 和 EMI 器件保护产品系列，[www.ti.com/emi](http://www.ti.com/emi)
6. ISO Standard 10605 *Road vehicles - Test methods for electrical disturbances from electrostatic discharge*, International Organization for Standardization, 2008
7. S. Marum, C. Duvvury, J. Park, A. Chadwick, A. Jahanzeb; *Protection Circuits from the Transient Voltage Suppressor's Residual Pulse During IEC 61000-4-2 Stress*, Proc.EOS/ESD Symposium 2009 (2009)
8. Lifang Lou, Charvaka Duvvury, Agha Jahanzeb, Jae Park; *SPICE Simulation Methodology for System-level ESD Design*, Proc EOS/ESD Symposium 2010 (2010)
9. Industry Council on ESD Target Levels, *White Paper 1: A Case for Lowering Component Level HBM/MM ESD Specifications and Requirements*, August 2007, at [www.esda.org](http://www.esda.org) or JEDEC publication JEP155, *Recommended ESD Target Levels for HBM/MM Qualification*, [www.jedec.org](http://www.jedec.org)
10. Industry Council on ESD Target Levels, *White Paper 2: A Case for Lowering Component Level CDM ESD Specifications and Requirements*, Revision 2, April 2010, at [www.esda.org](http://www.esda.org) or JEDEC publication JEP157, 'Recommended ESD-CDM Target Levels', [www.jedec.org](http://www.jedec.org)
11. 《MSP430 32kHz 晶体振荡器》应用手册
12. 《高速布局指南》应用手册
13. ESD Association Standard for the development of an Electrostatic Discharge Control Program for Protection of Electrical and Electronic Parts, Assemblies and Equipment (Excluding Electrically Initiated Explosive Devices), ANSI/ESD S20.20-2007
14. International Electrotechnical Commission, IEC 61340 standards family, Electrostatics - Part 2-1 to 5-3
15. Industry Council on ESD Target Levels, <http://www.esdindustrycouncil.org>

## 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

Changes from JANUARY 14, 2020 to JULY 14, 2021	Page
• 更新了整个文档中的表格、图和交叉参考的编号格式.....	1
• 更正了图 1-2 充电器件模型 (类似于 JEDEC JESD22-C101 规范) .....	4

## 重要声明和免责声明

TI 提供技术和可靠性数据 (包括数据表)、设计资源 (包括参考设计)、应用或其他设计建议、网络工具、安全信息和其他资源, 不保证没有瑕疵且不做任何明示或暗示的担保, 包括但不限于对适销性、某特定用途方面的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任: (1) 针对您的应用选择合适的 TI 产品, (2) 设计、验证并测试您的应用, (3) 确保您的应用满足相应标准以及任何其他安全、安保或其他要求。这些资源如有变更, 恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的应用。严禁对这些资源进行其他复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。您应全额赔偿因在这些资源的使用中对 TI 及其代表造成的任何索赔、损害、成本、损失和债务, TI 对此概不负责。

TI 提供的产品受 TI 的销售条款 (<https://www.ti.com/legal/termsofsale.html>) 或 [ti.com](https://www.ti.com) 上其他适用条款/TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。

邮寄地址: Texas Instruments, Post Office Box 655303, Dallas, Texas 75265

Copyright © 2021, 德州仪器 (TI) 公司

## 重要声明和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做任何明示或暗示的担保，包括但不限于对适销性、某特定用途方面的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他功能安全、信息安全、监管或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的应用。严禁对这些资源进行其他复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。您应全额赔偿因在这些资源的使用中对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，TI 对此概不负责。

TI 提供的产品受 [TI 的销售条款](#) 或 [ti.com](#) 上其他适用条款/TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

邮寄地址：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265

Copyright © 2022，德州仪器 (TI) 公司