

利用环路设计优化 PLL 的输出性能

毛华平

德州仪器公司 (TI) 信号链应用工程师

摘要

LMK04832 是 TI 新发布的低抖动双环模拟时钟，在调试其 demo 板时发现 VCXO 的杂散会引入到时钟输出口，本文旨在介绍如何排查杂散源头，并通过环路设计降低时钟输出口的杂散。

Abstract: LMK04832 is the new released low jitter dual loop APLL from TI, when debugging the demo, we found the VCXO spur will be introduced to the output port, the paper mainly introduce how to find out the spur source, and how to debug it through the loop design .

Key words: LMK04832, VCXO, spur, loop filter, phase margin.

Contents

1	前言	2
2	问题描述	2
3	问题分析步骤	3
	3.1 杂散源头排查	3
	3.2 解决方案	7
	3.3 实测结果	9
4	关于相位余量	13
5	总结	13
6	参考文献	14

Figures

Figure 1.	LMK04832 双环简化结构	2
Figure 2.	LMK04832 demo 板原始测试性能	3
Figure 3.	PLL 噪声/杂散贡献分布图	4
Figure 4.	LMK04832 demo 板上默认 PLL1 和 PLL2 LPF	4
Figure 5.	LMK04832 demo 板 LPF1 和 LPF2 的仿真结果	5
Figure 6.	参考性能	5
Figure 7.	VCXO 性能	6
Figure 8.	CLOCK DESIGN TOOL 推荐的 LPF1 及其仿真结果	6
Figure 9.	仿真相噪结果	7
Figure 10.	PLL 传递函数	8
Figure 11.	VCO 传递函数 VS 相位余量	8
Figure 12.	220Hz LPF1 仿真参数	9
Figure 13.	增大环路带宽到 220Hz 后的测试结果	10
Figure 14.	减小环路余量后的环路参数	11
Figure 15.	减小相位余量后的测试结果	12
Figure 16.	优化环路带宽和相位余量后的测试结果	13

1 前言

LMK04832 是 TI 新发布的低抖动双环去抖模拟时钟，其最高输出频率可以到达 3250MHz，输出抖动极低，3200MHz 输出可达到 49fs（积分范围 12k~20M），54fs（积分范围 100Hz~100MHz），其噪底可以达到 -156.5dBc/Hz，比起前一代产品 LMK0482* 系列，噪底降低 1~2dB。

在调试其新发布的 demo 板时发现输出频率近端有杂散泄漏，笔者进行了问题排查定位，最终发现由于 VCXO 引入该杂散，确定原因后，通过适当的环路设计，可以有效地解决该问题。

2 问题描述

当需要 LMK04832 作为去抖器件功能时，其需要工作在双环模式，LMK04832 双环简化的内部结构如下，外部输入的信号除了参考外，还需要提供 VCXO。

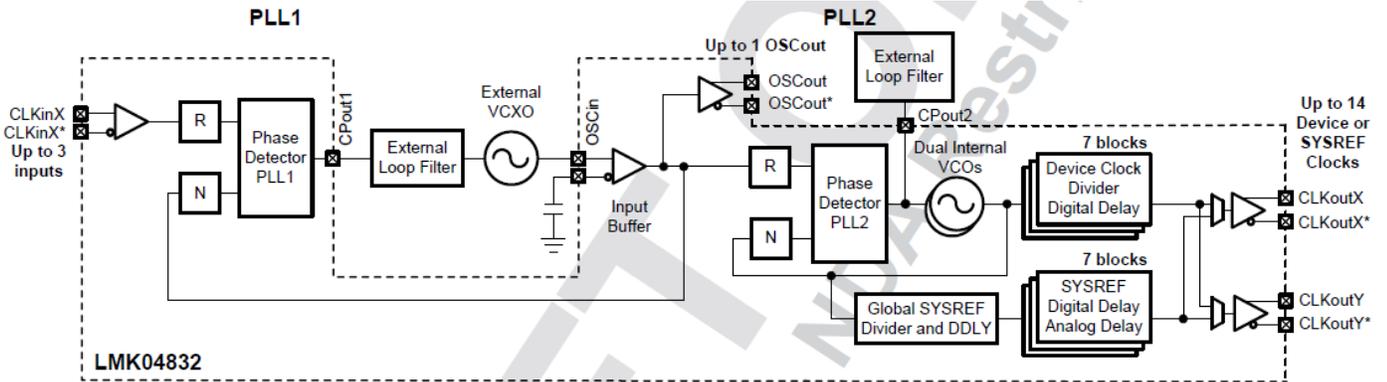


Figure 1. LMK04832 双环简化结构

对未调试过的新 demo 板第一次进行调试，应用条件如下：

Ref=245.76M

VCXO=30.72M

VCO=2949.12M

测试任意输出口的信号，都发现近端（<100Hz offset 处）有幅度不小的杂散，比如输出频率 1474.56MHz 有 -40dBc/Hz 的杂散，如下：

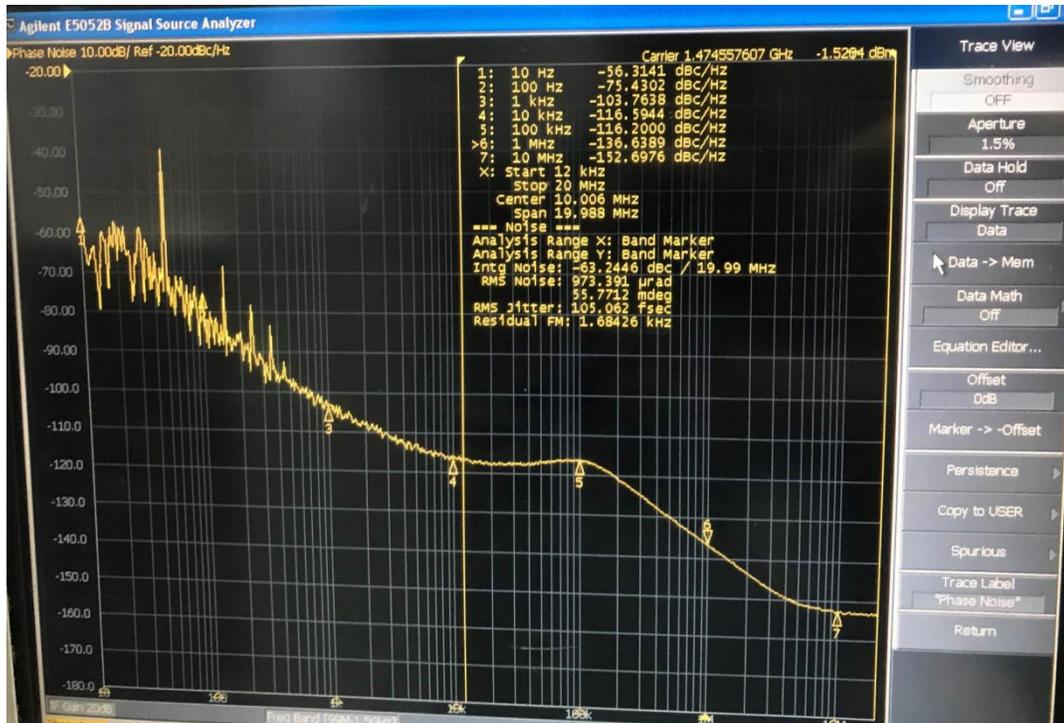


Figure 2. LMK04832 demo 板原始测试性能

由于常规应用中会使用 04832 这样的去抖器件输出给 ADC/DAC 供时钟，若不消除该杂散，则会对系统性能产生一定程度的影响，所以本次调试的主要目的就是尽可能地消除这样的杂散。

3 问题分析步骤

3.1 杂散源头排查

根据锁相环的原理，对每一级环而言，其噪声/杂散贡献量的分布图如下：

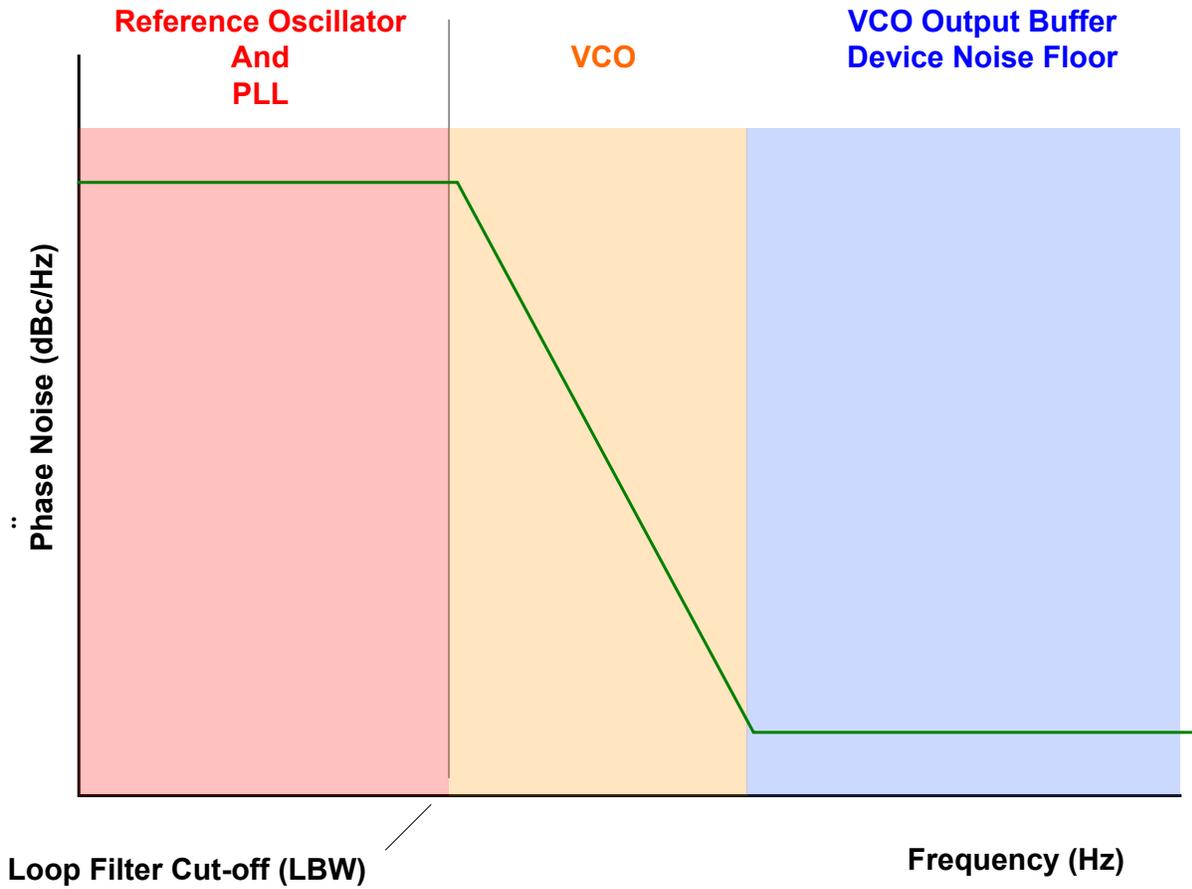


Figure 3. PLL 噪声/杂散贡献分布图

对第一级环而言，上面桔黄色部分的“VCO”就是 VCXO，而对第二级环而言，上面粉色部分的“reference oscillator”就是第一级环的 VCXO。

Demo 板上第一级&第二级默认环路滤波器设计如下：

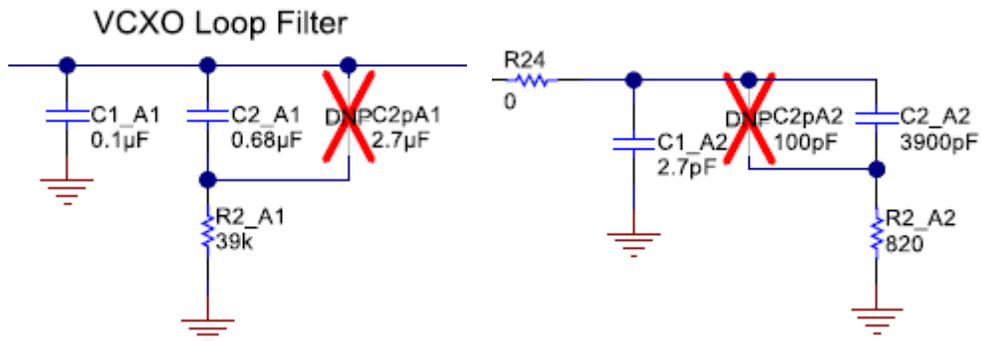


Figure 4. LMK04832 demo 板上默认 PLL1 和 PLL2 LPF

由于第一步测试没有去细调参数，所用默认配置得到的环路带宽如下：

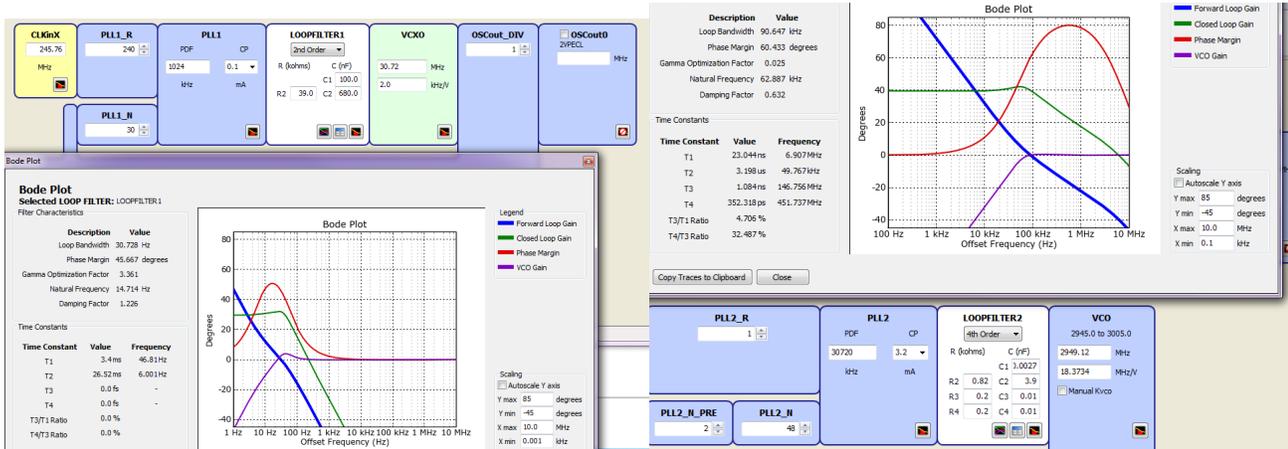


Figure 5. LMK04832 demo 板 LPF1 和 LPF2 的仿真结果

可以看出，第一级环路带宽为 30Hz，第二级环环路带宽 90k，而杂散位置为 50Hz，正好处在环路滤波器的滚降区内，所以嫌疑最大的是 VCXO。

按照标准流程，需要根据参考性能和 VCXO 的相噪性能重新设计环路滤波器。

测试结果如下：

245.76M 参考相噪：

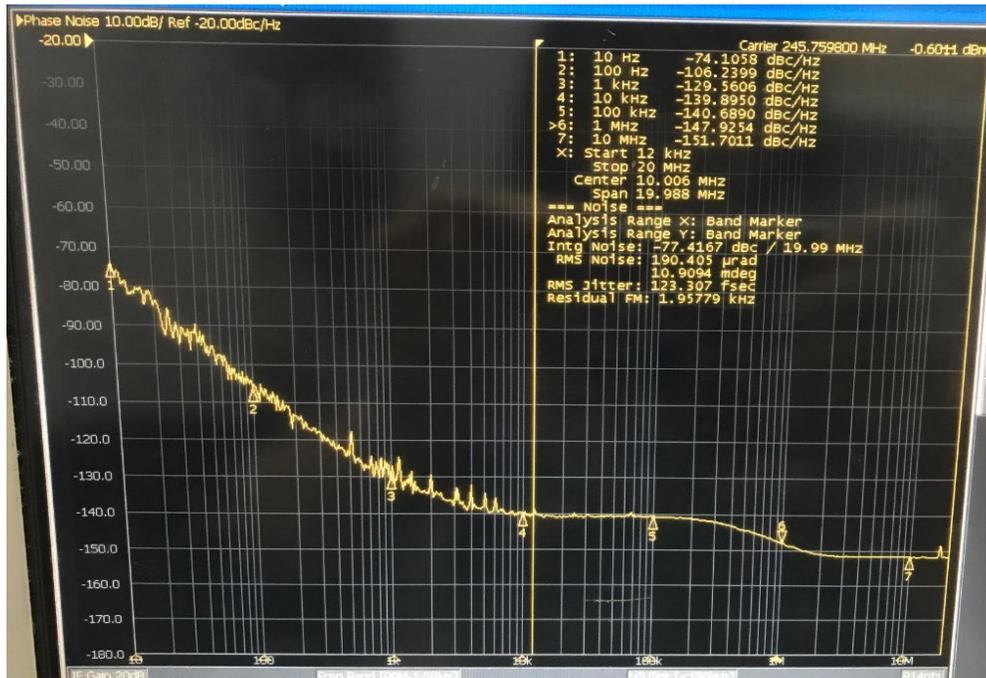


Figure 6. 参考性能

30.72M VCXO 的相噪性能测试如下:



Figure 7. VCXO 性能

如上图红色框所示，测试过程发现 30.72M 的 VCXO 在近端有类似的杂散，由此验证了之前的怀疑：该近端杂散由 VCXO 引入。

若按照 VCXO 的相噪值，clock design tool 的推荐配置如下，其第一级环的环路滤波器：

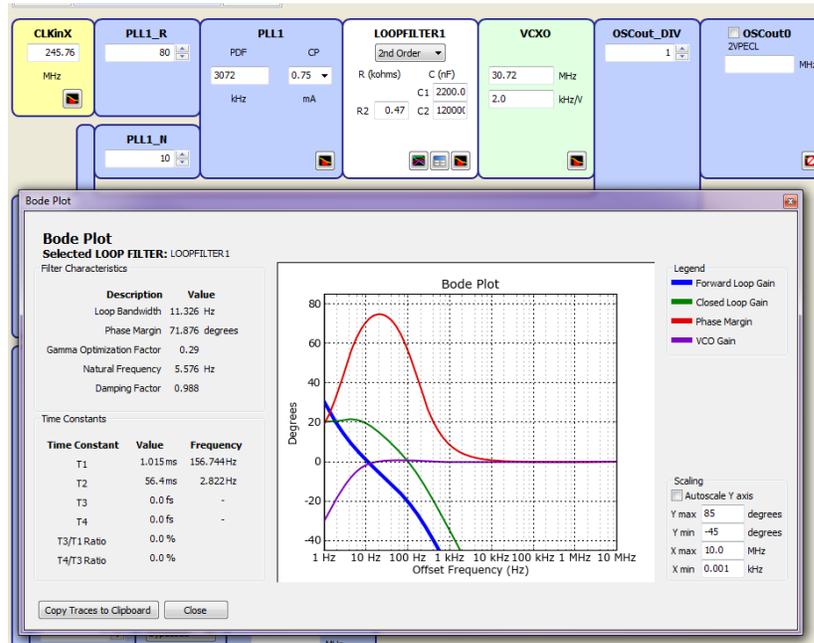


Figure 8. CLOCK DESIGN TOOL 推荐的 LPF1 及其仿真结果

理论上能达到的性能如下：

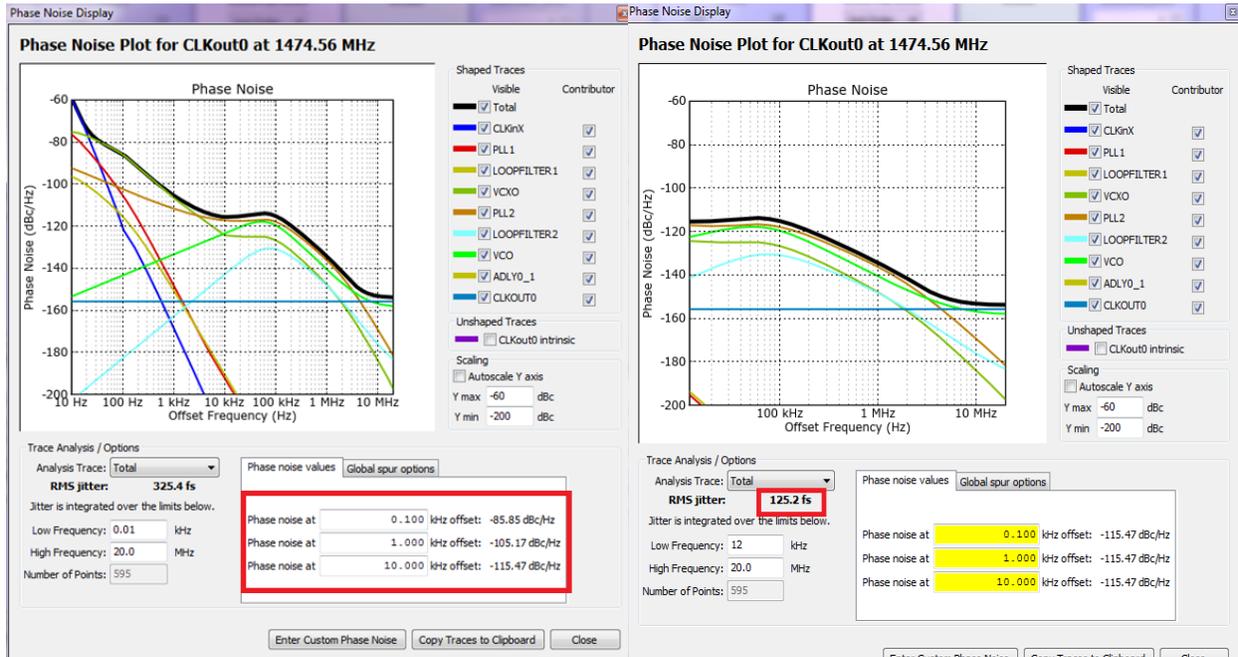


Figure 9. 仿真相噪结果

调整完环路带宽后，相噪性能确实比 fig2 得到了优化，而近端杂散仍然存在。

3.2 解决方案

首先需要查找 VCXO 近端杂散存在的原因，因为杂散为 50Hz，所以电源嫌疑比较大，当更换原始的 demo 板供电的开关电源为数字电源后，该杂散消失，但由于客户最终应用条件里仍然会使用普通的开关电源供电，故仍然需要在开关电源存在的条件下进行调试。

对于 50Hz 的杂散，用电源滤波的方式很难滤除，笔者尝试了增加去耦和磁珠滤波，都未能彻底解决该问题，所以只能从 PLL 本身来想办法。

根据锁相环信号传递函数，VCXO 对第一级而言，其噪声/杂散是高通，如下图：

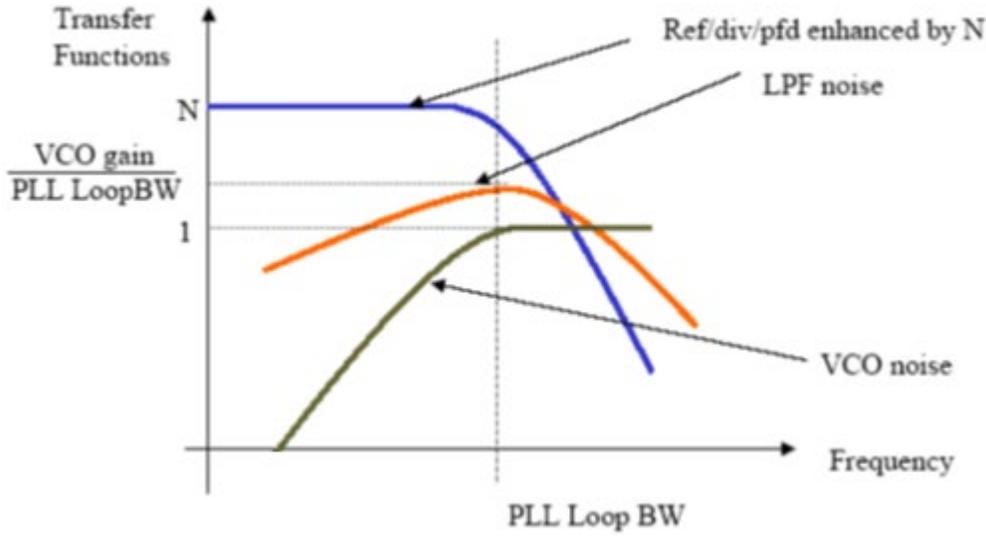


Figure 10. PLL 传递函数

另外环路滤波器的高通特性又受相位余量的影响，相位余量越低，其环路滤波器越陡，对带外抑制越大，如下图：

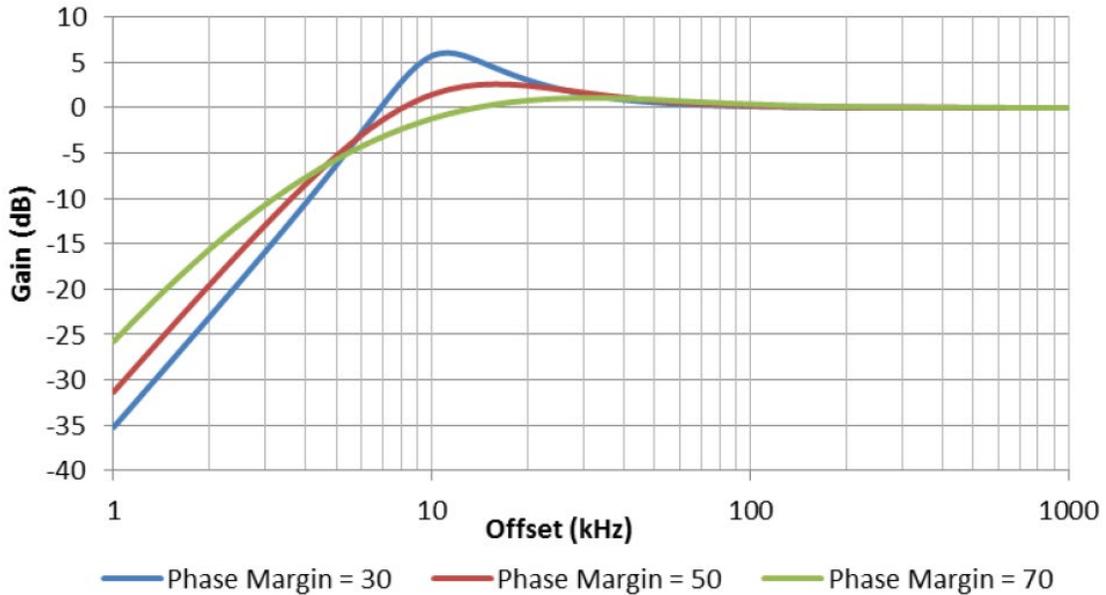


Figure 11. VCO 传递函数 VS 相位余量

所以想要降低 VCXO 在 50Hz 处杂散的影响，有两个方向：

1. 增大环路带宽，让环路带宽大于 50Hz，使 50Hz 处的相噪以参考频率为主导。
2. 降低相位余量，增大 50Hz 处的抑制度。

如前面仿真所示，根据参考和 VCXO 的性能，最佳环路带宽为 11Hz，如果增大太多环路带宽，则会牺牲近端相噪性能。所以最好的方案是两个方向配合。

3.3 实测结果

首先验证增大环路带宽方案，笔者取 220Hz 环路带宽，70 度相位余量，发现 100Hz 内没有杂散，而在高于 100Hz 处仍然有杂散存在。

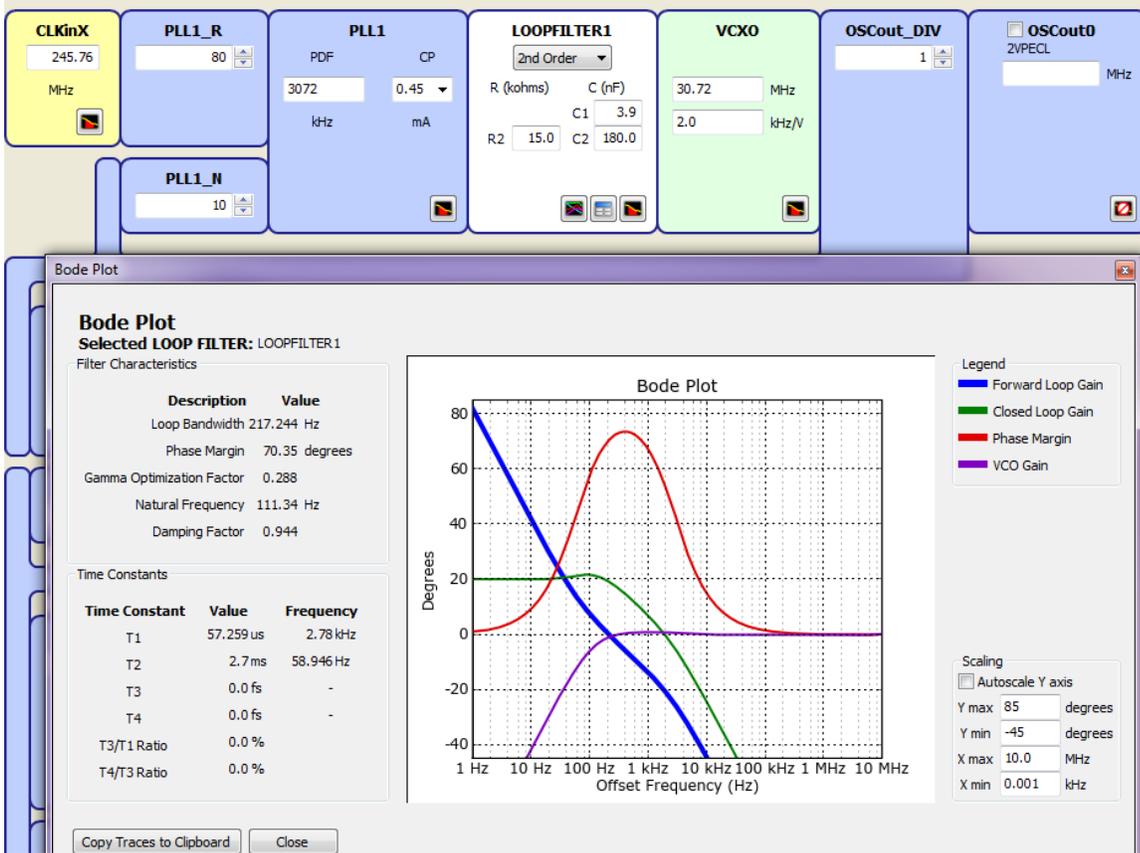


Figure 12. 220Hz LPF1 仿真参数



Figure 13. 增大环路带宽到 220Hz 后的测试结果

其次验证相位余量对杂散的影响，取接近原始值的 44Hz 环路带宽，但是减小环路余量到 22 度，得到如下结果：

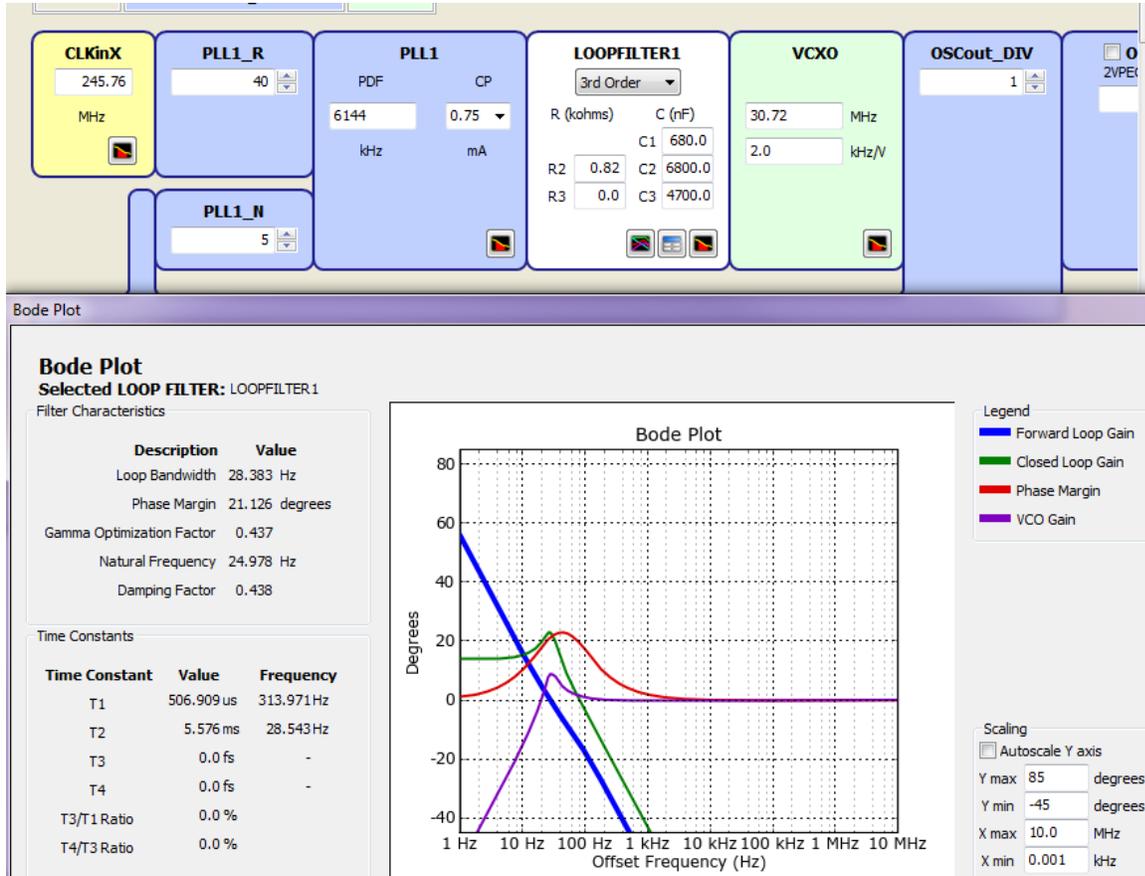


Figure 14. 减小环路余量后的环路参数

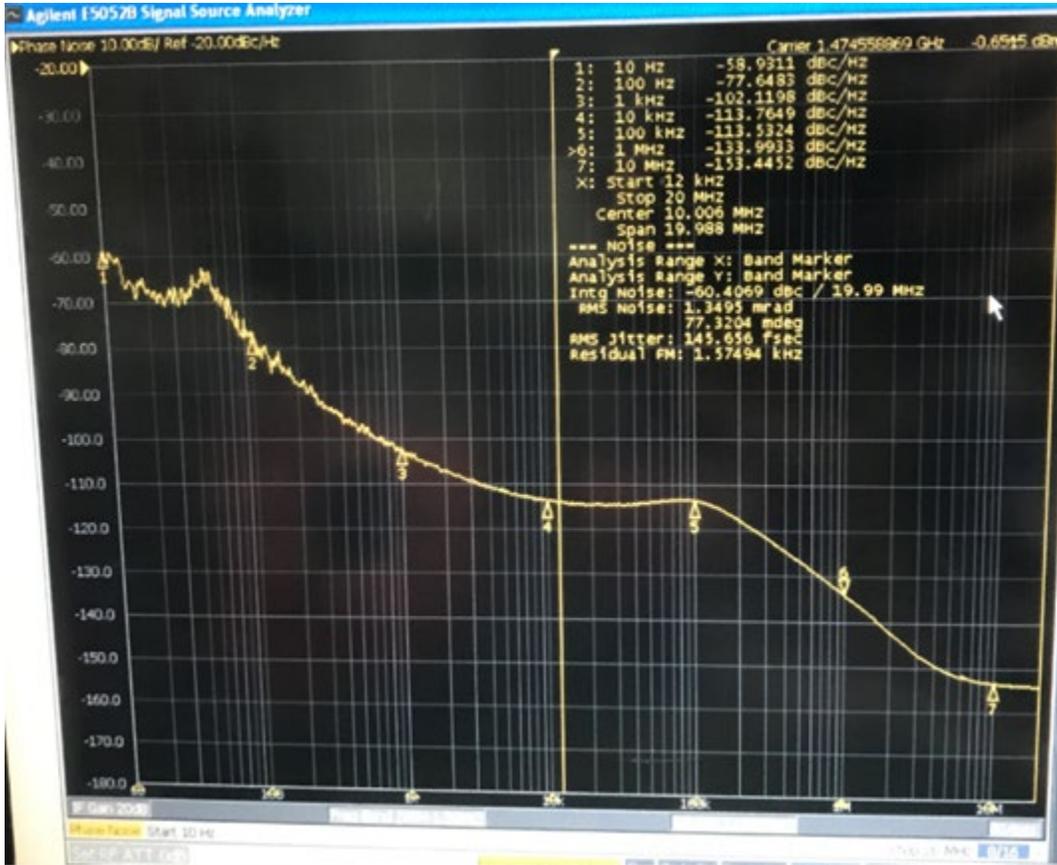


Figure 15. 减小相位余量后的测试结果

以上两种方案都是极端的例子，二者结合才能兼顾到相噪和杂散，最后笔者调整环路带宽到 70Hz，且调整相位余量到 45 度，得到如下结果，可以看出 100Hz~1KHz 处的相噪已经接近仿真的最优值：

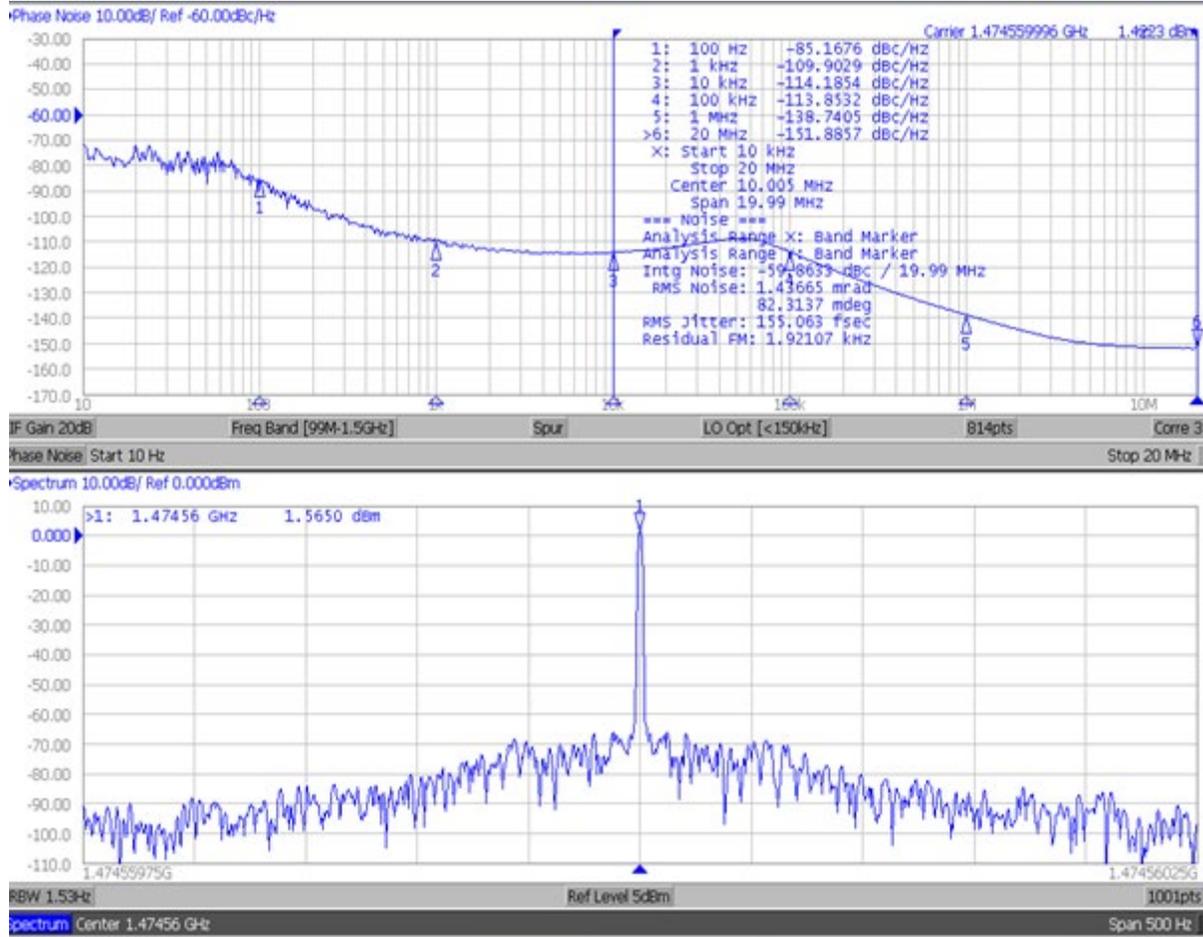


Figure 16. 优化环路带宽和相位余量后的测试结果

4 关于相位余量

相位余量定义为 180 度减去前向传输函数在环路带宽频率处的相位，它和环路的稳定性有一定相关性，如果环路余量很低，闭环传输函数的曲线上会有 **peaking**，且 PLL 的瞬态响应上会有振铃。相位余量越高，闭环传递函数的频响越平坦，不过相位余量太高也会牺牲 PLL 的相应时间。

相位余量在锁相环应用中常用来分析瞬态响应，环路滤波器器频响中的 **peaking**，用它来分析稳定性有些经验参数，但又不是唯一的决定，当环路的相位余量小于 20 度时，环路容易出现不稳定。但是有些环路在很低的相位余量下（比如 5 度）仍然可以锁定。考虑到高低温，高湿等环境可能引入的漏电流增大，从而导致相位余量的降低，一般建议用户选择 45 度以上的相位余量作为环路设计的基准。

5 总结

锁相环性能调试中，对 VCXO 引入的杂散问题，在改善电源滤波无果的情况下，可以用折中相噪的方法，进行适当的环路带宽，相位余量的选取，来获取总体最优的性能。

6 参考文献

1. *PLL Performance, Simulation, and Design 5th Edition* (Dean Banerjee)
2. LMK04832 D/S

重要声明和免责声明

TI 均以“原样”提供技术性 & 可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证其中不含任何瑕疵，且不做任何明示或暗示的担保，包括但不限于对适销性、适合某特定用途或不侵犯任何第三方知识产权的暗示担保。

所述资源可供专业开发人员应用 TI 产品进行设计使用。您将对以下行为独自承担全部责任：(1) 针对您的应用选择合适的 TI 产品；(2) 设计、验证并测试您的应用；(3) 确保您的应用满足相应标准以及任何其他安全、安保或其他要求。所述资源如有变更，恕不另行通知。TI 对您使用所述资源的授权仅限于开发资源所涉及 TI 产品的相关应用。除此之外不得复制或展示所述资源，也不提供其它 TI 或任何第三方的知识产权授权许可。如因使用所述资源而产生任何索赔、赔偿、成本、损失及债务等，TI 对此概不负责，并且您须赔偿由此对 TI 及其代表造成的损害。

TI 所提供产品均受 TI 的销售条款 (<http://www.ti.com.cn/zh-cn/legal/termsofsale.html>) 以及 [ti.com.cn](http://www.ti.com.cn) 上或随附 TI 产品提供的其他可适用条款的约束。TI 提供所述资源并不扩展或以其他方式更改 TI 针对 TI 产品所发布的可适用的担保范围或担保免责声明。

邮寄地址：上海市浦东新区世纪大道 1568 号中建大厦 32 楼，邮政编码：200122
Copyright © 2018 德州仪器半导体技术（上海）有限公司