

高性能 4 通道 14bit 500MSPS ADS58J63 和 ADS58J64 差异 和设计区别

Joyce Li

摘 要

ADS58J63 和 ADS58J64 是 TI 公司发布的两颗管脚兼容，外围电路有些许差异的 14bit 500MSPS ADC，可以用于射频无线接收机里面的接收 ADC 以及反馈 ADC。用户可以参考本文了解两者的差异以及外围电路设计的差异，指导设计和使用。

目 录

1	引言.....	3
2	ADS58J63 和 ADS58J64 的简介和共同点.....	3
3	ADS58J63 和 ADS58J64 设计差异	5
	3.1 电源供电的差异	5
	3.2 输入采样钟的差异.....	5
	3.3 输入 full scale 电平的差异.....	5
	3.4 抗混叠滤波器设计差异.....	5
	3.5 寄存器配置的差异.....	5
	3.6 工作模式差异.....	5
4	ADC test pattern 测试方法简介	12
5	结论.....	15
6	参考资料.....	15

图

1	ADS58J63 内部电路示意图.....	3
2	ADS58J64 内部电路示意图.....	4
3	ADS58J63 数字 DDC 模块的示意图.....	6
4	ADS58J64 数字 DDC 模块的示意图.....	6
5	ADS58J63 工作模式总结	6

6	ADS58J64 工作模式总结-----	7
7	ADS58J64 第一级抽取滤波器低通频响-----	7
8	ADS58J64 第二级抽取滤波器低通频响-----	7
9	正交采样原理图-----	8
10	同相信号 $X_i(f)$ 和 $I(f)$ 频谱图-----	8
11	正交信号 $X_q(f)$ 和 $Q(f)$ 频谱图-----	9
12	$X(t)=X_i(t)-j*X_q(t)$ 处理后的频谱-----	9
13	$I(f)-j*Q(f)$ 的三维图示-----	10
14	经过 AD 转换后的频谱-----	10
15	宽带信号位于第一级抽取滤波器中间-----	11
16	宽带信号位于低通滤波器通带-----	12
17	宽带信号位于高通滤波器通带-----	12
18	ADC test pattern 示意图-----	13
19	ADS58J64 01 交替 test pattern 时域信号-----	14
20	ADS58J64 递增序列码 test pattern 时域信号-----	14

1 引言

传统的无线接收机架构包含 LNA，下变频 Mixer、中频 DVGA+抗混叠滤波器+ADC 链路。随着无线技术的发展，对于信号带宽的要求也越来越高，对于 ADC 的采样率以及支持的信号带宽也有了更高的要求。ADS58J63 和 ADS58J64 是 TI 近年来推出的高性能 14bit、500MSPS 采样率的 ADC，内含多种工作模式，内部集成数字模块，可以输出复数、实数多种信号类型，并且也支持 DPD 反馈 ADC 需要的宽带信号模式。

ADS58J64 是 ADS58J63 的升级版，针对用户考虑做两者兼容设计的需求，本文将详细介绍两颗芯片内部电路的差异、工作模式的差异以及外围电路的差异。

2 ADS58J63 和 ADS58J64 的简介和共同点

ADS58J63 是一颗 4 通道，14bit 精度，最大支持 500MSPS 的 ADC。图 1 是 ADS58J63 的内部电路示意图。内部每个通道的 ADC 是由两个 250MSPS 的 ADC 交织而成。在 ADC 采样完成后，会有数字交织校正模块，来改善交织采样带来的杂散。数字模块包含抽取、数字粗调下变频（coarse mixer），可以支持输出复信号、实信号以及 burst mode 模式。Burst mode 模式可用于无线 RRU 上 DPD 反馈链路模式，可以交替输出 14bit 和 9bit 的数据流，数据不会经过数字抽取，可以实现最大 $F_s/2$ 的信号带宽。

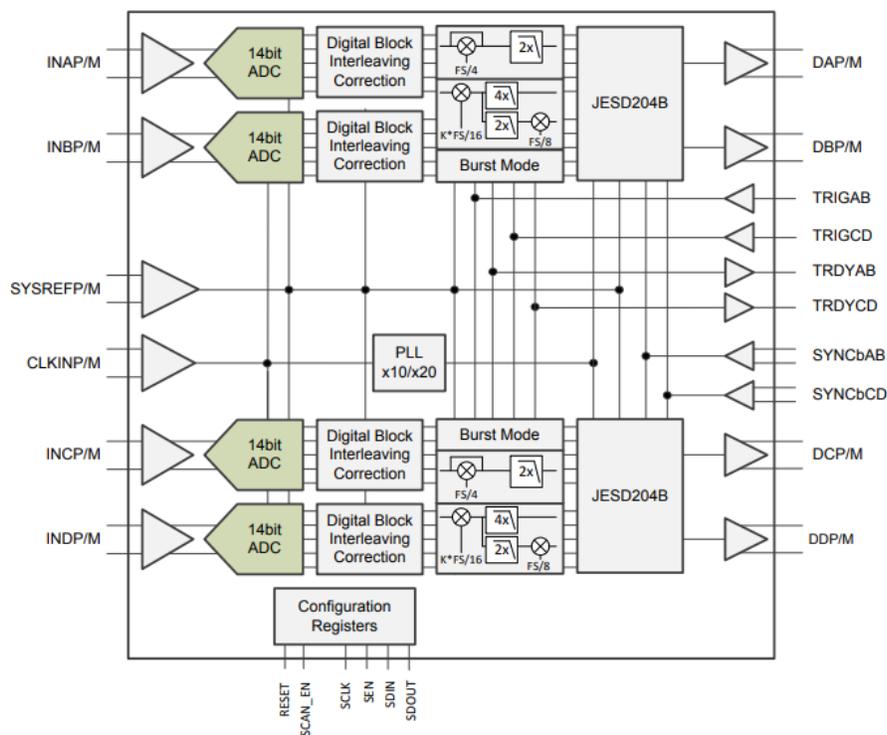
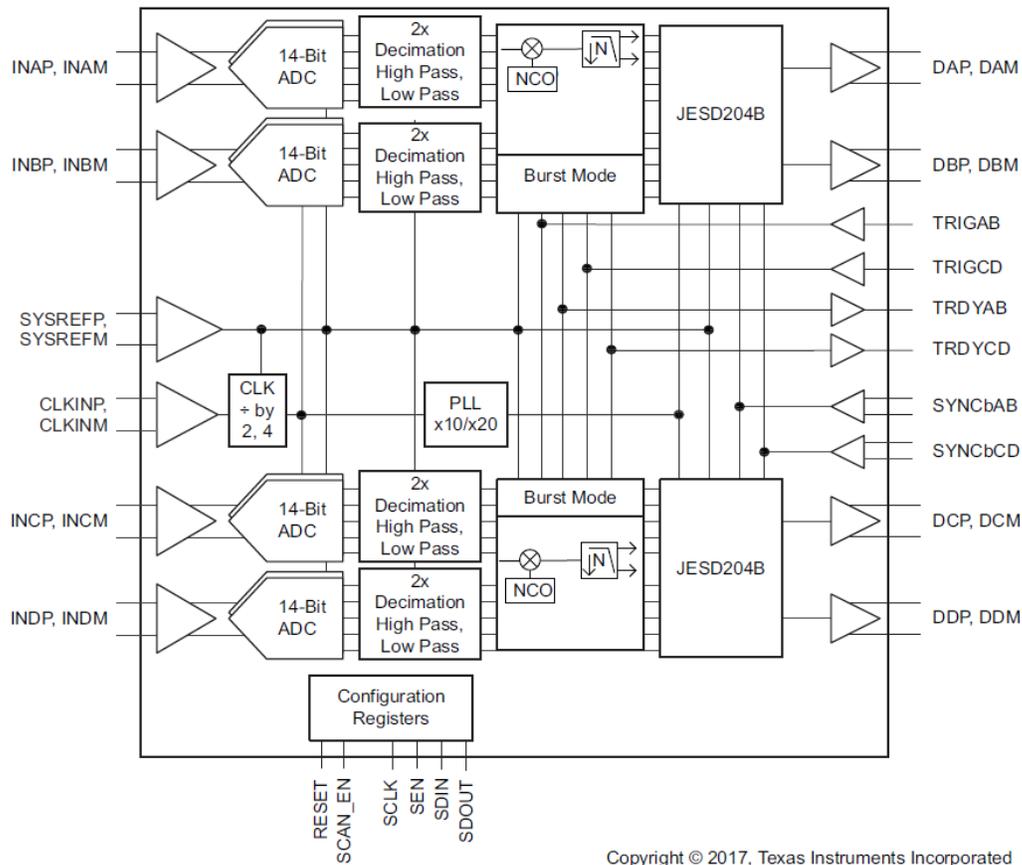


图 1 ADS58J63 内部电路示意图

ADS58J63 采用的数字接口是 JESD204B 协议接口类型。每个 ADC 链路有一对 serdes 差分链路，serdes 速率可以支持 5Gbps 或者 10Gbps。

ADC 配置方式为每两个 ADC 为一个单元，即 AB 一个单元，CD 一个单元。每个单元里面的两路 ADC 工作模式为一种，不同单元的 ADC 工作模式可以不同，JESD204B 建链也可以分别建链。

ADS58J64 和 ADS58J63 功能和模式大致相同。图二是 ADS58J64 的内部电路示意图。ADS58J64 是最高支持 1GSPS 采样率，每路 ADC 由两个 500MSPS 的 ADC 交织采样而成，再通过第一级 2x 数字抽取模块，该抽取滤波器用户需要根据中频的大小，需要选择是高通还是低通。第一级抽取完后，此时的数据速率是 500MSPS，和 ADS58J63 直接 500MSPS 采样速率就相同了。接下来的数字模块也有抽取、数字 NCO 功能，也支持反馈模式的 burst mode. 和 J63 不同的是，J64 支持数字 NCO，J63 仅支持 coarse mixer，下变频的频率必须是 $F_s/16$ 的 K 倍。JESD204B 模块 J64 和 J63 完全相同。



Copyright © 2017, Texas Instruments Incorporated

图 2 ADS58J64 内部电路示意图

3 ADS58J63 和 ADS58J64 设计差异

ADS58J63 和 ADS58J64 封装、管脚兼容。外围电路稍有差异，本节将详细描述 J63 和 J64 的设计差异。

3.1 电源供电的差异

ADS58J63 供电分为 AVDD3V, AVDD1.9V, DVDD1.9V, 以及 IOVDD1.15V。J64 的供电需要将 AVDD3V 更新为 AVDD1.9V; AVDD1.9V 更新为 AVDD1.15V; DVDD1.9V 更新为 DVDD1.15V, IOVDD1.15V 不变。所以 J64 的电源种类变少, 只需要 1.9V 和 1.15V 两路电源类型。

需要注意的是, J63 没有上电时序的要求, J64 需要保证上电时序, 1.15V 需要比 AVDD1.9V 先上电。

3.2 输入采样钟的差异

如第 2 章节描述, J63 的采样时钟是 500MSPS, 是由 2 个 250MSPS 的 ADC 交织而成, 所以外供时钟需要提供 500MSPS 的时钟; 而 J64 是 2 个 500MSPS 的 ADC 交织而成, 是 1GSPS 的采样率, 然后再通过抽取滤波器实现输出采样率 500MSPS, 所以外供时钟需要提供 1GSPS 的采样钟。

3.3 输入 full scale 电平的差异

由于供电电平的改变, J64 的输入 full scale 电平也和 J63 有差异。J63 的输入 full scale 电平为 1.9V_{pp}; 而 J64 输入 full scale 电平为 1.1V_{pp}。对应于功率, 用户需要考虑接收或者反馈链路上的中频增益, 保证进入 J64 的输入电平不会引起 ADC 饱和。

3.4 抗混叠滤波器设计差异

在无线接收机的链路里, 进入 ADC 之前, 会设计抗混叠滤波器来抑制其他乃奎斯特域的信号混叠入 ADC 的有用信号带宽。抗混叠滤波器设计和 ADC 采样率有关, J64 采样率是 J63 的一倍, 所以 J64 的抗混叠滤波器的设计要比 J63 更简单。

3.5 寄存器配置的差异

J63 和 J64 的寄存器差异较多, 用户应该对两个 ADC 的寄存器配置进行分类管理。J63 和 J64 有一个共同的只读寄存器, 即 Global page 页下的 04H 寄存器, 可以用来区分 J63 和 J64。回读为 81H 为 J63; 30H 为 J64。用户可以按照回读的结果, 判断芯片是 J63 还是 J64, 进而调用寄存器配置。

3.6 工作模式差异

J63 和 J64 都支持多种数据格式、不同抽取倍数的工作模式, 具体总结见下图 3 J63 数字 DDC 模块的示意图和图 4 J64 数字模块示意图。

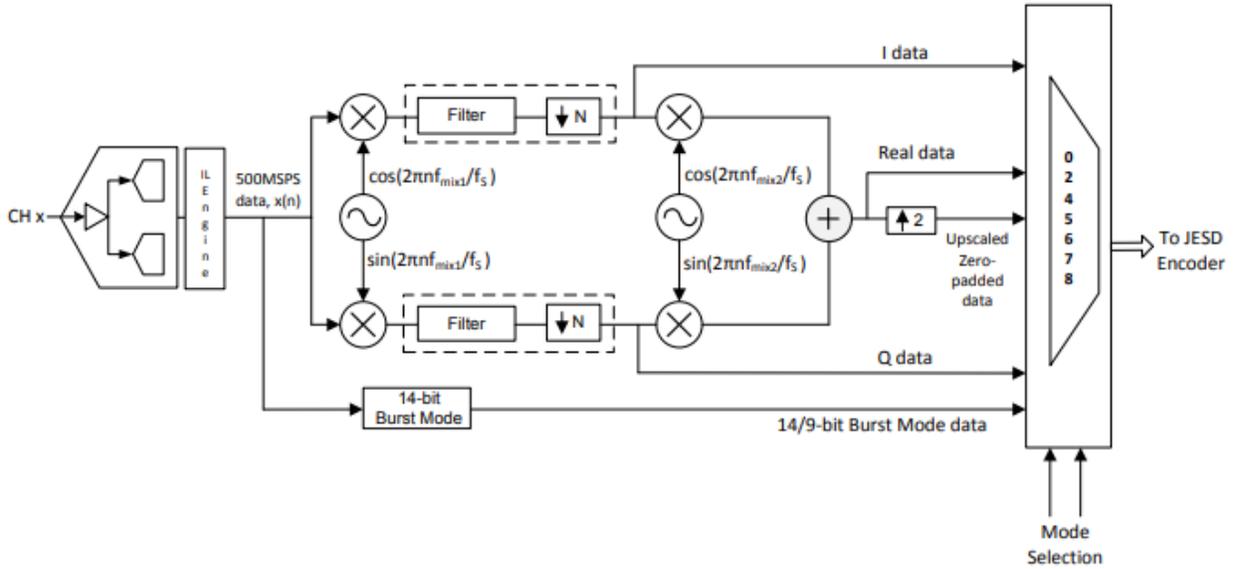


图 3 ADS58J63 数字 DDC 模块的示意图

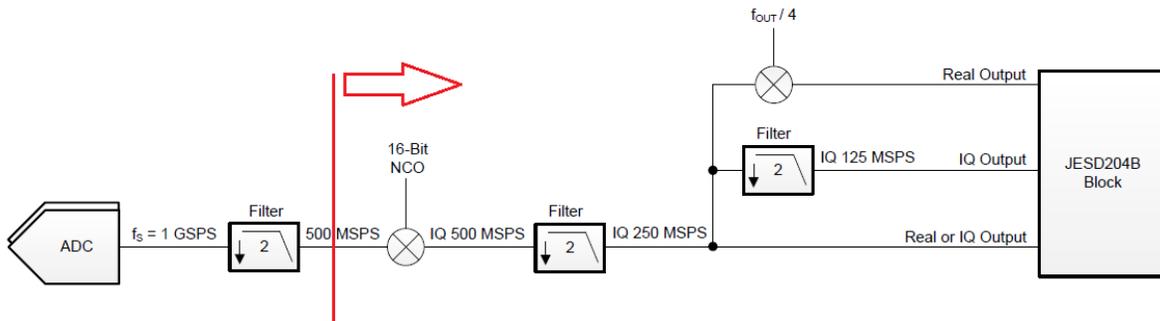


图 4 ADS58J64 数字 DDC 模块示意图

从两个器件内部 DDC 模块的示意图可以看出，J64 在图 4 红色箭头之后和 J63 的数据输出速率一致，J64 多了一级固定的 2 倍抽取。J63 的数字下变频是通过 $2\pi \cdot N \cdot F_{mix1} / F_s$ 搬移，精度仅能实现 $F_s / 16 \cdot N$ ，而 J64 是通过 16bit NCO 进行搬移，所能实现的变频精度可以达到 hz 级别。J63 第二级 mixer2，是实现实采样输出。J64 是运用第二级 mixer $F_{out}/4$ 来实现实采样输出。

图 5 和图 6 是二者工作模式总结表格。

Mode	f _{mix1}	Filter and Decimation	f _{mix 2}	Output
0	f _s /4	LPF cut off freq at f _s /4, decimation by 2	not used	I, Q data at 250 MSPS each is given out
2	not used	LPF or HPF cut off at f _s /4, decimation by 2	not used	Straight 250 MSPS data is given out
4	k f _s /16	LPF cutoff at f _s /8, decimation by 2	f _s /8	Real data at 250 MSPS is given out
5	k f _s /16	LPF cutoff at f _s /8, decimation by 2	not used	I, Q data at 250 MSPS each is given out
6	k f _s /16	LPF cutoff at f _s /8, decimation by 4	not used	I, Q data at 125 MSPS each is given out
7	k f _s /16	LPF cutoff at f _s /8, decimation by 2	f _s /8	Real data is up-scaled, zero-padded and given out at 500 MSPS
8	not used	not used	not used	Straight 500 MSPS Burst mode data is given out

图 5 ADS58J63 工作模式总结

OPERATING MODE	DESCRIPTION	1ST STAGE DECIMATION	DIGITAL MIXER	2ND STAGE DECIMATION	BANDWIDTH AT 491.52 MSPS	BANDWIDTH AT 368.64 MSPS	OUTPUT MIXER	OUTPUT FORMAT	MAX OUTPUT RATE
0	Decimation	2	$\pm f_s / 4$	2	200 MHz	150 MHz	—	Complex	250 MSPS
1		2	16-bit NCO	2	200 MHz	150 MHz	—	Complex	250 MSPS
2		2	—	2	100 MHz (LP, LP or HP, HP), 75 MHz (HP, LP or LP, HP)	75 MHz, 56.25 MHz	—	Real	250 MSPS
3		2	16-bit NCO	Bypass	200 MHz	150 MHz	$f_{out} / 4$	Real	500 MSPS
4		2	16-bit NCO	2	100 MHz	75 MHz	$f_{out} / 4$	Real	250 MSPS
5		Reserved	Reserved	Reserved	Reserved	Reserved	Reserved	Reserved	Reserved
6		2	16-bit NCO	4	100 MHz	75 MHz	—	Complex	125 MSPS
7		2	16-bit NCO	2	100 MHz	75 MHz	$f_{out} / 4$	Real with zero insertion	500 MSPS
8	Burst mode	2	—	—	223 MHz	167 MHz	—	Real	500 MSPS

图 6 ADS58J64 工作模式总结

从上表可以看出，ADS58J63 和 ADS58J64 的模式是一一对应的，差异是 J63 不支持 NCO，第一级数字 mixer，由 $K \cdot F_s / 16$ 来代替。J64 所有模式都带有第一级的 2 倍抽取滤波器。第一级 2 倍抽取滤波器可以配置为高通或者低通，用户可以根据中频输入的频率进行配置。Mode0、1、2、4、7 带第二级抽取滤波器，可用信号带宽会比不用抽取的减少一半。Mode2、3、4 是实信号输出格式，会比相同数据速率输出下的复采样信号带宽减少 1 倍。Mode2 没有经过 digital mixer，即没有经过任何数字频率搬移，可支持的信号带宽会和两级抽取滤波器的通带选择有关。如果两级抽取都是高通或者都是低通，可支持的信号带宽可以获得 100MHz，如果两级抽取一级是高通，一级是低通，即通带内收到两级滤波器高通和低通滤波过渡带的影响，信号带宽只能支持 75MHz。下图 7 和图 8 是第一级滤波低通、第二级抽取滤波器也是低通的频率响应曲线。高通的频率曲线为低通频率曲线按照 $F_{out}/2$ 为中心对折。所以当两级一级为高通，一级为低通时，信号两端都会存在抽取滤波器的过渡带，所以可以支持的信号带宽就会降为 75MHz。

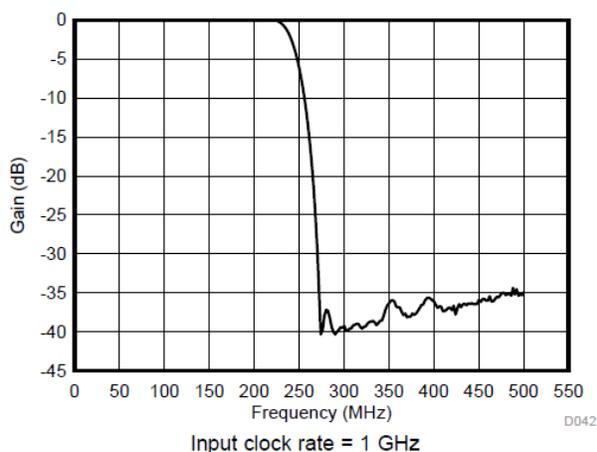


图 7 ADS58J64 第一级抽取滤波器低通频响

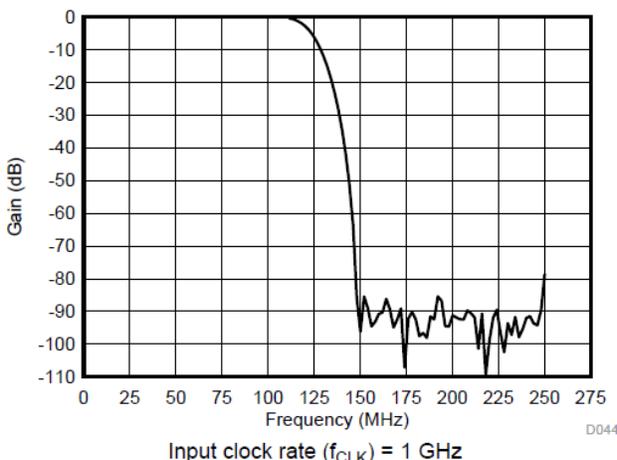


图 8 ADS58J64 第二级抽取滤波器低通频响

对于无线接收机，用户可以根据 FPGA 或者 ASIC 支持的输出数据类型进行模式选择，通常 mode 0 和 mode1 是接收 ADC 最常选用的模式。

对于 DPD 反馈链路，反馈 ADC 支持的带宽会比接收 ADC 宽，并且通常选用正交复采样来实现反馈链路采样。例如无线发射接收机需要支持 75MHz 的信号带宽，DPD 通常需要处理 5 倍信号的带宽，对

HD3~HD5 进行分析处理，所以对反馈 ADC 的带宽要求要实现 $75 \times 5 = 375\text{MHz}$ 的带宽要求。ADS58J63 和 ADS58J64 的 mode8 可以用于反馈 ADC。mode 8 可以支持的最大信号带宽为 $F_{out} \times 0.446\text{MHz}$ ，例如当 $F_s = 983.04\text{MHz}$ ， $F_{out} = 491.52\text{MHz}$ ，最大信号带宽为 $491.52\text{MHz} \times 0.446 = 219\text{MHz}$ 。用户可以用 ADS58J63 或者 J64 的两个通道实现反馈正交复采样，来实现 DPD 所需的 375MHz 带宽。

下面介绍正交复采样。正交复采样的基本原理是通过一个正交混频器把射频信号混频到相互正交的两个中频信号，再分别用两个 ADC 通道对这两路相互正交的信号进行采样，输出的数字信号传输给 FPGA 或者 ASIC 进行数字处理，图 9 是正交复采样的示意图，请注意图 9 是正交复采样的架构图，并不是 ADS58J64 内部架构。

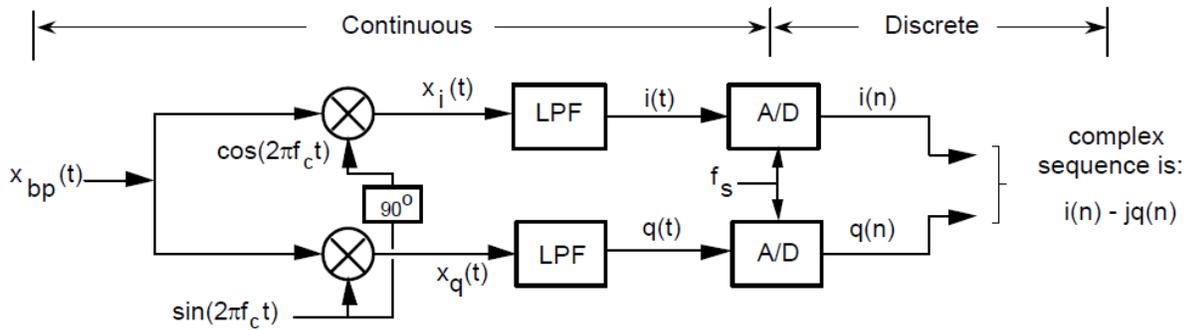


图 9 正交采样原理图

信号 $X_{bp}(t)$ 是信号带宽为 B 的连续信号，通过 $\cos(2\pi f_c t)$ 和 $\sin(2\pi f_c t)$ 混频至 $X_i(t)$ 和 $X_q(t)$ ，再通过低通滤波，信号变为 $i(t)$ ， $q(t)$ ，再分别进入 ADC 进行采样。ADC 进行模数采样后，信号频谱由连续的频谱变为周期的频谱，再由 FPGA 对 $i(n) - jq(n)$ 进行处理。

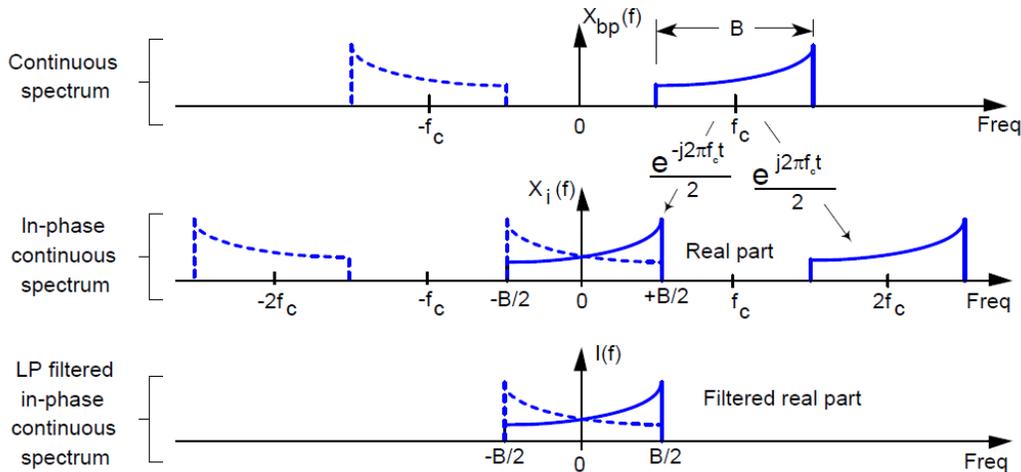


图 10 同相信号 $X_i(t)$ 和 $I(t)$ 频谱图

$X_{bp}(t)$ 的频谱是中心频率为 f_c 的连续实信号，在频谱上的波形如图 10 上图所示，在复频域上会有按照 $f=0$ 对称的镜像信号，镜像信号标记为虚线。经过 $X_{bp}(t) \cdot e^{-j2\pi f_c t} = X_{bp}(t) \cdot \cos(2\pi f_c t) - jX_{bp}(t) \cdot \sin(2\pi f_c t)$ 。同相

信（即图 10 上图所示信号） $X_i(t)=X_{bp}(t)*\cos(2*\pi*f_c*t)$ 的频谱如图 10 中间图所示，同相信号的频谱是按照 0 频对称，幅度相同的偶对称信号。再经过低通滤波就得到了图 10 下图所示的信号。

正交信号（即图 11 中下图所示的信号）的 $X_q(t)=X_{bp}(t)*\sin(2*\pi*f_c*t)$ 的频谱如图 11 所示。正交信号的连续频谱的镜像是按照 0 频对称，而幅度相反的奇对称信号。

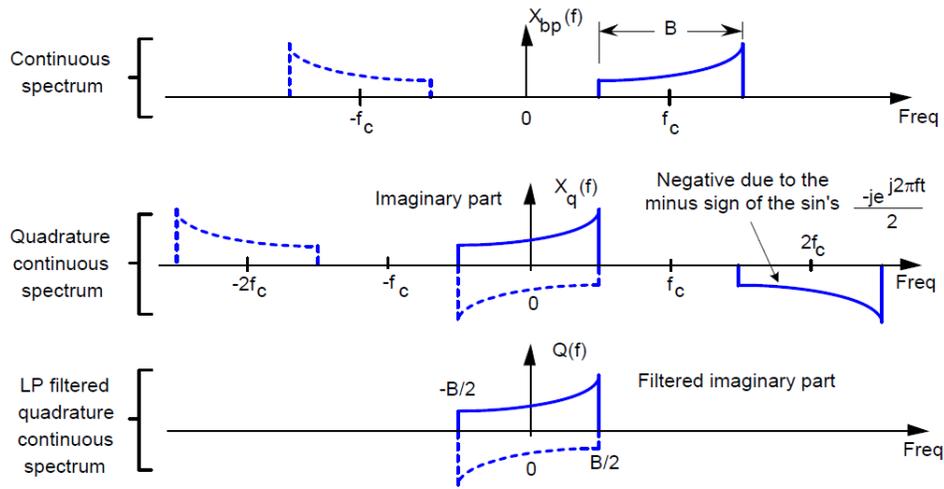


图 11 正交信号 $X_q(f)$ 和 $Q(f)$ 频谱图

滤波后的同相信号和正交信号再经过 $X(t)=X_i(t)-j*X_q(t)$ 处理后，所得到的频谱如图 12 所示。通过 $X_i(t)-j*X_q(t)$ 后，i 和 q 的镜像信号得以抵消，在复频域上只剩下我们所需要的带宽为 B 的连续信号。

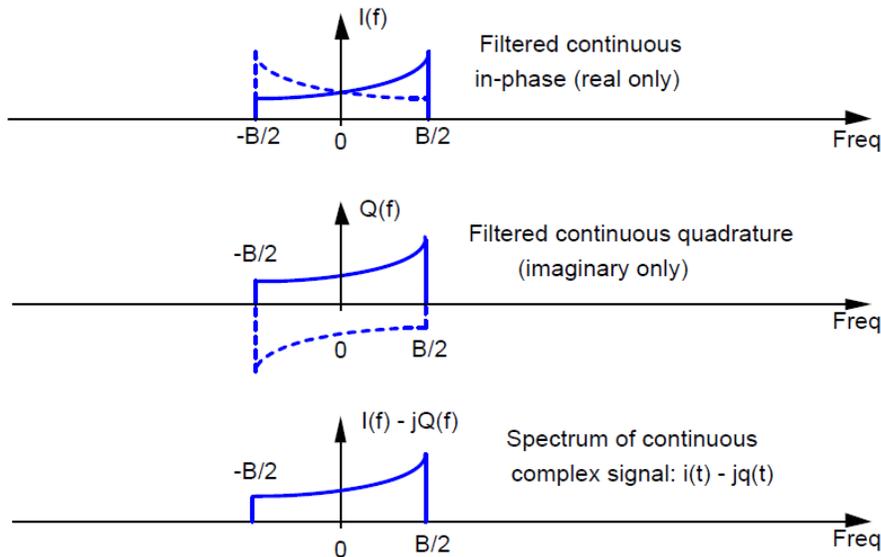


图 12 $X(t)=X_i(t)-j*X_q(t)$ 处理后的频谱

我们按照三维空间的图 13 来展示 $I(f)-j*Q(f)$ 就会更容易理解正交复采样的原理。 $I(f)$ 和 $Q(f)$ 相位差 90 度。 $I(f)$ 的镜像信号和主信号呈偶对称； $Q(f)$ 镜像信号和主信号呈奇对称； $Q(f)$ 和 $-j$ 相乘，相位变换 90 度，在和 $I(f)-j*Q(f)$ 相加后，镜像得以抵消。

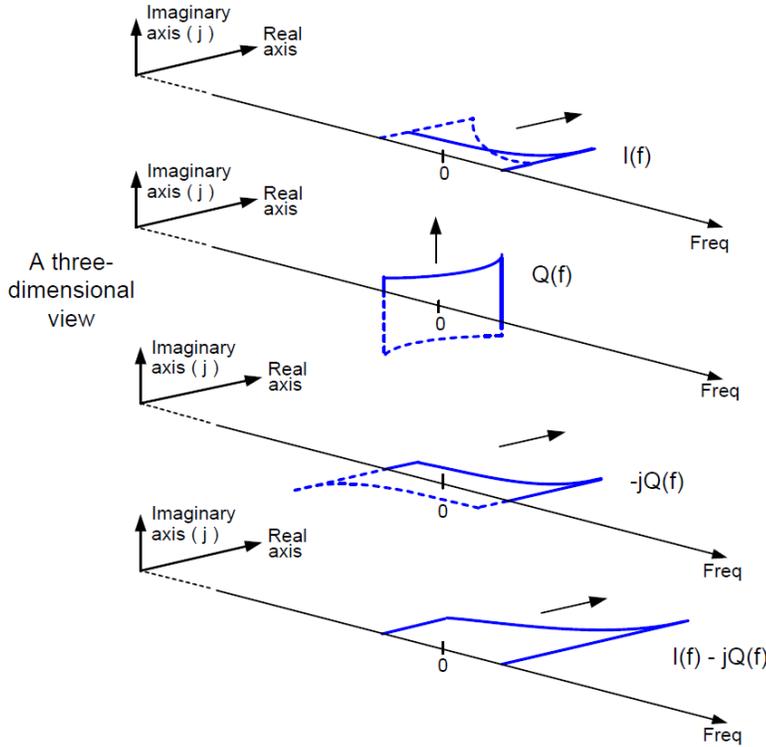


图 13 $I(f)-j*Q(f)$ 的三维图示

再经过 ADC 的模数转换后的频谱如图 14 所示，经过采样后的频谱由连续的频谱变为周期性的频谱。

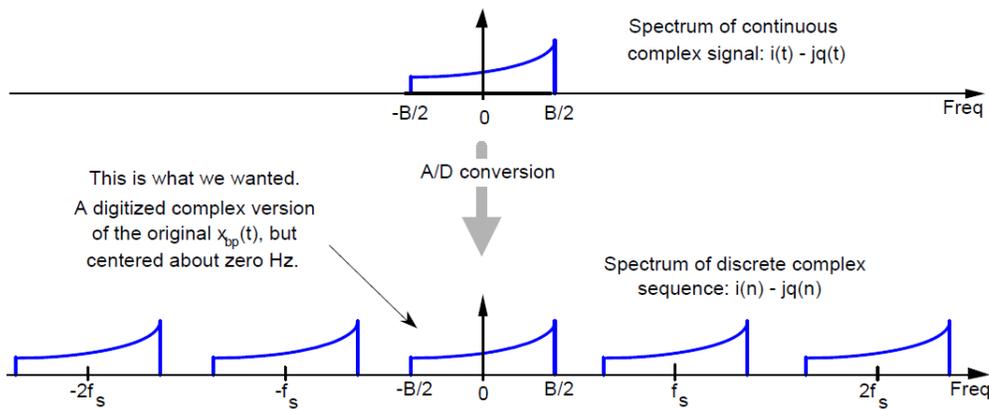


图 14 经过 AD 转换后的频谱

根据以上对正交采样的分析，其优点有以下几点：

1. 每个 ADC 的采样率可以降低为实采样时的一半；

2. 对于固定的 F_s ，可以获得 2 倍实采样的信号带宽。

所以利用 ADS58J63、J64 的 mode 8 反馈模式，两个通道的正交复采样，可以获得最大 400MHz 的信号带宽。ADS58J63 和 ADS58J64 内部集成数字下变频，包含了以上分析中所需要的将信号搬移到零频的操作。需要注意的是，当选取 ADC 输入 IF 信号时，ADS58J63 没有任何限制，而 J64 由于第一级抽取滤波器存在，输入宽带信号如果跨了 $F_{out}/2$ 即 250MHz，信号的一部分会被抽取滤波器滤掉，而无法进行恢复，如图 15 所示，蓝色曲线代表第一级抽取滤波器为低通，红色曲线代表为高通，信号位于两个滤波器中间。这样无法完成正交采样。需要选择合适的高中频或者低中频，将宽带信号全部包含在滤波器的通带内，如图 16（低中频）或者图 17（高中频）。反馈链路中 IQ demodulator 的非线性性能、ADC 的 SNR 性能、SFDR 和中频位置强相关，中频越高，非线性性能越差；中频越低，其 IQ demodulator 的产生的镜像距离主信号的越近，对 IQ demodulator 的镜像抑制能力的要求就越高。对于用户来讲，ADS58J64 的第一级抽取滤波器的存在使得反馈链路上的中频选择没有 J63 灵活。然而，ADS58J64 也提供给用户一个额外的方法，如果用户不可以更改 IF 的大小，第一级抽取滤波器可以配置为 2 个 sample 扔掉一个 sample，即仅抽取，而抽取前并没有滤波处理，这样信号带宽即使跨了 $F_{out}/2$ ，信号也不会被滤波器滤掉。没有了抽取前滤波的处理，ADC 的 NSD 会比恶化近 3dB，然而作为反馈链路，ADC 的底噪并不是瓶颈，所以用户可以用该方法来将 J64 作为反馈 ADC 使用。

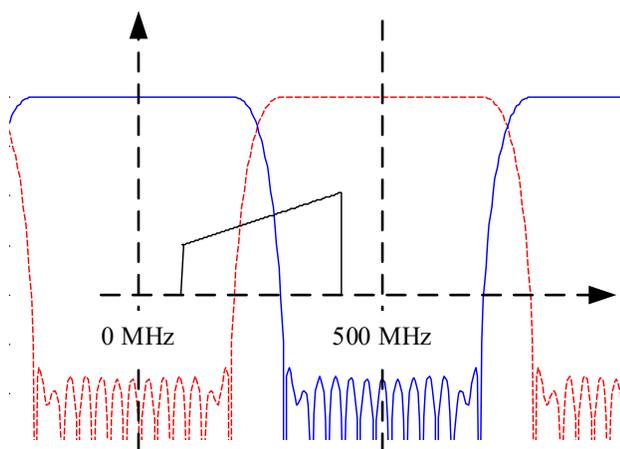


图 15 宽带信号位于第一级抽取滤波器中间

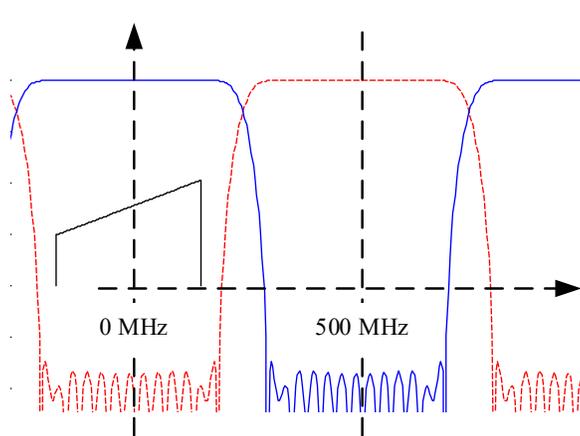


图 16 宽带信号位于低通滤波器通带

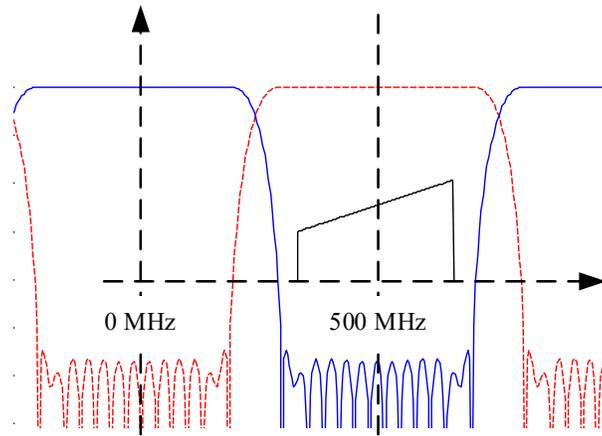


图 17 宽带信号位于高通滤波器通带

以下寄存器配置可以将第一级抽取滤波器更改为 2 个 sample 里丢掉一个 sample，而不做抽取滤波处理。

```
0x11 0x00 //choose DIGTOP page
0x12 0x01// choose DIGTOP page
0x13 0x00 //choose DIGTOP page
0xAB 0x02// special mode, drop 1 sample, no filter mode.
```

4 ADC test pattern 测试方法简介

本节简介两款 ADC test pattern 测试方法，便于用户调试。两款 ADC 的 JESD 模块完全相同，test pattern 的测试方法也是完全相同。Test pattern 提供给用户一个快速验证 JESD 模块以及 ADC 数字功能模块的方法，在实际链路调试中可以帮助用户快速定位问题。以下图 18 是 ADC test pattern 所处位置的示意图。可以看到，开启 ADC test pattern 后，ADC 采样的数据会被 test pattern 替代。如果 ADC test pattern 验证成果，说明 ADC 数字部分、JESD204B transport layer、link layer 以及接口 PHY layer 都是正常工作的。需要注意的是，测试 ADC test pattern 需要保证 JESD204B 链路是建联状态。

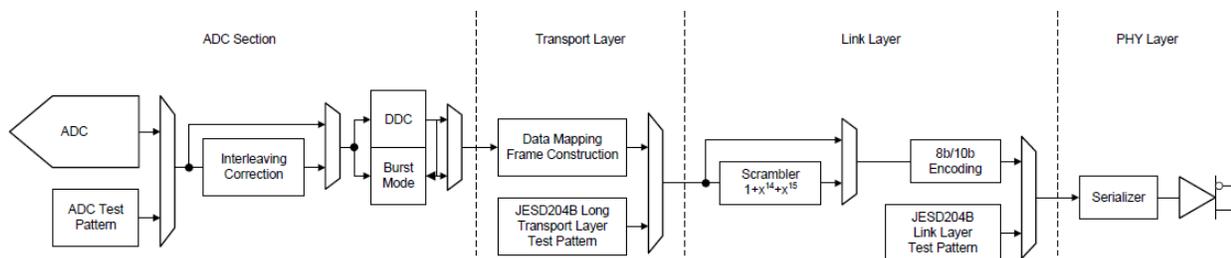


图 18 ADC test pattern 示意图

ADC test pattern 支持每个通道独立配置，test pattern 支持的码型有全 0，全 1，01 交替、递增数列以及用户自定义数列。通常验证过 01 交替以及递增数列是正常的就可以判断 test pattern 是正常工作的。如果全 0、全 1 正常而递增数列以及 01 交替不正常，需要确认下 JESD204B 收发两侧加扰配置是否配的一致，是否一侧打开了加扰，而另一端关闭了加扰。测试 ADC test pattern 时，需要注意当测试 01 交替码、递增数列或者用户自定义数列时，需要给一个 sysref 脉冲来启动 ADC 内部数字计数器。通常 Sysref 用来同步 JESD204B 收发模块，在 JESD204B 建联前，时钟模块会给 JESD204B 收、发端同时发送 sysref 信号，收发端按照接收到的 sysref 上升沿来建立起本地多帧时钟（LMFC）。建联完成后，推荐用户关闭 Sysref 信号，或者从 ADC 内部来配置屏蔽外部的 sysref 信号，以避免由 sysref 信号带来的杂散。所以如果用户在初始化配置 ADC 时，屏蔽了外部 sysref 信号，用户可以手动配置寄存器，解除内部屏蔽 sysref 信号，同时让时钟芯片再发送一个 sysref 脉冲；或者利用 ADC 内部的 sysref 产生一组脉冲，这是通过 SPI 配置寄存器就可以完成。ADC 内部产生 sysref 脉冲具体操作如下：

Addr	Data	Comment
0x12	0x1	Select Digtop page//选择 Digtop 页
0xb4	0x1	Override pin sysref//覆盖外部 pin sysref
0xb6	0x1	Assert sysref// 设置内部产生 sysref 高电平
0xb6	0x0	DeAssert Sysref//设置内部产生 sysref 低电平

01 交替序列码的时域波形如下图 19 展示，截取于 TI HSDC pro 软件，该软件用于分析 ADC 采样后数据。bit0~bit15 为 ADC 传输给 FPGA 的信号，ADC 本身为 14bit ADC，经过数字 DDC 模块后，会变为 16bit 信号。Bit15 为最高位，bit0 为最低位。每个 bit 和相邻 bit 呈现 01 交替，每一个 sample 和下一个 sample 呈现 01 交替。需要主意的是，bit15 和 bit14 并没有呈现 01 交替，这是因为 HSDC pro 软件中设置数据格式为 2 进制补码，而 ADC 发送的 01 交替码并不是 2 进制补码，所以 bit15 位和实际呈现反码。

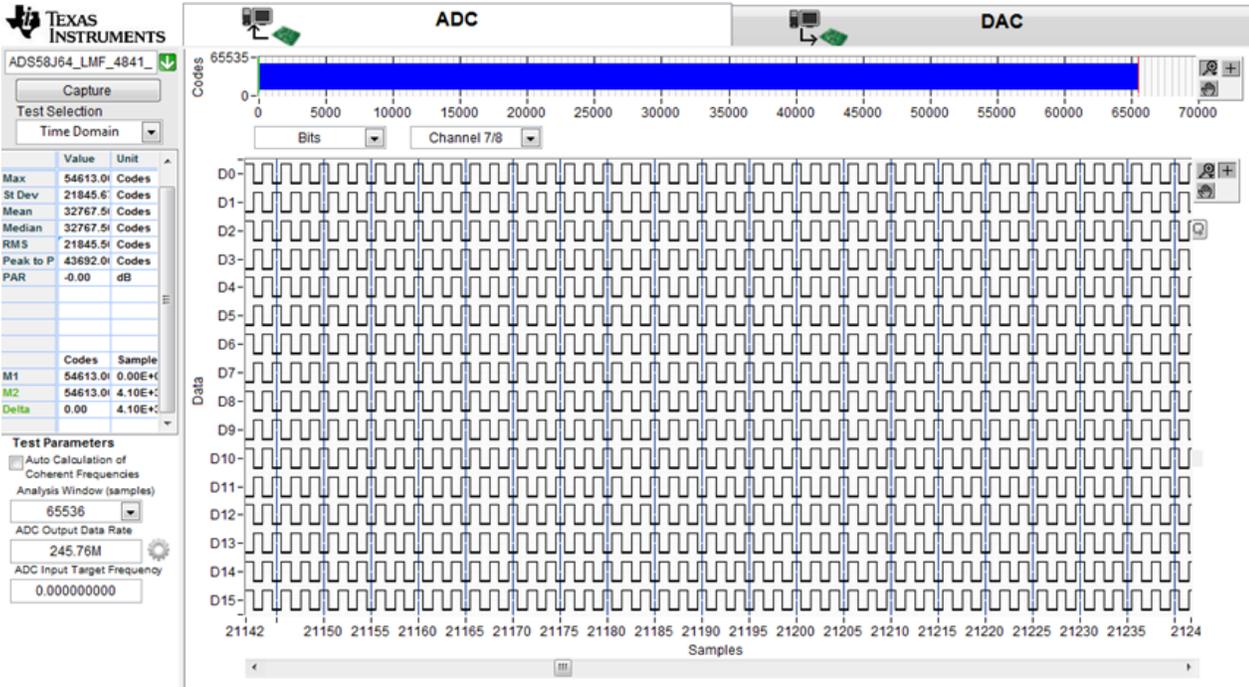


图 19 ADS58J64 01 交替 test pattern 时域信号

下图 20 是递增序列码的波形，可以看到每个 sample 的下一个 sample 都增加 1，从码型看，呈现一个阶梯形状。

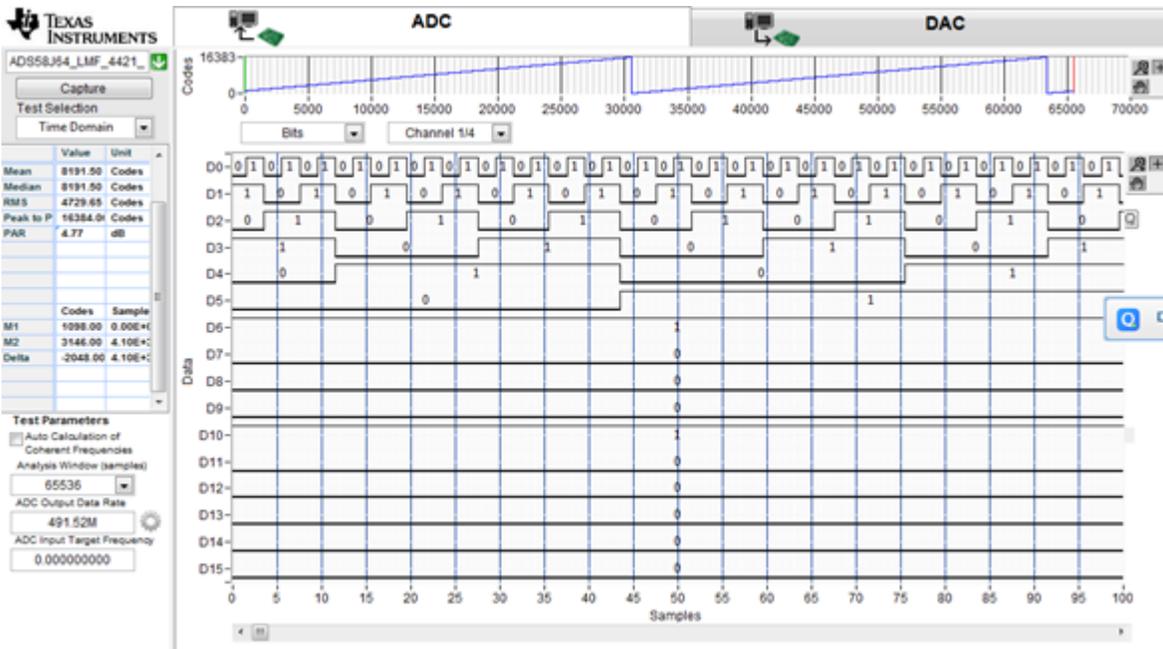


图 20 ADS58J64 递增序列码 test pattern 时域信号

5 结论

本文介绍了 TI 公司两款 4 通道 500MSPS 14bit 高性能 ADC ADS58J63 和 ADS58J64。这两款 ADC 管脚兼容，均广泛应用于无线基站收发机内部，并且都可以用于接收 ADC 和反馈 ADC。本文详述了两款的设计差异和 ADC test pattern 测试方法和注意事项。用户可以根据两款 ADC 的特点来选择适合自己应用的 ADC。

6 参考资料

1. ADS58J63 datasheet
2. ADS58J64 datasheet
3. Quadrature Signals: complex, But Not complicated, By Richard Lyons

重要声明和免责声明

TI 均以“原样”提供技术性 & 可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证其中不含任何瑕疵，且不做任何明示或暗示的担保，包括但不限于对适销性、适合某特定用途或不侵犯任何第三方知识产权的暗示担保。

所述资源可供专业开发人员应用 TI 产品进行设计使用。您将对以下行为独自承担全部责任：(1) 针对您的应用选择合适的 TI 产品；(2) 设计、验证并测试您的应用；(3) 确保您的应用满足相应标准以及任何其他安全、安保或其他要求。所述资源如有变更，恕不另行通知。TI 对您使用所述资源的授权仅限于开发资源所涉及 TI 产品的相关应用。除此之外不得复制或展示所述资源，也不提供其它 TI 或任何第三方的知识产权授权许可。如因使用所述资源而产生任何索赔、赔偿、成本、损失及债务等，TI 对此概不负责，并且您须赔偿由此对 TI 及其代表造成的损害。

TI 所提供产品均受 TI 的销售条款 (<http://www.ti.com.cn/zh-cn/legal/termsofsale.html>) 以及 [ti.com.cn](http://www.ti.com.cn) 上或随附 TI 产品提供的其他可适用条款的约束。TI 提供所述资源并不扩展或以其他方式更改 TI 针对 TI 产品所发布的可适用的担保范围或担保免责声明。

邮寄地址：上海市浦东新区世纪大道 1568 号中建大厦 32 楼，邮政编码：200122
Copyright © 2018 德州仪器半导体技术（上海）有限公司