

DP83822 以太网 PHY 芯片外围电路设计注意事项

Wayne Wang

Sales and Applications/NWC China

ABSTRACT

DP83822 是一款低功耗单端口 10/100Mbps 以太网 PHY 芯片。它提供了通过标准双绞线电缆或者光纤收发器进行数据传输所需的所有物理层功能。此外，DP83822 还可以通过标准的 MII、RMII 或 RGMII 三种接口灵活地与 MAC 进行连接。与上一代 10M/100Mbps 以太网 PHY 芯片 TLK105, TLK106, TLK105L, TLK106L 相比，DP83822 具有完全兼容的封装，并且集成了更丰富的功能，在市场上被广泛应用。

本文基于 DP83822 的典型应用介绍了其外围电路设计中需要注意的几个问题，并给出了测试方法以及解决方案。

Contents

1	网络接口简介	3
2	DP83822 的典型配置	3
	2.1 DP83822 的时钟模式	3
	2.2 DP83822 的串行管理接口	5
	2.3 Auto-Negotiation 与 Auto-MDIX 配置	5
3	影响 DP83822 Link 稳定性的因素	6
	3.1 设计实例中的 Link 中断问题	6
	3.2 Link 中断原因分析	6
4	DP83822 的外围电路设计注意事项	8
	4.1 MDC 与 MDIO 尽可能远离时钟源	9
	4.2 MDC 与 MDIO 增加 RC 滤波	9
	4.3 利用 LED_0 判断 Link 状态	10
5	总结	11
6	参考文献	11

Figures

Figure 1.	DP83822 构成的网络接口示意图	3
Figure 2.	RMII Slave 模式时钟连接方式	4
Figure 3.	RMII Master 模式时钟连接方式	4
Figure 4.	MDC 与 MDIO 的时序关系	5
Figure 5.	利用 BMCR 寄存器配置 Auto-Negotiation	5
Figure 6.	利用 PHYCR 寄存器配置 Auto-MDIX	6
Figure 7.	Force MDI 模式下 Link 建立	7
Figure 8.	Force MDI 模式下 Link 中断	7

Figure 9.	Force MDIX 模式下 Link 建立	7
Figure 10.	Force MDIX 模式下 Link 中断	7
Figure 11.	DP83822 的引脚分布	8
Figure 12.	MDC 波形.....	9
Figure 13.	MDIO 波形	9
Figure 14.	MDC 与 MDIO 的不合理走线	9
Figure 15.	MDC 与 MDIO 的合理走线.....	9
Figure 16.	增加 RC 滤波后的 MDC 波形.....	10
Figure 17.	增加 RC 滤波后的 MDIO 波形.....	10
Figure 18.	LED_0 的引脚定义	10
Figure 19.	LED_0 驱动 LED 灯的连接方式	11

1 网络接口简介

简单来说，网络接口由 CPU、MAC 和 PHY 三部分组成。其中，以太网 PHY 芯片是物理接口收发器，用于实现物理层的数据传输。当主机向外发送数据时，PHY 芯片会从 MAC 接收数据，并将并行格式的数据转化为串行流数据，再按照物理层的编码规则将数据编码，最终转化为模拟信号将数据发送出去。而在主机接收数据时流程则相反。DP83822 与 MAC 连接时可以选择 MII, RMII 或 RGMII 三种接口，与外界连接时可以选择通过 RJ45 接口连接双绞线或者通过通过光纤收发器连接光纤两种方式。简化的网络接口示意图如图 1 所示。

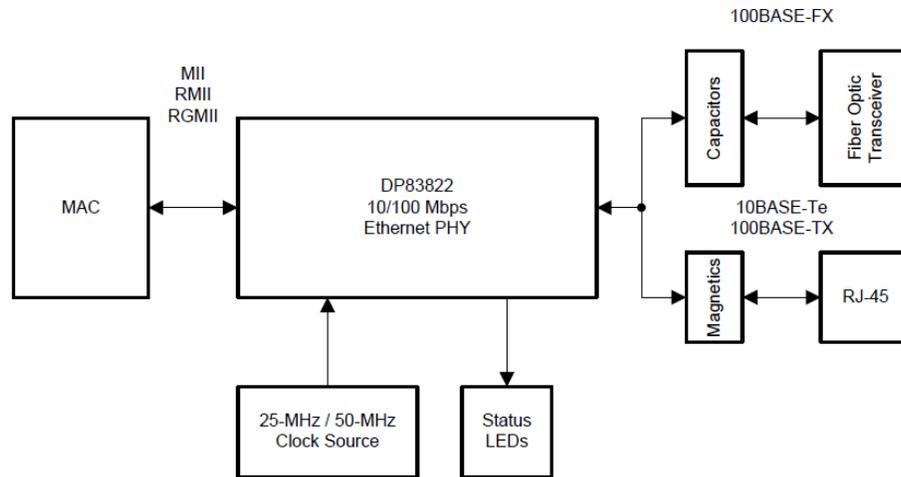


Figure 1. DP83822 构成的网络接口示意图

2 DP83822 的典型配置

通常，为了节约接口资源，DP83822 与 MAC 的连接多采用 RMII 接口。而 DP83822 与外界的连接一般采用通过网络变压器连接 RJ-45 接口的方式。在本文接下来的介绍中，都是以这种配置方式为例的。

2.1 DP83822 的时钟模式

在 RMII 接口模式下，DP83822 的工作模式又分为两种，即 RMII Slave 模式与 RMII Master 模式。

在 RMII Slave 模式下，DP83822 与 MAC 共用一个时钟信号。该时钟信号需要由一个外部的 50MHz CMOS 振荡器产生并且同时连接到 DP83822 与 MAC。具体连接方式如图 2 所示。

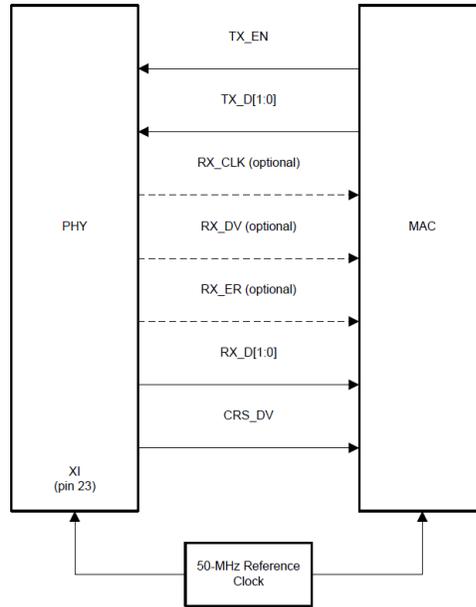


Figure 2. RMII Slave 模式时钟连接方式

在 RMII Master 模式下，DP83822 需要一个 25MHz 的时钟信号。该信号可以用一个 25MHz 的 CMOS 振荡器输入到 XI 引脚来实现，也可以用 一个 25MHz 的晶体连接到 XI 与 XO 引脚来实现。而 MAC 所需的 50MHz 时钟信号则可以由 DP83822 的 GPIO 引脚来提供。一般应用中为了节约成本，多采用 RMII Master 模式外加 25MHz 晶体的方式。具体连接方式如图 3 所示。

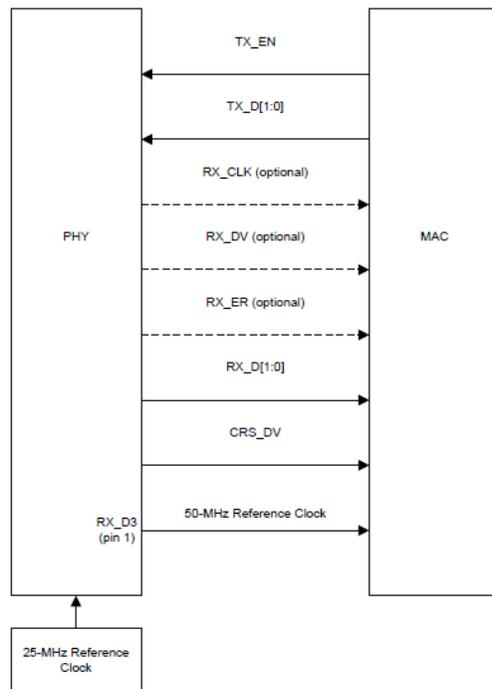


Figure 3. RMII Master 模式时钟连接方式

2.2 DP83822 的串行管理接口

在应用 DP83822 时，需要对其内部的寄存器进行读写操作来获取芯片的状态信息或者对其进行配置。为此，DP83822 配备有专用的串行管理接口方便用户对内部寄存器进行读写操作。串行管理接口包括时钟线（MDC）与数据线（MDIO）。

时钟线（MDC）由 MCU 端控制发出，用户可以根据自己的需求来控制 MDC 的频率。该时钟信号的最大频率限制为 25MHz，而最低频率没有限制。并且，该时钟信号不必持续发出，在不需读写寄存器的时候可以将其关闭。

数据线（MDIO）用于在 DP83822 与 MCU 之间传递数据，由通信的双方共同控制。MDIO 线的数据在 MDC 的上升沿被采样，并且要求数据在 MDC 上升沿前后的建立时间与保持时间至少为 10ns。二者之间的时序关系如图 4 所示。

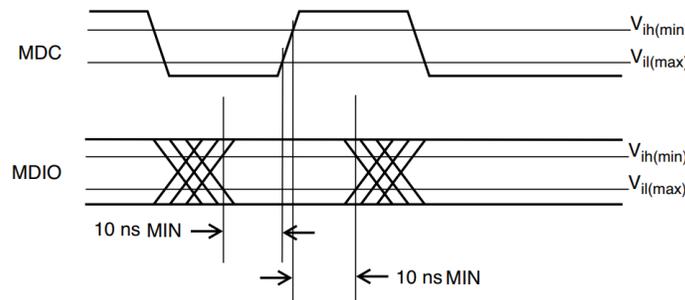


Figure 4. MDC 与 MDIO 的时序关系

2.3 Auto-Negotiation 与 Auto-MDIX 配置

在对 DP83822 进行配置时，有两个非常关键的配置需要注意，即 Auto-Negotiation 与 Auto-MDIX。

Auto-Negotiation 提供了一种机制使得建立 Link 的双方可以交换各自的配置信息，包括传输速率的配置（100Mbps 或 10Mbps）以及双工方式的配置（全双工或半双工）。通过 Auto-Negotiation 自动协商功能，可以保证最终的 Link 模式为通信双方能够同时支持的最高速率与最优双工方式。Auto-Negotiation 功能可以通过硬件配置或者配置 BMCR(address 0x0000)寄存器的方式来使能或者关闭。其中，配置寄存器的方式如图 5 所示。

BIT	NAME	TYPE	DEFAULT	FUNCTION
13	Speed Selection	RW, Strap	1	Speed Select: 1 = 100 Mbps 0 = 10 Mbps When Auto-Negotiation is disabled (bit[12] = 0 in Register 0x0000), writing to this bit allows the port speed to be selected.
12	Auto-Negotiation Enable	RW, Strap	1	Auto-Negotiation Enable: 1 = Enable Auto-Negotiation 0 = Disable Auto-Negotiation If Auto-Negotiation is disabled, bit[8] and bit[13] of this register determine the port speed and duplex mode.
8	Duplex Mode	RW, Strap	1	Duplex Mode: 1 = Full-Duplex 0 = Half-Duplex When Auto-Negotiation is disabled, writing to this bit allows the port Duplex capability to be selected.

Figure 5. 利用 BMCR 寄存器配置 Auto-Negotiation

Auto-MDIX 提供了一种机制使得 DP83822 可以支持不同类型的线缆与网口连接。一般来说，网线线缆分为直连和交叉两种，通过 Auto-MDIX 功能，DP83822 会在 TD 发送/RD 接收与 TD 接收/RD 发送两种传输方式之间自动切换，根据 Link 双方协商的结果来确定最终的传输方式，从而可以适应直连和交叉这两种不同的线缆。Auto-MDIX 功能可以通过硬件配置或者配置 PHYCR(address 0x0019)寄存器来使能或者关闭。其中，配置寄存器的方式如图 6 所示。

BIT	NAME	TYPE	DEFAULT	FUNCTION
15	Auto MDI/X Enable	RW, Strap	0	Auto-MDIX Enable: 1 = Enable Auto-Negotiation Auto-MDIX capability 0 = Disable Auto-Negotiation Auto-MDIX capability
14	Force MDI/X	RW	0	Force MDIX: 1 = Force MDI pairs to cross (MDIX) 0 = Normal operation (MDI) When Force MDI/X is enabled, receive data is on the TD pair and transmit data is on the RD pair. When disabled, receive data is on the RD pair and transmit data is on the TD pair.

Figure 6. 利用 PHYCR 寄存器配置 Auto-MDIX

3 影响 DP83822 Link 稳定性的因素

在基于 DP83822 的以太网 PHY 电路设计中，判断设计成功与否的标准在于通信双方能否建立起稳定的 Link 并且进行正常的通信。本文结合 DP83822 的设计实例，介绍了其外围电路设计中可能影响到 Link 稳定性的因素以及相应的解决方法。

3.1 设计实例中的 Link 中断问题

在某些应用情况下，如 2.2 节中介绍，需要通过串行管理接口 MDC 与 MDIO 去读取 DP83822 内部的寄存器值来判断当前芯片的工作状态。例如，在应用中通常会读取 BMSR(address 0x0001)寄存器中的 Bit2 来判断当前通信双方的 Link 状态，如果监测到 Link 断开，主机需要及时做出反应。根据不同的应用场景要求，读取 Link 状态位的频率由用户自己决定。然而，实际应用中发现，在某些外围电路设计下，通过 MDC 和 MDIO 读取寄存器的操作有可能导致 Link 不稳定，并且读取寄存器的频率越高，Link 断开的频率就越高，具体情况如下表所示：

连接情况	DP83822 配置	是否读取 DP83822 内部寄存器	Link 稳定性
DP83822 通过网线直连电脑	Auto-Negotiation Auto-MDIX	不读寄存器	Link 稳定
		10ms 读一次寄存器	Link 经常中断
		100ms 读一次寄存器	Link 偶尔中断
		1s 读一次寄存器	Link 很少中断

3.2 Link 中断原因分析

为了分析 Link 中断的原因，在 3.1 节中的外围电路设计下，用示波器观察与电脑连接时 DP83822 的 TD 端信号与 RD 端信号。为了便于分辨发送端与接收端，将 DP83822 配置为 Force MDI 模式，从而确保 TD 端为信号发送端而 RD 端为信号接收端。除此之外，配置传输速率为 Force 100Mbps，全双工。采用每 10ms 读取一次寄存器的方式进行实验，实验结果如图 7，图 8 所示。图中黄色波形为 TD 端测量结果，绿色波形为 RD 端测量结果。



Figure 7. Force MDI 模式下 Link 建立



Figure 8. Force MDI 模式下 Link 中断

从图中波形可以看出，TD 端在持续发出 MLT-3 格式的信号，但是信号波形存在畸变。

当 RD 端接收到 Link 对侧回应的 MLT-3 信号时（如图 7 所示），证明电脑端可以对 DP83822 发出的信号产生应答，此时 Link 是建立的。

当 RD 端没有接收到 Link 对侧回应的 MLT-3 信号时（如图 8 所示），证明此时 DP83822 TD 端发出的信号无法被对侧设备识别，导致对侧设备没有产生应答信号，使得 Link 断开。

为了验证 Link 断开是否与 TD 端和 RD 端的传输方向有关，将 DP83822 的配置改为 Force MDIX 模式，即 RD 端为信号发送端而 TD 端为信号接收端。其他配置仍然为 Force 100Mbps，全双工。采用每 10ms 读取一次寄存器的方式进行实验，实验结果如图 9，图 10 所示。图中黄色波形仍为 TD 端测量结果，绿色波形仍为 RD 端测量结果。从图中可以看出，Force MDIX 模式下仍然会出现 DP83822 发出的信号无法被识别的现象，证明 Link 断开与 TD 端和 RD 端的传输方向无关。



Figure 9. Force MDIX 模式下 Link 建立



Figure 10. Force MDIX 模式下 Link 中断

基于以上实验结果可知，Link 断开是由于 DP83822 发出的 MLT-3 信号无法被对侧设备识别导致的，并且 MLT-3 的信号质量与 TD 端和 RD 端的方向配置没有直接的关系。由于在 3.1 节描述的的应用中发现，不读取寄存器时，Link 状态是稳定的，而读取寄存器时，Link 会出现断开的情况，且读取寄存器的操作越频繁，Link 断开的频率就越高。因此判断是 MDC 和 MDIO 的动作影响了 DP83822 发出的 MLT-3 信号质量。

从图 11 的 DP83822 引脚分布可以看出，MDC 与 MDIO 引脚与用于连接外部 25MHz 晶振的 XI 与 XO 引脚分布在芯片的同一侧。如果在应用中的布局布线不合理，使 MDC 与 MDIO 距离晶振或其负载电容过近的话，就会导致 MDC 与 MDIO 在读取寄存器时的动作很容易干扰到 DP83822 的时钟信号，从而影响 DP83822 发出的 MLT-3 信号质量，导致 Link 无法稳定的建立。

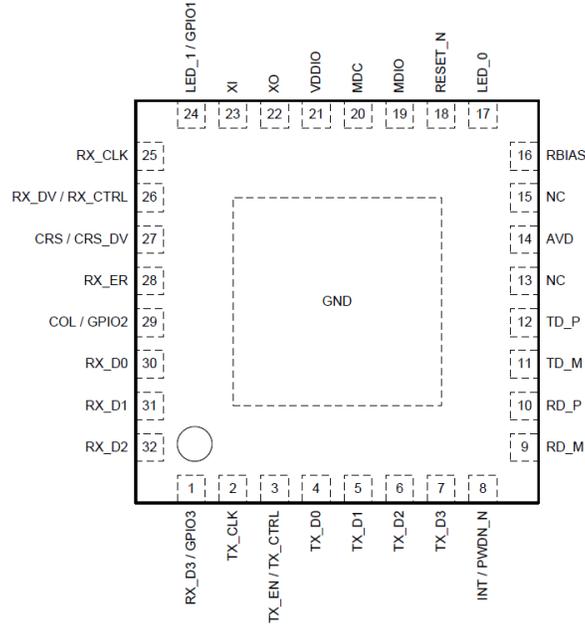


Figure 11. DP83822 的引脚分布

另外，DP83822 的手册中明确指出，使用 DP83822 进行设计时，为了保证信号完整性，至少需要使用 4 层 PCB 板布局，如果可以的话最好使用 6 层板。然而在很多应用中，由于成本的限制，用户只能采用 2 层 PCB 布板。此时，MDC 与 MDIO 的走线布局就变得尤为关键。

4 DP83822 的外围电路设计注意事项

由前文分析可知，当 MDC 与 MDIO 距离晶振或其负载电容过近时，很容易干扰到 DP83822 的时钟信号。MDC 与 MDIO 为串行管理接口，虽然 MDC 为时钟线，MDIO 为数据线，但是二者的本质都是一些在 0 与 1 之间跳变的信号，只是 MDIO 并不是每个时钟沿都会跳变，频率相对于 MDC 要低一些。因此，MDC 与 MDIO 在读取寄存器时，都会由于电平翻转产生尖峰，这些尖峰带来的高频谐波信号将会向外辐射，干扰附近的 25MHz 晶振，从而影响 DP83822 Link 的稳定性。实测 MDC 与 MDIO 动作时的波形如图 12，图 13 所示。

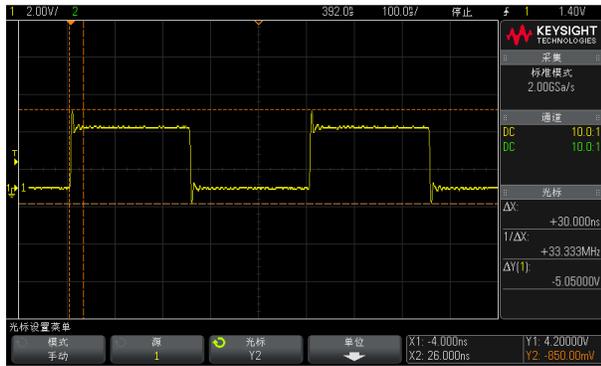


Figure 12. MDC 波形

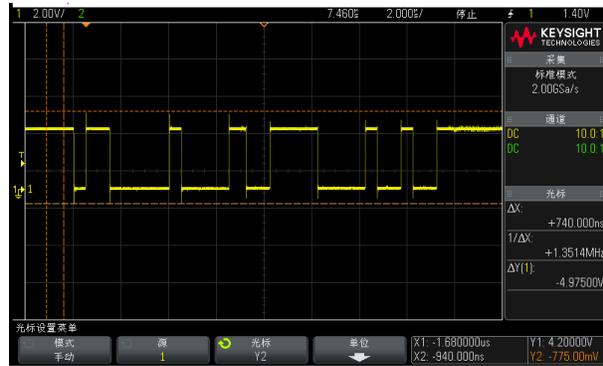


Figure 13. MDIO 波形

为了避免 MDC 与 MDIO 的尖峰干扰 DP83822 的正常工作，在进行外围电路设计时可以采取以下方法。

4.1 MDC 与 MDIO 尽可能远离时钟源

由于 MDC 与 MDIO 翻转时必然会产生尖峰信号，如果采用 2 层板布局，且 MDC 与 MDIO 距离时钟源过近的话，就会对时钟信号产生干扰。因此，在布线时，应该让 MDC 与 MDIO 尽可能远离 DP83822 的晶振及其负载电容，且避免 MDC 或 MDIO 与时钟线并行走线。在 3.1 节介绍的设计实例中，MDC 与 MDIO 的走线如图 14 所示，此时读取寄存器会影响到 Link 的稳定性。而将 MDC 与 MDIO 的走线远离时钟源后，如图 15 所示，实测读取寄存器不再影响 Link 的稳定性。

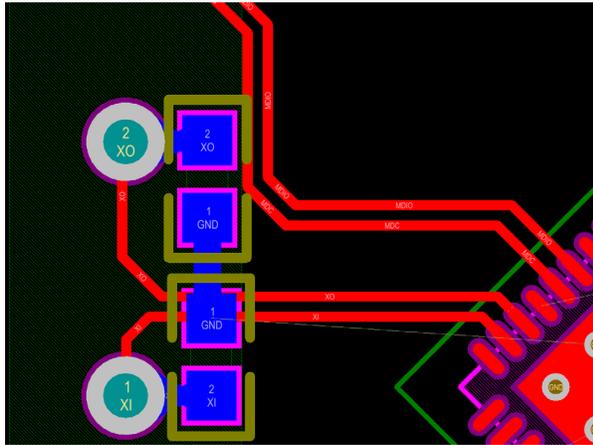


Figure 14. MDC 与 MDIO 的不合理走线

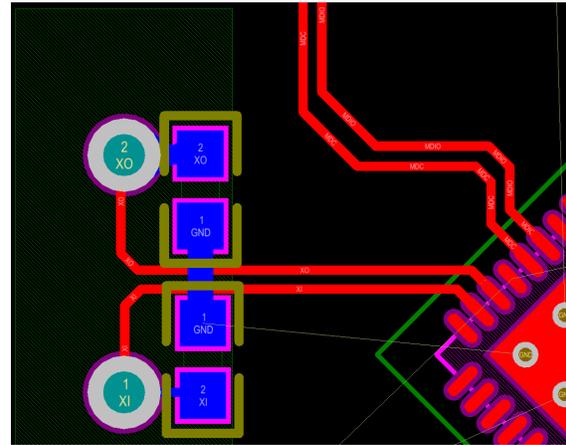


Figure 15. MDC 与 MDIO 的合理走线

4.2 MDC 与 MDIO 增加 RC 滤波

MDC 与 MDIO 对时钟产生干扰的根本原因是其电平翻转时产生的尖峰信号。通过在 MDC 与 MDIO 信号线上增加 RC 滤波的方式，可以有效的消除尖峰。需要注意的是，增加 RC 滤波虽然有助于抑制信号的尖峰，但是同时也会减缓信号上升沿和下降沿的速率，有可能影响到正常的串行管理通信。DP83822 的手册中并没有对 MDC 与 MDIO 的上升沿速率和下降沿速率提出明确要求，因此，需要根据实际测试情况选择合适的 RC 参数。

在 3.1 节介绍的设计实例中，在 MDC 与 MDIO 信号线上分别增加 $R=51\text{ohm}$ ， $C=100\text{pF}$ 的滤波电路后，二者的波形如图 14，图 15 所示。从图中可以看出，电平翻转时的尖峰信号得到了消除。而且经过实测，增加 RC 滤波后即使不去调整 MDC 与 MDIO 距离时钟源的位置，读取寄存器也不再影响 Link 的稳定性。因此，建议设计时在 MDC 与 MDIO 线上预留 RC 滤波器的位置，根据实测情况决定是否焊接。

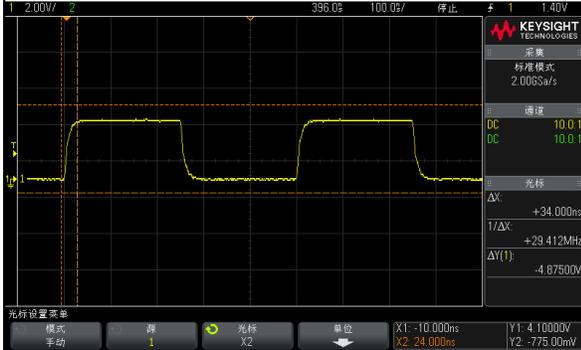


Figure 16. 增加 RC 滤波后的 MDC 波形

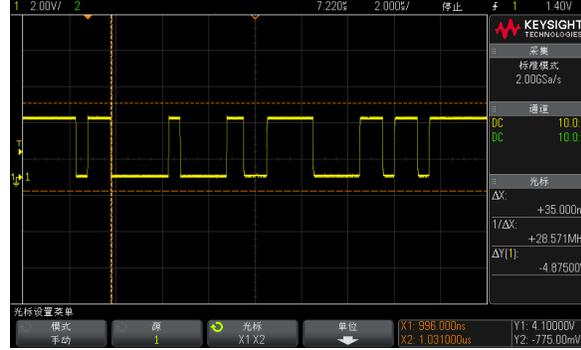


Figure 17. 增加 RC 滤波后的 MDIO 波形

4.3 利用 LED_0 判断 Link 状态

在 3.1 节介绍的设计实例中，是通过读取寄存器的方式来获取 Link 状态的，因此需要驱动 MDC 与 MDIO，从而引起了对时钟源的干扰。然而，若要获取 Link 状态，并非一定要通过读取寄存器的方式，还可以通过判断 LED_0 引脚电平的方式实现。

手册中关于 LED_0 引脚的描述如图 16 所示。通常 LED_0 被配置为默认状态，通过驱动外部 LED 灯来指示 Link 状态。Link 建立时 LED 灯点亮，Link 断开时 LED 灯熄灭。

GPIO AND LED INTERFACE			
LED_0	17	O, S, PU	<p>Mode 1 (Default): LINK Indication, LED indicates the status of the link. When the link is good, LED is ON. When the link is down, LED is OFF.</p> <p>Mode 2: ACT Indication, LED indicates transmit and receive activity in addition to the status of the link. The LED is ON when link is good. The LED blinks when the transmitter or receiver is active.</p>

Figure 18. LED_0 的引脚定义

LED_0 引脚驱动 LED 灯时有两种连接方式，如图 17 所示。在这两种连接方式下，LED_0 会根据 Link 的状态输出对应的高低电平驱动 LED 灯。因此，可以将 LED_0 连接到 MCU 的 GPIO 口，MCU 通过判断该 GPIO 口的高低电平便可以获取 Link 状态，如此一来，就不需要通过读取寄存器获取 Link 状态，避免了 MDC 与 MDIO 动作引起的干扰。

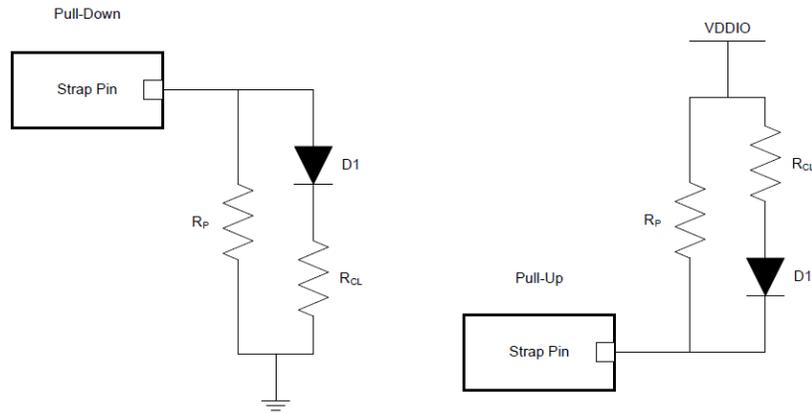


Figure 19. LED_0 驱动 LED 灯的连接方式

5 总结

本文介绍了 DP83822 的典型配置，并且根据设计实例中遇到的 Link 中断问题，分析了外围电路中可能影响到 Link 稳定性的因素，介绍了相应的解决方法与注意事项，可以辅助用户针对 DP83822 的电路设计。

6 参考文献

1. DP83822 datasheet (SNLS505C)
2. IEEE Std 802.3

重要声明和免责声明

TI 均以“原样”提供技术性 & 可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证其中不含任何瑕疵，且不做任何明示或暗示的担保，包括但不限于对适销性、适合某特定用途或不侵犯任何第三方知识产权的暗示担保。

所述资源可供专业开发人员应用 TI 产品进行设计使用。您将对以下行为独自承担全部责任：(1) 针对您的应用选择合适的 TI 产品；(2) 设计、验证并测试您的应用；(3) 确保您的应用满足相应标准以及任何其他安全、安保或其他要求。所述资源如有变更，恕不另行通知。TI 对您使用所述资源的授权仅限于开发资源所涉及 TI 产品的相关应用。除此之外不得复制或展示所述资源，也不提供其它 TI 或任何第三方的知识产权授权许可。如因使用所述资源而产生任何索赔、赔偿、成本、损失及债务等，TI 对此概不负责，并且您须赔偿由此对 TI 及其代表造成的损害。

TI 所提供产品均受 TI 的销售条款 (<http://www.ti.com.cn/zh-cn/legal/termsofsale.html>) 以及 [ti.com.cn](http://www.ti.com.cn) 上或随附 TI 产品提供的其他可适用条款的约束。TI 提供所述资源并不扩展或以其他方式更改 TI 针对 TI 产品所发布的可适用的担保范围或担保免责声明。

邮寄地址：上海市浦东新区世纪大道 1568 号中建大厦 32 楼，邮政编码：200122
Copyright © 2018 德州仪器半导体技术（上海）有限公司