

TPS53647/67 多相电源上下电时序控制

Given Ding/Binbin Wang

Sales & Applications/ Huawei

ABSTRACT

近年来，随着ASIC，FPGA等的更新换代，其输出电压不断降低，输出电流不断上升，相应的，低压大电流输出的需求显著提升。针对网络产品中ASIC和FPGA的供电需求，多相Buck的方案越来越常见。TPS53647/67控制器配合power stage（CSD95490）构成多相Buck就是主流方案之一。在进行多相电源设计时，如果控制器和power stage的时序安排不当，可能会出现预偏置起机输出电压跌落震荡，系统下电输出电压过冲等问题，本应用报告给出了实际应用出现这些问题的原因以及相应的解决方法。

Contents

1. 典型应用.....	2
2. TPS53667 电路参数配置.....	2
3. 供电时序要求	4
4. 结论.....	8
参考文献	9

Figures

Figure 1. 简化的典型应用原理图.....	2
Figure 2. TPS53667 管脚配置原理框图	3
Figure 3. VBOOT 管脚上电波形.....	3
Figure 4. VBOOT 管脚配置.....	4
Figure 5. 输出 0.35V 预偏置起机波形	5
Figure 6. 等效的控制器侧和 powerstage 侧的 PWM 管脚框图.....	5
Figure 7. 输出电压 0.35V 预偏置起机(power stage 在控制器后使能).....	6
Figure 8. 系统下电输出电压过冲波形.....	6
Figure 9. 系统下电 SW 和 VOUT 展开波形	7
Figure 10. D-CAP+控制基本波形.....	7
Figure 11. 系统下电波形(控制器在 power stage 之前关闭).....	8

1. 典型应用

TPS53647和TPS53667都是多相Buck的控制器，两者的主要区别是TPS53647能够最多支持四相交错并联，TPS53667能够最多支持六相交错并联。本文以TPS53667为例进行介绍，除了支持相数的区别，其余均适用于TPS53647。

TPS53667的控制方式为DCAP+™，这种控制方式保证了系统具有快速的动态响应能力，同时可选的OSR和USR功能可以进一步降低输出电压在负载动态时的过冲和下冲。和普通的单相Buck电源设计类似，在设计时需要考虑输入电压范围，输出电压，负载电流，纹波，动态指标等等。具体的设计步骤可以参考数据手册(SLUSC40B)。

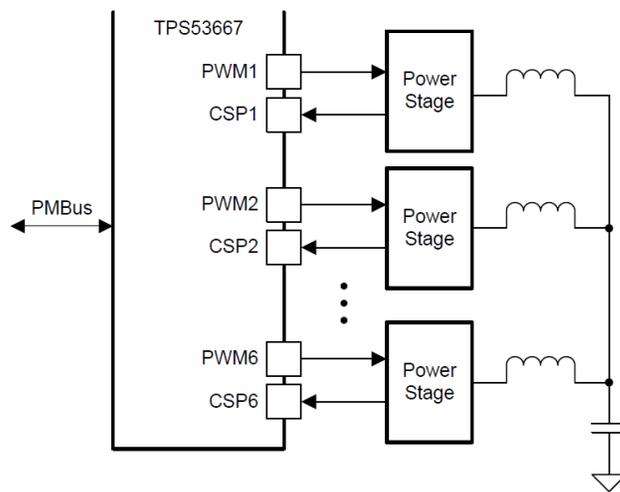


Figure 1. 简化的典型应用原理图

2. TPS53667 电路参数配置

TPS53667可以通过PMBus总线和Pinstrap两种方式进行电路参数配置。PMBus是电源领域的一种通信协议，通过SDA和SCLK总线进行数据传输，修改TPS53667内部寄存器的数值，达到配置参数的目的。Pinstrap则是在TPS53667需要配置的引脚端接分压电阻，通过检测引脚上的电压以及所接电阻的阻值，然后配置对应的参数。这种方式的好处在于当系统没有类似于ASIC 或者FPGA 芯片发送指令时，仍然可以按照需要对电源进行配置。下面以VBOOT电压为例，介绍TPS53667如何通过Pinstrap进行配置。

首先需要将TPS53667上电时寄存器配置方式改为通过Pinstrap来配置，即需要将skip_NVM管脚对地电阻设为 $\leq 20\text{kohm}$ 。

如Figure 2所示，当设定为通过pinstrap配置寄存器后，在刚上电时，内部的基准电压Vref (1.7V)会通过一个运放跟外部管脚连接在一起，加到管脚上。由于管脚外部的上拉电压也是Vref，所以Rtop上没有电流，电压会加在Rbot，产生电流。该电流通过镜像后，在一个电阻上形成电压，送到ADC的输入，然后转换成数字信号。同时TPS53667会检测管脚的电压，

转化成数字信号。通过检测这两部分的信息，来对内部寄存器进行配置。所以，在实际上电时，会看到对应管脚上有一个1.7V的尖峰存在，如Figure 3所示。

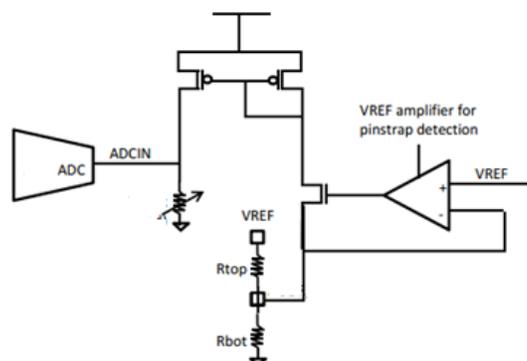


Figure 2. TPS53667 管脚配置原理框图

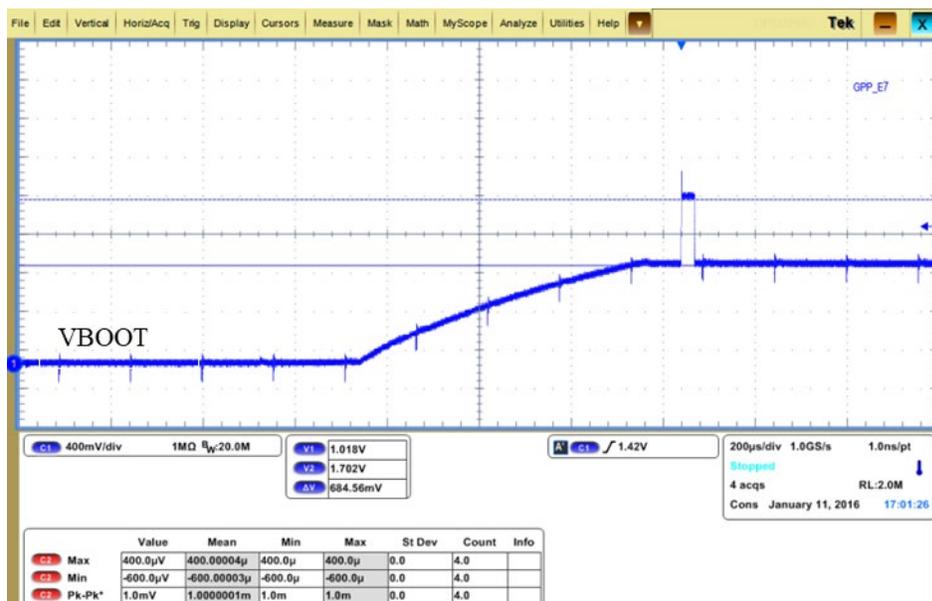


Figure 3. VBOOT 管脚上电波形

TPS53667遵循VID调压协议，支持VR12和VR12.5两种调压协议。VID指令总共有8位，手册P25, 26给出了VR12和VR12.5中每个电压对应的指令，

假设我们要配置VBOOT为VR12的1V，其对应的VID数值为0x97，即0b10010111。首先通过MFR_SPECIFIC_13寄存器配置调压协议为VR12。VBOOT管脚决定VBOOT电压寄存器当中的bit[7~1]，ADDR管脚决定bit[0]。以VBOOT管脚的配置为例，VBOOT管脚对地的阻值决定了bit[3~1]，VBOOT管脚的电压决定bit[7~4]。先选取对地的电阻，011对应的是39k，则Rbot为39kohm。1001对应1.009V，即boot管脚上的电压应该配置为1.009V。由于管脚输入阻抗很大，所以可以忽略其对外接电阻阻值的影响。从而有 $V_{ref} * R_{bot} / (R_{bot} + R_{top}) = 1.009V$ ，则Rtop为26.7kohm，选取标称值27kohm。bit0也按照类似的方法进行配置。

PARAMETER		TEST CONDITIONS	MIN	TYP	MAX	UNIT	
VBOOT PIN: BOOT VOLTAGE SETTING							
V _{BOOT} ⁽¹⁾	BOOT voltage setting (B ₃ B ₂ B ₁)	R _{VBOOT} ≤ 20 kΩ, or MFR_SPEC_11 [3:1] = 000b		000			
		R _{VBOOT} = 24 kΩ, or MFR_SPEC_11 [3:1] = 001b		001			
		R _{VBOOT} = 30 kΩ, or MFR_SPEC_11 [3:1] = 010b		010			
		R _{VBOOT} = 39 kΩ, or MFR_SPEC_11 [3:1] = 011b		011			
		R _{VBOOT} = 56 kΩ, or MFR_SPEC_11 [3:1] = 100b		100			
		R _{VBOOT} = 75 kΩ, or MFR_SPEC_11 [3:1] = 101b		101			
		R _{VBOOT} = 100 kΩ, or MFR_SPEC_11 [3:1] = 110b		110			
		R _{VBOOT} ≥ 150 kΩ, or MFR_SPEC_11 [3:1] = 111b		111			
	BOOT voltage setting (B ₇ B ₆ B ₅ B ₄)	V _{VBOOT} ≤ 0.053 V with ±20 mV tolerance, or MFR_SPEC_11 [7:4] = 0000b			0000		
		V _{VBOOT} = 0.159 V with ±20 mV tolerance, or MFR_SPEC_11 [7:4] = 0001b			0001		
		V _{VBOOT} = 0.266 V with ±20 mV tolerance, or MFR_SPEC_11 [7:4] = 0010b			0010		
		V _{VBOOT} = 0.372 V with ±20 mV tolerance, or MFR_SPEC_11 [7:4] = 0011b			0011		
		V _{VBOOT} = 0.478 V with ±20 mV tolerance, or MFR_SPEC_11 [7:4] = 0100b			0100		
		V _{VBOOT} = 0.584 V with ±20 mV tolerance, or MFR_SPEC_11 [7:4] = 0101b			0101		
		V _{VBOOT} = 0.691 V with ±20 mV tolerance, or MFR_SPEC_11 [7:4] = 0110b			0110		
		V _{VBOOT} = 0.797 V with ±20 mV tolerance, or MFR_SPEC_11 [7:4] = 0111b			0111		
		V _{VBOOT} = 0.903 V with ±20 mV tolerance, or MFR_SPEC_11 [7:4] = 1000b			1000		
		V _{VBOOT} = 1.009 V with ±20 mV tolerance, or MFR_SPEC_11 [7:4] = 1001b			1001		
		V _{VBOOT} = 1.116 V with ±20 mV tolerance, or MFR_SPEC_11 [7:4] = 1010b			1010		
		V _{VBOOT} = 1.222 V with ±20 mV tolerance, or MFR_SPEC_11 [7:4] = 1011b			1011		
		V _{VBOOT} = 1.328 V with ±20 mV tolerance, or MFR_SPEC_11 [7:4] = 1100b			1100		
		V _{VBOOT} = 1.434 V with ±20 mV tolerance, or MFR_SPEC_11 [7:4] = 1101b			1101		
		V _{VBOOT} = 1.541 V with ±20 mV tolerance, or MFR_SPEC_11 [7:4] = 1110b			1110		
V _{VBOOT} = 1.615 V with ±10 mV tolerance, or MFR_SPEC_11 [7:4] = 1111b			1111				

Figure 4. VBOOT 管脚配置

3. 供电时序要求

TPS53667的供电有两路，一是12V的母线电压，给功率部分提供能量，给控制提供输入电压采样；另一路是5V，给内部模拟电路供电。此外，TPS53667内部有一个LDO将5V转成3.3V，给内部数字电路供电。对于power stage来说，需要5V给内部集成的驱动电路以及其他诸如采样电路供电。

在实际系统应用中，由于控制器和power stage 需要配合使用，为了保证系统稳定，对各个电源的上下电时序有所要求，结合如下实例来进行分析说明。

3.1 预偏置起机掉电及解决方案

预偏置起机是指在上电前输出电压不为零，处于零和最终输出电压之间，在电源上电后以这个电压为起始点开始抬升，要防止输出电压掉落。在ASIC或者PFGA的应用场合，可能存在输入掉电，但由于输出电容较大，输出没有回到零再次上电的场景，这种情况下要保证输出能够平稳到达设定输出电压。

如Figure 5所示，在系统上电前输出电压为0.35V，设定的输出电压为1.009V。Power stage的EN由VDD的5V供电。实验发现系统上电后，输出电压先被拉到零，同时产生震荡，然后才能回到0.35V起机。这是因为power stage的UVLO是3.9V，比控制的4.25V要低一些，当5V从低变高时，power stage会比控制器先超过欠压点。同时，如前面所说，power stage的EN由VDD控制，此时也为高，则power stage的内部电路已经供电上，而这个时候控制器的3.3V输出还是低。控制器的PWM管脚输出内部等效为一个推挽电路，如Figure 6所示，由于在PWM管脚和V3R3管脚之间有一个二极管，此时V3R3还是低，而VDD已经为高，所以二极管会导通，造成PWM脚的电压在0.7V左右，power stage误认为PWM信号为低，从而打开下管把输出电压拉低。当V3R3有效后，PWM电平变高，当其超过1.2V时，power stage进入tri-state状态，上下管同时关断，由于输出电容和电感之间的能量交换，出现震荡。

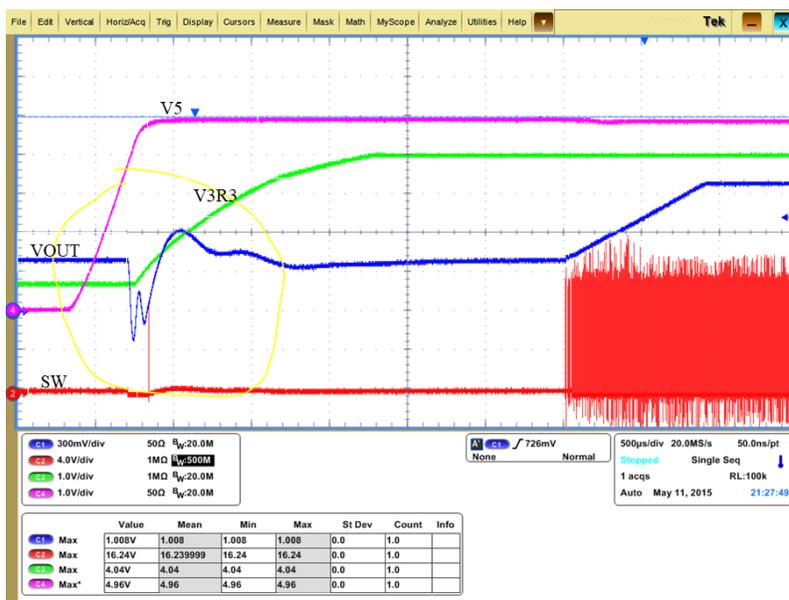


Figure 5. 输出 0.35V 预偏置起机波形

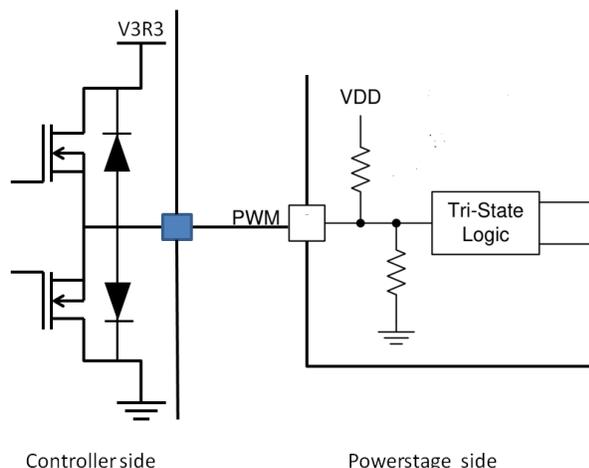


Figure 6. 等效的控制器侧和 powerstage 侧的 PWM 管脚框图

因此为了实现预偏置起机，调节控制器和power stage的上电时序即可，将控制器的V3R3管脚接到power stage的EN管脚。这样即使power stage输入先于控制器达到欠压点，但由于EN受控制器的V3R3控制，保证了控制器开始正常工作后再使能power stage，消除了power stage的误动作带来的影响。下图是修改后的测试结果，可以看到输出电压从0.35V开始正常起机。

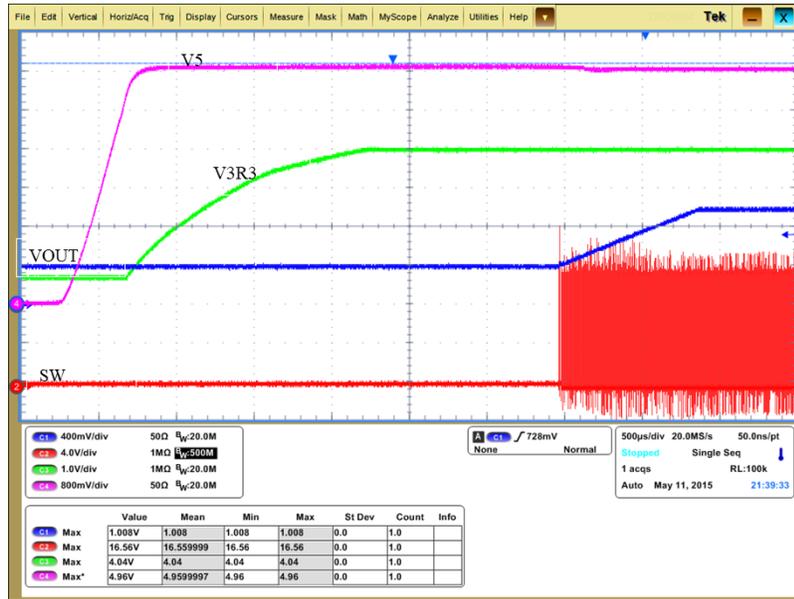


Figure 7. 输出电压 0.35V 预偏置起机(power stage 在控制器后使能)

3.2 下电过冲原因及解决方案

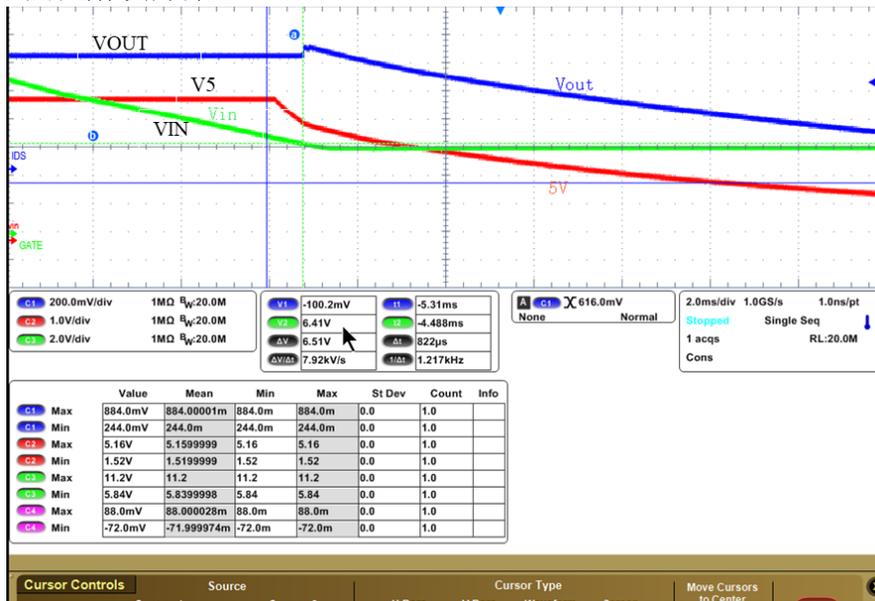


Figure 8. 系统下电输出电压过冲波形

当系统下电时，输出电压在下电瞬间有几十mV级别的过冲。如Figure 8所示，系统正常输出是0.8V，而在下电瞬间输出电压上冲到了0.9V。如前所说，多相电源的负载一般是ASIC，FPGA等核心芯片。它们对于电压变化范围比较敏感。0.9V超出正常工作电压10%，很可能损坏负载芯片。

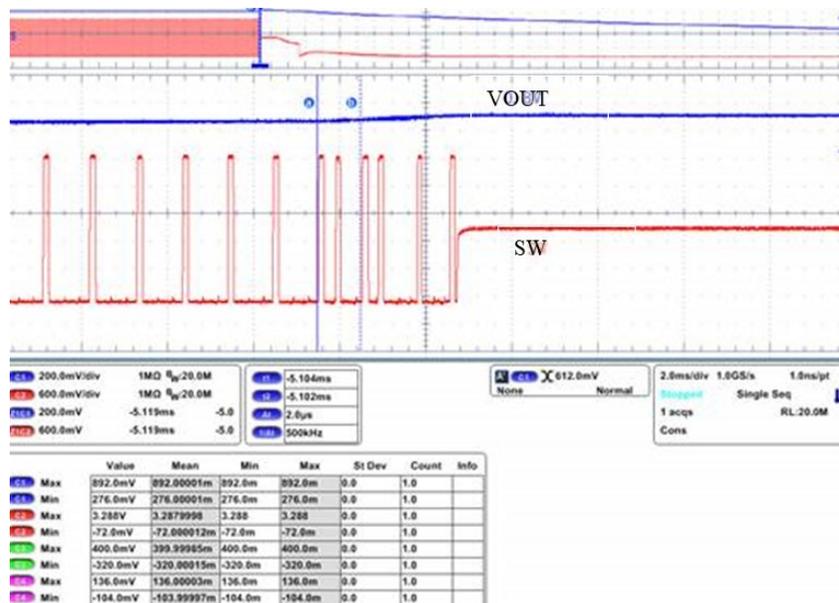


Figure 9. 系统下电 SW 和 VOUT 展开波形

由Figure 9，SW波形可以发现过冲发生时，SW异常增加了几个脉冲，输入提供的能量超出实际所需，从而出现过冲。而此时输出电压并没有出现跌落，从环路的角度，系统处于稳定状态，不需要进行调节。推断应当是环路中的某个变量发生了变化，导致控制环路进行调节，多输出了几个脉冲。

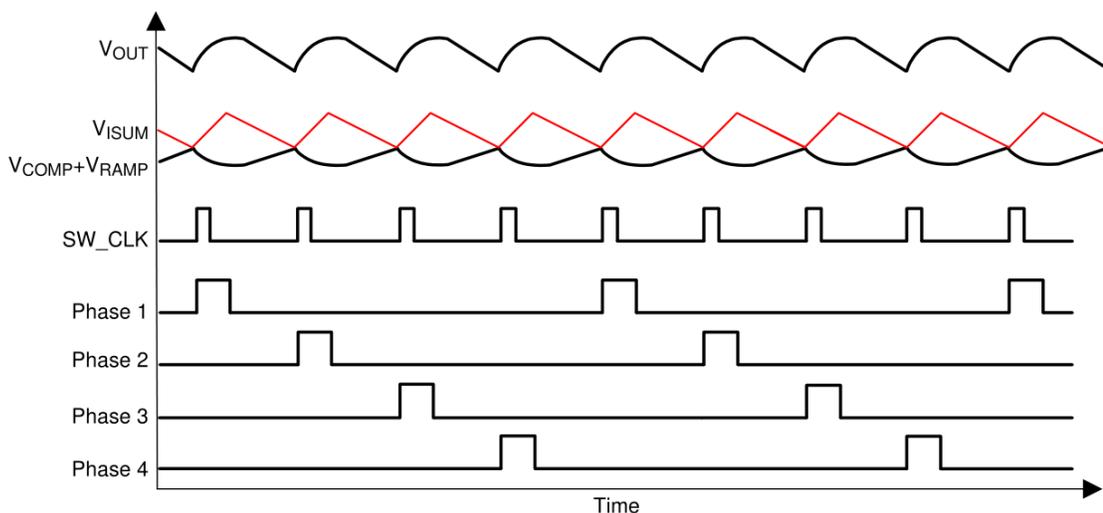


Figure 10. D-CAP+控制基本波形

在输出电压掉到零以及震荡的问题，掉电时输出电压存在过冲的问题，保证了输出电压的稳定，从而保证了输出负载芯片安全可靠工作。

参考文献

- [1] TPS53667 Datasheet, [SLUSC40B](#), Texas Instruments.
- [2] TPS53647 Datasheet, [SLUSC39B](#), Texas Instruments.
- [3] Using the TPS53667EVM-769, 6-Phase, D-CAP+ Step Down, DC-DC Analog with PMBus™ Interface, [SLUUBH9](#), Texas Instruments.

重要声明和免责声明

TI 均以“原样”提供技术性 & 可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证其中不含任何瑕疵，且不做任何明示或暗示的担保，包括但不限于对适销性、适合某特定用途或不侵犯任何第三方知识产权的暗示担保。

所述资源可供专业开发人员应用 TI 产品进行设计使用。您将对以下行为独自承担全部责任：(1) 针对您的应用选择合适的 TI 产品；(2) 设计、验证并测试您的应用；(3) 确保您的应用满足相应标准以及任何其他安全、安保或其他要求。所述资源如有变更，恕不另行通知。TI 对您使用所述资源的授权仅限于开发资源所涉及 TI 产品的相关应用。除此之外不得复制或展示所述资源，也不提供其它 TI 或任何第三方的知识产权授权许可。如因使用所述资源而产生任何索赔、赔偿、成本、损失及债务等，TI 对此概不负责，并且您须赔偿由此对 TI 及其代表造成的损害。

TI 所提供产品均受 TI 的销售条款 (<http://www.ti.com.cn/zh-cn/legal/termsofsale.html>) 以及 [ti.com.cn](http://www.ti.com.cn) 上或随附 TI 产品提供的其他可适用条款的约束。TI 提供所述资源并不扩展或以其他方式更改 TI 针对 TI 产品所发布的可适用的担保范围或担保免责声明。

邮寄地址：上海市浦东新区世纪大道 1568 号中建大厦 32 楼，邮政编码：200122
Copyright © 2018 德州仪器半导体技术（上海）有限公司