

LM27341,LM27342

*Application Note 1520 A Guide to Board Layout for Best Thermal Resistance
for Exposed Packages*



Literature Number: ZHCA252

无掩蔽封装中
实现最佳热阻的
电路板布局指南

美国国家半导体公司
应用注释 1520
2006年9月



目录

1.0 摘要	2
2.0 介绍	2
3.0 PCB（印刷电路板）设计的DOE	2
4.0 测试方法	3
5.0 测试结果	4
5.1 热阻 θ_{JA}	4
5.2 热阻 Ψ_{JT}	5
6.0 建模	6
6.1 参数研究	6
6.2 结果和讨论	7
7.0 PCB设计建议	12
8.0 结论	12

PHYTER® is a registered trademark of National Semiconductor

1.0 摘要

热应用注释提供了优化电路板布局的指南，以获得无掩蔽封装的最佳热阻性能。PN结到环境的热阻(θ_{JA})高度依赖于PCB（印刷电路板）的设计因素。对于PN结到壳体具有低热阻的封装而言更加关键，例如无掩蔽超薄小外形封装(e-TSSOP)、无掩蔽方型扁平封装(e-QFP)和无引脚导线封装(LLP)等。

通过对28引脚e-TSSOP封装的LM2652的实例分析可以发现PCB设计对 θ_{JA} 的影响，并对改进热性能提出相应的设计建议。基于一个3"×3"尺寸和四层板设计的不同接地层而制造出五种不同的PCB。新的PCB将 θ_{JA} 的范围从40~50°C/W减少至25~30°C/W。应用有限元分析(FEA)建模可进行敏感度分析，以确定关键的PCB参数。

2.0 介绍

众所周知，封装的热阻，特别是 θ_{JA} （PN结到环境的热阻）高度依赖于安装了热测试器件的PCB。当封装具有超低的 θ_{JC} （PN结到壳体的热阻）时，PCB的影响变得更加重要，这是因为壳体到PCB之间的热阻以及PCB到周边环境的热阻，比硅片到封装壳体的热阻更重要。

这是为什么 θ_{JC} 和 θ_{JA} 都用来比较除PCB效应以外的封装热性能的主要原因。然而， θ_{JA} 仍然被看成是数据表中最通用和最重要的指标。系统工程师在设计基于工作温度时需要 θ_{JA} 值，而基于封装壳体上的温度设计时则不需要。为测量 θ_{JA} 值而测试PCB的条件同实际应用中类似，例如PCB的尺寸和层的数目。

本应用注释的目标是改进对 θ_{JA} 值的测量并通过改进测试PCB来提高热性能，为得到无掩蔽封装的 θ_{JA} 测量

而进行的PCB设计提出一些建设性的指南。应用工程师需要参考这个指南来设计评估板，特别是应用在高功率器件上，因为PCB会极大地影响热性能，包括器件的功率效率，安全工作区域(SOA)和可靠性。

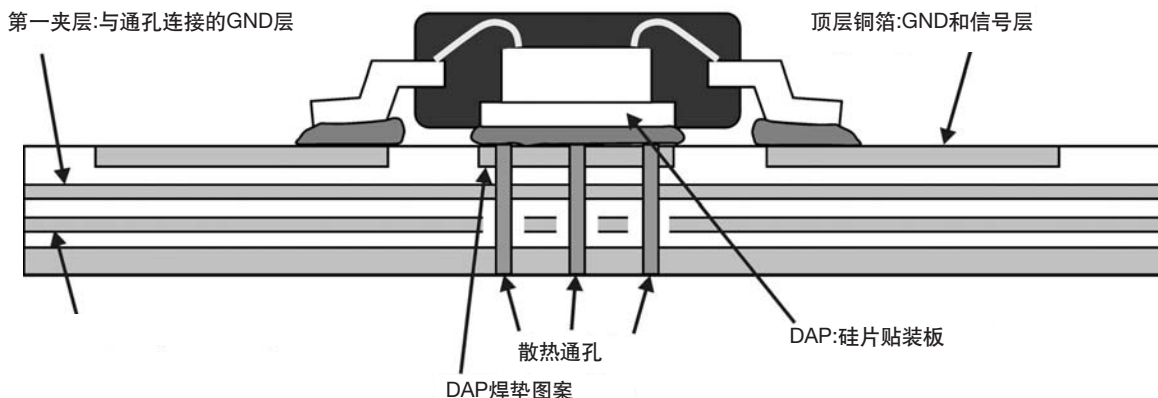
实例分析选择LM2652，采用28-引脚无掩蔽超薄小外形封装(e-TSSOP)。制造了五种不同的PCB，采用不同的接地层布局，尺寸为9平方英寸以及2oz/1oz/1oz/2oz四层铜箔结构。

在本应用注释中提出的 θ_{JA} 结果和PCB设计建议也同样适用于具有无掩蔽裸片附着焊盘(exposed DAP)的其他封装，例如无掩蔽方型扁平式封装(e-QFP)和有不同引脚数的无引脚导线封装(LLP)

3.0 PCB的实验性设计(DOE)

测试电路板采用9平方英寸(2.65"×3.4")面积2oz/1oz/1oz/2oz的四层铜箔结构。如图1所示，散热通孔连接顶层上的DAP焊垫图案(landing pattern)，第一夹层也被用作接地层和底层。设计五种不同的散热测试板来演示不同布局参数的散热效果，归纳如表1所示。

布局因素包括顶部接地区域的尺寸，称之为"狗骨区域"，到DAP焊垫图案的连接，贴近封装的接地层上散热通孔数目（称之为狗骨式通孔，0.018"直径），以及顶层和底层的阻焊覆盖。用于Real#1电路板的狗骨区域是0.0663平方英寸，Real#2比Real#1电路板的狗骨区域大两倍。在DAP焊垫图案（DAP通孔，0.008"直径）上的通孔数目是固定的。除了理想的和修改过的JEDEC电路板之外，顶层和底层的剩余部分包含了50%面密度的网格状铜箔线。图2表示制造出的五种不同的PCB的顶层视图。



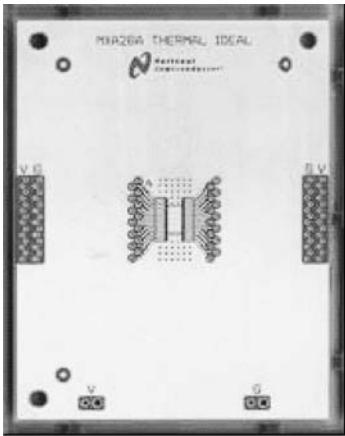
20205101

图1.作散热测试的已封装芯片的PCB剖面图

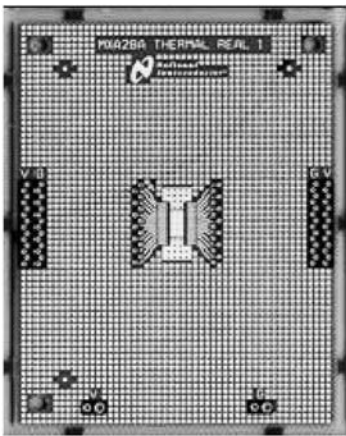
3.0 PCB的实验设计(续)

表1.被测PCB的实验设计

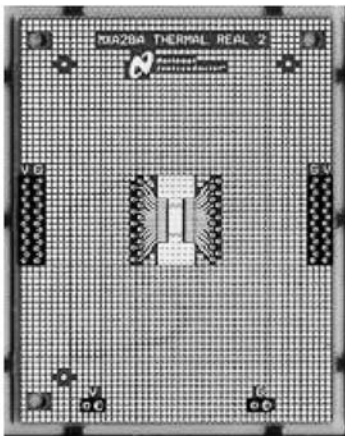
PCB标识	说明
Ideal	在所有层上使用最大的铜接地层
Real#1	在顶层和底层的狗骨接地层；在第一和第二夹层中的完全覆铜层
Real#2	在顶层和底层上面积两倍于Real#1上的狗骨区域
Real#3 (Real#2 + SR)	在顶层和底层上的阻焊覆盖；剩余区域同Real#2一样
Modified JEDEC 4 layer	在顶层和底层上除DAP焊垫以外无GND；散热通孔连接第一夹层



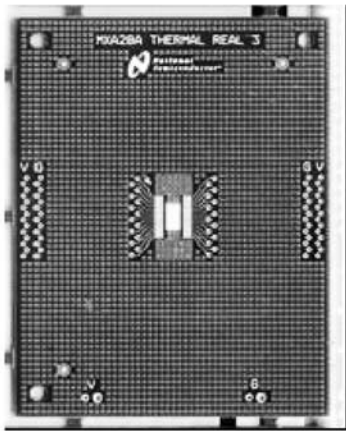
Ideal Board



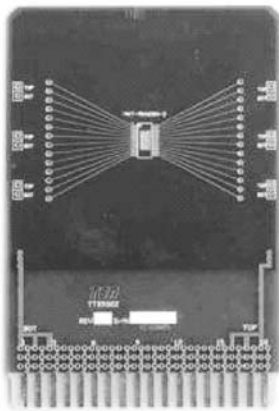
Real#1 Board



Real#2 Board



Real#3 Board



Modified JEDEC Board

20205102

图2.制造好的PCB板

4.0 测试方法

将热阻定义为两个闭合等温表面在温度上的差除以它们之间的整体热流。例如 θ_{JA} 的测量，

$$\theta_{JA} = (T_j - T_a) / P_{diss}$$

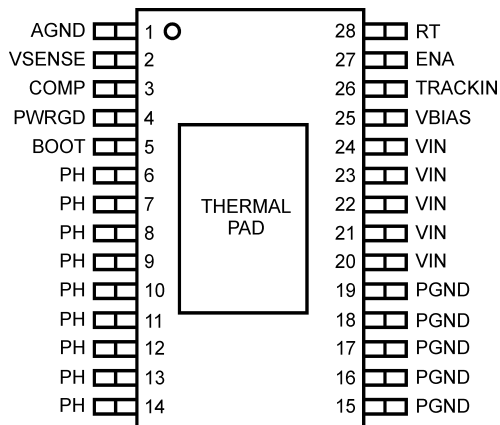
这里 T_j 为半导体结上测量得到的温度， T_a 为周边环

境温度，这是在测试环境中测得，设定在20~25°C。
 P_{diss} 是器件消耗的功率。有两种方法来给器件供电以产生热量，分别是衬底二极管供电和有源供电。在该测试中应用衬底二极管供电，在曲线扫描中可以发现隔离二极管。那些二极管用于加热器件并通过测量取决于结温

4.0 测试方法（续）

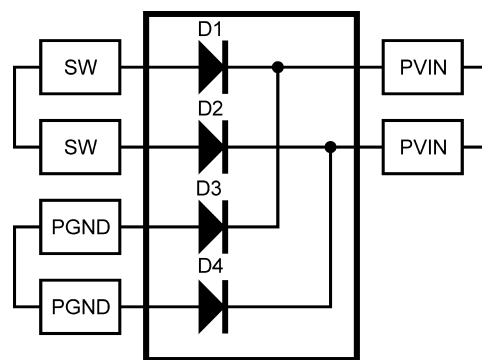
的二极管正向压降来感测结温。根据评估板上器件使用有源供电测试来测量其结温和 θ_{JA} 。要求是无源器件。有源供电的优势在于测量 θ_{JA} 的同时器件仍处于工作中，但是测量也更容易因电气干扰而中断。

图3为具有引脚标识的LM2652器件的顶视图。图4为通过曲线扫描或者简单的二极管检查发现的二极管。PGND到PVIN的内部漏-源体二极管用于测量正向压降，以此来监测结温，同时用SW到PVIN的通路提供电流来加热器件。图5显示了二极管电压和从PGND到PVIN测量所得结温之间的关系图，呈现出很好的线性关系。



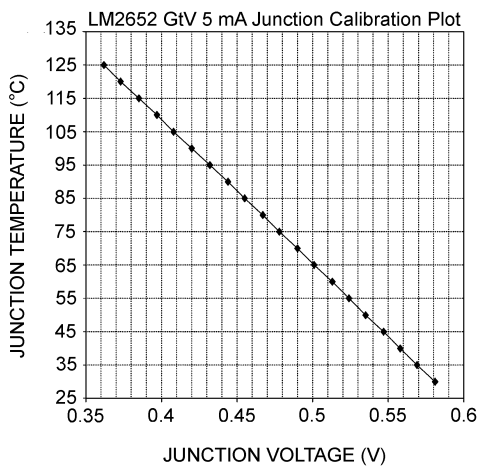
20205103

图3.28引脚TSSOP无掩蔽的顶视图



20205104

图4.显示二极管特性的引脚图



20205105

图5.LM2652中二极管电压与结温之间的关系

5.0 测试结果

5.1 热阻 θ_{JA}

热阻 θ_{JA} 的测量结果如表2所示，用于高性能和修改

过的JEDEC电路板。应用四种不同的散热功率和两种气流条件。 θ_{JA} 的测量也采用相同的LM2652封装，但是在下面也列出两层PCB测试电路板（在下表中解释）以供比较。

5.0 测试结果（续）

表2.不同测试电路板和不同功率和气流条件下的 θ_{JA} 实验结果

PCB description		0.5W	1W	1.5W	2W	1W @ 200 LFPM	1W @ 400 LFPM
高性能 PCB	Ideal	27.7	26.7	25.9	25.5	18.3	16.8
	Real#1	28	27.8	27.8	27.7	19.4	19.9
	Real#2	27.3	27.1	26.7	26.3	20.6	19.1
	Real#3	26.4	25.9	25.4	25	20	18.9
JEDEC (修改过)		33.5	32.4	31.3	30.3	27	25.5
原本的PCB (参见注释1)		47.6	44.7		43.4		

注释1: 原本的PCB为两层: 1oz/1oz, PCB背面2平方英寸的接地平面, 顶层上DAP由散热通孔连接到底层。

如表2所示, 除众所周知的气流条件对 θ_{JA} 的影响较大和器件供电对 θ_{JA} 的中等影响以外, 也提及了电路板设计因素的影响。基于表2中以2W加热条件的结果, 一些电路板设计因素对热阻 θ_{JA} 的影响总结如下:

- PCB的影响: 很明显高性能多层PCB有助于显著地减少 θ_{JA} 。例如, 在两层PCB和"Real#3"电路板上 θ_{JA} 分别是43.4 °C/W 和 25 °C/W。其降低了约42%。
- 接地平面的影响: 修改后的JEDEC电路板比高性能PCB的 θ_{JA} 大约高出21%。原因是修改的JEDEC电路板再顶层和底层上没有地层供散热用。
- 铜箔覆盖的影响: "Ideal"和"Real#2"电路板的热阻 θ_{JA} , 如表2所示, 分别是25.5 °C/W和26.3 °C/W。当电路板"Real#2"顶层和底层上的铜箔面积从电路板"ideal"的最大铜箔面积上减少约50%时, 热阻会增加3.1%。
- 阻焊层覆盖的影响: 在"Real#2"和"Real#3"电路板上 θ_{JA} 分别是26.3 °C/W和25 °C/W。由于更好的热辐射, 阻焊层可以减少4.9%的 θ_{JA} 。

- 狗骨区域的影响: 在"Real#1"和"Real#2"电路板上 θ_{JA} 分别是27.7 °C/W和26.3 °C/W。在"Real#2"电路板上更多通孔的较大狗骨区域可以减少5%的 θ_{JA} 。狗骨区域的影响取决于覆铜层和PCB上的通孔。对于较少覆铜层和较少数目通孔的情况, 狗骨区域的影响会变得更重要。换句话说, 狗骨区域明显改进了低有效热传导PCB的散热性能。

5.2 热阻 Ψ_{JT}

定义为 $\Psi_{JT} = (T_j - T_{top})/P_{diss}$, 此处 T_j 和 T_{top} 分别是结温和封装顶部中央的温度。基于温度 T_{top} , Ψ_{JT} 通常用于预测最终用户环境下的结温。通过封装顶部中央的热电偶来测量温度 T_{top} 。 Ψ_{JT} 取决于PCB。具有较高有效传导率的PCB的 Ψ_{JT} 值较低。它同样也依赖于器件功率和功耗, 被称之为"芯片功率图"。表3表示当器件功率为2W和3W时在"Real#3"电路板上的LM2652封装的 Ψ_{JT} 测量值。

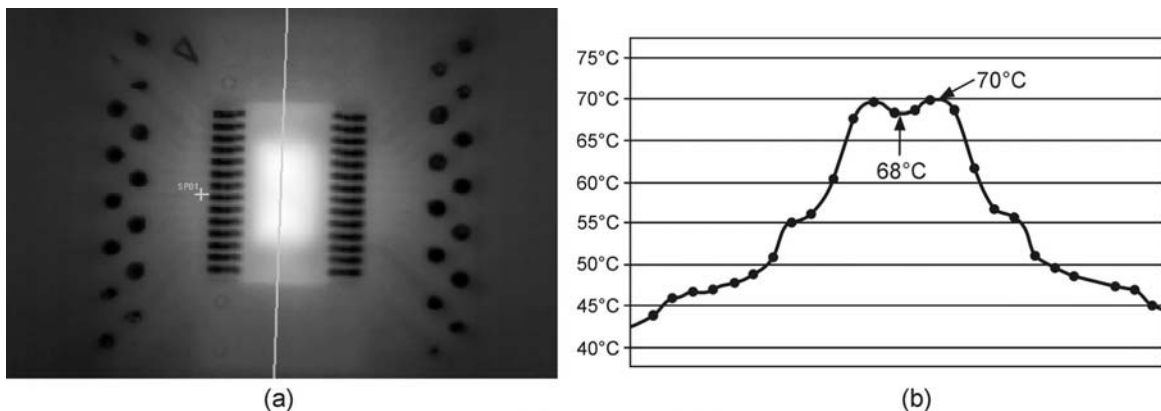
表3器件功率为2W和3W时的 Ψ_{JT} 结果

功率	环境温度	结温	封装顶部中央的温度	Ψ_{JT}
				°C/W
2W	21.9	73.4	67.5	2.95
3W	21.6	98.3	88.4	3.3

已知 Ψ_{JT} 时, 结温很容易根据封装顶部中央的温度来预测, 可以通过一个热电偶或者基于红外线照相机的成像来测量。图6为使用红外线照相机对表3中2W器件功率下相同样品的测量。图6 (a) 是红外线图像, 图6 (b) 为封装顶部沿着中间线的温度图像。在封装的顶

部中央的温度大约为68 °C, 很接近表3中使用热电偶的温度值67.5 °C。根据顶部中央的温度68 °C和 Ψ_{JT} 2.95 °C/W, 利用公式 $T_j = \Psi_{JT} \times P_{diss} + T_{top}$, 结温大约在73.9 °C, 该值很接近在表3中测量得到的结温值。

5.0 测试结果（续）



20205106

图6. (a) 邻近封装的温度分布的红外线照相机图像和 (b) 沿着封装中间线的温度分布图

6.0 建模

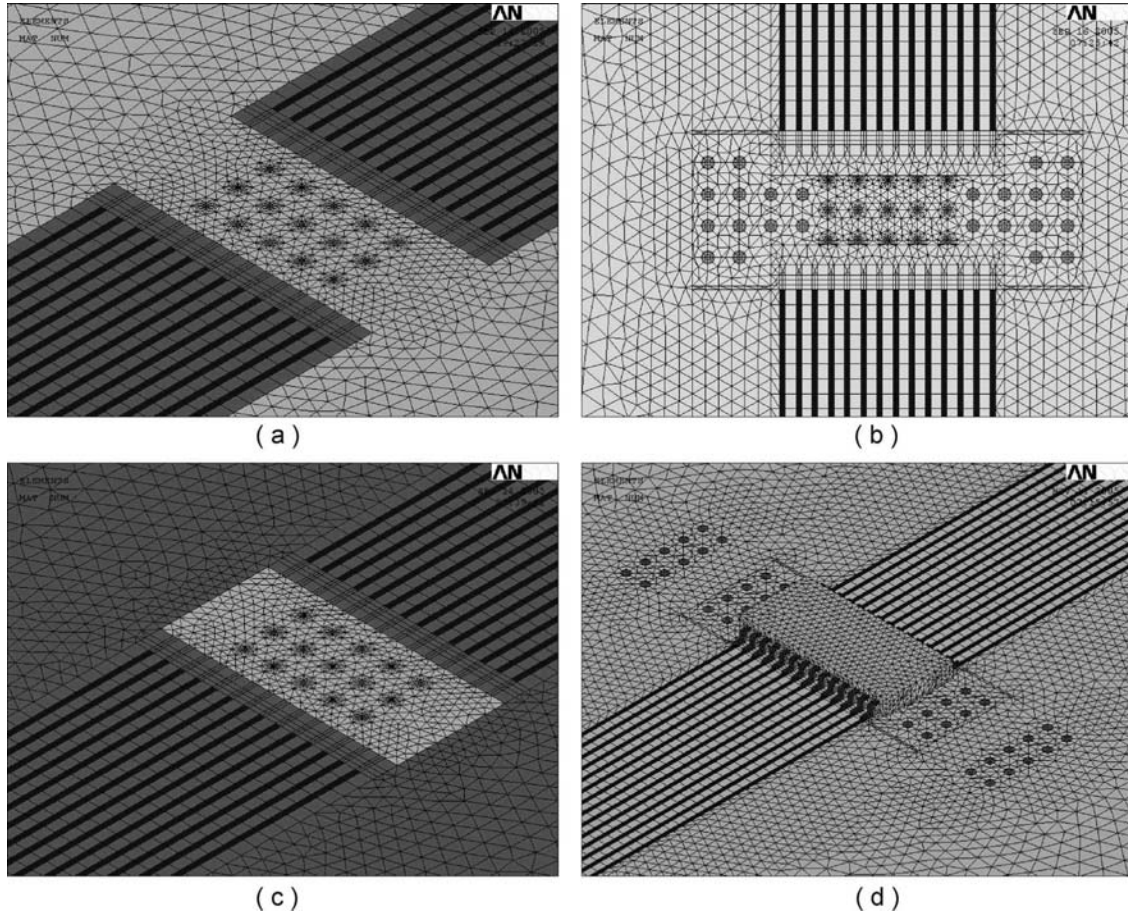
θ_{JA} 用来表征封装/电路板从硅片穿过PCB电路板至周边环境的散热功耗。因为从PCB电路板至四周的热阻远远大于从硅片至电路板的热阻，具体研究PCB电路板设计对热阻 θ_{JA} 的影响变得更为重要。用于研究硅片、硅片贴装、注模混合物、引线框、焊丝、铜箔迹线、FR4、Pb/Sn焊料以及在FEA模型中使用的阻焊掩膜的热传导率分别为111, 1.1, 0.92, 370, 317, 377, 0.35, 57.3和0.3。单位是W/m-K。其他参数包括环境温度、气流、

功率以及辐射率，将它们与热阻的结果放在一起，也列于表4中。

6.1 参数研究

用FEA模型的PCB分析如图7所示，图中展示了顶层覆铜结构的细节。图7 (a) 是电路板"Ideal"的建模。图7 (b) 电路板"Real#1", "Real#2"和"Real#3"建模时顶层和底层相应的有效传导率。图7 (c) 是修改过的JEDEC 四层板的建模。图7 (d) 是狗骨区域外围仿真区域的建模效果。

6.0 建模 (续)



20205107

图7. (a) , (b) , (c) 是用FEA的三种电路板仿真图,和 (d) 为狗骨区域外围仿真区域影响的网格图

除了前述部分中总结的PCB设计因素之外, 也可根据不同PCB上的28引脚 e-TSSOP封装的散热性能, 利用FEA来研究在封装和电路板中涉及的其他因素。LLP封装的仿真结果亦用来说明无掩蔽封装下方的焊接层和散热通孔设计的效果。研究的所有参数包括:

1. 在狗骨区域上的通孔
2. 在狗骨区域外围仿真区域上的通孔
3. 复合硅片 (在Si上的10微米厚覆铜)
4. 气流
5. 硅片尺寸
6. 器件功率
7. 硅片贴装材料
8. 焊接线材料 (金或者铜)
9. 无掩蔽焊盘和电路板之间的阻焊覆盖
10. 散热通孔设计

6.2 结果和讨论

PCB电路板之间的比较: FEA结果列于表4之中。在封装和电路板表面的有效热传输系数中并没有考虑散热辐射, 但是对它们分别建模。可以发现辐射率对预测的热阻 θ_{JA} 具有较大的影响。与测试的结果相比较, 有限元模型比电路板"Real#3"的 θ_{JA} 要小4.8%。如果使用相同的0.5辐射率, 在测试中发现"Real#2"和"Real#3"电路板之间有4.9%的差别, 而在模型中却没有捕获到。对于其他的PCB设计因素, 包括接地层的影响、覆铜区和狗骨区, 模型和测量结果相吻合。同样, 仿真区域的影响比较小, 如图7 (d) 所示。

6.0 建模（续）

表4.不同的PCB电路板之间热性能的比较

有热辐射 $e_{\text{Board}}=0.5$ $e_{\text{pkg}}=0.7$	0 m/s 结果					
电路板类型	Ideal	Real#1	Real#2	Real#3 ($e_{\text{Board}}=0.5$)	Real#3 ($e_{\text{Board}}=0.9$)	Modified JEDEC 4-Layer
功率 (W)	1.84					
环境温度 T_A (°C)	25					
结温 T_J (°C)	68.5	69.4	68.7	68.7	63	73
封装顶部表面 T_{top} (°C)	67.9	68.8	68.1	68.1	62.4	72.2
电路板封装顶部表面 T_{brd} (°C)	58	59.9	59.3	59.3	53.6	58.2
θ_{JA} (°C/W)	23.6	24.1	23.8	23.8	20.7	26.1
Ψ_{JT} (°C/W)	0.326	0.326	0.326	0.326	0.326	0.435
Ψ_{JT} (°C/W)	5.7	5.2	5.1	5.1	5.1	8.0
无热辐射						
结温 T_J (°C)	84.4	85.3	84.6	84.6		85.5
封装顶部表面 T_{top} (°C)	83.7	84.7	84.0	84.0		84.8
电路板封装顶部表面 T_{brd} (°C)	73.8	75.7	75.2	75.2		70.7
θ_{JA} (°C/W)	32.3	32.8	32.4	32.4		32.9
Ψ_{JT} (°C/W)	0.380	0.326	0.326	0.326		0.380
Ψ_{JT} (°C/W)	5.8	5.2	5.1	5.1		8.0

图8和图9显示在"Ideal"和JEDEC电路板上邻近封装的温度分布图。当覆铜区对于实现优化的热性能非常重要时，则要求在所有方向上保持良好的热耗散通路。既然在邻近封装的电路板面积承担大部分的散热，这就要

求用邻近封装处热传导率良好的电路板来设计。例如，对实验性测试电路板，如图2所示的Real#3电路板，若铜线可被尽可能延伸，则热阻可以减少10%以上，或达到2 °C/W。

6.0 建模 (续)

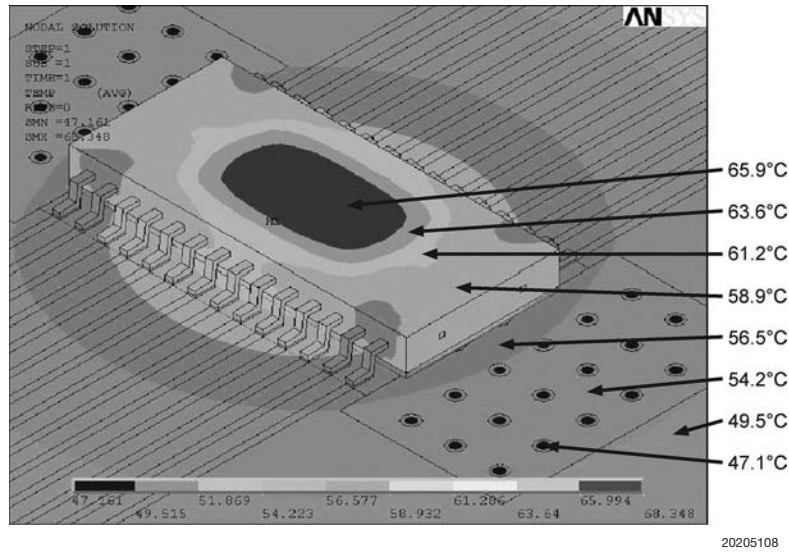


图8.带28引脚无掩蔽TSSOP的"Ideal"电路板的温度分布

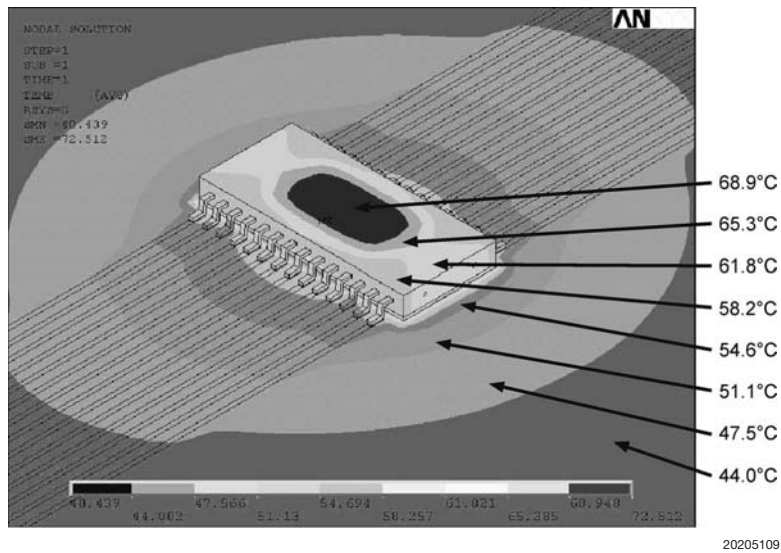
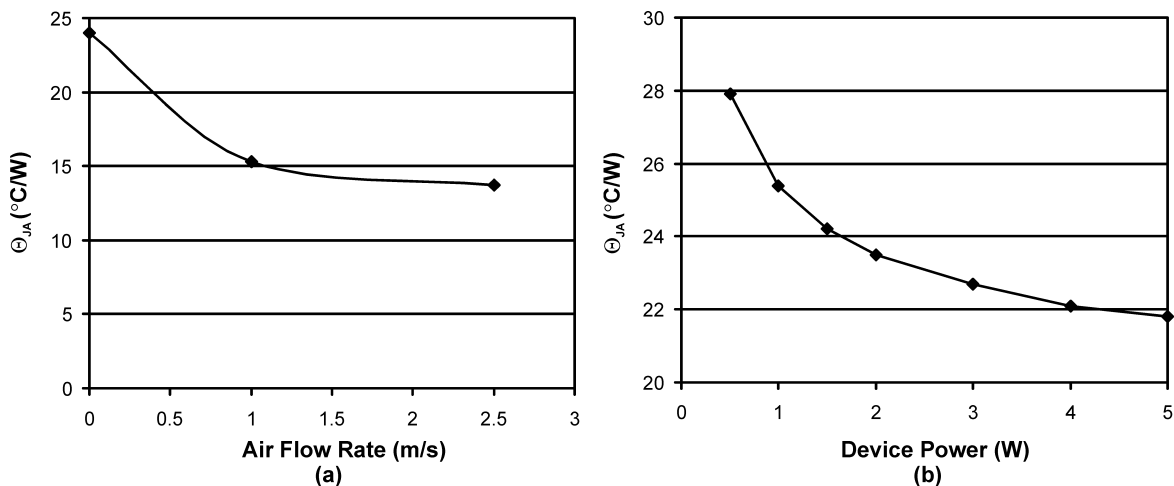


图9.带28引脚无掩蔽TSSOP的四层JEDEC电路板的温度分布

其他参数的影响：在上述的10个参数中，气流和器件功率与实验测试的环境相关，而其他8个参数则与封装和PCB的设计有关。FEA仿真不直接对气流建模。通过假定一个有效的热传输系数来包含气流。采用一个已经验证的热传输系数，在特定的气流速率下模型可给出与

试验测试相一致的结果。因为在FEA模型中直接应用辐射边界条件，可对热阻 θ_{JA} 与功率的关连性进行仿真。气流和器件功率的影响如图10 (a) 和图10 (b) 所示，这与测试的趋势相吻合。

6.0 建模 (续)



20205110

图10.气流 (a) 和器件功率 (b) 对热阻 θ_{JA} 的影响

四种不重要的因素:

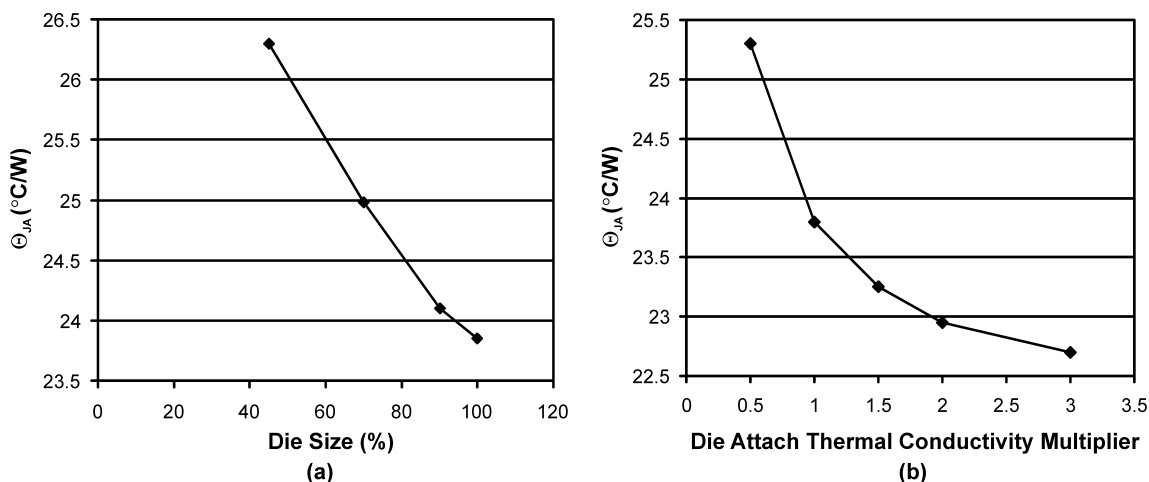
1. 在狗骨区域上的通孔
2. 在狗骨区域以外的仿真区域
3. 复合硅片 (在Si上的10微米厚覆铜)
4. 焊接线材料

例如, 从0至24变化的狗骨通孔会造成热阻 θ_{JA} 减少

0.5%, 而其他三种参数的影响要少于0.1%。

四种重要的因素: 硅片尺寸和硅片贴装材料对热阻 θ_{JA} 具有重要的影响, 如图11 (a) 和图11 (b) 所示。

根据图11 (b) 所示, 使用一种硅片贴装薄膜 (传导率为0.36 W/m-K) 来替换一种液体的硅片贴装材料 (1.1 W/m-K传导率) 会显著增加热阻 θ_{JA} 。



20205111

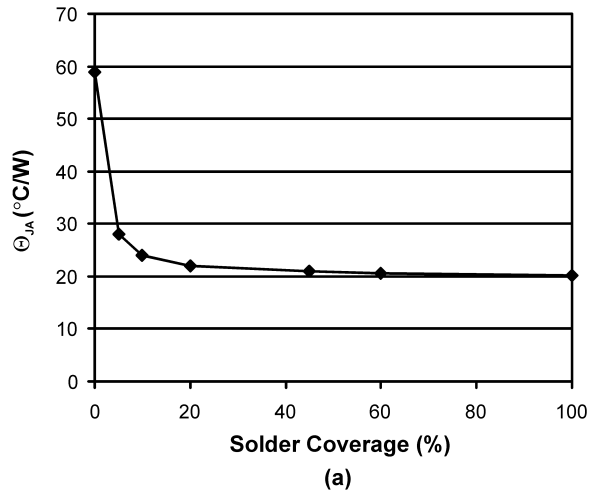
图11.硅片尺寸 (a) 和硅片贴装材料 (b) 对热阻 θ_{JA} 的影响

图12 (a) 表示无掩蔽焊盘和电路板之间的焊接覆盖对热阻 θ_{JA} 的影响。标记完全的焊接覆盖为100%焊接覆盖, 如图12(a)所示。在如图12 (a) 的FEA仿真中假定无掩蔽焊盘的中间位置下方采用较小的焊接覆盖。当

焊接覆盖分别减少到50%, 20%, 10%和5%时, 热阻 θ_{JA} 将分别增加约4%, 13%, 19%和34%。10%的焊接覆盖是一个临界点。一旦焊接覆盖超过10%, θ_{JA} 将会急剧升高。

6.0 建模（续）

然而，临界点取决于封装和电路板。例如，对于在4引脚JEDEC电路板上的44引脚LLP封装，临界点为20%。



一般情况下，当焊接覆盖大于50%时热阻 θ_{JA} 的变化会少于5%。

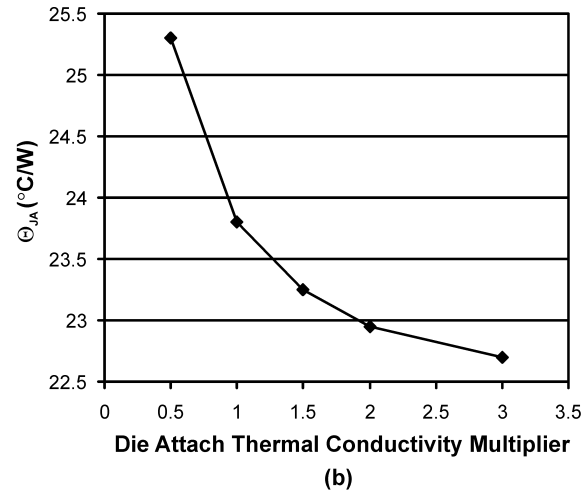
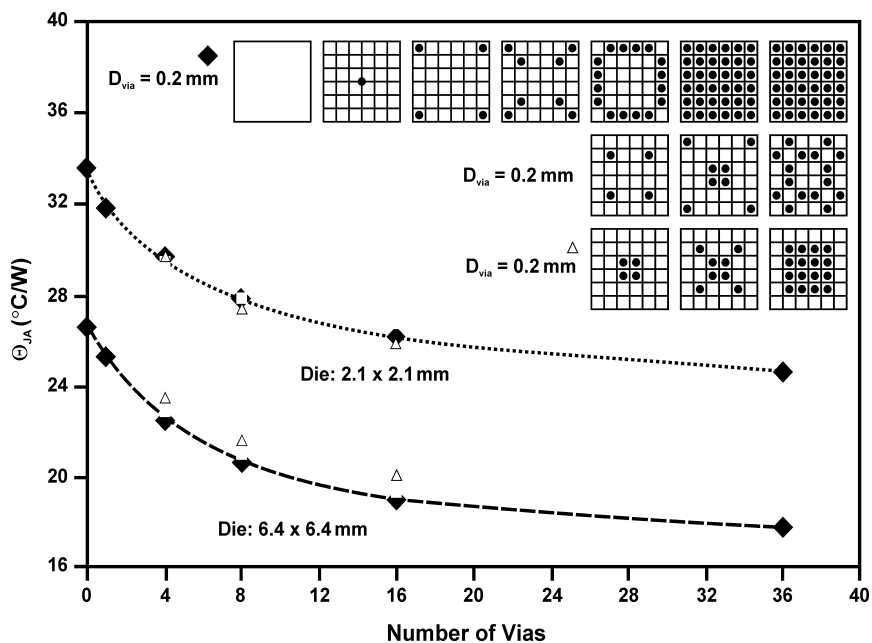


图12. 焊接覆盖 (a) ， 散热通孔的直径 (b) 和散热通孔分布 (c) 对热阻 θ_{JA} 的影响

图12 (b) 表示散热通孔直径对热阻 θ_{JA} 的影响。研究了种散热通孔直径 (0.33mm和0.2mm)。图12 (b) Y轴上的 θ_{JA} 百分比变化定义为 θ_{JA} 随着通孔直径从 0.33mm至0.2mm变化除以与0.33mm通孔直径关联的 θ_{JA} 。通孔的最大数目是根据焊盘尺寸和通孔之间的 1.2mm距离来确定。仿真基于4引脚JEDEC电路板。0.2mm通孔直径可能为小型无掩蔽焊盘封装（通孔的最大数目为4或者更低）增加的 θ_{JA} 大约是15%–25%。另

一方面，对于大型无掩蔽焊盘封装（通孔的最大数目为9或者更多），通孔直径的影响不会很严重，通常低于10%。图13说明基于4引脚JEDEC电路板上7mm×7mm无掩蔽焊盘的36引脚LLP封装通孔的数目和分布对 θ_{JA} 的影响。仿真了两种硅片的尺寸。 θ_{JA} 根据通孔的数目和分布而变化如图13所示，对于其他的大型无掩蔽焊盘的封装通常是正确的。

6.0 建模 (续)



20205113

图13.与散热通孔数目和分布相关的热阻 θ_{JA}

7.0 PCB设计建议

下列建议可以作为设计PCB进行散热测试或者功能性评估的指南。

- 使用大型或者多层PCB电路板（至少四层，3"×3"，2oz/1oz/1oz/2oz）。
- 在DAP焊垫图案和接地层中使用连接顶层DAP焊垫图案、中间层GND和底层GND的散热通孔。
- 如果无法应用最大数目的通孔，将散热通孔贴近无掩蔽DAP的周围放置。
- 尽可能使用0.33mm直径的通孔，特别是具有小型无掩蔽的封装，可以将 θ_{JA} 减少大约15–25%。
- 在顶层和底层上产生所允许的尽可能大的GND层，特别是紧靠封装的区域。
- 将顶层GND模式与封装下方的DAP焊垫图案相连接。
- 在硅片设计时将具有相同功能的引脚集中在一起，例

如功率器件中的GND、PVIN、POUT。可通过避免对PCB上每个引脚进行隔离的需要，使紧靠封装的覆铜面积最大。

- 布线尽可能长以使封装周围有较好的散热传导率。

8.0 结论

对于具有无掩蔽DAP封装，例如e-TSSOP，e-QFP和LLP，PN结到环境的热阻 θ_{JA} 极其依赖于被测PCB的结构。因此，有必要使用厚覆铜多层的、有散热通孔，带尽可能大接地层的大型高散热性能PCB。将散热通孔用于连接DAP焊垫图案、内置的接地层和底层接地平面。很关键的是在顶层和底层上拥有较大的接地平面以及连接至DAP焊垫图案进行散热。对于高功率器件，建议对具有相同功能的引脚进行电气短路，所以为了在顶层形成可靠的焊垫图案，应该使紧靠封装的覆铜面积最大。

注释

对于上述任何电路的使用，美国国家半导体公司不承担任何责任且不默示任何电路专利许可。美国国家半导体公司保留随时更改上述电路和规格的权利，恕不另行通知。
想了解最新的产品信息，请访问我们的网址：www.national.com。

生命支持策略

未经美国国家半导体公司的总裁和首席律师的明确书面审批，不得将美国国家半导体公司的产品作为生命支持设备或系统中的关键部件使用。特此说明：

1. 生命支持设备/系统指：（a）打算通过外科手术移植到体内的生命支持设备或系统；（b）支持或维持生命，依照使用说明书正确使用，有理由认为其失效会造成用户严重伤害。
2. 关键部件是在生命支持设备或系统中，有理由认为其失效会造成生命支持设备/系统失效，或影响生命支持设备/系统的安全性或效力的任何部件。

禁用物质合规

美国国家半导体公司制造的产品和使用的包装材料符合《消费产品管理规范（CSP-9-111C2）》以及《相关禁用物质和材料规范（CSP-9-111S2）》的条款，不包含CSP-9-111S2限定的任何"禁用物质"。
无铅产品符合RoHS指令。



National Semiconductor
Americas Customer
Support Center
Email: new.feedback@nsc.com
Tel: 1-800-272-9959

www.national.com

National Semiconductor
Europe Customer Support Center
Fax: +49 (0) 180-530 85 86
Email: europe.support@nsc.com
Deutsch Tel: +49 (0) 69 9508 6208
English Tel: +44 (0) 870 24 0 2171
Français Tel: +33 (0) 1 41 91 8790

National Semiconductor
Asia Pacific Customer
Support Center
Email: ap.support@nsc.com

National Semiconductor
Japan Customer Support Center
Fax: 81-3-5639-7507
Email: jpn.feedback@nsc.com
Tel: 81-3-5639-7560

重要声明

德州仪器(TI) 及其下属子公司有权在不事先通知的情况下, 随时对所提供的产品和服务进行更正、修改、增强、改进或其它更改, 并有权随时中止提供任何产品和服务。客户在下订单前应获取最新的相关信息, 并验证这些信息是否完整且是最新的。所有产品的销售都遵循在订单确认时所提供的TI 销售条款与条件。

TI 保证其所销售的硬件产品的性能符合TI 标准保修的适用规范。仅在TI 保证的范围内, 且TI 认为有必要时才会使用测试或其它质量控制技术。除非政府做出了硬性规定, 否则没有必要对每种产品的所有参数进行测试。

TI 对应用帮助或客户产品设计不承担任何义务。客户应对其使用TI 组件的产品和应用自行负责。为尽量减小与客户产品和应用相关的风险, 客户应提供充分的设计与操作安全措施。

TI 不对任何TI 专利权、版权、屏蔽作品权或其它与使用了TI 产品或服务的组合设备、机器、流程相关的TI 知识产权中授予的直接或隐含权限作出任何保证或解释。TI 所发布的与第三方产品或服务有关的信息, 不能构成从TI 获得使用这些产品或服务的许可、授权、或认可。使用此类信息可能需要获得第三方的专利权或其它知识产权方面的许可, 或是TI 的专利权或其它知识产权方面的许可。

对于TI 的产品手册或数据表, 仅在没有对内容进行任何篡改且带有相关授权、条件、限制和声明的情况下才允许进行复制。在复制信息的过程中对内容的篡改属于非法的、欺诈性商业行为。TI 对此类篡改过的文件不承担任何责任。

在转售TI 产品或服务时, 如果存在对产品或服务参数的虚假陈述, 则会失去相关TI 产品或服务的明示或暗示授权, 且这是非法的、欺诈性商业行为。TI 对此类虚假陈述不承担任何责任。

TI 产品未获得用于关键的安全应用中的授权, 例如生命支持应用(在该类应用中一旦TI 产品故障将预计造成重大的人员伤亡), 除非各方官员已经达成了专门管控此类使用的协议。购买者的购买行为即表示, 他们具备有关其应用安全以及规章衍生所需的所有专业技术和知识, 并且认可和同意, 尽管任何应用相关信息或支持仍可能由TI 提供, 但他们将独力负责满足在关键安全应用中使用其产品 & TI 产品所需的所有法律、法规和安全相关要求。此外, 购买者必须全额赔偿因在此类关键安全应用中使用TI 产品而对TI 及其代表造成的损失。

TI 产品并非设计或专门用于军事/航空应用, 以及环境方面的产品, 除非TI 特别注明该产品属于“军用”或“增强型塑料”产品。只有TI 指定的军用产品才满足军用规格。购买者认可并同意, 对TI 未指定军用的产品进行军事方面的应用, 风险由购买者单独承担, 并且独力负责在此类相关使用中满足所有法律和法规要求。

TI 产品并非设计或专门用于汽车应用以及环境方面的产品, 除非TI 特别注明该产品符合ISO/TS 16949 要求。购买者认可并同意, 如果他们在汽车应用中使用任何未被指定的产品, TI 对未能满足应用所需要求不承担任何责任。

可访问以下URL 地址以获取有关其它TI 产品和应用解决方案的信息:

产品	应用
数字音频	www.ti.com.cn/telecom
放大器和线性器件	www.ti.com.cn/computer
数据转换器	www.ti.com/consumer-apps
DLP® 产品	www.ti.com/energy
DSP - 数字信号处理器	www.ti.com.cn/industrial
时钟和计时器	www.ti.com.cn/medical
接口	www.ti.com.cn/security
逻辑	www.ti.com.cn/automotive
电源管理	www.ti.com.cn/video
微控制器 (MCU)	
RFID 系统	
OMAP 机动性处理器	
无线连通性	
德州仪器在线技术支持社区	www.deyisupport.com

邮寄地址: 上海市浦东新区世纪大道 1568 号, 中建大厦 32 楼 邮政编码: 200122
Copyright © 2011 德州仪器 半导体技术(上海)有限公司