

Power Supply Design Seminar

跨電感電壓穩壓器 (TLVLR) 簡介



Reproduced from
2024 Texas Instruments Power Supply Design Seminar
SEM2600
Topic 3
Matthew Schurmann and Mohamed Ahmed
Literature Number: NESP015

Power Supply Design Seminar resources
are available at:
www.ti.com/psds

2019 年推出的跨電感電壓穩壓器 (TLVR) 拓撲結構與傳統的多相降壓穩壓器拓撲相比，可大幅改善暫態響應、功率密度和解決方案成本 (本主題中討論的設計範例可減少超過 40% 的電容)。本主題介紹了 TLVR 拓撲的工作原理、與傳統穩壓器相比的性能和成本改進、設計方程式和指南。

簡介

在為微處理器、圖形處理器、應用特定積體電路和現場可編程閘極陣列等現代運算裝置設計電壓穩壓器時，負載暫態穩壓性能仍是一大挑戰。這些運算裝置的開發技術趨勢 (例如快速增加的複雜性、矽製程節點演進、電晶體擴充的實體限制，以及晶片架構等)，皆在加速因應供電給這些裝置的電壓穩壓器需求。在部分情況下，高階核心軌電壓穩壓器的熱設計電流大於 1,000 A，峰值電流大於 2,000 A、奈秒範圍內的上升時間，以及 $0.7\text{ V} \pm 3\%$ 的穩壓輸出電壓。

TLVR 拓撲結構衍生自多相半橋降壓轉換器拓撲，但使用雙繞組耦合電感器取代各相位的單繞組電感器，如 **圖 1** 和 **圖 2** 所示。與多相降壓轉換器類似，各耦合電感器的一次側，會在各相位的切換節點與轉換器輸出電壓之間連接。新增的二次繞組連接在串聯迴路中，且會使用另一個電感器，亦即補償電感器 (L_C)。在以下章節中，我們將探討多相降壓轉換器在負載暫態響應、TLVR 拓撲結構基本運作原理、取捨和實際考量等方面的限制。

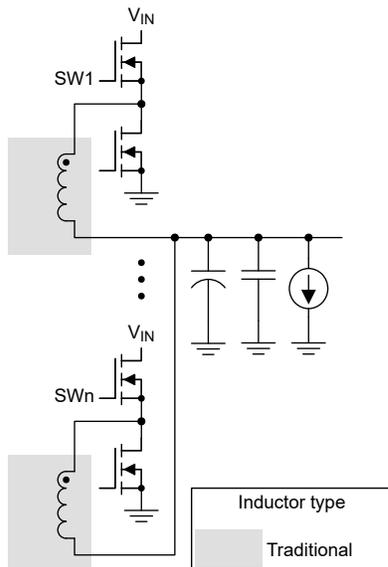


圖 1. 多相降壓拓撲結構。

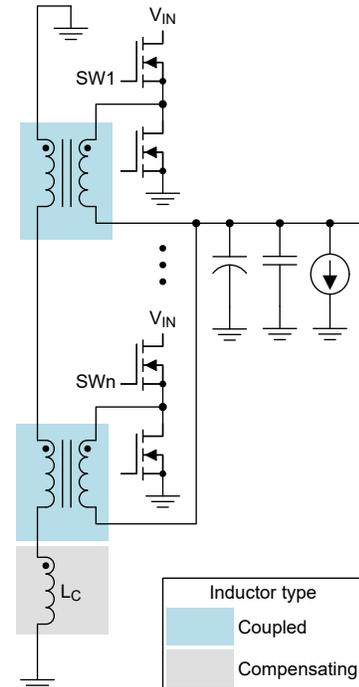


圖 2. TLVR 拓撲結構。

轉換器暫態響應

圖 3 顯示受負載暫態條件影響的電壓穩壓器系統簡易原理圖。 I_{SUM} 代表轉換器中各相位個別電感器電流的總和。 I_{LOAD} 代表負載裝置消耗的實際負載電流。每當 I_{LOAD} 改變時，電壓穩壓器皆會透過變更各相位中切換的有效工作週期做出回應，讓 I_{SUM} 上升或下降以追蹤新的 I_{LOAD} 值。

轉換器的輸出濾波器 (特別是濾波器電感)，會限制 I_{SUM} 提升至新 I_{LOAD} 值的速度。在 I_{SUM} 上升或下降的期間，濾波器電容器必須長時間提供它們之間的差值；這稱為電荷 ΔQ 。轉換器的輸出電壓在此期間將會未達目標或過衝，限制電壓偏差 (ΔV) 的唯一方式，即是增加 I_{SUM} 的斜率 (例如透過減少濾波器電感)，或是增加濾波器的總輸出電容 (C_{OUT})。

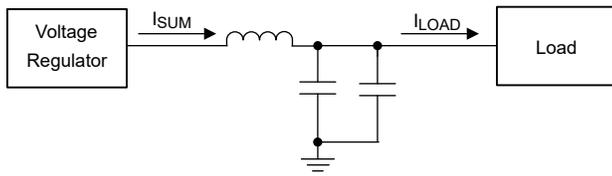


圖 3. 轉換器負載暫態原理圖。

圖 4 說明傳統多相降壓轉換器中的典型 I_{SUM} 和輸出電壓波形。

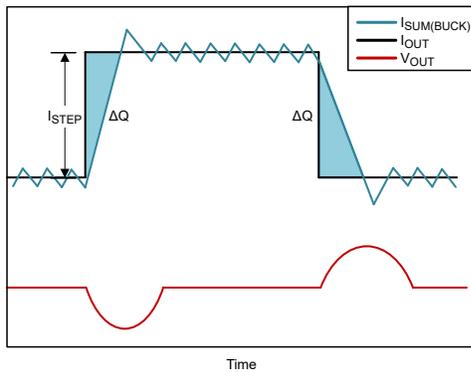


圖 4. 降壓轉換器負載暫態。

方程式 1 顯示總輸出偏差 ΔV 、 C_{OUT} ，與轉換器可向上或向下增加電流的速率 (斜率) 之間的關係：

$$\Delta V = \frac{\Delta Q}{C_{out}} = \frac{\frac{1}{2} \times t_{resp} \times I_{step}}{C_{out}} = \frac{\frac{1}{2} \times \frac{I_{step}^2}{Slope}}{C_{out}} \quad (1)$$

對傳統多相降壓轉換器而言，此斜率與各相位使用的輸出濾波器電感直接相關。降低電感值確實可改善轉換器的暫態響應。

然而，若單純減少各相位的輸出電感，會對轉換器的功率損耗及穩定狀態漣波造成意外後果。減少電感值會導致電感器電流漣波增加，進而導致轉換器輸出上的電壓漣波增加，這通常也有嚴格的要求。此外也會增加各相位中的均方根 (RMS) 電流，進而降低轉換器的整體效率。

在多相降壓轉換器拓撲結構中，穩定狀態和暫態事件期間的電感值會保持恆定。因此，電感值的選擇需在暫態響應、功率損耗、電壓漣波與電流漣波間取得權衡取捨。將電感設為極小是不實際的作法，因此可能需要藉由大量 C_{OUT} 來限制 ΔV 以符合規格。

TLVR 拓撲結構可在不同條件下允許不同有效濾波器電感，進而解決此問題。穩態運作期間濾波器電感的高有效值，

會限制轉換器漣波及 RMS 功率損耗。暫態條件下的低有效電感值，可大幅減少符合特定暫態穩壓規格所需的 C_{OUT} 量。圖 5 說明 TLVR 轉換器的典型負載暫態響應，在轉換器回應期間具有更高的 I_{SUM} 斜率。

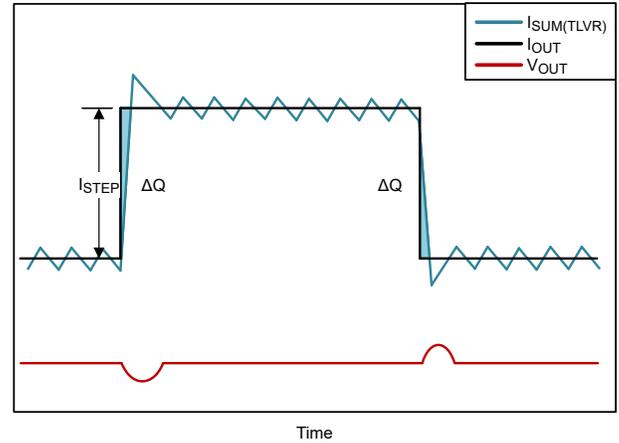


圖 5. TLVR 負載暫態。

透過多相降壓或是使用 DC 負載線 (DCLL) 的 TLVR 拓撲結構可進一步降低電容，又稱為適應性電壓定位。圖 6 展示概念。此技術適用於多相降壓轉換器或 TLVR 拓撲結構，且不會有根本上的改變。

在指定規格下的負載步進大小以及最小與最大允許輸出電壓方面，轉換器通常會將輸出電壓調節為恆定值，無論負載電流為何皆然 – 此稱為零負載線路，亦即 $R_{LL} = 0 \text{ m}\Omega$ 。然後，允許的輸出電壓過衝 ($\Delta V_{overshoot}$) 和未達目標 ($\Delta V_{undershoot}$) 各自等於總電壓規格時窗的 50%。

若為非零負載線路設計，請將轉換器設定為將輸出電壓設為感測到負載電流的函數。零負載電壓 (V_0) 配置為接近最大允許輸出電壓的值。方程式 2 說明使用負載線路時的輸出電壓：

$$V_{OUT}(I_{OUT}) = V_0 - R_{LL} \times I_{OUT} \quad (2)$$

方程式 3 會根據允許的電壓變化 ΔV_{DROOP} ，定義 R_{LL} 值：

$$R_{LL} = \frac{\Delta V_{DROOP}}{\Delta I_{STEP}} \quad (3)$$

方程式 4 和 方程式 5 表示 R_{LL} 對轉換器所需 C_{OUT} 的影響：

$$C_{OUT(\min, \text{step up})} = \frac{\Delta Q_{\text{under}}}{\Delta V_{\text{under}}} = \frac{\frac{1}{2} \times \frac{I_{\text{STEP}}^2}{\text{Slope}}}{\Delta V_{\text{ac}} + R_{\text{LL}} \times I_{\text{step}}} \quad (4)$$

$$C_{OUT(\min, \text{step down})} = \frac{\Delta Q_{\text{over}}}{\Delta V_{\text{over}}} = \frac{\frac{1}{2} \times \frac{I_{\text{step}}^2}{\text{Slope}}}{\Delta V_{\text{ac}} + R_{\text{LL}} \times I_{\text{step}}} \quad (5)$$

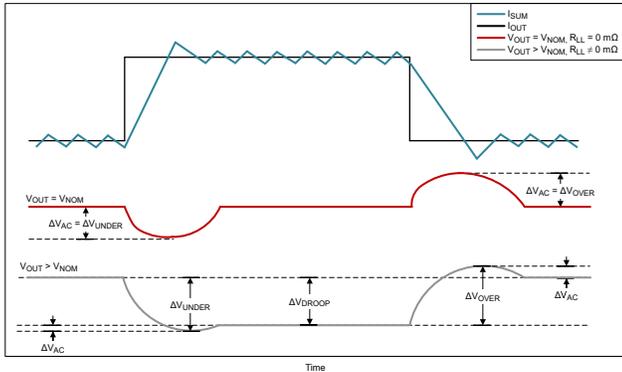


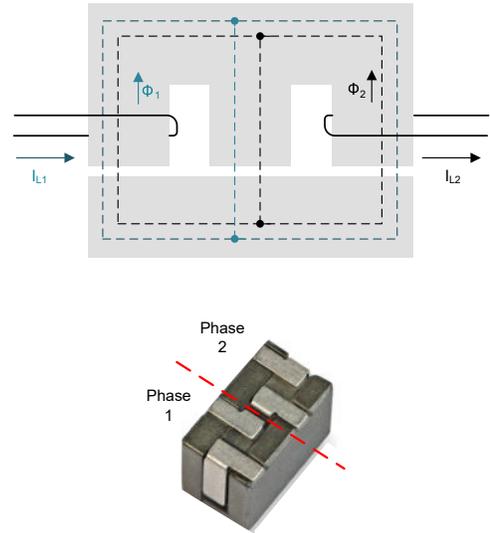
圖 6. DC 負載線路，或稱適應性電壓定位。

磁層

由於 TLVR 拓撲結構可在穩定狀態和暫態條件下允許不同的有效電感值，因此探索其使用的耦合電感器架構行為非常有幫助。此概念並不完全只適用於 TLVR 拓撲結構。

圖 7 說明傳統的雙相耦合電感器架構，其中轉換器個別相位的繞組共用一個磁芯。由於磁芯中的磁通量是添加劑，因此其中一個繞組中的電流會直接誘發其他繞組中的電流。在負載暫態期間，單一相位（單一繞組）的電流變化會直接導致其他相位的相同方向變化。此行為可讓總轉換器 I_{SUM} 增大或減小，以比相位未耦合更快的速度滿足負載電流需求。

此架構不同繞組間的耦合係數 (K) 通常介於 0.4 與 0.7 之間。此耦合由核心設計妥善控制 (在 圖 7 中，由中腳的氣隙控制)。極高耦合 ($K \cong 1.0$) 並無好處，原因在於會增加轉換器在穩定狀態下的電流漣波。極低耦合只會降低可實現的暫態優勢。

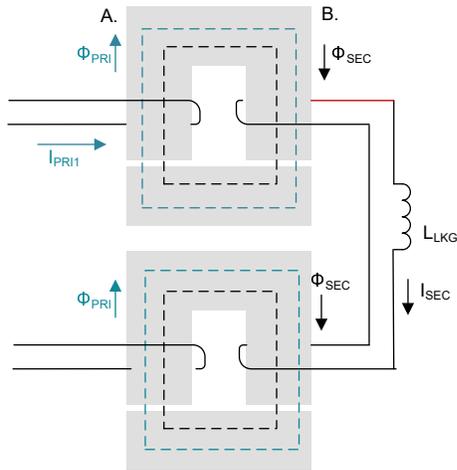


來源：Eaton

圖 7. 傳統雙相逆耦合電感器。

由於多種原因，在高相位數設計 (超過四個相位) 中採用傳統耦合電感器的做法會受到限制。將其延伸至更高的相位數，需要藉由複雜的核心幾何來維持耦合對稱性。此架構也需要對不同設計的電感器採取更多自訂，進而限制了可擴展性；例如，雙相和三相設計需要不同的電感器。此外，直到近期積極的專利保護才會限制多源選擇；TLVR 拓撲結構不存在這種限制。

TLVR 拓撲結構仰賴類似的原理，但具有不同的磁性結構，其稱為間接耦合電感器，如 圖 8 中所示。每個相位電感器都有自己的實體核心及兩個繞組，因此只要新增更多核心，此架構就能輕鬆擴充至更高的相位數。每個耦合電感器的磁化電感 (L_M) 皆提供能源儲存和過濾。一個核心上兩個繞組間的 K 可能非常高。將相同的二次側電流傳遞至所有相位，可在核心 (相位) 之間實現耦合，原因在於其是以迴路方式連接。



- A. 一次側 (連接至功率級)
- B. 二次側 (提供耦合)

圖 8. 間接耦合雙相電感器。

與傳統耦合電感器類似，在 0.4 至 0.7 範圍內，相位間的耦合係數 (α) 較為有利。二次迴路控制此耦合。二次迴路中的電感可能非常低，其會導致高耦合 (進而產生較大的穩定狀態電流漣波)，或因互連和實體結構公差而無法妥善控制。

為了控制相位間的耦合，TLVR 拓撲結構通常會在二次側使用單獨的實體電感器 L_C ，如 圖 9 中所示。若相較於個別耦合電感器的磁化電感，二次側迴路中的洩漏電感夠大且可透過製造妥善控制，則不需要個別實體 L_C ，特別是在每相位高於 1 MHz 的高頻率設計切換中。

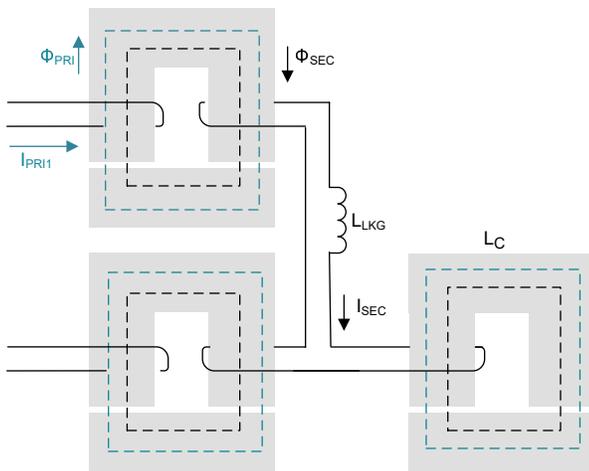
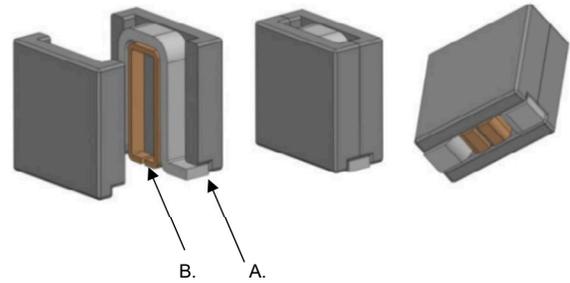


圖 9. 間接耦合雙相電感器與實體補償電感器。

圖 10 說明 TLVR 電感器的典型構造。電感器尺寸和形狀與用於多相降壓轉換器的傳統高電流鐵氧體核心電感器相

似，其次級繞組位於主要繞組內。封裝底部的焊盤模式，可與 TLVR 和非 TLVR 設計共同配置在相同的實體印刷電路板 (PCB) 上。



- A. 一次繞組
- B. 二次繞組

來源：Eaton

圖 10. 典型 TLVR 電感器構造。

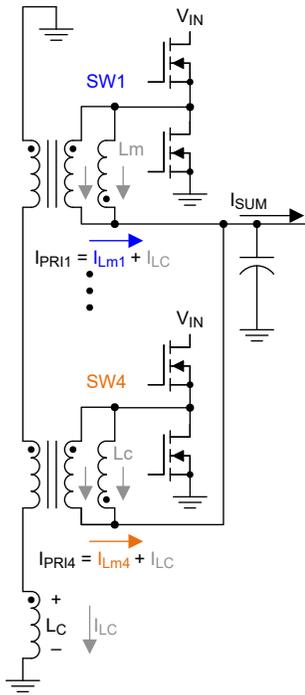
TLVR 拓撲結構運作原理

穩定狀態操作

圖 11 顯示典型的 TLVR 轉換器電路圖，並標記重要節點、電壓和電流。圖 12 說明 TLVR 轉換器的穩定狀態操作波形，並顯示四個相位。在此範例中，相鄰相位的脈衝不會在時間上重疊。TLVR 拓撲結構沒有最大工作週期要求。同樣的原則也適用於脈衝在時間上重疊的高工作週期應用。

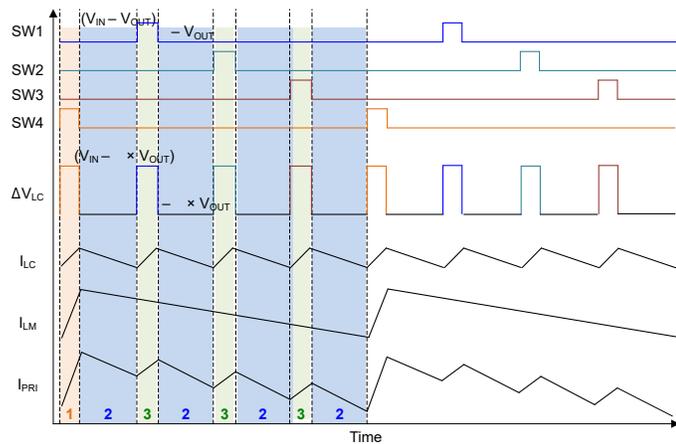
圖 12 顯示二次側迴路 L_C 的電壓和電流波形、所有四個相位的切換節點，以及相位 4 (I_{PRI4}) 的一次側電流。為了釐清起見，此圖包括三種不同操作狀態的標籤。

最重要的關係是 L_C 迴路的關係，以及其對 I_{PRI} 和 I_{SUM} 的影響。



四相位範例，無脈衝重疊

图 11. 穩定狀態拓撲結構。



四相位，無脈衝重疊

图 12. 穩定狀態波形。

各相位的磁化電壓與降壓轉換器的電壓類似。方程式 6 適用於相位開啟，而方程式 7 適用於相位關閉。磁化電感一律遵循方程式 8 中所示的基本電感器關係：

$$\Delta V_{Lm,i} = V_{IN} \quad (6)$$

$$\Delta V_{Lm,i} = V_{IN} - V_{OUT} \quad (7)$$

$$I_{LM} = \frac{\Delta V_{Lm}}{L_m} \quad (8)$$

L_C 的電壓一律等於所有相位磁化電壓的總和，如方程式 9 中所示。 L_C 本身一律遵循基本電感器關係，以方程式 10 表示：

$$\Delta V_{LC} = V_{Lm1} + V_{Lm2} + \dots \quad (9)$$

$$I_{LC} = \frac{\Delta V_{LC}}{L_C} \quad (10)$$

各相位的 I_{PRI} 等於其磁化電流和 I_{LC} 的總和，如方程式 11 中所示。 I_{SUM} 是所有相位主要電流的總和，以方程式 12 表示：

$$I_{PRI,i} = I_{Lm,i} + I_{LC} \quad (11)$$

$$I_{SUM} = I_{PRI1} + I_{PRI2} + \dots \quad (12)$$

表 1 總結了圖 12 中顯示的每個相關電壓和電流狀態，其與圖中所示的 I_{PRI4} 推導有關。

參數	狀態 1 相位 4 開啟， 相位 1、2 和 3 關閉	狀態 2 所有相位關閉	狀態 3 相位 4 和其他兩個相位關閉， 其他相位開啟
V_{SW1}	0 V	0 V	一個相位等於 V_{IN} ，另兩個相位等於 0 V。
V_{SW2}	0 V	0 V	
V_{SW3}	0 V	0 V	
V_{SW4}	V_{IN}	0 V	$-V_{OUT}$
$\Delta V_{Lm1}^{(1)}$	$-V_{OUT}$	$-V_{OUT}$	一個相位等於 $V_{IN} - V_{OUT}$ ，另兩個相位等於 $-V_{OUT}$
$\Delta V_{Lm2}^{(1)}$	$-V_{OUT}$	$-V_{OUT}$	
$\Delta V_{Lm3}^{(1)}$	$-V_{OUT}$	$-V_{OUT}$	
ΔV_{Lm4}	$V_{IN} - V_{OUT}$	$-V_{OUT}$	$-V_{OUT}$
I_{Lm4}	增加 ⁽²⁾	減少 ⁽²⁾	減少 ⁽²⁾
ΔV_{LC}	V_{SW1} 至 V_{SW4} 的總和 ⁽⁵⁾	V_{SW1} 至 V_{SW4} 的總和 ⁽⁵⁾	V_{SW1} 至 V_{SW4} 的總和 ⁽⁵⁾
I_{LC}	增加 ⁽³⁾	減少 ⁽³⁾	增加 ⁽³⁾
I_{PRI4}	增加 ⁽⁴⁾	減少得更快 ⁽⁴⁾	減少得更慢 ⁽⁴⁾

表 1. 四相位範例、，穩定狀態電壓和電流。

- (1) 不在圖 12 中。
- (2) $\Delta V_{Lm4}/L_m$
- (3) $\Delta V_{LC}/L_C$
- (4) $I_{Lm4} + I_{LC}$
- (5) $V_{IN} - 4 \times V_{OUT}$

負載暫態升壓

圖 13 和圖 14 顯示了在相同負載升壓條件下，多相降壓轉換器與 TLVR 設計之間的模擬比較。表 2 摘述模擬參數。

這些都是使用 TI TPS536C9T DCAP+™ 固定導通時間控制器的閉合迴路模擬。

關於 图 13 與 图 14 的一些觀察：

- TLVR 設計對暫態 (I_{SUM} 擷取 I_{LOAD}) 的反應速度更快，原因在於 I_{SUM} 以更快的速率上升。因此，輸出電壓偏差明顯較低。
- 在暫態響應期間，多相降壓轉換器設計需要比 TLVR 設計更多的脈衝來做出回應，亦即 TLVR 設計可在暫態事件期間每脈衝提供更多能量。
- 鑑於固定導通時間控制的本質，脈衝會在暫態響應期間重疊。在脈衝重疊操作期間， L_C 電壓會升高至明顯高於輸入電壓的位準，然後在穩定狀態下返回正常運作。

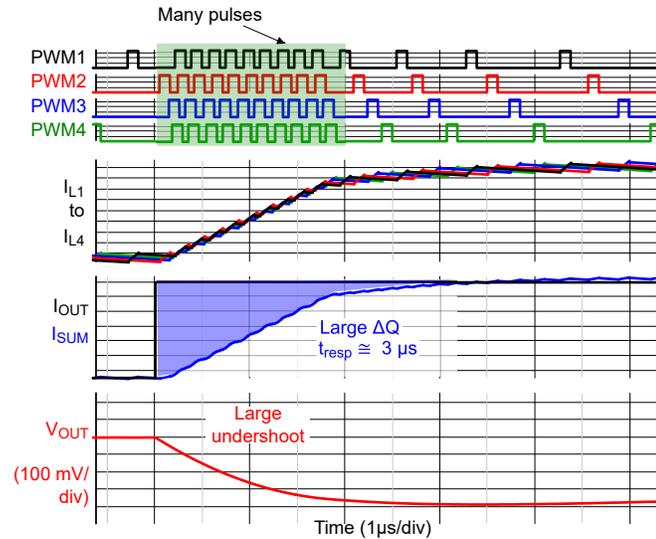


图 13. 多相降壓轉換器。

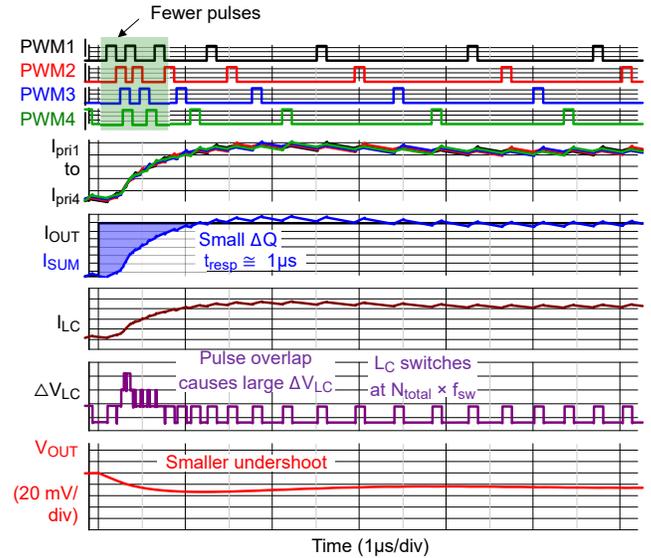


图 14. TLVR。

參數	說明	值
V_{IN}	輸入電壓	12V
V_{OUT}	輸出電壓	0.8V
N_{TOTAL}	總操作相位數	4 相位
f_{SW}	每相位切換頻率	600kHz
I_{STEP}	載入步進距離	25A 至 325A，瞬時
L_M/L_{BUCK}	適用於 TLVR 的磁化電感 L_M ，適用於降壓的濾波器電感器 L_{BUCK}	150nH/150nH
L_C	適用於 TLVR 的 L_C 值	180nH
C_{OUT}	輸出電容	5.0μF，理想值

表 2. 暫態負載升壓與降壓範例的模擬參數。

根據 穩定狀態操作 一節所述的關係，證明 TLVR 能夠以比降壓轉換器更快的速度提升 I_{SUM} ，以及其暫態響應為何優異。

降壓轉換器的 I_{SUM} 即是其獨立電感器電流的總和，如 方程式 13 中所示。在 TLVR 設計中，除了每個磁化電流 (I_{LM}) 之外，每個相位都會增加一次 I_{LC} ，如 方程式 14 中所示：

$$I_{SUM(buck)} = I_{L1} + I_{L2} + \dots \quad (13)$$

$$I_{SUM(TLVR)} = I_{PRI1} + I_{PRI2} + \dots = (I_{LM1} + I_{LC}) + (I_{LM2} + I_{LC}) + \dots \quad (14)$$

系統中的所有電感器皆遵循基本電感器關係。在對負載升壓的暫態響應期間，轉換器會同時開啟 N_{ON} 相位。由於各

種原因，可能無法一次開啟所有相位，因此也建議讓 N_{OFF} 相位隨時保持關閉。方程式 15 和 方程式 16 顯示多相降壓轉換器的 I_{SUM} 斜率上升。這些方程式未計入控制器反應時間，但僅顯示轉換器拓撲結構的限制。

$$\uparrow \text{Slope}_{(\text{buck})} = \frac{\Delta V_{L1}}{L} + \frac{\Delta V_{L2}}{L} + \dots \quad (15)$$

$$\uparrow \text{Slope}_{(\text{buck})} \cong N_{ON} \left(\frac{V_{IN} - V_{OUT}}{L} \right) - N_{OFF} \left(\frac{V_{OUT}}{L} \right) \quad (16)$$

方程式 17 和 方程式 18 顯示 TLVR 設計的 I_{SUM} 斜率上升，假設 TLVR 磁化電感 L_M 等於降壓濾波器電感器 L ，以供比較用途：

$$\uparrow \text{Slope}_{(\text{TLVR})} = \left(\frac{\Delta V_{L1}}{L_M} + \frac{\Delta V_{Lc}}{L_C} \right) + \left(\frac{\Delta V_{L2}}{L_M} + \frac{\Delta V_{Lc}}{L_C} \right) + \dots \quad (17)$$

$$\uparrow \text{Slope}_{(\text{TLVR})} \cong \uparrow \text{Slope}_{(\text{buck})} + N_{TOTAL} \times \left(\frac{N_{ON} \times V_{IN} - N_{TOTAL} \times V_{OUT}}{L_C} \right) \quad (18)$$

透過這種撰寫方式，附加名詞可清楚說明 I_{Lc} 對於讓 TLVR 設計比傳統多相降壓設計更快速回應暫態所造成的影響。

負載暫態降壓

圖 15 和 圖 16 顯示了在相同負載降壓條件下，多相降壓轉換器與 TLVR 設計之間的模擬比較。此模擬使用的參數與表 2 中的參數相同。

關於 圖 15 與 圖 16 的一些觀察：

- TLVR 設計對暫態 (I_{SUM} 擷取 I_{LOAD}) 的反應速度更快，這是因為 I_{SUM} 的下降速度更快。因此，輸出電壓偏差明顯較低。
- 在此情況下，兩個設計的相位數相同，但 TLVR 設計以更快的速率降低 I_{SUM} 。

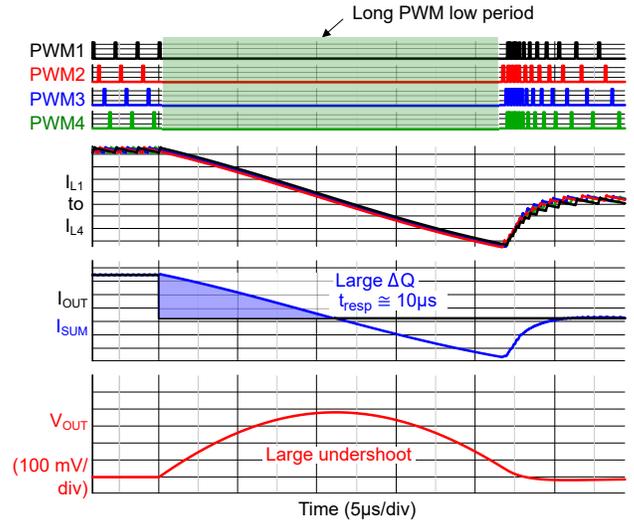


圖 15. 多相降壓轉換器。

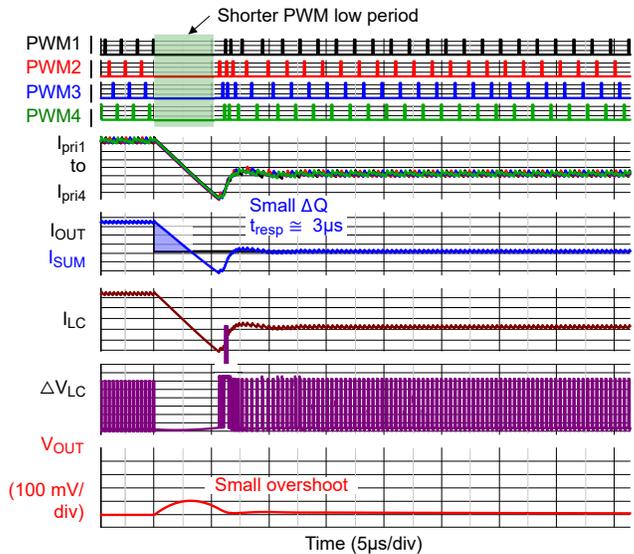


圖 16. TLVR。

同樣地， I_{Lc} 與 I_{SUM} 的關係，說明了 TLVR 設計的優異暫態響應。再次強調，系統中的所有電感器皆遵循基本電感器關係。在對負載降壓的暫態響應期間，轉換器會同時關閉所有相位，即 N_{TOTAL} 。方程式 19 顯示多相降壓轉換器的 I_{SUM} 斜率下降：

$$\downarrow \text{Slope}_{(\text{buck})} = - N_{TOTAL} \left(\frac{V_{OUT}}{L} \right) \quad (19)$$

使用類似的分析，方程式 20 顯示 TLVR 設計的 I_{SUM} 斜率下降，假設 TLVR 磁化電感 L_M 等於降壓濾波器電感器 L ，以供比較用途。TLVR 設計的 I_{SUM} 速度會更快地下降，因為 L_C 迴路的因數與相位數的平方 N_{TOTAL} 成比例減少。

$$\downarrow \text{Slope}_{(\text{TLVR})} \cong \downarrow \text{Slope}_{(\text{buck})} - N_{\text{TOTAL}} \times \left(\frac{N_{\text{TOTAL}} \times V_{\text{OUT}}}{L_C} \right) \quad (20)$$

L_C 電感器選擇

相較於一般 DC/DC 設計中的其他電感器，L_C 有一些獨特的需求。L_C 的電感會在電流漣波與暫態響應優點間做取捨。通常會先以 L_C = L_M 做為權衡取捨。介於 0.8 至 1.5 倍 L_M 之間的值，是離散式設計中的常見值。在高度整合的設計中，較低的值可能更為常見，例如電源模組。

在穩定狀態下，L_C 沒有 DC 電流 (只有少量 AC 電流漣波)，原因在於其是以高頻率切換 (無脈衝重疊時至少 N_{TOTAL} × f_{SW})。如 **方程式 21** 中所述，其電流漣波將 RMS 電流控制在穩定狀態。考量採用低核心損耗材料 (如鐵氧體磁芯)，原因在於 f_{SW} 較高。另一個可進一步改善暫態響應的選項可能是軟飽和核心。

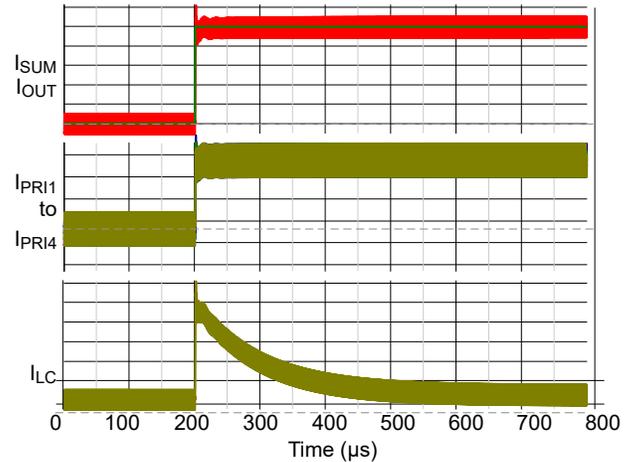
$$I_{\text{rms}(L_C)} \approx \frac{\Delta I_{L_C}}{\sqrt{3}} \quad (21)$$

不過，L_C 可在暫態事件期間繼續建置大量電流，如 **方程式 22** 中所示，其中 t_{RESP} 是控制器的響應時間，如 **圖 15** 和 **圖 16** 中所標示。因此，請以高飽和電流調整 L_C 大小，類似於各相位中使用的耦合電感器。

$$I_{\text{SAT}(L_C)} \gg t_{\text{RESP}} \times \left(\frac{N_{\text{ON}(\text{step})} \times V_{\text{IN}} - N_{\text{TOTAL}} \times V_{\text{OUT}}}{L_C} \right) \quad (22)$$

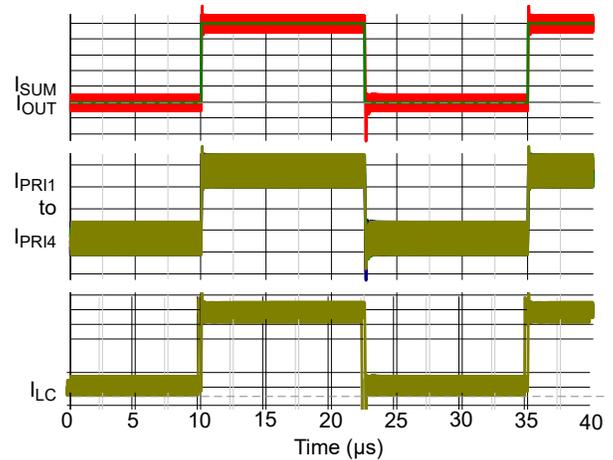
在積累大電流後，L_C 電流會自然衰減至零，且會由 L_C 和 L_C 迴路中的電阻，形成相對較高的時間常數 τ_{L_C} (如 **方程式 23** 中所述)。在高頻率重複暫態期間，I_{L_C} 可能無法完全安定，但也不會飽和，原因在於負載升高和向下推動 I_{L_C} 的方向不同。**圖 17** 和 **圖 18** 顯示了此行為的類比結果：

$$\tau_{L_C} = \frac{L_C}{R_{\text{DCR}, L_C} + N_{\text{total}} \times R_{\text{DCR}, \text{secondary}} + R_{\text{routing}}} \quad (23)$$



f_{SW} < 1 kHz

圖 17. 低頻暫態事件。



f_{SW} = 65 kHz

圖 18. 高頻暫態事件。

在負載步進響應期間， L_C (ΔV_{LC}) 的電壓可超過輸入電壓 V_{IN} 。假設控制器在 N_{ON} 相位上開啟以回應負載步進，**方程式 24** 會計算 ΔV_{LC} ：

$$\Delta V_{LC(max)} = N_{ON(step)} \times V_{IN} - N_{TOTAL} \times V_{OUT} \quad (24)$$

爬電距離通常不是問題，原因在於高電壓不會持續很長時間。但在某些情況下，為了應用安全和元件可靠性， L_C 高暫態電壓可能非常重要。

穩定狀態漣波

相較於多相降壓轉換器，TLVR 架構設計的輸出電壓漣波通常較大。一般而言，多相轉換器會因交錯和漣波抵銷而產生低電壓漣波。當各電感器電流彼此相位偏移 $360^\circ / N_{TOTAL}$ 時，轉換器即可實現最佳漣波抵銷。但就 TLVR 設計而言， I_{LC} 會在各相位偏移的 I_{SUM} 中增加一次。因此，雖然各磁化電感 I_{LM} 的 I_{SUM} 集中度會因交叉而取消，但 I_{LC} 的集中度則不會，如 **方程式 25** 所示：

$$I_{SUM(TLVR)} = (I_{Lm1} + I_{LC}) + (I_{Lm2} + I_{LC}) + \dots \quad (25)$$

圖 19 說明 I_{SUM} 漣波與轉換器輸出電壓漣波之間的關係。轉換器和負載通常是由配電網路 (PDN) 分離。 I_{SUM} 是由轉換器在單一位置產生，並饋送到一定距離的 PDN。接著 PDN (含輸出電容器) 的阻抗會決定輸出電壓漣波。因此，TLVR 設計中的額外 I_{SUM} 漣波會直接轉化為較大的輸出電壓漣波。

圖 20 中的範例說明轉換器工作週期的影響。當相位完美重疊時 ($N_{TOTAL} \times D = 1、2、\dots$)， I_{LC} 漣波在特定工作週期仍可能變得非常小。然而，對於一般應用 (在 **圖 20** 中標示 1.0V、1.2V 和 1.8V 的一般輸出電壓)，TLVR 設計通常有大 25% 至 50% 的 I_{SUM} 漣波，因此輸出電壓漣波大 25% 至 50%。在許多情況下這不是問題，原因在於滿足暫態要求所需的 C_{OUT} 比滿足設計漣波要求所需的電容大很多。

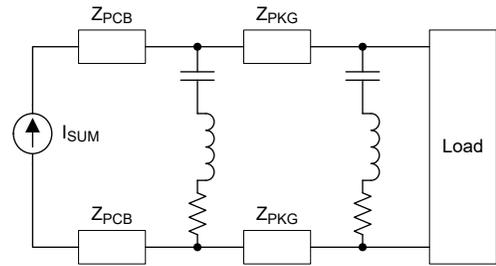


圖 19. 輸出電壓漣波模型。

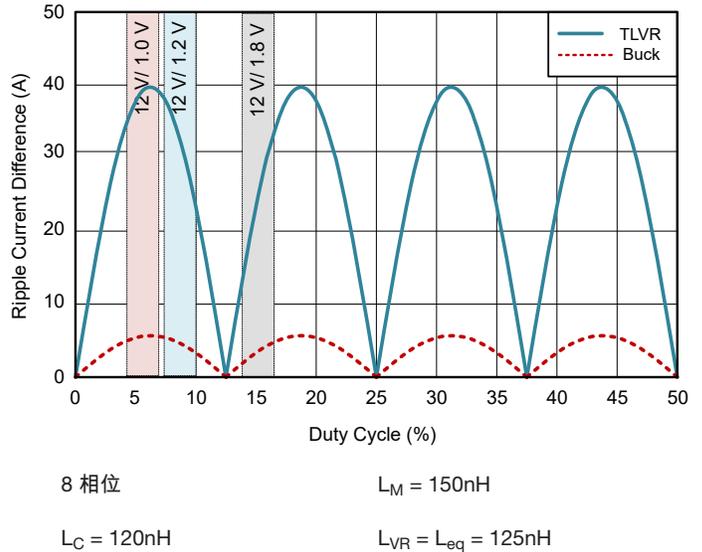


圖 20. 輸出電壓漣波。

使用多個 L_C 迴路是減少 TLVR 設計電壓漣波的常用技術。

圖 21 說明有兩個 L_C 迴路的範例。各相位的相位開關順序為 I_{LC1} 和 I_{LC2} 電流皆為 180° 異相，因此可抵銷 I_{LC1} 和 I_{LC2} 電流漣波。

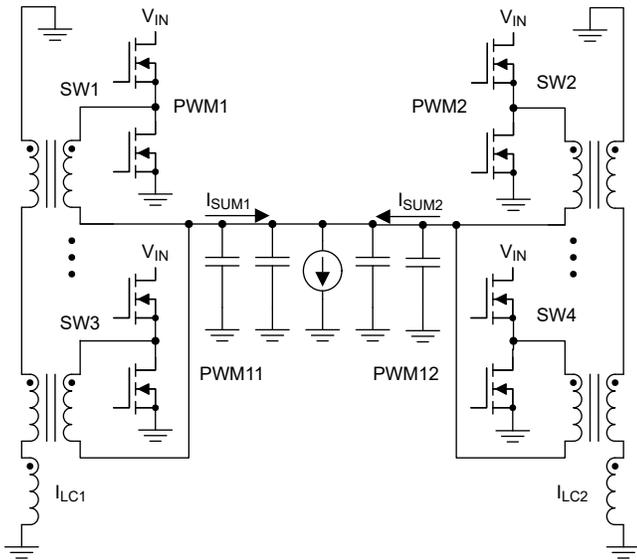


图 21. 交错式 TLVR 设计。

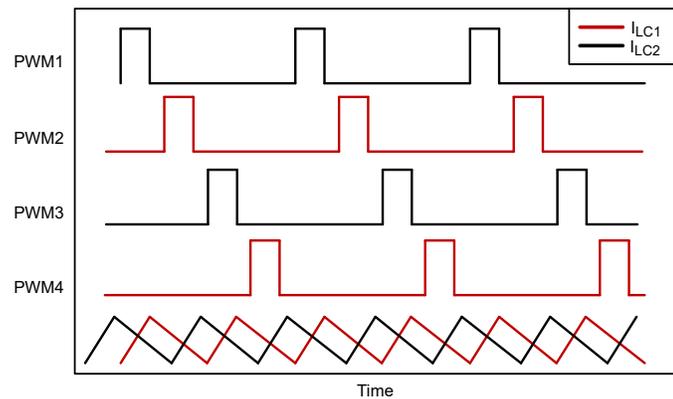


图 22. 雙迴路交错式 TLVR 波形。

在电路板配置空间受限无法让相位彼此靠近的情况下，也很常採用交错式處理。每個 L_C 迴路的相位彼此位於同一位置，但 L_C 迴路可能會隔一定距離，有時甚至在負載裝置的不同側。雖然在輸出電壓漣波方面效果較差，但在每個 L_C 迴路上具有非對稱相位數的 TLVR 設計也可能存在。

功率損耗與效率

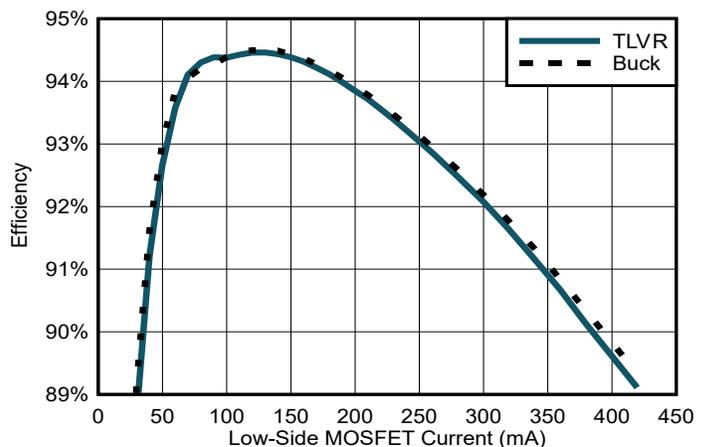
图 23 在设计採用相同元件值時，會比較多相降壓轉換器與 TLVR 之間的電源效率。曲線已十分相似，但 TLVR 设计的效率略低 (0.1%)。

此圖對示範相當實用，但一般而言，多相降壓與 TLVR 设计不會有相同的電感值。降壓轉換器需要較低的電感值才能符合相同的暫態規格，這會進一步降低其電源效率。在實務上，设计兩個相同規格的轉換器時，多相降壓與 TLVR 轉換器的效率大致相同。在部分情況下，TLVR 设计的效率可能稍高。

您可透過兩種損耗機制來區別 TLVR 设计与多相降壓轉換器。最明顯的一點，即是 L_C 迴路損耗只存在於 TLVR 设计中。先前 方程式 21 顯示 L_C 迴路中因電流漣波而產生的 RMS 電流。因此， L_C 迴路中的損耗具有 RMS 傳導損耗的分量以及核心損耗，在 L_C 的高切换頻率下，這些損耗可能非常顯著。方程式 25 可估算 L_C 迴路中的功率損耗：

$$P_{Lc} \cong I_{rms(Lc)}^2 \times (R_{DCR,Lc} + N_{TOTAL} \times R_{DCR,secondary} + R_{routing}) + P_{core(Lc)} \quad (26)$$

此外，考量到來自 I_{Lc} 的額外漣波會增加各功率級的 RMS 電流，進而增加傳導損耗。图 24 展示加上 I_{Lc} 如何增加各相位低壓側開關中的峰間電流漣波 ΔI_{PP} 。由於 I_{Lc} 電流漣波會隨著相位數減少而增加，此額外元件變得十分重要。這就是 TLVR 设计通常保留用於高功率、高相位數 (超過 6 相位) 设计的原因之一。



$V_{IN} = 12V$

$V_{OUT} = 1.80V$

$f_{SW} = 600 \text{ kHz}$

$R_{LL} = 0.5m\Omega$

$$L_M = L_{BUCK} = 120nH$$

$$L_C = 120nH$$

不包含 PDN 傳導損耗

图 23. 效率與輸出電流的比較。

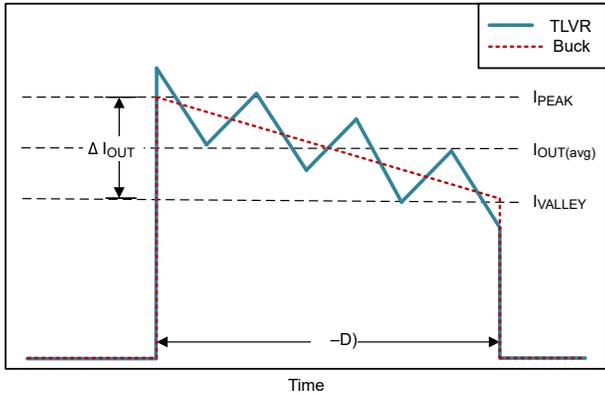


图 24. 為低壓側金屬氧化半導體場效電晶體 (MOSFET) 電流增加 I_{LC} 。

為了解此損耗機制，[方程式 27](#) 說明典型降壓轉換器設計的電流漣波與低壓側 MOSFET RMS 電流間的關係。TLVR 設計的確切方程式更為複雜，但降壓轉換器方程式表明了 ΔI_{PP} 的影響。

$$I_{RMS(LSFET)} = I_{OUT} \times \sqrt{1-D} \times \sqrt{1 + \frac{1}{3} \times \left(\frac{\Delta I_{PP}}{2 \times I_{OUT}} \right)^2} \quad (27)$$

在高相位數設計中也常使用動態切相 (DPS) 來提升輕負載效率。當總輸出電流低到足以在未啟動所有相位的情況下受到支援時，切換較少相位數可減少切換損耗。相位可處於三種狀態之一：高壓側 MOSFET 開啟、低壓側 MOSFET 關閉、高壓側 MOSFET 關閉、低壓側 MOSFET 開啟；或兩種 MOSFET 關閉。一般而言，非線性控制技術會在負載暫態事件期間快速增加或降低相位，因此對負載暫態響應的影響極小。[图 25](#) 顯示各狀態下的電流。

在 TLVR 設計中， L_C 迴路會在第三狀態 (兩個 MOSFET 都關閉) 下，持續透過本體二極體相位傳導電流，而這兩個相位不會切換。由於本體二極體 V_{diode} 壓降，非切換相位會造成額外的功率損耗。因此，為了讓切相合理，不切換相位所節省的切換損耗必須大於本體二極體損耗所造成的損耗。[方程式 28](#) 說明非切換階段的功率損耗：

$$P_{cond, HiZ} = I_{LC(rms)} \times V_{diode} \quad (28)$$

採用切相開關的相同設計的測量圖 (如 [图 26](#) 中所示)，展示了輕負載下 TLVR 設計效率的改善。

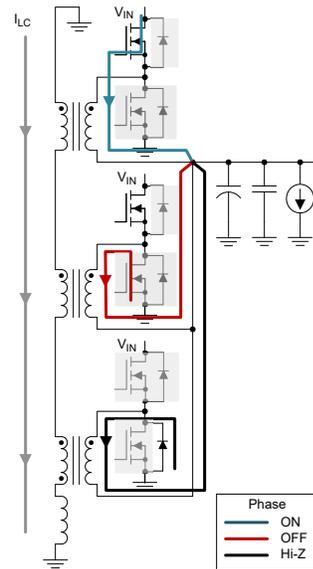
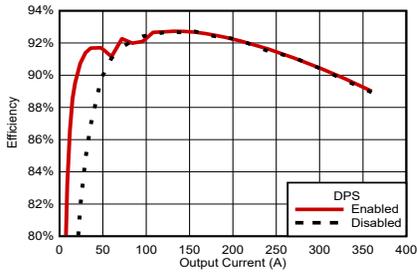


图 25. 動態切相。



$V_{IN} = 12V$ $V_{OUT} = 1.80V$
 $f_{SW} = 90kHz$ $L_M = L_C = 100nH$
 8 相位 雙側配置
 TLVR CSD08860 (90A SPS)

图 26. 效率與輸出電流的比較。

相位倍增

由於電源需求持續快速增加，因此通常必須使用無足夠獨立脈衝寬度調變 (PWM) 輸出的控制器裝置來個別控制每個

相位，以採用極高相位數 (超過 16 相位) 設計。雙相或相位倍增已變得十分常見，也就是以相同控制器 PWM 輸出驅動多個功率級。此做法可讓降壓轉換器或 TLVR 等多相設計輕鬆擴充至高功率位準。

图 27 說明交錯式、雙相 TLVR 設計中的 L_C 迴路連接。舉例來說，此類設計可將 12 相位設計延伸至 24 或 36 相位，無須使用不同的控制器裝置。對於同一 L_C 迴路中的所有相位 (雙相或非雙相)，會以串聯方式連接二次側。每個相位的電流回饋線路 (未顯示於 图 27) 可透過電壓來源輸出電流感測對功率級執行電阻平均，或僅針對具有電流來源輸出電流感測的功率級執行電阻器平均。無論功率級位於哪個 L_C 迴路，皆可將各功率級的溫度感測輸出 (也未顯示於 图 27) 連接在一起。

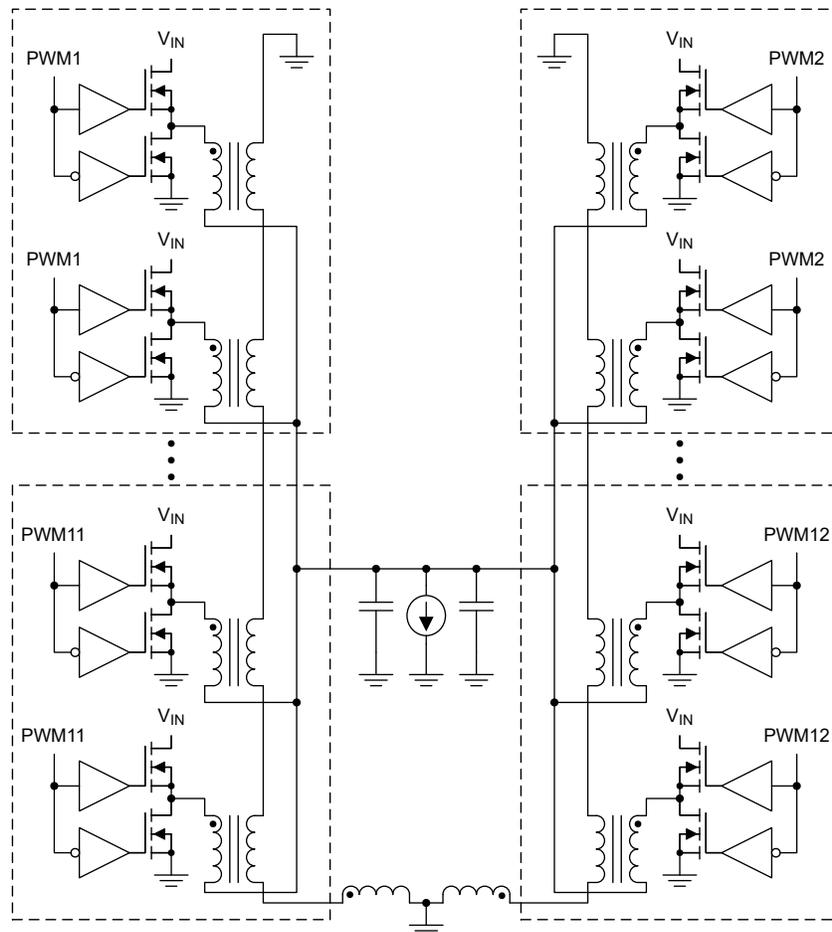


图 27. 交錯式雙相 TLVR 拓撲結構。

PCB 配置

图 28 顯示 TLVR 設計動力系統的電路板配置和元件配置範例。此設計使用 4 mm x 6 mm 的功率級裝置，以及共同配置相容的 TLVR 電感器，可提供與一般多相位降壓設計類似的配置。

L_C 迴路會穿過一次側焊盤的中間。TLVR 電感器的二次繞組焊盤可讓此迴路在頂層執行，無需太多導孔或較寬的軌跡。由於 L_C 迴路可在暫態事件期間傳導高電流，因此走線會盡可能寬，但不需要多層平面。內部接地面可將 L_C 迴路從動力系統的一側封閉至另一側。敏感電路應與 L_C 和 L_C 迴路走線線保持寬廣間隙，以避免雜訊耦合和干擾。

L_C 電感器位於功率級側面。由於 L_C 可能受到高於 V_{IN} 的電壓影響，且會在高頻率下切換，因此也可能會出現高暫態電壓和電磁干擾問題。解決此問題的其中一種方法 (未在 **图 28** 中說明)，是將 L_C 分成兩個實體電感器 (每個電感為 $1/2 L_C$)，並以對稱方式放置在功率級任一側。這樣即可在暫態事件期間降低各 L_C 的最大電壓。

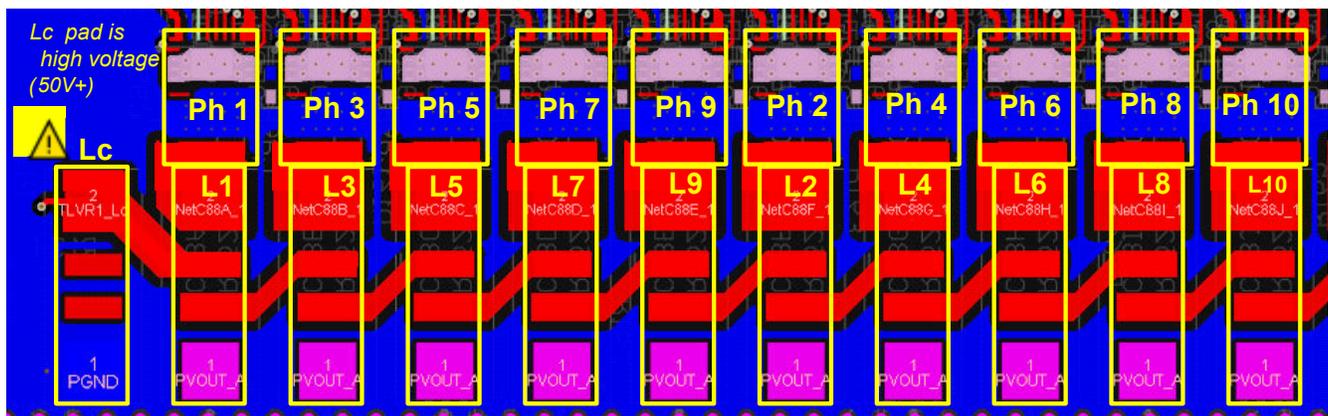


图 28. TLVR 動力系統配置範例。

將相位放置在盡可能彼此靠近的地方，以可節省空間。然而，相位開關順序並不會依序排列。變更相位開關順序可在時域中將切換節點彼此分散，有助於減少相位間的串音問題。

图 29 是使用兩個 L_C 迴路，將兩個雙相位緊靠置於相同 L_C 迴路中高相位數配置設計的縮小範例。每個迴路中的相位和 L_C 皆遵循 **图 28** 中的範例。迴路放置在負載的對側 (有時稱為向東和向西方向)，以將每個電感器輸出和負載裝置針腳之間的 PDN 佈線最小化。負載裝置上方的兩側維持開放，以根據設計需求採取高頻訊號佈線。

去耦電容器 (未在 **图 29** 中顯示) 位於負載裝置，且會盡可能置於其佔用空間內。雖然具有聚合物大型電容器的預留位置，但有些設計並不需要預留位置。將控制器裝置放在遠離動力系統的位置可避免雜訊問題，且會具有連接至各 L_C 迴路功率級的長走線。就像任何高功率設計一樣，在控制器的 PWM 輸出、電流感測輸入和電壓感測線路上維持良好訊號完整性非常重要。

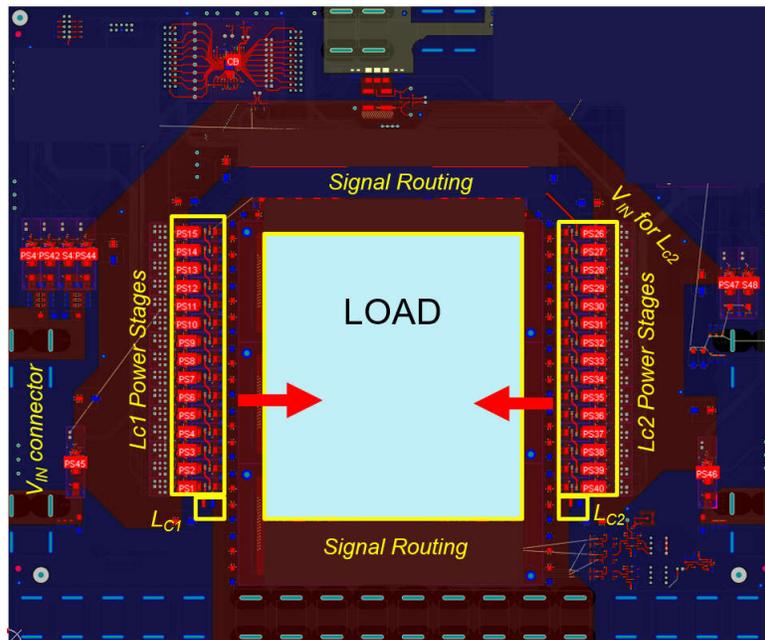


图 29. 相位加倍交错式 TLVR 配置范例。

TLVR 最佳化元件

最近，德州儀器 (TI) 等半導體廠商開始提供針對 TLVR 設計最佳化的多相控制器和功率級。

由於 TLVR 拓撲結構的高速本質，針對 TLVR 設計最佳化的智慧功率級需要更高頻寬的電流感測架構。舉例來說，TI 智慧功率級的 IOOUT 針腳波形，甚至會追蹤 TLVR 設計中來自 L_C 迴路的誘發電流漣波。這需要電流感測頻寬，每相位至少比設計的 f_{SW} 高一個數量級。TLVR 拓撲結構也提高了高速過電流保護的頻寬需求。

針對 TLVR 設計最佳化的智慧功率級，也必須針對越來越高的 RMS 電流設定額定值，並能在短時間、熱與電氣條件下，支援近兩倍 RMS 額定值的峰值電流脈衝。

控制器通常不需要重新架構。TLVR 設計使用專為多相降壓設計的相同控制機制。TI 控制器繼續使用 DCAP+ 控制架構，這是一種固定導通時間波谷電流模式控制的形式。其可能仍需要經過二階最佳化，例如適用 TLVR 動力系統的新增益與補償參數。通常需要較高強度的 PWM 輸出驅動器，以支援多個 L_C 迴路間的長距離，同時維持良好的訊號完整性。為開路或短路的 L_C 迴路實作新保護機制，應可減輕製造能力問題。

表 3 和表 4 總結撰寫本文時 TI 提供的 TLVR 最佳化元件，其中更多元件仍在開發中。

零件編號	電流額定值	封裝尺寸 (mm)	I _{MON}
CSD95440	80-A 峰值、40-A RMS	5 × 6	電壓
CSD95510	90-A 峰值、50-A RMS	4 × 6	電壓
CSD95560	90-A 峰值、50-A RMS	4 × 6	電流
CSD95520	60-A 峰值、30-A RMS	4 × 5	電壓
CSD95570	60-A 峰值、30-A RMS	4 × 5	電流

表 3. TLVR 最佳化的智慧功率級。

零件編號	相位	封裝尺寸 (mm)	介面
TPS53685	8	5 × 5	AMD
TPS536C5	12	6 × 6	AMD
TPS53689T	8	5 × 5	Intel
TPS536C9T	12	6 × 6	Intel

表 4. TLVR 最佳化的控制器。

範例並排設計

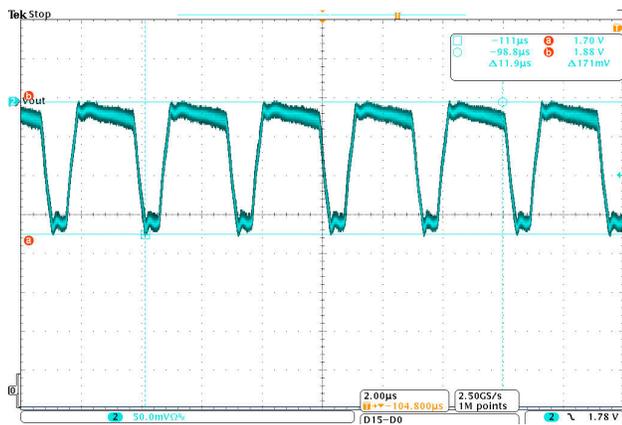
前面章節中的範例，展示了多相降壓設計與具有相同外部元件的 TLVR 設計之間的差異。然而，此比較通常不實際，因為負載的需求不會改變，必須變更的設計才能符合負載需求。如我們先前所討論，TLVR 電感器體積與標準單繞組電感器相容，因此能以相同實體 PCB 配置測試兩種設計。

表 5 總結了其中一個範例。TLVR 設計符合與多相降壓轉換器設計相同的規格，幾乎不會對整體功率損耗造成影響，且要求 C_{OUT} 減少超過 40%。

圖 30 和 圖 31 說明此設計最糟情況的過衝波形。

參數	多相降壓	TLVR
控制器/待機電源	TPS53689、CSD95440	
輸入電壓 (V_{IN})	12V	
輸出電壓 (V_{OUT})	1.8V	
最小輸出電壓 (V_{MIN})	1.59V	
最大輸出電壓 (V_{MAX})	1.85V	
相位數	8	
切換頻率	900kHz	
載入步驟	60A-430A、1000A/ μ s、1kHz-1MHz	
負載線路	0.5m Ω	
L_M/L_{BUCK}	70nH	120nH
L_C	不適用	
C_{BULK} (聚合物)	5 x 470 μ F	
多層陶瓷電容器 (MLCC)	80 x 22 μ F, 0402	80 x 22 μ F, 0402
	45 x 47 μ F, 0805	56 x 47 μ F, 0603
	15 x 100 μ F, 0805	0 x 100 μ F, 0805
	8 x 0.1 μ F, 0402	8 x 0.1 μ F, 0402
峰值功率效率 (η_{PEAK})	94.0%	93.9%
全負載效率 (η_{Full})	88.1%	88.1%
V_{MIN} 測量值 (最糟情況)	1.600V (+10mV 裕度), 主要受 R_{LL} 影響	
V_{MAX} 測量值 (最糟情況)	1.846 V (+4-mV 裕度)	
總輸出電容 (C_{OUT})	7.7 mF	4.4mF

表 5. 設計參數。



$V_{MAX} = 1.846V$ $D = 20\%$
 $f_{SW} = 330kHz$

圖 30. 最糟情況的過衝 (多相降壓轉換器)。



$V_{MAX} = 1.839V$ $D = 10\%$
 $f_{SW} = 190kHz$

圖 31. 最糟情況的過衝 (TLVR)。

摘要

TLVR 拓撲結構是傳統多相降壓轉換器設計的演進，適用於高相位數、低電壓非隔離式設計。此技術可大幅節省輸出電容，且已逐漸普及。在本白皮書中，我們介紹了 TLVR 設計人員的概念、操作原理、取捨、範例設計結果和實際考量。

其他資源

- 《Technical Disclosure Commons》。「[快速多相位跨電感電壓穩壓器](#)。」《Technical Disclosure Commons Defendent Publications Series》，2019 年 5 月 9 日。
- Radhakrishnan, Kaladhar 與 Jonathan Douglas，「[微處理器電力輸送挑戰](#)。」APEC 2022，2022 年 3 月 22 日。
- Parisi, Carmen。「[完整多相位降壓設計 \(第 1 部分\)](#)。」德州儀器應用報告，文獻編號 SLVA882B，2021 年 4 月。
- Dong, Yan。2009 年。「[負載點應用中多相位耦合電感降壓轉換器之研究](#)。」維吉尼亞理工學院暨州立大學博士論文。
- Qiu, Yang。2007 年。「[電源供應器耦合電感器：優勢與折衷方案](#)。」《EETimes》，2007 年 6 月。
- Lu, Zengyi 與 Wei Chen。「VRM 應用中具平衡繞組的多相位電感耦合方案。」發表於《Proceedings of 1994 IEEE Applied Power Electronics Conference and Exposition》，2007 年 2 月 25 日至 3 月 1 日，第 680 至 684 頁。
- Zhu, Feiyang。「多相位電壓穩壓器的多相位耦合電感器分析。」《Center for Power Electronics Systems PMC Review》，2021 年 6 月。
- Jiang, Shuai、Xin Li、Mobashar Yazdani 和 Chee Chung。「[推動 48V 技術創新：混合轉換器與跨電感電壓穩壓器 \(TLVR\)](#)。」發表於《34th Annual IEEE Applied Power Electronics Conference and Exposition》，2020 年 3 月 15 至 19 日。
- Erickson、Robert W 和 Dragan Maksimovic。2020 年。「[電力電子基礎，第三版](#)。」紐約：Springer AG。

重要聲明與免責聲明

TI 均以「原樣」提供技術性及可靠性數據（包括數據表）、設計資源（包括參考設計）、應用或其他設計建議、網絡工具、安全訊息和其他資源，不保證其中不含任何瑕疵，且不做任何明示或暗示的擔保，包括但不限於對適銷性、適合某特定用途或不侵犯任何第三方知識產權的暗示擔保。

所述資源可供專業開發人員應用 TI 產品進行設計使用。您將對以下行為獨自承擔全部責任：(1) 針對您的應用選擇合適的 TI 產品；(2) 設計、驗證並測試您的應用；(3) 確保您的應用滿足相應標準以及任何其他安全、安保或其他要求。

所述資源如有變更，恕不另行通知。TI 對您使用所述資源的授權僅限於開發資源所涉及 TI 產品的相關應用。除此之外不得複製或展示所述資源，也不提供其它 TI 或任何第三方的知識產權授權許可。如因使用所述資源而產生任何索賠、賠償、成本、損失及債務等，TI 對此概不負責，並且您須賠償由此對 TI 及其代表造成的損害。

TI 的產品均受 [TI 的銷售條款](#) 或 [ti.com](#) 上其他適用條款，或連同這類 TI 產品提供之適用條款所約束。TI 提供所述資源並不擴展或以其他方式更改 TI 針對 TI 產品所發布的可適用的擔保範圍或擔保免責聲明。

TI 不接受您可能提出的任何附加或不同條款。

郵寄地址：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265

Copyright © 2024, Texas Instruments Incorporated

IMPORTANT NOTICE AND DISCLAIMER

TI PROVIDES TECHNICAL AND RELIABILITY DATA (INCLUDING DATA SHEETS), DESIGN RESOURCES (INCLUDING REFERENCE DESIGNS), APPLICATION OR OTHER DESIGN ADVICE, WEB TOOLS, SAFETY INFORMATION, AND OTHER RESOURCES "AS IS" AND WITH ALL FAULTS, AND DISCLAIMS ALL WARRANTIES, EXPRESS AND IMPLIED, INCLUDING WITHOUT LIMITATION ANY IMPLIED WARRANTIES OF MERCHANTABILITY, FITNESS FOR A PARTICULAR PURPOSE OR NON-INFRINGEMENT OF THIRD PARTY INTELLECTUAL PROPERTY RIGHTS.

These resources are intended for skilled developers designing with TI products. You are solely responsible for (1) selecting the appropriate TI products for your application, (2) designing, validating and testing your application, and (3) ensuring your application meets applicable standards, and any other safety, security, regulatory or other requirements.

These resources are subject to change without notice. TI grants you permission to use these resources only for development of an application that uses the TI products described in the resource. Other reproduction and display of these resources is prohibited. No license is granted to any other TI intellectual property right or to any third party intellectual property right. TI disclaims responsibility for, and you will fully indemnify TI and its representatives against, any claims, damages, costs, losses, and liabilities arising out of your use of these resources.

TI's products are provided subject to [TI's Terms of Sale](#) or other applicable terms available either on [ti.com](https://www.ti.com) or provided in conjunction with such TI products. TI's provision of these resources does not expand or otherwise alter TI's applicable warranties or warranty disclaimers for TI products.

TI objects to and rejects any additional or different terms you may have proposed.

Mailing Address: Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2024, Texas Instruments Incorporated