Errata

CC2651R3 SimpleLink™ 无线 MCU 器件修订版本 B/C

摘要

本文档介绍了 CC2651R3SimpleLink™ 器件功能规格的已知例外情况（公告）。

内容

1 公告汇总表.....2
2 命名规则、封装编号法和修订版本标识.....3
2.1 器件和开发支持工具命名规则.....3
2.2 支持的器件.....3
2.3 封装编号法和修订版本标识.....3
3 公告.....4
4 修订历史记录.....14

商标

SimpleLink™ and 德州仪器 (TI)™ are trademarks of Texas Instruments.
Arm® and Cortex® are registered trademarks of Arm Limited (or its subsidiaries).
所有商标均为其各自所有者的财产。

Copyright © 2026 Texas Instruments Incorporated

1 公告汇总表

表 1-1 列出了所有公告、受影响的模块以及适用的器件修订版本。

表 1-1. 公告汇总表

模块	说明	受影响的器件修订版本
		B/C
无线电	公告 Radio_04 — 使用集成式 DC/DC 转换器时，RX 灵敏度有所降低	是
电源	公告 Power_03 — 启用 DC/DC 转换器后，低电源电压下的电压纹波有所增加	是
I2C	公告 I2C_01 — I^2C 模块主器件状态位设置得较晚	是
I2S	公告 I2S_01 — 未报告 I^2S 总线故障	是
CPU	公告 CPU_01 — Arm® 勘误表 #838869：立即存储重叠异常返回操作可能跳转至错误的中断向量	是
CPU	公告 CPU_02 — Arm® 勘误表 #752770：SP 的负载中断可能导致错误行为	是
CPU、系统	公告 CPU_Sys_01 — 当系统 CPU 运行在分频后的 48MHz 时钟下时，用于设置 10 毫秒周期性节拍的 SysTick 校准值（寄存器字段 CPU_SCS.STCR.TENMS）不正确	是
系统	公告 Sys_01 — 从关断模式唤醒时，器件可能会引导至 ROM 串行引导加载程序	是
系统	公告 Sys_05 — 低温下的上电复位 (POR) 阈值电压升高	是
系统控制器	公告 SYSCTRL_01 — 在初始上电期间，特定 2MHz 周期内发生的复位会被错误地报告	是
ADC	公告 ADC_01 — 当 XOSC_HF 打开或关闭时，200kHz 速率的周期性 ADC 触发可以忽略	是
ADC	公告 ADC_02 — 当 XOSC_HF 打开或关闭时，ADC 样本可以延迟两个或 14 个时钟周期 (24MHz)，从而导致采样抖动	是
ADC	公告 ADC_03 — 如果在启用 ADC 后立即生成单个手动 ADC 触发，则软件可能会在读取 ADC FIFO 时挂起	是

Copyright © 2026 Texas Instruments Incorporated

2 命名规则、封装编号法和修订版本标识

2.1 器件和开发支持工具命名规则

为了标示产品开发周期所处的阶段，德州仪器 (TI)™ 为所有器件和支持工具的器件型号分配了前缀。每个器件都具有以下三个前缀之一：X、P 或无（例如 XCC2651R3）。德州仪器 (TI) 建议在其支持工具中使用三种可能的前缀指示符中的两种：TMDX 和 TMDS。这些前缀代表了产品开发的发展阶段，即从工程原型 (X/TMDX) 直到完全合格的生产器件/工具（无/TMDS）。

器件开发进化流程：

X 试验器件不一定代表最终器件的电气规格，并且可能不使用生产封装流程。

P 原型器件不一定是最终的器件芯片，并且不一定符合最终电气规格。

无 完全合格的器件芯片量产版本。

支持工具开发演变流程：

TMDX 还未经德州仪器 (TI) 完整内部质量测试的开发支持产品。

TMDS 完全合格的开发支持产品。

X 和 P 器件和 TMDX 开发支持工具在供货时附带如下免责条款：

“开发中的产品用于内部评估用途。”

生产器件和 TMDS 开发支持工具已进行完全特性描述，并且器件的质量和可靠性已经完全论证。TI 的标准保修证书对该器件适用。

预测显示原型器件（X 或者 P）的故障率大于标准生产器件。由于这些器件的预期最终使用故障率仍未确定，故德州仪器 (TI) 建议请勿将这些器件用于任何生产系统。请仅使用合格的生产器件。

2.2 支持的器件

本文档支持以下器件：

- CC2651R3

2.3 封装编号法和修订版本标识

图 2-1 和表 2-1 介绍了封装编号法和器件修订版代码。

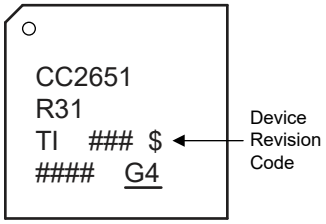


图 2-1. 封装符号

表 2-1. 版本标识

器件修订版本代码	硅片版本
B	PG1.1（请参阅以下注释）
C	PG1.2（请参阅以下注释）

备注

- PG1.1 和 PG1.2 在功能上等效，并具有相同的数据表规格。
- 引入 PG1.2 是为了支持将产品发布到更多的晶圆厂。

English Document: SWRZ121
Copyright © 2026 Texas Instruments Incorporated

3 公告

Radio_04 ***使用集成式 DC/DC 转换器时，RX 灵敏度有所降低***

受影响的版本： 版本 C 及更早版本

详细信息： 使用集成式 DC/DC 转换器时，无线电 RX 灵敏度可能会降低约 2dB。

解决方法： 使用内部全局 LDO 为 VDDR 供电。这将导致器件数据表中指定的电流消耗增加。使用集成式 DC/DC 转换器时，请参阅 CC13xx/CC26xx 硬件配置和 PCB 设计注意事项应用报告，了解有关优化射频性能的布局注意事项的更多信息。有关电源管理功能的更多信息，请参阅 CC13x1x3、CC26x1x3 SimpleLink™ 无线 MCU 技术参考手册。

Power_03 ***启用 DC/DC 转换器后，低电源电压下的电压纹波有所增加***

受影响的版本： 版本 C 及更早版本

详细信息： 当电源电压低于 2.0V 时，硬件控制模块将禁用 DC/DC 转换器，以更大限度地提高系统效率。该模块没有足够的迟滞，会导致 VDDR 稳压电源上产生大约 10mV 的纹波。根据器件的内部测试，预计此勘误表不会影响射频性能。但是，这些测试结果无法确保客户的应用或终端设备不会受到影响。

解决方法： 使用 TI 提供的电源驱动程序 (PowerCC26X2.c)，当供电电压低于 2.2V 时，该程序会自动禁用 DC/DC 转换器。

该解决方法在所有 SDK 版本中都可用。

English Document: SWRZ121
Copyright © 2026 Texas Instruments Incorporated

I2C_01 ***I²C 模块主器件状态位设置得较晚***

受影响的版本： 版本 C 及更早版本

详细信息： 写入 I2C.MCTRL 寄存器后，不会立即设置 I2C.MSTAT[0] 位。这可能会导致 I²C 主器件相信它不再繁忙并继续写入数据。

解决方法： 在写入 MCTRL 寄存器与轮询 MSTAT 寄存器之间，插入四个 NOP。

该解决方法已在 TI 提供的 I2C 主器件驱动程序 (I2CCC26XX.c) 以及 I2C 驱动程序库 API (driverlib/i2c.c) 中实现。

该解决方法适用于所有软件开发套件 (SDK) 版本。

I2S_01 ***不报告 I²S 总线故障***

受影响的版本： 版本 C 及更早版本

详细信息： 如果 I²S 读写操作因访问非法地址（使用错误）而导致系统总线故障，I²S 模块将不会置位总线错误中断标志 (I2S0.IRQFLAGS.BUS_ERR)。

解决方法： 软件必须确保可访问 I²S DMA 使用的存储器区域，这意味着存储器已通电并连接系统总线。

例如：如果发送缓冲区的地址以 0x0 开头，TI 提供的 SPI 驱动程序 SPICC26X2DMA.c 将确保即使在空闲电源模式下，闪存存储器也保持可访问状态，从而确保不会发生总线故障。如果使用 I2S 编写外设驱动程序，则需要采用类似的方法。

Copyright © 2026 Texas Instruments Incorporated

CPU_01 *Arm® 勘误表 #838869：立即存储重叠异常返回操作可能跳转至错误的中断向量*

受影响的版本： 版本 C 及更早版本

详细信息：

受影响的配置：

此勘误仅影响可写存储器位置会表现出一个以上等待状态的系统（系统 SRAM 没有等待状态）。

Arm®Cortex®-M4 处理器包含一个写缓冲器，允许在存储指令等待总线响应时继续执行后续指令。在特定的时序条件下，如果在异常返回期间该缓冲器仍被存储指令占用，此时下一个将要处理的中断选择的延迟变化，可能会导致中断控制器确认的中断与处理器提取的向量之间出现不匹配。

条件：

- 正在执行中断 A 的处理程序。
- 优先级与中断 A 相同或更低的中断 B 处于挂起状态。
- 对可缓冲的存储位置执行带立即数偏移的存储指令：

  STR/STRH/STRB <Rt>, [<Rn>,#imm]
  STR/STRH/STRB <Rt>, [<Rn>,#imm]!
  STR/STRH/STRB <Rt>, [<Rn>,#imm]
- 可以执行任意数量的附加数据处理指令。
- 执行了一条导致异常返回的 BX 指令。
- 该存储数据被施加了等待状态，使得数据在 BX 指令执行后至少两个周期才被接受。
  - 如果该存储指令与 BX 指令之间没有其他指令，则这最少是两个时钟周期。
  - 观察到该勘误所需增加的等待状态数，需要加上存储指令与中断服务例程退出指令之间的时钟周期数。
- 在总线接受缓冲的存储数据之前，另一个中断 C 被触发，其中断优先级与 A 相同或更低，但高于 B。

影响：

处理器本应执行中断处理程序 C，并在 C 完成后执行 B 的处理程序。如果满足上述条件，则该勘误会导致处理器错误地清除中断 C 的挂起状态，然后两次执行 B 的处理程序。首次执行 B 的处理程序时，它将处于中断 C 的优先级级别。如果中断 C 是由 C 的处理程序清除的电平触发中断所挂起的，则在 B 的处理程序完成后，中断 C 将再次被挂起，并且 C 的处理程序将被执行。如果中断 C 是电平触发的，则该中断最终会再次变为挂起状态，并随后得到处理。如果中断 C 是单脉冲中断，则该中断存在丢失的可能性。

English Document: SWRZ121
Copyright © 2026 Texas Instruments Incorporated

CPU_01 (续) ***Arm® 勘误表 #838869：立即存储重叠异常返回操作可能跳转至错误的中断向量***

该缺陷在极少数情况下才会触发。在 STORE 操作经历超过两个等待周期的情况下，软件开发人员必须使用规避措施。

- 此勘误不适用于 TI-RTOS 中断，因为 TI-RTOS 确保在中断服务程序最后五条指令内不会出现*带立即数偏移的存储指令*。有关进一步的实现细节，请参阅所有 SDK 中包含的以下文件：
  - kernel/tirtos/packages/ti/sysbios/family/arm/m3/Hwi_asm*.sv7M
- TI-RTOS 中的零延迟中断（绕过内核）及 SDK 中的无 RTOS 示例受此勘误影响。

解决方法：

建议的解决方法：

确保在存储指令与 BX 指令之间执行一条 DSB 指令。对于用 C 语言编写的异常处理程序，可以通过在中断函数结束前插入适当的内联函数或内联汇编来实现，例如：

ARMCC：

...

__schedule_barrier(); __asm{DSB}; __schedule_barrier(); }

GCC:

...

__asm volatile (“dsb 0xf” ::: “memory”); }

备注

编译器**不会**自动添加此错误的解决方法。

替代解决方法：

禁用 CPU 写缓冲（寄存器 CPU_SCS.ACTLR.DISDEFWBUF），代价是执行速度会显著降低。

Copyright © 2026 Texas Instruments Incorporated

CPU_02 *Arm® 勘误表 #752770：SP 的负载中断可能导致错误行为*

受影响的版本： 版本 C 及更早版本

详细信息： 在向堆栈指针 (SP/R13) 进行单字加载的数据阶段发生中断，可能会导致器件出现错误行为。在所有情况下，从中断返回都将导致加载指令额外执行一段时间。对于所有执行基址寄存器更新的指令，基址寄存器将在每次执行时被错误更新，从而导致堆栈指针从错误的内存位置加载。

可能导致重复加载事务的受影响指令为：

- LDR SP,[Rn],#imm
- LDR SP,[Rn,#imm]!
- LDR SP,[Rn,#imm]
- LDR SP,[Rn]
- LDR SP,[Rn,Rm]

受影响的指令可能导致从不正确的存储器地址加载栈指针：

- LDR SP,[Rn],#imm
- LDR SP,[Rn,#imm]!

条件：

- 执行了以 SP/R13 为目标的 LDR 指令。
- LDR 的地址已成功发出到存储器系统。
- 在数据返回并写入栈指针之前会获取中断。

影响：

除非该加载操作是针对器件内存或强序内存进行，否则重复加载不应产生任何影响。

- 在极少数情况下，如果该加载操作是针对器件内存或强序内存进行，重复读取可能会导致最终的堆栈指针值与仅执行一次加载时不同。
- 对该指令的两种回写形式产生中断，可能会导致基址寄存器值和最终的堆栈指针值均不正确。这可能会导致明显的堆栈损坏，以及随后对内存的意外修改。

解决方法： 大多数编译器通过不生成受影响的指令序列，并且不在编译器运行时库中使用这些指令，从而确保不触发此缺陷。这包括：

- 来自 v6.21 的 IAR
- TI Arm 编译器 (CCS) 的所有版本

针对这两个问题的解决方法可以通过以下方式实现：将直接向堆栈指针加载数据的操作，替换为先向通用寄存器进行中间加载，然后再将该寄存器的值移至堆栈指针。

如果可以接受重复读取，则可以通过执行不带基址递增的堆栈指针加载，随后跟一条 ADD 或 SUB 指令来对基址寄存器执行适当的更新，从而规避基址寄存器更新问题。

English Document: SWRZ121
Copyright © 2026 Texas Instruments Incorporated

CPU_Sys_01 ***当系统 CPU 运行在分频后的 48MHz 时钟下时，用于设置 10 毫秒周期性节拍的 SysTick 校准值（寄存器字段 CPU_SCS.STCR.TENMS）不正确***

受影响的版本： 版本 C 及更早版本

详细信息： 使用 Arm® Cortex® SysTick 定时器时，无论 CPU 的分频系数是多少，TENMS 寄存器字段 (CPU_SCS.STCR.TENMS) 始终会显示对应于 48MHz CPU 时钟的值。

解决方法： 必须实现以下两项解决方法之一：

解决方法 1：不使用分频系统 CPU 时钟。通常，通过以全时钟速度完成任务，然后在任务完成后完全停止系统 CPU，可以更大限度地节省功耗。

解决方法 2：从 PRCM.CPUCLKDIV.RATIO 寄存器中读取系统 CPU 分频因子，并根据该值补偿软件中的 TENMS 字段。

TI 提供的驱动程序不提供对系统 CPU 时钟进行分频的任何功能。

Copyright © 2026 Texas Instruments Incorporated

Sys_01 ***从关断模式唤醒时，器件可能会引导至 ROM 串行引导加载程序***

受影响的版本： 版本 C 及更早版本

详细信息： 对于下面给出的条件，器件在从关断电源模式唤醒时，将引导至 ROM 串行引导加载程序并执行该引导加载程序。预期行为是执行应用程序映像。此错误发生的先决条件是：

- 导致从关断状态唤醒的必须是 JTAG TCK 引脚上的切换或噪声，而不是 GPIO 事件。
- Customer Configuration Section (CCFG) 必须已使用以下字段值配置引导加载程序：
  - BOOTLOADER_ENABLE = 0xC5（已启用引导加载程序）
  - BL_ENABLE = 0xC5（已启用引导加载程序引脚后门）
  - BL_PIN_NUMBER = n（任何有效的 DIO 编号）

在满足上述先决条件的情况下，在以下情况下将进入引导加载程序：

- CCFG 引导加载程序引脚电平 (BL_LEVEL) 设置为 0x0（低电平有效），并且寄存器 IOC.IOCFGn.IE 中定义在 BL_PIN_NUMBER 中的 DIO 的输入缓冲器使能被禁用。如果未启用输入缓冲器，则 DIO 电平将始终读为 0，并将进入引导加载程序。
- 由 IOC.IOCFGn.IE 控制的输入缓冲器已启用，且在进入关断模式时，DIO 输入值与 CCFG 引导加载程序引脚电平 (BL_LEVEL) 相同（GPIO 输入值在进入关断模式时被锁存）

关于进入 JTAG TCK 引脚的噪声如何唤醒设备，请参阅 CC13x1x3、CC26x1x3 SimpleLink™ 无线 MCU 技术参考手册中的 ICEMelter 章节

解决方法： 必须实现以下一项解决方法：

- 如果未启用输入缓冲器，则仅使用高电平有效的引导加载程序引脚电平 (BL_LEVEL)
- 如果启用输入缓冲器，请确保进入关断模式时，DIO 输入引脚电平与引导加载程序引脚电平 (BL_LEVEL) 不同。

English Document: SWRZ121
Copyright © 2026 Texas Instruments Incorporated

Sys_05 ***低温下的上电复位 (POR) 阈值电压升高***

受影响的版本： 版本 C 及更早版本

详细信息： 在温度低于 0°C 时从 0V 为设备上电，上电复位 (POR) 电路可能会等到 VDDS 达到 2.3V 时才释放复位，而不是按预期在 1.8V 时释放。POR 释放复位后，受影响的器件将在低至 1.8V 的电压下继续运行。

此行为仅在上电期间观察到，在器件经历外部引脚复位，从关断状态唤醒或看门狗复位时不会发生。

这种情况很少发生，仅在极少的器件上观察到。

解决方法： **解决方法 1**：在低于 0°C 的温度下运行时，在 VDDS > 2.3V 时为器件上电。

或

解决方法 2：在 VDDS < 2.3V 时为器件上电，从主机 MCU 或外部电路触发复位引脚。

此外，在外部稳压器模式下运行器件时，必须实施解决方法 2。请注意，在外部稳压器模式下，VDDS 不得超过 1.95V。*这仅适用于支持外部稳压器模式的器件。*

SYSCTRL_01 ***在初始上电期间，特定 2MHz 周期内发生的复位会被错误地报告***

受影响的版本： 版本 C 及更早版本

详细信息： 如果在初始上电（启动）期间的特定 2MHz 周期内发生复位，无论实际的复位源是什么，AON_PMCTL.RESETCTL.RESET_SRC 中报告的复位源都会显示为 PWR_ON（上电复位）。这意味着在引导期间有一个 0.5 µs 窗口，在该窗口中可能会错误地报告复位。

解决方法： 无

Copyright © 2026 Texas Instruments Incorporated

ADC_01 *当 XOSC_HF 打开或关闭时，200kHz 速率的周期性 ADC 触发可以忽略*

受影响的版本： 版本 C 及更早版本

详细信息： ADC 时钟没有专用的时钟源选择。时钟由 XOSC_HF 或 RCOSC_HF 生成，但只要此时钟开启，默认为 XOSC_HF 生成的时钟。

当 ADC 时钟源从 RCOSC_HF 切换到 XOSC_HF 生成的时钟时，时钟将停止两个周期 (24MHz)。

当 ADC 时钟源从 XOSC_HF 生成的时钟切换到 RCOSC_HF 生成的时钟时，时钟将额外停止 12 个时钟周期，因为开关完成时，RCOSC_HF 生成的时钟未就绪。

时钟停止的事实，加上 XOSC_HF 与 RCOSC_HF 之间的频率差异，可能会导致 ADC 采样和转换完成得太晚，从而错过下一个触发信号。

权变措施 1： 使用异步采样。

问题发生后的采样周期最多可减少 20% (24MHz 下为 12 + 1 个时钟周期)

要使用 ADCBuf 驱动程序在异步模式下使用 ADC：

```
ADCBuf_Params params;
ADCBufCC26X2_ParamsExtension paramsExtension;

ADCBuf_Params_init(&params);
ADCBufCC26X2_ParamsExtension_init(&paramsExtension);

paramsExtension.samplingMode = ADCBufCC26X2_SAMPING_MODE_ASYNCHRONOUS;
params.custom = &paramsExtension;
```

要使用 DriverLib API 在异步模式下使用 ADC：

调用 `AUXADCEnableAsync()` 以启用 ADC，而不是 `AUXADCEnableSync()`

示例：

```
AUXADCEnableAsync(AUXADC_REF_FIXED, AUXADC_TRIGGER_GPT0A);
```

请注意异步和同步 ADC 模式之间的差异：

- 在异步模式下，ADC 触发器结束采样周期 (在上一次转换后立即启动) 并开始转换。
- 在同步模式下，ADC 触发开始采样周期 (持续时间可配置) ，然后进行转换。

权变措施 2： 确保 XOSC_HF 在 ADC 使用时不会打开或关闭。

权变措施 3： 将采样周期增加 (12+1)/24µs 或更多。

ADC_02 *当 XOSC_HF 打开或关闭时，ADC 样本可以延迟两个或 14 个时钟周期 (24MHz)，从而导致采样抖动*

受影响的版本： 版本 C 及更早版本

详细信息： ADC 时钟没有专用的时钟源选择。时钟由 XOSC_HF 或 RCOSC_HF 生成，但只要此时钟开启，默认为 XOSC_HF 生成的时钟。

当 ADC 时钟源从 RCOSC_HF 切换到 XOSC_HF 生成的时钟时，时钟将停止两个周期 (24MHz)。

当 ADC 时钟源从 XOSC_HF 生成的时钟切换到 RCOSC_HF 生成的时钟时，时钟将额外停止 12 个时钟周期，因为开关完成时，RCOSC_HF 生成的时钟未就绪。

English Document: SWRZ121
Copyright © 2026 Texas Instruments Incorporated

ADC_02 (续) ***当 XOSC_HF 打开或关闭时，ADC 样本可以延迟两个或 14 个时钟周期 (24MHz)，从而导致采样抖动***

与 ADC 时钟相比，SCLK_HF 从 RCOSC_HF 切换到 XOSC_HF 的时间点不同。这会导致采样抖动。

权变措施 1： 使用异步采样

- 这会将 14 个时钟周期的延迟减少至两个时钟周期。
- 使用异步采样和外部触发源（GPIO 输入引脚）将完全消除延迟

要使用 ADCBuf 驱动程序在异步模式下使用 ADC：

```
ADCBuf_Params params;
ADCBufCC26X2_ParamsExtension paramsExtension;

ADCBuf_Params_init(&params);
ADCBufCC26X2_ParamsExtension_init(&paramsExtension);

paramsExtension.samplingMode = ADCBufCC26X2_SAMPING_MODE_ASYNCHRONOUS;
params.custom = &paramsExtension;
```

要使用 DriverLib API 在异步模式下使用 ADC：

调用 `AUXADCEnableAsync()` 以启用 ADC，而不是 `AUXADCEnableSync()`

示例：

```
AUXADCEnableAsync(AUXADC_REF_FIXED, AUXADC_TRIGGER_GPT0A);
```

请注意异步和同步 ADC 模式之间的差异：

- 在异步模式下，ADC 触发器结束采样周期（在上一次转换后立即启动）并开始转换。
- 在同步模式下，ADC 触发开始采样周期（持续时间可配置），然后进行转换

权变措施 2： 确保 XOSC_HF 在 ADC 使用时不会打开或关闭。

English Document: SWRZ121
Copyright © 2026 Texas Instruments Incorporated

ADC_03 ***如果在启用 ADC 后立即生成单个手动 ADC 触发，则软件可能会在读取 ADC FIFO 时挂起***

受影响的版本： 版本 C 及更早版本

详细信息： ADC 时钟没有专用的时钟源选择。时钟由 XOSC_HF 或 RCOSC_HF 生成，但只要此时钟开启，默认为 XOSC_HF 生成的时钟。

当 ADC 时钟源从 RCOSC_HF 切换到 XOSC_HF 生成的时钟时，时钟将停止两个周期 (24MHz)。

当 ADC 时钟源从 XOSC_HF 生成的时钟切换到 RCOSC_HF 生成的时钟时，时钟将额外停止 12 个时钟周期，因为开关完成时，RCOSC_HF 生成的时钟未就绪。

额外增加的 12 个时钟周期在触发事件与 ADC 触发检测器之间引入一场竞态，以决定谁能先退出复位状态。

权变措施 1： TI 软件会在启用 ADC 的功能末尾添加短延迟。使用 SimpleLink CC13xx 和 CC26xx SDK 5.40 或更高版本

权变措施 2： 确保 XOSC_HF 在 ADC 使用时不会打开或关闭。

4 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

Changes from Revision A (February 2022) to Revision B (October 2026)	Page
• 更新了 C 版本及更早版本的所有公告	2
• 在节 2.3 中：更改了封装编号法图；添加了器件修订版本 C (PG1.2)；添加了注释	3

English Document: SWRZ121
Copyright © 2026 Texas Instruments Incorporated

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做出任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 TI 销售条款)、TI 通用质量指南 或 ti.com 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。 除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2026，德州仪器 (TI) 公司

最后更新日期：2025 年 10 月