Application Note

DP83Cx 疑难解答指南

Shane Hauser

摘要

DP83C8512/8522/8201F/1111 PHY 是稳健的 10/100Mbps 物理层 (PHY) 收发器。本应用手册旨在帮助对设计中的 DP83C8512/8522/8201F/1111 PHY 进行故障排除，并展示在 PHY 无法按预期工作时应采取的措施。

内容

1 DP83C8512/8522/8201/1111 应用概述 2
2 排查应用问题 2
2.1 原理图和布局检查清单 2
2.2 器件运行状况检查 3
2.2.1 电压检查 3
2.2.2 探测 RESET_N 信号 3
2.2.3 探测 RBIAS 和 CEXT 3
2.2.4 探测 XI 时钟 5
2.2.5 在初始化期间探测搭接引脚 6
2.2.6 探测串行管理接口信号（MDC、MDIO） 7
2.3 MDI 运行状况检查 9
2.3.1 磁性元件 9
2.3.2 探测 MDI 信号 9
2.3.3 链路质量检查 11
2.3.4 合规性 11
2.4 MII 运行状况检查 12
2.4.1 MII 检查 12
2.4.2 RMII 检查 14
2.5 环回和 PRBS 17
2.5.1 环回模式 17
2.5.2 通过 MAC 发送和接收数据包 18
2.5.3 通过 BIST 发送和接收数据包 18
3 总结 19
4 参考资料 19

商标

所有商标均为其各自所有者的财产。

English Document: SDAA449
Copyright © 2026 Texas Instruments Incorporated

1 DP83C8512/8522/8201/1111 应用概述

DP83C8512、DP83C8522、DP83C8201F 和 DP83C1111（以下简称 DP83CX）这些物理层 (PHY) 器件具有低延迟且延迟可预测、低功耗的特点，并支持 10BASE-Te 和 100BASE-TX 以太网协议，可满足实时工业以太网系统的严格要求。这类器件包含可实现快速链接的硬件自动加载 (bootstrap)、快速链路丢弃检测模式以及用于对系统上其他模块进行时钟同步的专用参考 CLKOUT。

图 1-1 是典型 DP83CX 应用的简化系统方框图。

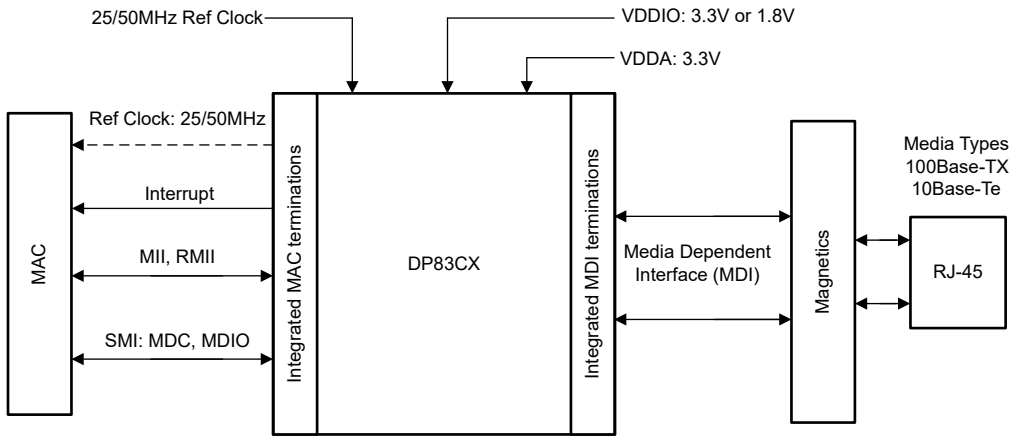


图 1-1. DP83CX 方框图

DP83CX PHY 通过 MDI 连接以太网 MAC 和介质。与介质的连接通常是通过磁性元件和连接器（例如 RJ-45）进行的。

2 排查应用问题

以下各节从高级基本检查方法中进行调试，该方法隔离 PHY 设计的子系统、以检查它们是否会导致应用问题。

本文档旨在解决常见的以太网问题，例如：

- 无法 ping
- 无法获取链路或间歇性链路
- 链路但发现数据包错误
- 无法存取寄存器

除非另有说明，否则建议按顺序完成以下各节。

2.1 原理图和布局检查清单

DP83CX 原理图检查清单将使用 DP83CX PHY 进行设计的最佳实践汇编成一份简单易用的文档。建议浏览本文档以了解 PHY 工作所需的连接和元件的更详细说明。

以下各节可以介绍 PHY 上电并正确初始化后的预期行为。如果与预期行为有任何偏差，则可能会因外设电路不正确而导致误差。

English Document: SDAA449
Copyright © 2026 Texas Instruments Incorporated

2.2 器件运行状况检查

本节深入介绍器件运行状况检查，该检查可确保 PHY 已正确通电并初始化。如果 PHY 发生如下情况，可以跳过此部分：

- 连接到链路伙伴时正在连接（LED 指示或寄存器状态）或在以太网电缆未连接时显示 FLP 信号，以及
- 正在响应寄存器访问（如果适用）

2.2.1 电压检查

DP83CX PHY 需要有足够的电力，并采用以下该器件特有的去耦方案：

- 每个电源轨
  - 1x 10nF、1x 100nF、1x 1uF、1x 10uF

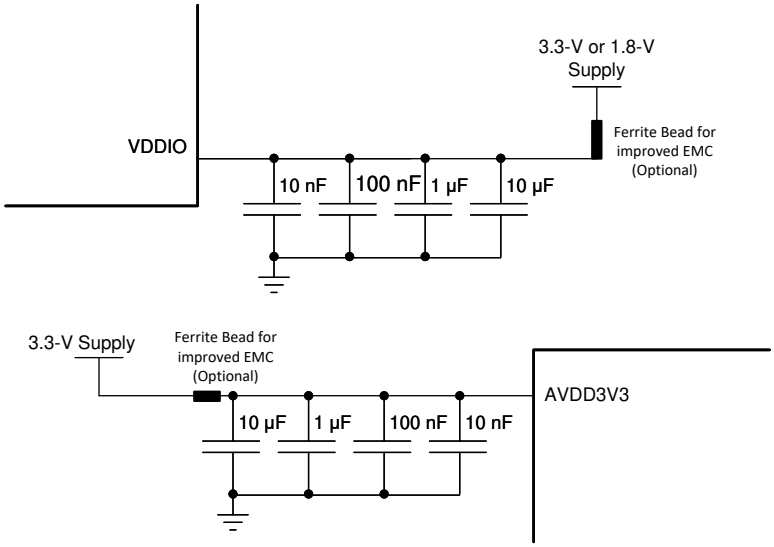


图 2-1. 电源去耦建议

为器件加电，并在尽可能靠近引脚的位置对电源执行直流测量。确认每个测量值均在 表 2-1 中定义的限值范围内。

表 2-1. 建议运行条件

	最小值	典型值	最大值	单位
AVDD3V3	3	3.3	3.6	V
VDDIO (3.3V)	3	3.3	3.6	
VDDIO (1.8V)	1.62	1.8	1.98	

2.2.2 探测 RESET_N 信号

DP83CX PHY 上复位功能为低电平有效。如果处于未连接状态或未从外部进行驱动，该引脚具有弱内部上拉电阻器，可提供默认状态。

确认控制器未将 RESET_N 信号驱动为低电平。否则，器件可能保持在复位状态，既不会响应寄存器命令，也无法建立链路。

2.2.3 探测 RBIAS 和 CEXT

RBIAS 引脚对于 PHY 的运行至关重要。此元件用于设置器件内的内部基准电流。元件选择指南是 RBIAS 容差 为 1% 的单个 6.49kΩ 元件。首选是具有单个元件而不是多个串联元件，因为容差范围可能会增加。

如果正确供电，在电源上升后的大约 60us 内探测 RBIAS 引脚时会出现 1V 信号，随后回到 0V。当器件处于运行状态时，CEXT 需要提供 1.7V 信号。

English Document: SDAA449
Copyright © 2026 Texas Instruments Incorporated

CH 1（3.3V 电源）、CH 2 (CEXT)

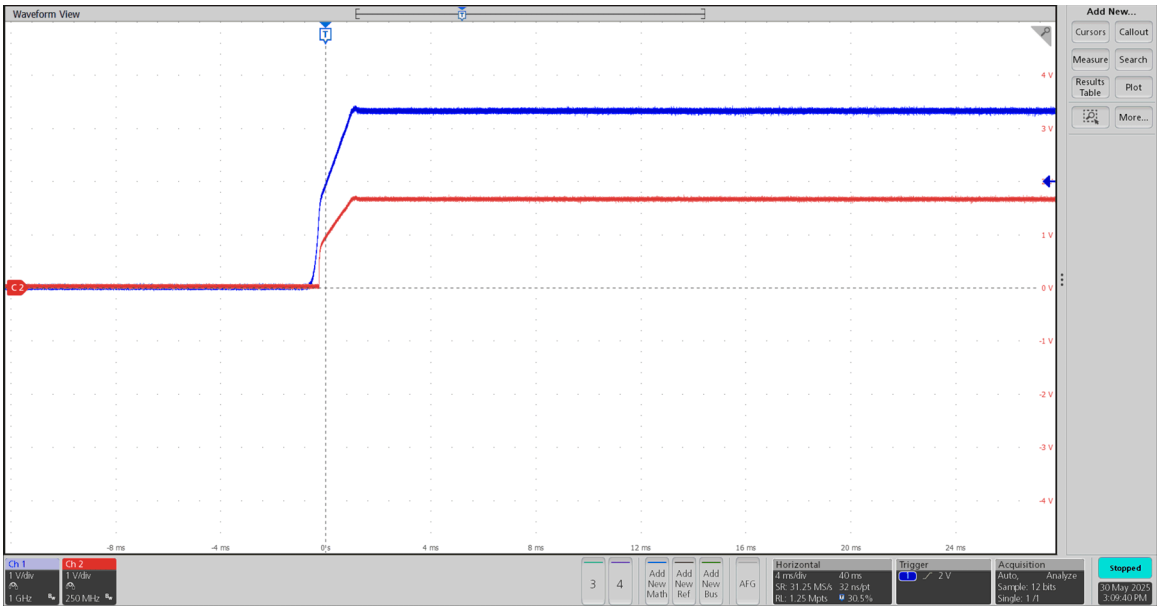


图 2-2. CEXT 斜坡

CH 1（3.3V 电源）、CH 2 (RBIAS)。注意触发点处的脉冲

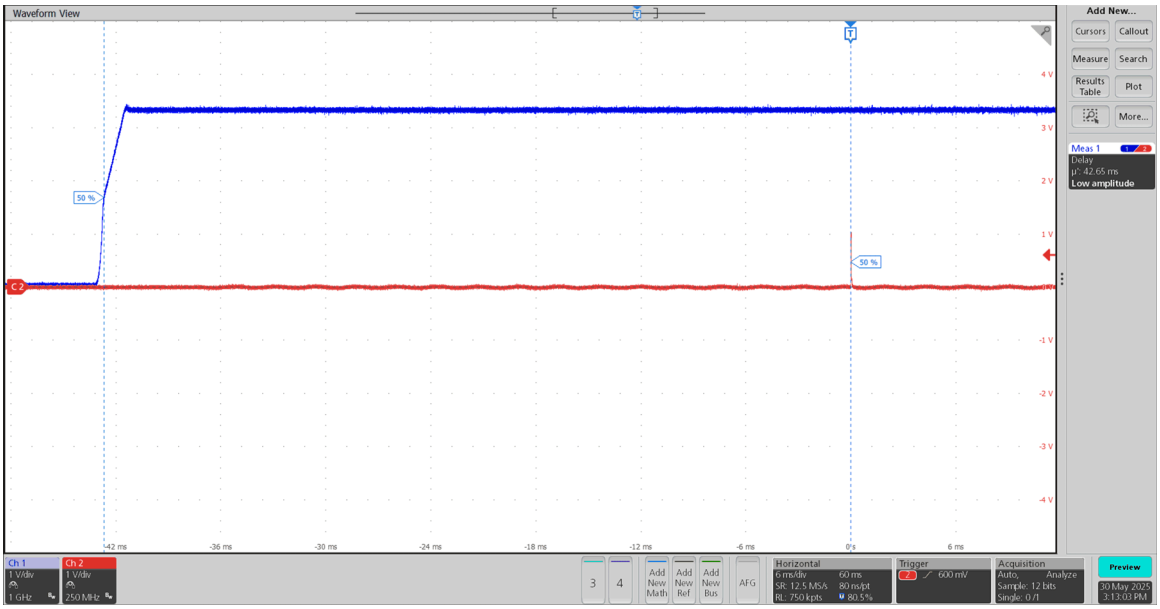


图 2-3. RBIAS 脉冲延迟与 VDDA3V3 斜坡之间的关系

English Document: SDAA449
Copyright © 2026 Texas Instruments Incorporated

CH 1（3.3V 电源）、CH 2 (RBIAS)

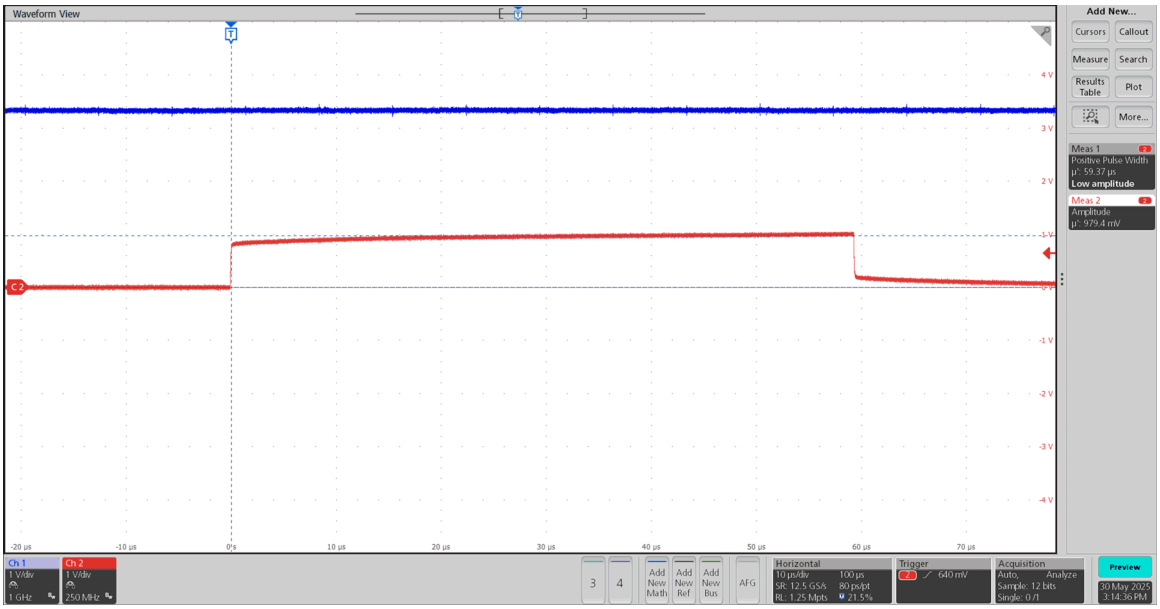


图 2-4. RBIAS 脉宽

2.2.4 探测 XI 时钟

以下指南是兼容晶体的主要参考规格。

表 2-2. 25MHz 晶体规格

参数	测试条件	最小值	典型值	最大值	单位
频率			25		MHz
频率容差	工作温度	-100		100	ppm
负载电容			15	40	pF
ESR				50	Ω

表 2-3. 25MHz 振荡器规格

参数	测试条件	最小值	典型值	最大值	单位
频率			25		MHz
频率容差	工作温度			±50	ppm
频率稳定性	1 年老化			±50	ppm
上升/下降时间	20% - 80%			5	ns
对称性	占空比	40%		60%	
抖动 RMS	积分带：12kHz 至 5MHz			11	ps

验证频率和信号完整性。为了确保链路完整性，参考时钟必须为：

- MII 和 RMII 主模式
  - 25MHz ±50ppm
- RMII 从模式
  - 50MHz ±50ppm

如果使用晶体作为时钟源，建议探测 CLK_OUT 信号。探测晶体节点可以改变容性负载，从而改变工作频率。

English Document: SDAA449
Copyright © 2026 Texas Instruments Incorporated

备注

有关使用晶体网络进行设计的更多信息，请参阅*德州仪器 (TI) 以太网物理层收发器的晶体选型和规格*应用手册。

CLK_OUT 上的默认信号是 XI 基准的缓冲版本，将提供代表性测量。如果由于搭接原因 CLK_OUT 不可用，或其意外缺失，则必须探测 XI 引脚，但结果需谨慎参考。

2.2.5 在初始化期间探测搭接引脚

PHY 具有搭接引脚，可在预定模式下帮助配置器件。这些引脚上的电压是决定器件是否处于一种模式的唯一因素。

在采样期间进行搭接的预期结果是，外部搭接网络（由一个 PU 或 PD 电阻器组成，如果适用）以及内部电阻器共同创建一个分压器、供 PHY 进行采样。线路上的任何其他元件都不需要影响该网络设置的直流偏置。

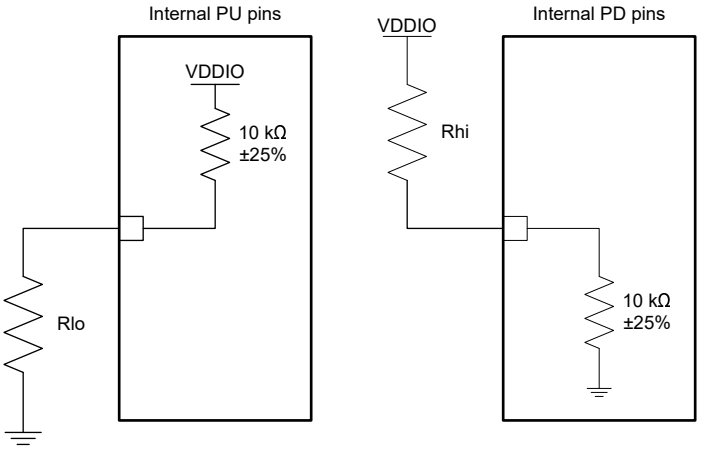


图 2-5. 配置 (Strap) 电路

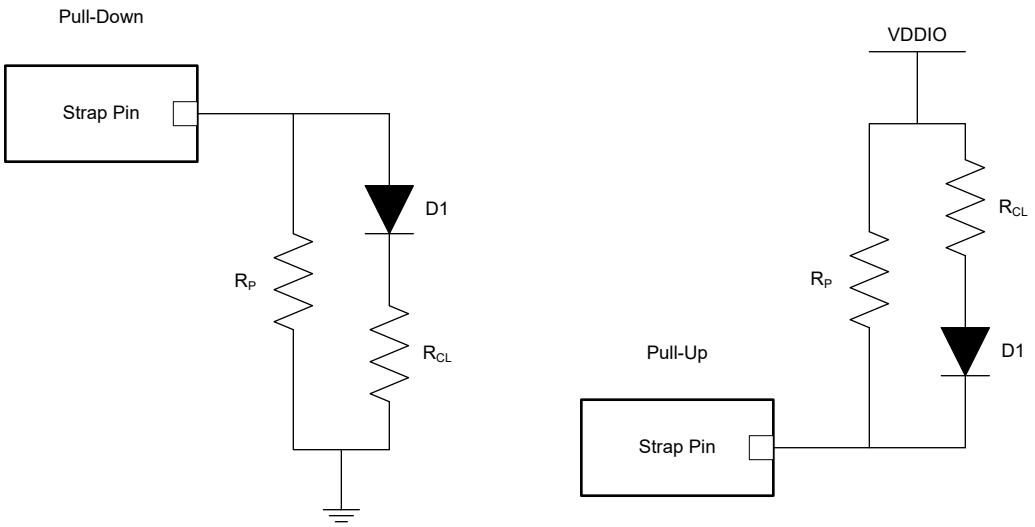


图 2-6. LED 搭接电路

然而，在某些情况下，电路板上的其他器件（例如，MAC）将意外地拉动或驱动这些引脚。可以从寄存器中读取 strap 配置值。这些值可在 Reg 0x0467 (SOR1) 和 Reg 0x0468 (SOR2) 中找到。如果问题与上下电周期相关，则搭接可能存在边缘情况，可以逐周期观察这些寄存器，以确定 PHY 是否处于非预期的搭接状态。

可在上电期间以及上电后 RESET_N 信号有效时进行测量。

English Document: SDAA449
Copyright © 2026 Texas Instruments Incorporated

2.2.6 探测串行管理接口信号（MDC、MDIO）

2.2.6.1 读取并检查寄存器值

如果适用，工作站管理接口可用于在调试期间提供有价值的状态字段。但是，请验证此通信是否准确以避免复合问题。确保 MDIO 有一个上拉电阻器连接到 VDDIO，因为该引脚是 PHY 的开漏。空闲时，电压需为 VDDIO。确保 SMI 访问遵循以下顺序：

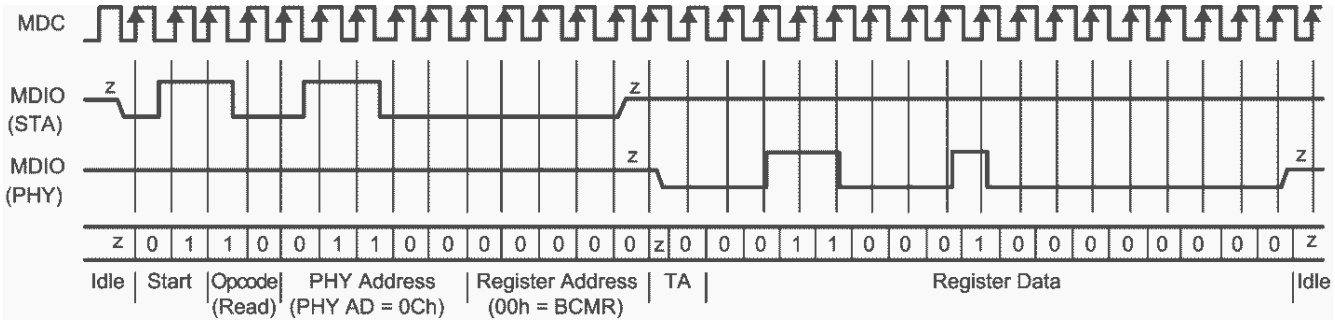


图 2-7. SMI 读取操作

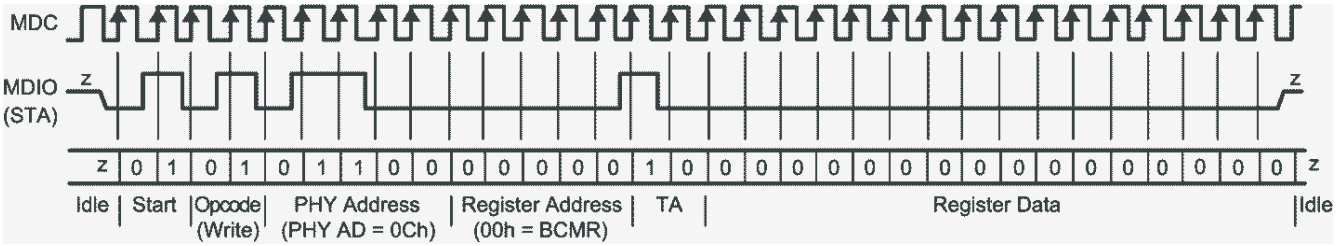


图 2-8. SMI 写入操作

读取寄存器并验证数据表中显示的默认值。请注意，某些寄存器的初始值可能会因 strap 配置选项而异。表 2-4 展示了在启用自协商的情况下以 10/100Mbps 速率运行 PHY 和链路的预期寄存器值。

表 2-4. 寄存器值参考

寄存器地址	寄存器值		备注
	10Mbps	100Mbps	
0x0000	3100		自动协商控制，MII 环回
0x0001	786D		链路状态
0x0010	4717 或 0017	4715 或 0715	PHY 状态
0x0011	0108		PWDN/INT
0x0015	0000		RX 错误计数器

在 PHY 以给定速度链接的情况下，使用这些值作为参考来识别预期运行的任何变化。请注意，并非所有寄存器都需要相同，例如寄存器 0x0001 的值取决于 PHY 是否建立了链路。

示例：在为 PHY 供电并以 10Mbps 速率建立连接后，在 Reg 0x17 读取 Reg 0x10。这意味着位 [4, 2, 1, 0] 为高电平。此类位可证实：自协商完成，已进入全双工、10Mbps 模式，并建立了有效链路。

对于表 2-4 中显示的任何不同于预期值的值，重复此过程有助于诊断 PHY 的确切状态来解决遇到的任何问题。

Copyright © 2026 Texas Instruments Incorporated

2.2.6.1.1 扩展寄存器访问

```
Write procedure for MMD 1F registers:
write reg<000D> = 0x001F
write reg<000E> = <address>
write reg<000D> = 0x401F
write reg<000E> = <value>
Read procedure for MMD 1F registers:
write reg<000D> = 0x001F
write reg<000E> = <address>
write reg<000D> = 0x401F
read reg<000E>
```

要在扩展寄存器空间中读取和写入寄存器，请参阅以下过程：

备注

前面的写入和读取过程通常用于地址在 0x0 至 0x1F 之外的寄存器，但通常也可用于任何地址

English Document: SDAA449
Copyright © 2026 Texas Instruments Incorporated

2.3 MDI 运行状况检查

本节深入介绍器件运行状况检查，用于确保 MDI 器件部分正常运行。如果 PHY 发生如下情况，可以跳过此部分：

- 当通过器件发送流量时，已链接并通过 Reg 0x15 报告无数据包错误

2.3.1 磁性元件

以下指南是兼容磁性元件的主要参考规格：

表 2-5. 磁隔离要求

参数	测试条件	典型值	单位
匝数比	±2% 容差	1:1	-
插入损耗	1-100MHz	-1	dB
回波损耗	1-30MHz	-16	dB
	30MHz-60MHz	-12	dB
	60MHz-80MHz	-10	dB
差分至共模抑制比	1-50MHz	-30	dB
	50MHz-150MHz	-20	dB
串扰	30MHz	-35	dB
	60MHz	-30	dB
隔离	HPOT	1500	Vrms

如果无法满足这些确切要求，可以提供以下容差。

- 匝数比
  - 2% 是设计值，但 3% 也可以接受。
- 电感
  - 优先选择高电感。通常看到的数字约为 350 µ H。
- 插入损耗
  - 与数据表中规定的每个范围的指定值相比，该值应尽可能接近 0dB。如果规范给出 -1dB 作为典型值，建议选择 -1dB 或 -0.9dB 的元件。
- 回波损耗
  - 不高于数据表中指定的幅度。如果规格给出 -16dB 的典型值，建议找到具有 -16dB、-17dB、⋯的元件。

2.3.2 探测 MDI 信号

在默认配置中，可以启用自动协商和自动 MDIX。链路脉冲需要在通道发送 (TD_P、TD_M) 上可见，并且偶尔会切换到接收对 (RD_P、RD_M)。如果设置为 MDI，此脉冲仅在发送对上可用；如果设置为 MDI-X，此脉冲仅在接收对上可用。

需要使用一根终端为 100 Ω 差分的短以太网电缆来测量 MDI 信号。端接电缆如图 2-9 所示。图 2-10 展示了使用端接电缆进行测量的连接图。

English Document: SDAA449
Copyright © 2026 Texas Instruments Incorporated

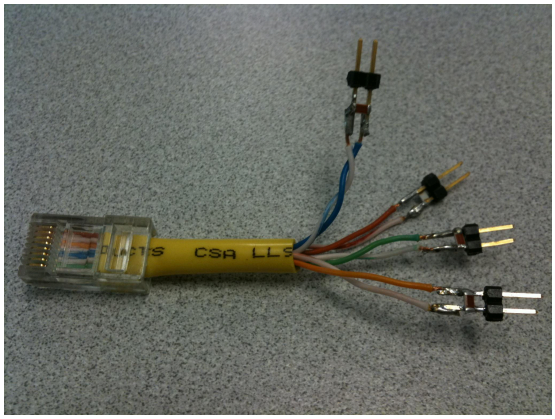


图 2-9. 用于 MDI 信号测量的 100Ω 端接电缆

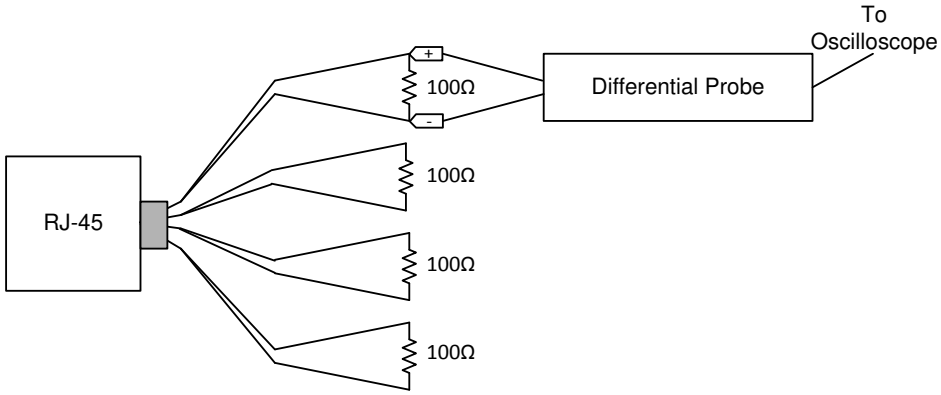


图 2-10. 100M 端接电缆的连接图

自动协商链路脉冲的标称宽度为 100ns。脉冲间隔为 62µs 或 125µs，并以突发方式传输。突发的标称持续时间为 2ms，每 16ms 发生一次。图 2-11 显示了链路脉冲。

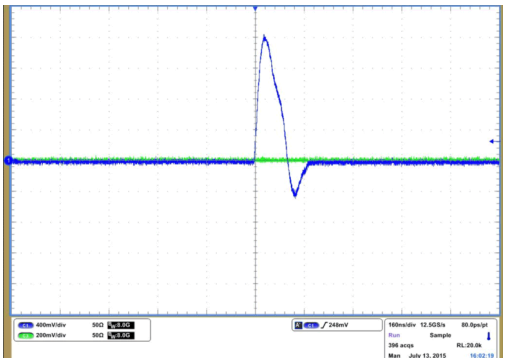


图 2-11. 链路脉冲

English Document: SDAA449
Copyright © 2026 Texas Instruments Incorporated

2.3.3 链路质量检查

建立有效链路后，确认密钥状态寄存器值并直观验证链路 LED 是否亮起，下一个数据传输调试步骤是检查 MAC 接口。

链路问题可能有以下几种原因：

1. 链路伙伴传输问题
2. 电缆长度和质量
3. 25MHz 参考时钟的时钟质量
4. MDI 信号质量

PHY 通电并连接到链路伙伴后，可以读取以下寄存器以确定链路的运行状况：

表 2-6. 链路质量 MSE 寄存器

通道	寄存器地址
A	0x225

对于给定的通道，读取寄存器值以确定 MSE（均方误差），转换为十进制，并参阅 表 2-7 来确定链路质量：

$$SNR\left(dB\right) = 10\log\left(0.5\right) - 10\log\left(\frac{MSE}{2^{17}}\right)$$

表 2-7. 链路质量范围

链路质量	SNR 范围
非常好	SNR > 22dB
良好	19.5dB < SNR < 22dB
不佳	SNR < 19.5dB

2.3.4 合规性

可以进行 IEEE 合规性测量以验证信令特性。有关这些测量以及如何正确配置的详细信息，请参阅应用手册*如何配置 DP8382x 以进行以太网合规性测试*。

Copyright © 2026 Texas Instruments Incorporated

2.4 MII 运行状况检查

本节深入介绍器件运行状况检查，该检查可确保器件的 MII 部分正常运行。

2.4.1 MII 检查

媒体独立接口 (MII) 是一个同步 4 位宽半字节数据接口，用于将 PHY 连接到 MAC。MII 完全符合 IEEE 802.3-2002 第 22 条。MII 信号具体汇总如下：

表 2-8. MII 信号

功能	引脚
数据信号	TX_D[3:0]
	RX_D[3:0]
发送和接收信号	TX_EN
	RX_DV
线路状态信号	CRS
	COL
误差信号	RX_ER

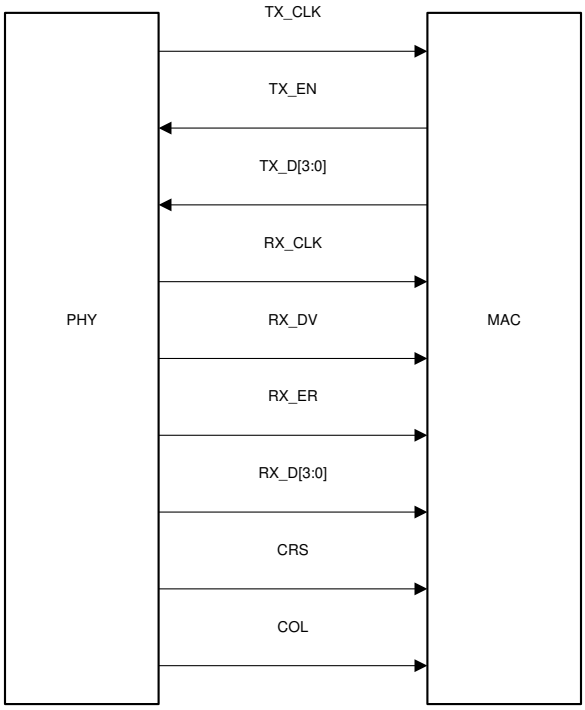


图 2-12. MII 信令

参考下面的波形来验证 100BASE-Tx MII 模式下的预期 MAC 数据和时钟信号。表 2-9 显示了从数据表获取的显示在波形中的规格。如果 PHY 未建立链接或链接速率为 10Mbps，则 MII 信令需要为 2.5Mhz；如果链接速率为 100Mbps，则需要为 25MHz。请注意，TX_CLK 和 RX_CLK 都是 PHY 的输出。

如果怀疑 MAC 总线（TX 或 RX）有问题，请探测布线接收器侧的线路，确保满足接收器的建立时间和保持时间以及 VIH/VIL 要求。违反这些规范的典型症状是，当 PHY 指示干净的流量 (Reg 0x15) 时，MAC 上出现数据包错误。

表 2-9. 100M MII 接收时序

测试条件	最小值	典型值	最大值	单位
RX_CLK 高电平/低电平时间	16	20	24	ns
RX_D[3:0]、RX_ER、RX_DV 相对于 RX_CLK 上升的延迟时间	20		28	ns

English Document: SDAA449
Copyright © 2026 Texas Instruments Incorporated

表 2-10. 100M MII 传输时序

测试条件	最小值	典型值	最大值	单位
TX_CLK 高电平/低电平时间	16	20	24	ns
TX_D[3:0]，TX_ER、TX_EN 设置为 TX_CLK	10			ns
TX_D[3:0]，来自 TX_CLK 的 TX_ER、TX_EN 保持	0			ns

表 2-11. 10M MII 接收时序

测试条件	最小值	典型值	最大值	单位
RX_CLK 高电平/低电平时间	160	200	240	ns
RX_D[3:0]、RX_ER、RX_DV 相对于 RX_CLK 上升的延迟时间	100		300	ns

表 2-12. 10M MII 传输时序

测试条件	最小值	典型值	最大值	单位
TX_CLK 高电平/低电平时间	190	200	240	ns
TX_D[3:0]，TX_ER、TX_EN 设置为 TX_CLK	25			ns
TX_D[3:0]，来自 TX_CLK 的 TX_ER、TX_EN 保持	0			ns

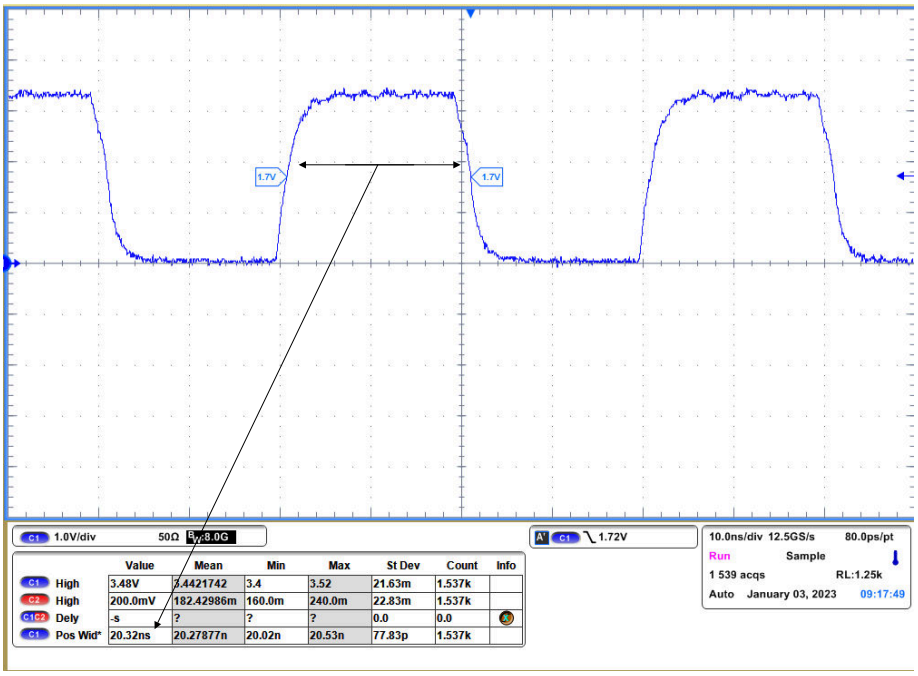


图 2-13. 100M RX_CLK 高电平时间

English Document: SDAA449
Copyright © 2026 Texas Instruments Incorporated

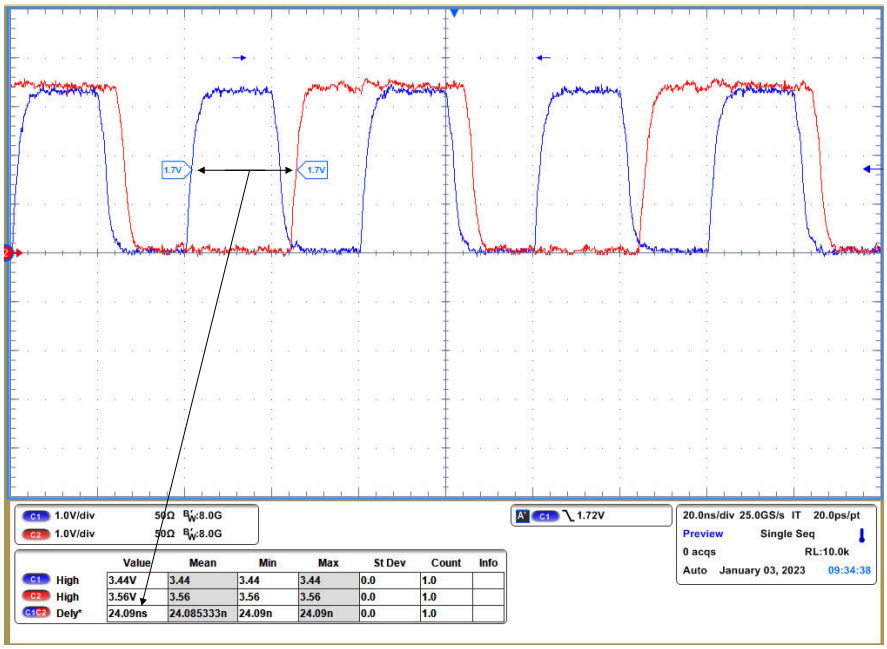


图 2-14. 从 RX_CLK 上升的 100M RX_D1 延迟

2.4.2 RMII 检查

RMII 规范 v1.2 中指定的简化媒体独立接口为第 22 条中指定的 IEEE 802.3 MII 提供了更少的引脚数替代方案。从架构上讲，RMII 规范在 MII 的任一侧提供了一个额外的调节层，但在没有 MII 的情况下可实现。

RMII 主工作模式下，通过连接 XI 引脚的 25MHz CMOS 级振荡器或连接 XI 与 XO 引脚的 25MHz 晶体为 PHY 供电。一个以 PHY 为基准的 50MHz 输出时钟需要连接到 MAC。

在 RMII 从工作模式下，PHY 由连接到 XI 引脚的 50MHz CMOS 电平振荡器供电，并且与 MAC 共用同一个时钟。或者，PHY 还可通过主机 MAC 提供的 50MHz 时钟运行。

RMII 规范具有以下特性：

- 支持 100BASE-TX 和 10BASE-Te
- 从 MAC 到 PHY（或来自外部源）的单个时钟基准
- 提供独立的 2 位宽发送和接收数据路径
- 使用与 MII 接口相同的 CMOS 信号电平

该模式下，发送与接收路径均采用 50MHz 内部基准时钟，每个时钟周期可传输 2 比特数据。RMII 信号具体汇总如下：

表 2-13. RMII 信号

功能	引脚
接收数据线	TX_D[1:0]
传输数据线	RX_D[1:0]
接收控制信号	TX_EN
发送控制信号	CRS_DV

English Document: SDAA449
Copyright © 2026 Texas Instruments Incorporated

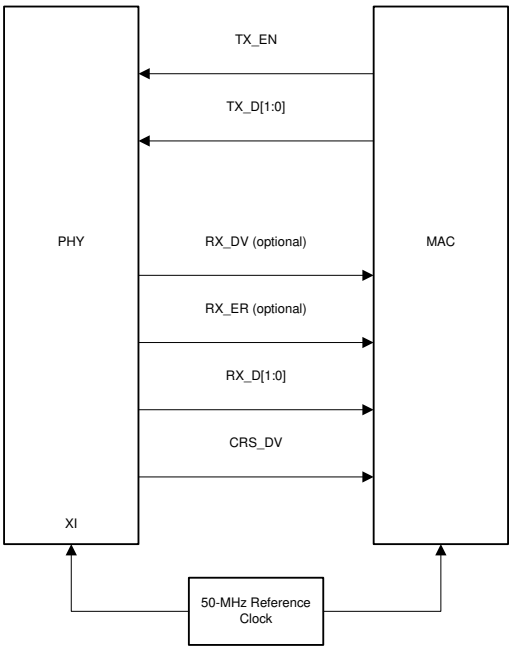


图 2-15. RMII 从信令 – MAC 从配置

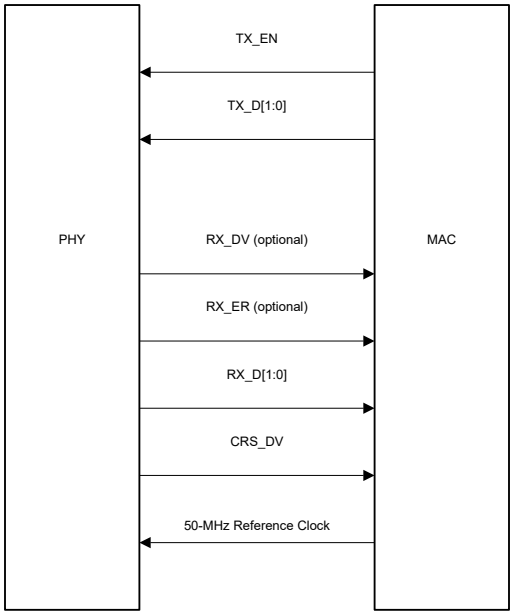


图 2-16. RMII 从信令 – MAC 主配置

Copyright © 2026 Texas Instruments Incorporated

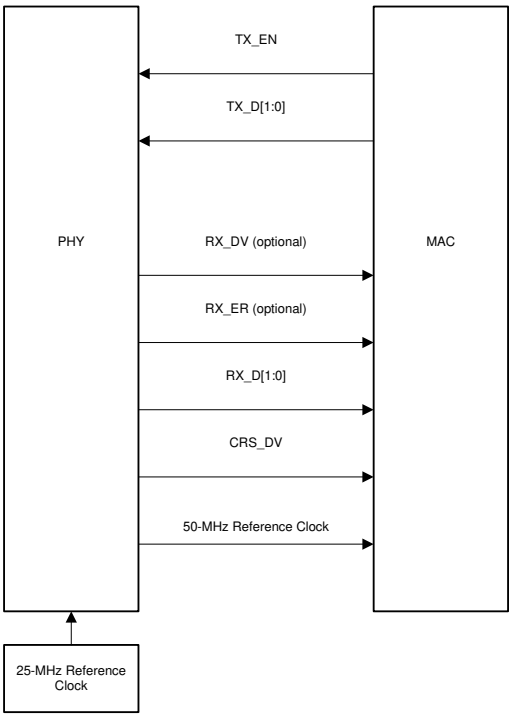


图 2-17. RMII 主信令

TX_D[1:0] 上的数据以 RMII 主模式和从模式下的 50MHz 时钟为基准锁存在 PHY 上。RX_D[1:0] 上的数据以 50MHz 时钟为基准提供。此外，CRX_DV 可被配置为 RX_DV 信号。它可以通过一种更简单的方法恢复接收数据，而无需将 RX_DV 与 CRS_DV 指示分开。

CH 1（RMII 50Mhz 时钟），CH 2 (RX_D0)

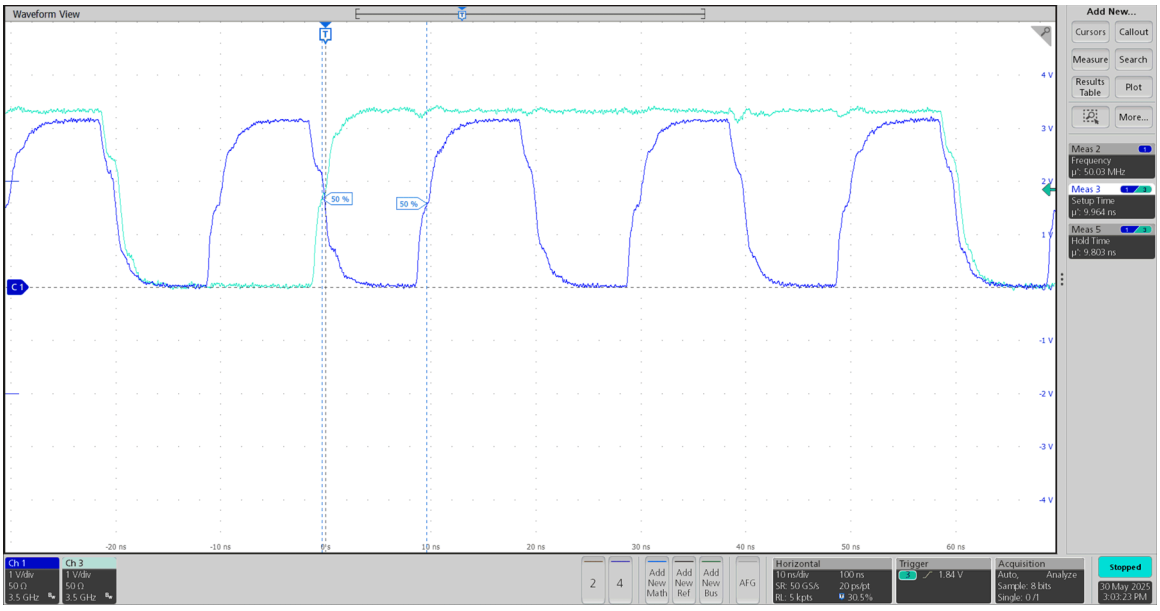


图 2-18. RMII 时钟和数据

English Document: SDAA449

Copyright © 2026 Texas Instruments Incorporated

2.5 环回和 PRBS

2.5.1 环回模式

提供了多个环回选项，可用于测试和验证 PHY 中的各种功能块。启用环回模式后，可以对 MII 和 MDI 数据路径进行电路内测试。PHY 可配置为任何一种近端环回模式，也可配置为远端（反向）环回模式。

MII 环回是使用 BMCR (Reg 0x0) 进行配置的。所有其他环回模式均通过 BISCR (Reg 0x16) 启用。所有速度 (10/100) 和所有 MAC 接口都支持环回模式。

图 2-19 展示了每个环回模式可用于验证的各种数据路径：

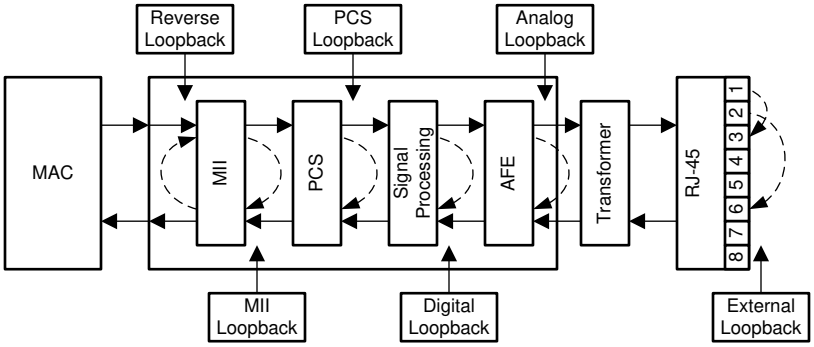
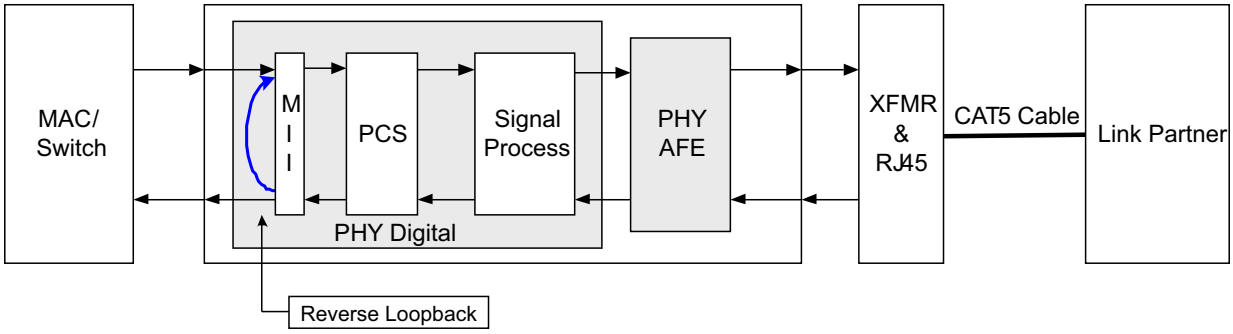


图 2-19. 短路模式方框图



Copyright © 2016, Texas Instruments Incorporated

图 2-20. 反向环回模式方框图

模拟环回通常用于验证 PHY 的完整内部数据路径，而反向环回则用于与链路伙伴一起验证沿 MDI 的数据路径。

```
// Digital Loopback

begin
0000 2100 //Disables Auto-Neg, Selects 100 Mbps
0016 0104 //Select Digital Loopback
0122 2000 //This helps PRBS LOCK
0123 2000 //This helps PRBS LOCK
0130 47FF //This helps PRBS LOCK
001F 4000 //Soft Reset
end
```

```
// Reverse Loopback

begin
0016 0110 //Select Digital Loopback
001F 4000 //Soft Reset
end
```


Copyright © 2026 Texas Instruments Incorporated

2.5.2 通过 MAC 发送和接收数据包

如果可以使用 MAC 生成和检查数据包，并且 PHY 有一个具有反向环回功能的工作链路伙伴，请按如下方式验证完整数据路径：

1. 为 PHY 供电并将其连接到 MAC 和一个正常工作的链路伙伴。
2. 在链路伙伴上启用反向环回（对于 DP83CX 链路伙伴，将 0x16 写入 0010）。
3. 将测试数据包从 MAC 发送到 PHY。
4. 验证 MAC 是否接收相同的测试数据包。

如果 MAC 接收到相同的测试数据包而未出现问题，则通过 MAC → PHY → MDI 的完整数据路径是有效的。如果此测试未通过，则执行 MII 环回以隔离数据路径上的问题：

1. 为 PHY 供电并将其连接到 MAC。
2. 在 PHY 上启用 MII 环回（写入 Reg 0x0[14] = 1）。
3. 将测试数据包从 MAC 发送到 PHY。
4. 验证 MAC 是否接收相同的测试数据包。

如果 MAC 接收到相同的测试数据包，则通过 MAC → PHY 的数据路径有效，并且问题已与 MDI 数据路径隔离。如果此测试未通过，则问题可能出在 MAC 接口或内部数据路径上。要验证 MAC 接口，请参阅调试 MAC 接口。要验证内部数据路径，请使用以下脚本执行带有模拟环回的 PRBS。

2.5.3 通过 BIST 发送和接收数据包

该器件包含内部 PRBS 内置自检 (BIST) 电路，可适应电路内测试或诊断。BIST 电路可用于测试发送和接收数据路径的完整性。BIST 可使用各种环回模式来执行，以便隔离数据路径特定部分的任何问题。BIST 会生成包含可变内容和 IPG 的封包化数据。

如果无法通过 MAC 生成和检查数据包，请使用 PRBS 数据包生成和检查功能来验证数据路径。

使用 PRBS 和正常工作的链路伙伴执行反向环回，如下所示：

1. 为 PHY 供电并将其连接到链路伙伴。
2. 在 PHY 上启用 PRBS 数据包生成（将 Reg 0x16 写入 5000）。
3. 在链路伙伴上启用反向环回（对于 DP83CX 链路伙伴，将 Reg 0x16 写入 0010）。
4. 等待至少一秒钟，然后检查 PHY 上的 PRBS 锁定状态（读取 Reg 0x16[11:10]）。

如果寄存器 0x16[11] 为高电平，则通过 PHY → MDI 的数据路径有效。如果此测试未通过，则问题可能出在 PHY 的内部数据路径或 MDI 上。要验证内部数据路径，请使用以下脚本执行带有模拟环回的 PRBS。如果内部数据路径有效，则问题将与 MDI 隔离（假设链路伙伴正常工作）。

下面是寄存器读取和写入的示例序列，以便使用模拟环回以 100Mbps 速率执行 BIST：

```
// Analog Loopback
begin
0000 2100 //Disables Auto-Neg, Selects 100 Mbps
0016 0108 //Select Analog Loopback
030B 3380 //This helps PRBS LOCK
001F 4000 //Soft Reset

0010      // LSB '5' expected.

0016 3108 //Enables PRBS Checker Config & Packet Generation Enable
          //After you write '3108' the register should Read 3b04. (Bit 11 & 9 go high)
001B 807D //Lock Error Counter's Value
001B
end
```

```
//DP83CX Digital Loopback 100Mbps PRBS Packet Generator
begin

0000 2100 //Disable Auto Negotiation and Chooses 100 Mbps
0016 0104 //Enable Digital Loopback
```


English Document: SDAA449
Copyright © 2026 Texas Instruments Incorporated

```
0122 2000
0123 2000
0130 47FF
001F 4000 //Soft Reset

0010      //Bit 0 = '1' confirms Link (No Link expected for 10 Mbps)
          //Bit 1 = '0' confirms 100 Mbps Speed

0016 3104 //Enables PRBS Checker Config & Packet Generation Enable
          //After you write '3104' the register should Read 3b04. (Bit 11 & 9 go high)
001B 807D //Lock Error Counter's Value
001B
end
```

备注

最佳做法是在每个脚本的开头添加一个硬复位 (Reg 0x0[15])，以确保之前的配置不会影响结果。

3 总结

本应用手册提供了评估新应用和确认预期功能的建议流程。这些分步建议可以帮助简化 DP83CX PHY 设计的电路板启动和初始评估。

4 参考资料

- 德州仪器 (TI)，*如何配置 DP8382x 进行以太网合规性测试* 应用手册。
- 德州仪器 (TI)，*如何通过 IEEE 以太网合规性测试* 应用手册。

Copyright © 2026 Texas Instruments Incorporated

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做出任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 TI 销售条款)、TI 通用质量指南 或 ti.com 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。 除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2026，德州仪器 (TI) 公司

最后更新日期：2025 年 10 月