Application Note

TJA1103 至 DP83TC1103x-Q1 更换指南

Drew Miller

摘要

DP83TC1103x-Q1 PHY 设计为与 TJA1103 引脚对引脚兼容。本文档可用作将 TJA1103 设计更改为 DP83TC1103x-Q1 设计的参考。在许多情况下 TJA1103 所用的相同电路板设计也可用于支持 DP83TC1103x-Q1。但是，可能需要调整支持 PHY 的无源元件。

内容

1 简介....2
2 共同特性和差异....2
3 引脚排列比较和引脚配置....3
3.1 DP83TC1103A-Q1 引脚排列比较和引脚配置....3
3.2 DP83TC1103B-Q1 引脚排列比较和引脚配置....5
4 电源相关建议....7
5 搭接配置....8
5.1 DP83TC1103A-Q1 Strap 配置....9
5.2 DP83TC1103B-Q1 Strap 配置....10
6 寄存器配置....11
6.1 引导模式配置....11
6.2 自主模式配置....11
6.3 MII 配置....11
6.4 SGMII 配置....11
7 常用原理图....12
7.1 DP83TC1103A-Q1 常用原理图....12
7.2 DP83TC1103B-Q1 常用原理图....13
8 总结....15
9 参考资料....15

商标

所有商标均为其各自所有者的财产。

English Document: SDAA314
Copyright © 2026 Texas Instruments Incorporated

1 简介

DP83TC1103A-Q1 PHY 支持 RGMII、RMII 和 MII，并设计为与 TJA1103A 引脚对引脚兼容。同样，DP83TC1103B-Q1 PHY 支持 SGMII，并设计为与 TJA1103B 引脚对引脚兼容。本应用手册比较了 DP83TC1103x-Q1 和 TJA1103 器件之间的引脚，重点介绍了引脚配置，可作为使用 DP83TC1103x-Q1 PHY 进行设计的参考。

通用器件型号	支持的 MAC 接口
DP83TC1103A-Q1	MII、RMII、RGMII
DP83TC1103B-Q1	SGMII

2 共同特性和差异

DP83TC1103x-Q1 和 TJA1103 在同一封装中提供类似的功能，使大多数电路板设计都能支持任一 PHY。下表重点介绍了这些 PHY 的共同特性和差异。

表 2-1. 共同特性和差异

参数	DP83TC1103x-Q1 和 TJA1103 的共同特性	DP83TC1103x-Q1 和 TJA1103 的差异
封装	36-WQFN 6mm × 6mm 0.5mm 间距 类似的 DAP 尺寸	不适用
引脚排列	关键引脚包括 MDI、xMII、公共电源和时钟。	DP83TC1103x-Q1 可能用不连接 (NC) 引脚来代替未使用的电源引脚，并用保留引脚来代替 GPIO。
电源轨	单电源 3.3V 模式。	DP83TC1103x-Q1 不支持 2.5V 电源模式。不支持单电源（TI 双电源）模式。
接口	DP83TC1103A-Q1 / TJA1103A： • RGMII • RMII-clkmode、rev-RMII 模式 • MII DP83TC1103B-Q1 / TJA1103B： • SGMII	DP83TC1103A-Q1 / TJA1103A:RMII 模式
配置 (strap)	支持选择性公共 PHY 地址。选择性配置 (strap) 功能。	支持一组有限的 TJA1103 strap 配置。DP83TC1103x-Q1 上可能需要进行软件配置，才能实现与 TJA1103 相同的配置。有关更多详细信息，请参阅 Strap 配置。
特性	TC-10 802.1AS	DP83TC1103x-Q1 不支持 JTAG

English Document: SDAA314
Copyright © 2026 Texas Instruments Incorporated

3 引脚排列比较和引脚配置

3.1 DP83TC1103A-Q1 引脚排列比较和引脚配置

虽然 DP83TC1103A-Q1 设计为与 TJA1103A 引脚对引脚兼容但各器件的引脚排列略有不同。下图对此进行了说明。

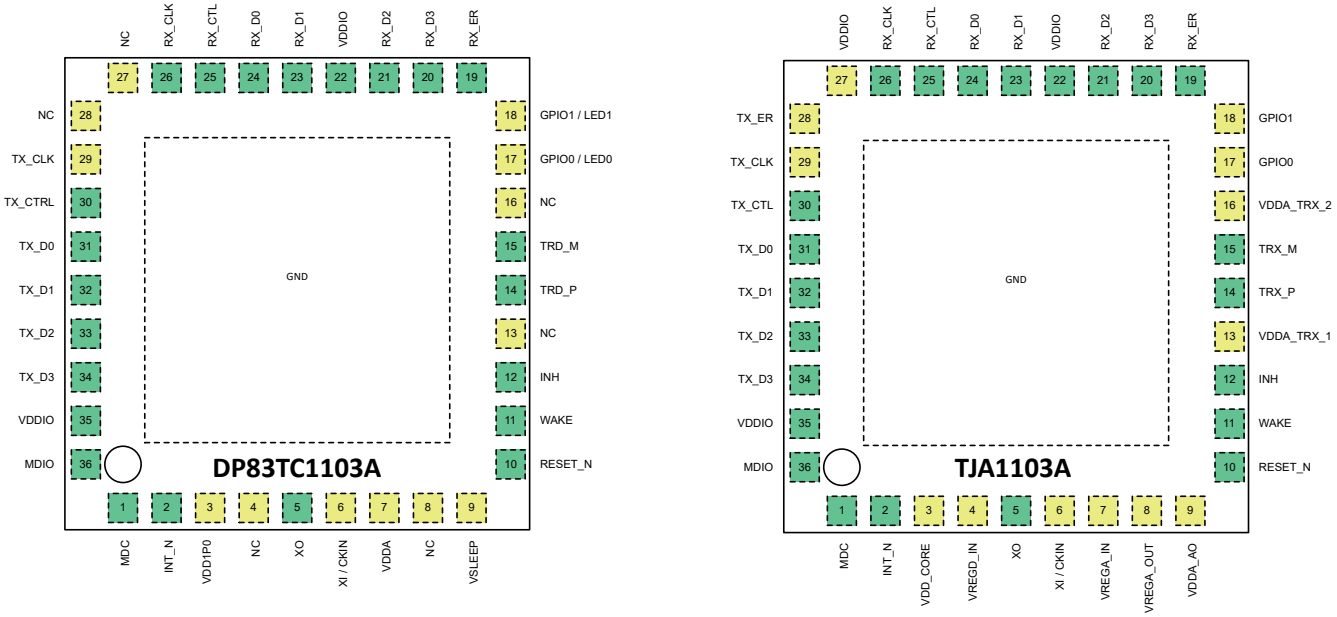


图 3-1. DP83TC1103A-Q1 与 TJA1103A 引脚排列对比

说明	
具有相同核心功能的引脚	引脚可能具有不同的功能，或者可能需要原理图层面配置。请参阅表 3-1

表 3-1 中突出显示了 DP83TC1103A-Q1 和 TJA1103A 之间的引脚差异。此表中的配置是功能设计所需的最低要求。DP83TC1103A-Q1 常用原理图中提供了更全面的配置。

表 3-1. DP83TC1103A-Q1 与 TJA1103A 的引脚排列差异

引脚编号	DP83TC1103A-Q1 引脚名称	TJA1103A 引脚名称	所需配置	备注
3	VDD1P0	VDD_CORE	无	DP83TC1103A-Q1 用于内部 LDO 去耦电容器。移除与外部电源的任何连接。请参阅电源相关建议。
4	NC	VREGD_IN	无	数字域的电压稳压器在 DP83TC1103x-Q1 内部已连接。无需外部连接。
5	XO	XO	可选	可配置串联电阻器来调整晶体功率。
6	XI	XI	可选	TI 建议使用 100Ω 串联电阻器以在使用晶体时实现最佳 EMC 性能。
7	VDDA	VREGA	无	两个器件均使用 3.3V 电源轨。请参阅电源相关建议。
8	NC	VREGA_OUT	无	DP83TC1103A-Q1 封装 NC。
9	VSLEEP	VDDA_AO	无	TC-10 的常开电源轨。请参阅电源相关建议。
13	NC	VDDA_TRX_1	无	DP83TC1103A-Q1 封装 NC。

Copyright © 2026 Texas Instruments Incorporated

表 3-1. DP83TC1103A-Q1 与 TJA1103A 的引脚排列差异（续）

引脚编号	DP83TC1103A-Q1 引脚名称	TJA1103A 引脚名称	所需配置	备注
16	NC	VDDA_TRX_2	无	DP83TC1103A-Q1 封装 NC。
17	GPIO0/LED0	GPIO0	可选	可能需要配置寄存器以实现预期的 LED 功能。
18	GPIO1/LED1	GPIO1	可选	
27	NC	VDDIO	无	DP83TC1103A-Q1 封装 NC。
28	NC	TX_ER	无	DP83TC1103A-Q1 封装 NC。
29	TX_CLK	TX_CLK	是	在 RMII-clkmode 下，TJA1103A 在 TX_CLK 上接收 50MHz RMII 时钟输入。在 DP83TC1103A-Q1 RMII 跟随器模式（类似于 RMII-clkmode）中，应该在 XI 上接收 50MHz RMII 时钟输入。如果使用 RMII 跟随器模式，则应添加相应配置以路由 50MHz 时钟。

English Document: SDAA314
Copyright © 2026 Texas Instruments Incorporated

3.2 DP83TC1103B-Q1 引脚排列比较和引脚配置

虽然 DP83TC1103B-Q1 设计为与 TJA1103B 引脚对引脚兼容，但各器件的引脚排列有所不同。下图对此进行了说明。

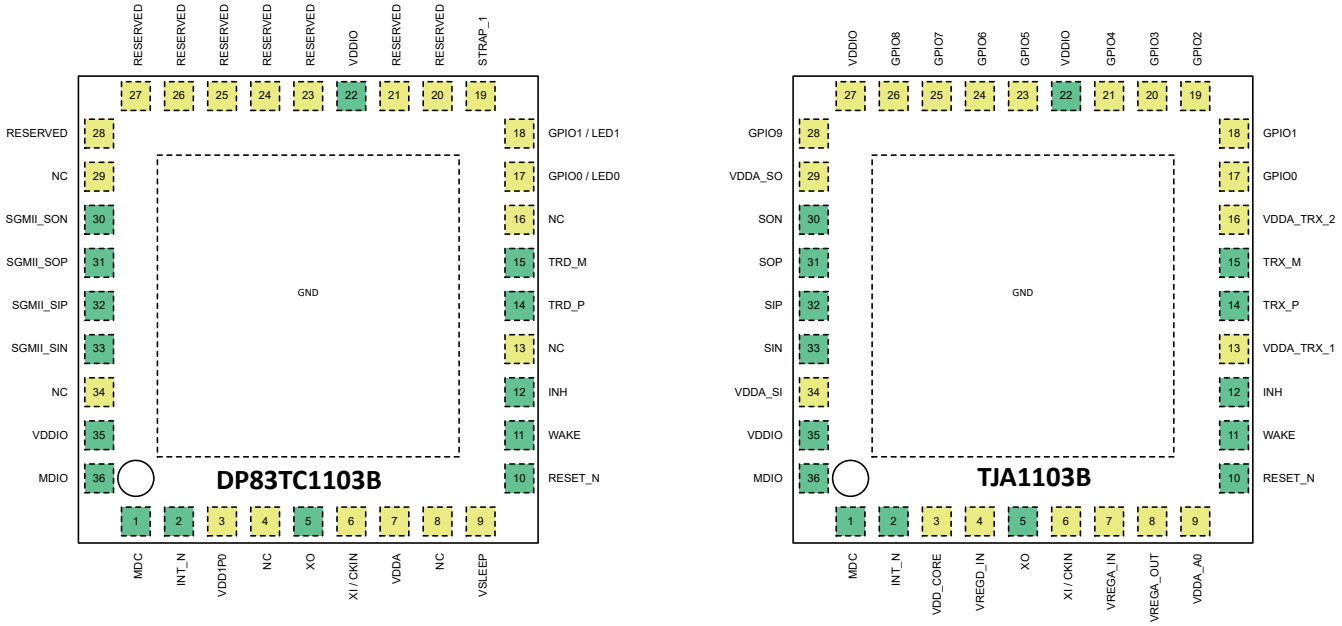


图 3-2. DP83TC1103B-Q1 与 TJA1103B 引脚排列对比

说明	
具有相同核心功能的引脚	引脚可能具有不同的功能，或者可能需要原理图层面配置。请参阅表 3-2

表 3-2 中突出显示了 DP83TC1103B-Q1 和 TJA1103B 之间的引脚差异。此表中的配置是功能设计所需的最低要求。DP83TC1103B-Q1 常用原理图中提供了更全面的配置。

表 3-2. DP83TC1103B-Q1 与 TJA1103B 的引脚排列差异

引脚编号	DP83TC1103B-Q1 引脚名称	TJA1103B 引脚名称	所需配置	备注
3	VDD1P0	VDD_CORE	无	DP83TC1103B-Q1 用于内部 LDO 去耦电容器。移除与外部电源的任何连接。请参阅电源相关建议。
4	NC	VREGD_IN	无	数字域的电压稳压器在 DP83TC1103x-Q1 内部已连接。无需外部连接。
5	XO	XO	可选	可配置串联电阻器来调整晶体功率。
6	XI	XI	可选	TI 建议使用 100Ω 串联电阻器以在使用晶体时实现最佳 EMC 性能。
7	VDDA	VREGA	无	两个器件均使用 3.3V 电源轨。请参阅电源相关建议。
8	NC	VREGA_OUT	无	DP83TC1103B-Q1 封装 NC。
9	VSLEEP	VDDA_AO	无	TC-10 的常开电源轨。请参阅电源相关建议。
13	NC	VDDA_TRX_1	无	DP83TC1103B-Q1 封装 NC。
16	NC	VDDA_TRX_2	无	DP83TC1103B-Q1 封装 NC。
17	GPIO0/LED0	GPIO0	可选	可能需要配置寄存器以实现预期的 LED 功能。
18	GPIO1/LED1	GPIO1	可选	

English Document: SDAA314
Copyright © 2026 Texas Instruments Incorporated

表 3-2. DP83TC1103B-Q1 与 TJA1103B 的引脚排列差异（续）

引脚编号	DP83TC1103B-Q1 引脚名称	TJA1103B 引脚名称	所需配置	备注
19	STRAP_1	GPIO2	可选	DP83TC1103B-Q1 用于 PHY 地址配置 (strap)。请参阅 DP83TC1103B-Q1 Strap 配置。
20	RESERVED	GPIO3	可选	DP83TC1103B-Q1 输入，可以连接到不超过 VDDIO 电压的信号。
21	RESERVED	GPIO4	可选	
23	RESERVED	GPIO5	是	可以连接到不超过 VDDIO 电压的信号。当器件处于 RESET 模式时，或者如果器件的电源正在斜升（在上电复位之前），则不得从外部驱动该引脚。虽然在器件处于正常工作状态时该引脚预期处于输入模式，但在器件初始化配置完成之前，该引脚可由 DP83TC1103B-Q1 驱动
24	RESERVED	GPIO6	是	可以连接到不超过 VDDIO 电压的信号。虽然在器件处于正常工作状态时该引脚预期处于输入模式，但在器件初始化配置完成之前，该引脚可由 DP83TC1103B-Q1 驱动。
25	RESERVED	GPIO7	是	
26	RESERVED	GPIO8	是	
27	RESERVED	VDDIO	可选	DP83TC1103B-Q1 输入，可连接到 VDDIO 电源或不超过 VDDIO 电压的信号。
28	RESERVED	GPIO9	可选	DP83TC1103B-Q1 输入，可以连接到不超过 VDDIO 电压的信号。
29	NC	VDDA_SO	无	DP83TC1103B-Q1 封装 NC。
34	NC	VDDA_SI	无	DP83TC1103B-Q1 封装 NC。

English Document: SDAA314
Copyright © 2026 Texas Instruments Incorporated

4 电源相关建议

引脚编号	DP83TC1103	TJA1103	备注
3	VDD1P0	VDD_CORE	VDD1P0 连接到 DP83TC1103x-Q1 上的内部 LDO。TI 建议使用 100nF 和 2.2 µ F 去耦电容器。VDD1P0 无需任何外部电源连接。
7	VDDA	VREGA	3.3V 电源轨。TI 建议使用 10nF 和 470nF 去耦电容器。可以在 VDDA 和系统 3.3V 电源轨之间使用一个可选的铁氧体磁珠。
9	VSLEEP	VDDA_AO	TC-10 的常开电源轨。TI 建议使用 100nF 去耦电容器。
22、35	VDDIO	VDDIO	1.8V、2.5V 或 3.3V 电源。TI 建议使用 470nF 和 10nF 去耦电容器。

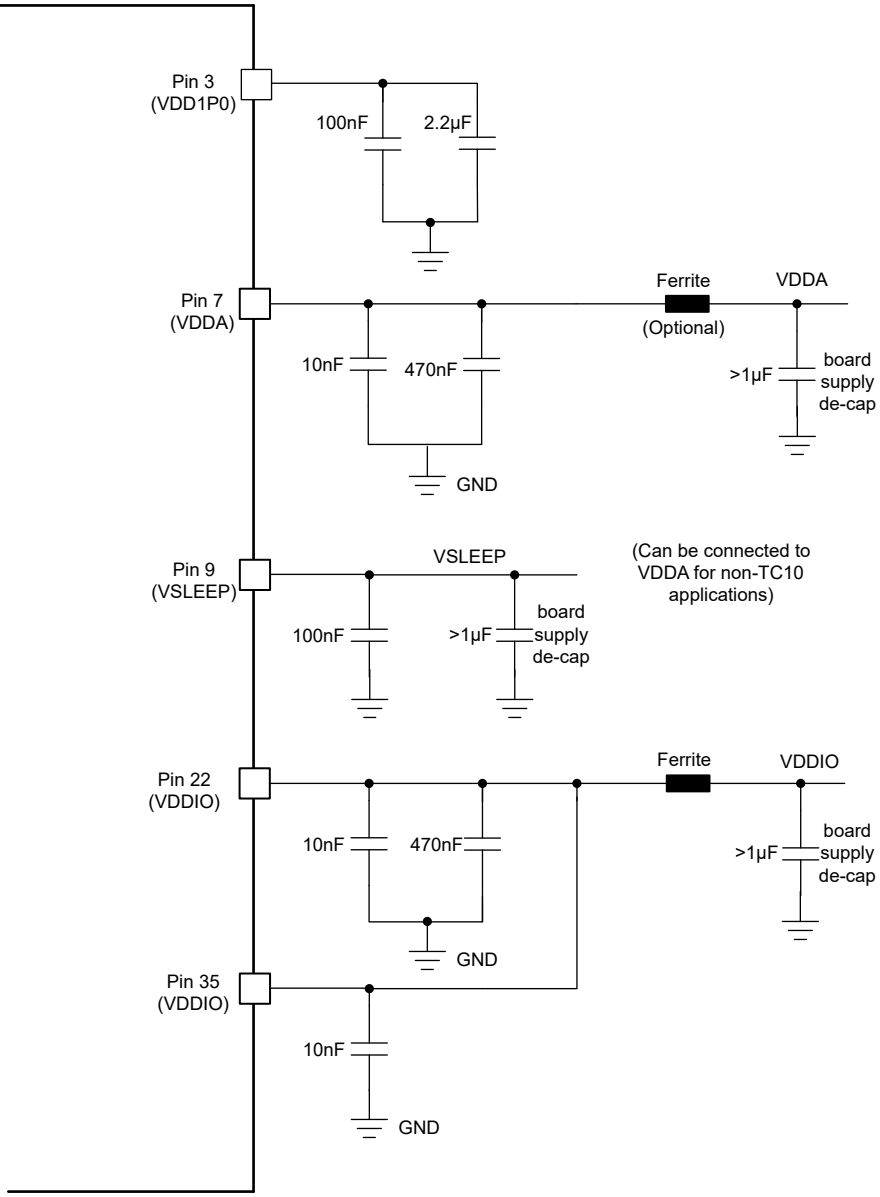


图 4-1. 去耦网络 - VDD1P0、VDDA、VSLEEP、VDDIO

English Document: SDAA314
Copyright © 2026 Texas Instruments Incorporated

5 搭接配置

DP83TC1103x-Q1 支持 2 电平引脚配置 (strap)。默认情况下，内部下拉电阻器将引脚配置 (strap) 为模式 1。可以组装外部 2.49kΩ 上拉电阻器以选择模式 2。

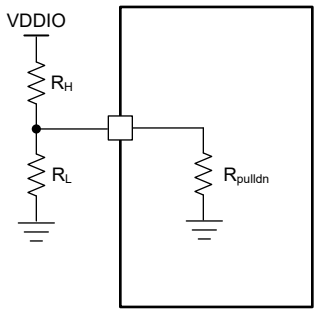


图 5-1. 配置 (Strap) 电路

表 5-1. 建议采用的 2 级配置电阻

模式	理想 RH (kΩ)
1	任意值开路或下拉
2	2.49

备注

- DP83TC1103x-Q1 MDI 接口以跟随器模式上电。引导模式没有配置 (strap) 选项。请参阅引导模式配置。
- DP83TC1103x-Q1 MDI 接口以管理模式上电。自主模式没有配置 (strap) 选项。请参阅自主模式配置。
- DP83TC1103x-Q1 不支持禁用极性检测和校正。默认情况下启用此项。
- DP83TC1103A-Q1 没有启用 MII 的配置 (strap) 选项。请参阅 MII 配置。
- DP83TC1103B-Q1 没有启用 SGMII 的配置 (strap) 选项。请参阅 SGMII 配置。

English Document: SDAA314
Copyright © 2026 Texas Instruments Incorporated

5.1 DP83TC1103A-Q1 Strap 配置

表 5-2. 自举

引脚名称	引脚编号	域	默认模式	自举功能		说明
GPIO0	17	VDDIO	1	模式	PHY_AD[2]	PHY_AD：PHY 地址 ID
				1	0	
				2	1	
RX_ER	19	VDDIO	1	模式	PHY_AD[1]	
				1	0	
				2	1	
RX_D3	20	VDDIO	1	模式	PHY_AD[0]	
				1	0	
				2	1	
RX_D2	21	VDDIO	1	模式	MAC[1]	MAC：MAC 接口选择
				1	0	
				2	1	
RX_D1	23	VDDIO	1	模式	MAC[0]	
				1	0	
				2	1	
GPIO1	18	VDDIO	1	模式	RESERVED	GPIO1 必须配置 (strap) 为模式 1。
				1	0	
				保留		

表 5-3. PHY 地址自举

PHY_AD[2:0]	GPIO0 配置模式	RX_ER 配置模式	RX_D3 配置模式	说明
000	1	1	1	PHY 地址：d27 (0x1B)
001	1	1	2	PHY 地址：d25 (0x19)
010	1	2	1	PHY 地址：d21 (0x15)
011	1	2	2	PHY 地址：d19 (0x13)
100	2	1	1	PHY 地址：d9 (0x09)
101	2	1	2	PHY 地址：d7 (0x07)
110	2	2	1	PHY 地址：d3 (0x03)
111	2	2	2	PHY 地址：d1 (0x01)

表 5-4. MAC 接口选择自举

MAC[1]	MAC[0]	说明
0	0	RGMII ID (仅 RX 延迟)
0	1	RGMII (无 ID)
1	0	RMII 主模式
1	1	RMII 从模式

Copyright © 2026 Texas Instruments Incorporated

5.2 DP83TC1103B-Q1 Strap 配置

表 5-5. 自举

引脚名称	引脚编号	域	默认模式	自举功能		说明
GPIO0	17	VDDIO	1	**模式**	**PHY_AD[1]**	PHY_AD：PHY 地址 ID
				1	0	
				2	1	
RX_ER	19	VDDIO	1	**模式**	**PHY_AD[0]**	
				1	0	
				2	1	
GPIO1	18	VDDIO	1	**模式**	**RESERVED**	GPIO1 必须配置 (strap) 为模式 1。
				1	0	
				保留		

表 5-6. PHY 地址自举

PHY_AD[1:0]	GPIO0 配置模式	RX_ER 配置模式	说明
00	1	1	PHY 地址：d27 (0x1B)
01	1	2	PHY 地址：d21 (0x15)
10	2	1	PHY 地址：d9 (0x09)
11	2	2	PHY 地址：d3 (0x03)

English Document: SDAA314
Copyright © 2026 Texas Instruments Incorporated

6 寄存器配置

DP83TC1103x-Q1 支持使用第 22 条规定的间接访问方法访问第 45 条定义的寄存器。有关此内容的更多详细信息，请参阅数据表。

6.1 引导模式配置

默认情况下，DP83TC1103x-Q1 器件以跟随器模式上电。PHY 可配置为引导模式。

表 6-1. 引导模式配置

MMD [十六进制]	寄存器 [十六进制]	值 [十六进制]	说明
01	0834	C000	将 PHY 配置为引导到模式

6.2 自主模式配置

默认情况下，DP83TC1103x-Q1 器件以管理模式上电。PHY 可配置为自主模式。

表 6-2. 自主模式配置

MMD [十六进制]	寄存器 [十六进制]	值 [十六进制]	写入掩码 [十六进制]	说明
1F	018B	0040	0040	将 PHY 配置为自主模式

6.3 MII 配置

DP83TC1103A-Q1 没有 MII 配置 (strap) 选项。可以通过寄存器配置启用 MII。

表 6-3. MII 配置

MMD [十六进制]	寄存器 [十六进制]	值 [十六进制]	说明
1F	0600	0020	禁用 RGMII
1F	0648	0100	禁用 RMII

6.4 SGMII 配置

DP83TC1103B-Q1 默认上电并禁用 SGMII。必须通过寄存器配置启用 SGMII。

表 6-4. SGMII 配置

MMD [十六进制]	寄存器 [十六进制]	值 [十六进制]	说明
1F	0608	027B	启用 SGMII
1F	0600	0020	禁用 RGMII
1F	0648	0100	禁用 RMII

English Document: SDAA314
Copyright © 2026 Texas Instruments Incorporated

7 常用原理图

本节中包含的常用原理图展示了通过选择无源器件来支持 DP83TC1103x-Q1 或 TJA1103 的设计。此原理图还可用作 DP83TC1103x-Q1 PHY 的参考原理图。

7.1 DP83TC1103A-Q1 常用原理图

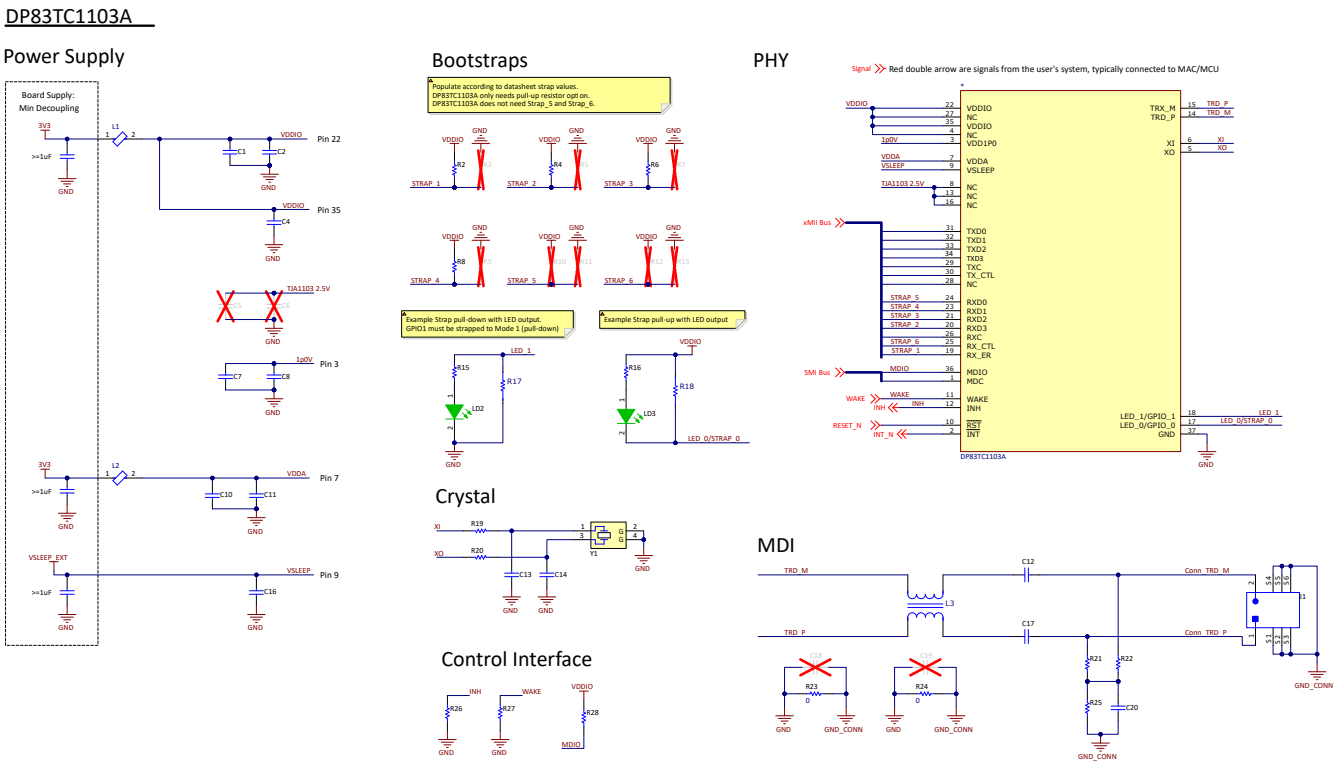


图 7-1. DP83TC1103A-Q1 常用原理图

表 7-1. DP83TC1103A-Q1 常用原理图元件列表

功能块	参考指示符	DP83TC1103A-Q1 元件值
VDDIO	L1	BLM18KG601SH1D
	C1	470nF
	C2	10nF
	C4	10nF
TJA1103 2.5V	C5	DNP
	C6	DNP
1.0V	C7	2.2 µ F
	C8	100nF
VDDA	L2	BLM18KG601SH1D
	C10	470nF
	C11	10nF
VSLEEP	C16	100nF
控制接口	R26	10k Ω
	R27	10k Ω
	R28	2.2k Ω
晶体	R19	100 Ω
	R20	0 Ω

English Document: SDAA314
Copyright © 2026 Texas Instruments Incorporated

表 7-1. DP83TC1103A-Q1 常用原理图元件列表（续）

功能块	参考指示符	DP83TC1103A-Q1 元件值
MDI	L3	DLW43MH201XK2L、DLW32MH201XK2、AE2002 或 ACT1210L-201
	C12	0.1 µ F
	C17	0.1 µ F
	R21	1k Ω
	R22	1k Ω
	R25	100k Ω
	C20	4.7nF
	C18	DNP
	C19	DNP
	R23	0 Ω
	R24	0 Ω

7.2 DP83TC1103B-Q1 常用原理图

DP83TC1103B

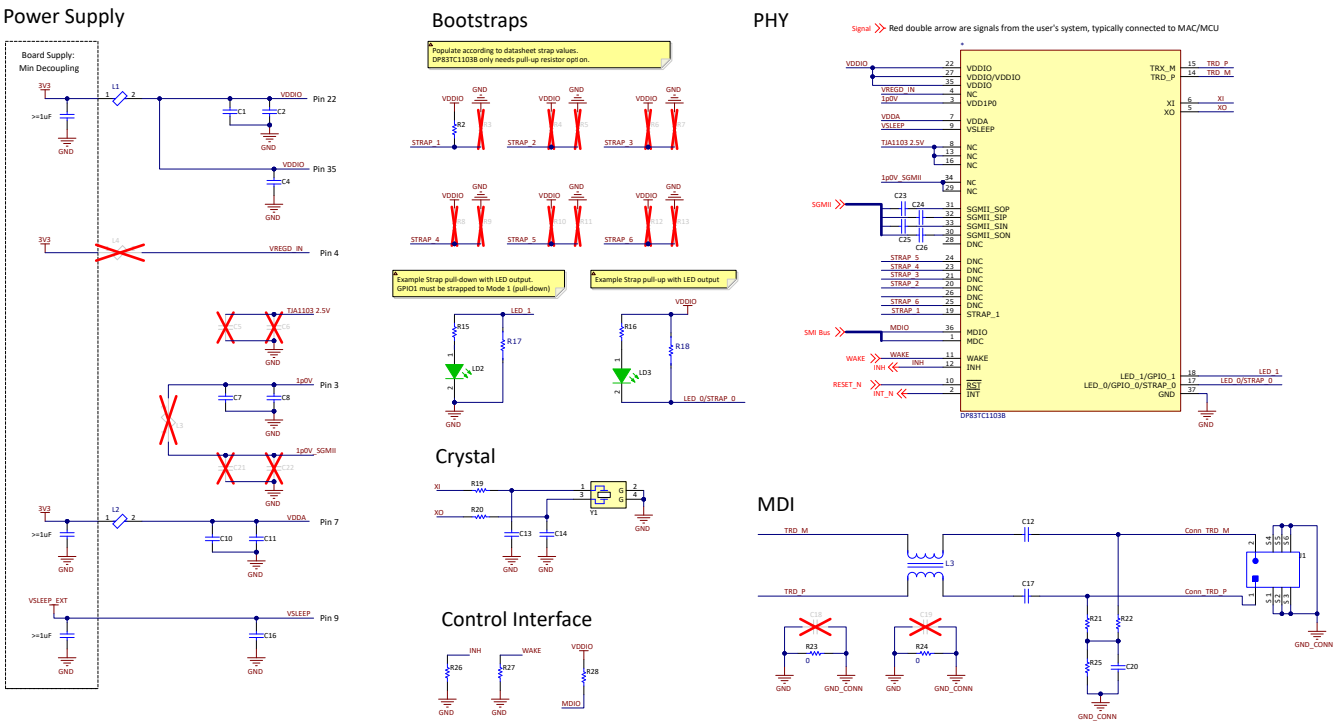


图 7-2. DP83TC1103B-Q1 常用原理图

功能块	参考指示符	DP83TC1103B-Q1
VDDIO	L1	BLM18KG601SH1D
	C1	470nF
	C2	10nF
	C4	10nF
TJA1103 2.5V	C5	DNP
	C6	DNP
1.0V	C7	2.2 µ F
	C8	100nF

English Document: SDAA314
Copyright © 2026 Texas Instruments Incorporated

功能块	参考指示符	DP83TC1103B-Q1
VDDA	L2	BLM18KG601SH1D
	C10	470nF
	C11	10nF
VSLEEP	C16	100nF
控制接口	R26	10kΩ
	R27	10kΩ
	R28	2.2kΩ
晶体	R19	100Ω
	R20	0Ω
SGMII	C23	0.1μF
	C24	0.1μF
	C25	0.1μF
	C26	0.1μF
MDI	L3	DLW43MH201XK2L、DLW32MH201XK2、AE2002 或 ACT1210L-201
	C12	0.1μF
	C17	0.1μF
	R21	1kΩ
	R22	1kΩ
	R25	100kΩ
	C20	4.7nF
	C18	DNP
	C19	DNP
	R23	0Ω
	R24	0Ω
TJA1103 VREGD	L4	DNP
TJA1103 SGMII 电源	L3	DNP
	C21	DNP
	C22	DNP

English Document: SDAA314
Copyright © 2026 Texas Instruments Incorporated

8 总结

DP83TC1103x-Q1 PHY 让单一电路板设计支持多种 PHY，从而实现采购灵活性。利用本应用手册中的参考信息，可以快速确定该设计如何支持 DP83TC1103x-Q1。

9 参考资料

- 德州仪器 (TI)，*DP83TC1103x-Q1 100Base-T1 汽车级以太网 PHY 收发器，具有 IEEE802.1AS 和 TC10 睡眠唤醒功能*，数据表。

Copyright © 2026 Texas Instruments Incorporated

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做出任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 TI 销售条款)、TI 通用质量指南 或 ti.com 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。 除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2026，德州仪器 (TI) 公司

最后更新日期：2025 年 10 月