Application Note

在 AM243x/AM64x 上使用 OSPI PSRAM 的无 DDR 设计

Aryamaan Chaurasia, Laxman Chinnannavar

摘要

本应用手册评估了配有外部 OSPI PSRAM 的 AM64x 处理器 OSPI，为工业实时应用提供了 DDR 存储器的高性价比替代方案。为了应对 DDR 成本上升和供应制约带来的挑战，本应用手册详细介绍了在修改版 TMDS243EVM 上使用 APS6408L OSPI PSRAM 器件实现代码执行和数据存储的方案。为了验证该方法在工业应用中的适用性，本应用手册基于 PROFINET 通信配置文件提供了全面的性能基准测试。这些测量值量化了读/写吞吐量、CPU 负载和快速启动时间。

系统工程师可以学习将 OSPI PSRAM 集成到 AM64x 设计中，配置引导加载程序以从 OSPI PSRAM 执行代码，并利用测得的性能数据来优化工业控制系统、电机驱动器和 PROFINET 应用。

内容

1 简介....2
2 硬件架构....3
2.1 EVM 配置....3
2.2 APS6408L PSRAM 器件....3
3 软件架构....4
4 实施指南....5
4.1 先决条件....5
4.2 示例应用....5
4.3 将 OSPI PSRAM 集成到定制应用中....7
5 性能分析与基准测试....9
5.1 读写吞吐量....9
5.2 仿真应用基准测试....9
5.3 PROFINET 基准测试....11
6 总结....14
7 参考资料....15
8 修订历史记录....16

商标

Sitara™ and Code Composer Studio™ are trademarks of Texas Instruments.
FreeRTOS™ is a trademark of Amazon Web Services, Inc.
TIA Portal™ and SIMATIC™ are trademarks of Siemens AG.
Saleae™ is a trademark of Saleae, Inc.
所有商标均为其各自所有者的财产。

English Document: SDAA565
Copyright © 2026 Texas Instruments Incorporated

1 简介

DDR 存储器成本不断上升、供货有限，已成为嵌入式系统设计人员重点关注的问题，在对成本敏感的工业应用中尤其如此。全球供应链限制和不断增长的需求已显著推高物料清单 (BOM) 成本，迫使工程师评估替代的存储器架构。

AM64x Sitara™ 处理器系列通过其八线串行外设接口 (OSPI) 控制器应对这一挑战，该控制器支持外部伪静态 RAM (PSRAM) 器件。OSPI PSRAM 器件允许处理器直接从外部存储器执行代码，从而有效扩展可用代码空间，而无需大型内部 RAM 缓冲区。

本应用手册介绍了如何在修改版 TMDS243EVM 上使用 APS6408L 8MB OSPI PSRAM 器件完整实现 OSPI PSRAM 支持。实现方案包括硬件配置、底层驱动程序架构以及为支持原地执行 (XIP) 而对引导加载程序所做的修改。为了验证该方法在工业应用中的适用性，本手册基于 PROFINET 通信配置文件提供了全面的性能基准测试。这些基准测试量化了读/写吞吐量、CPU 负载和快速启动时间，使工程师能够对照严格的应用要求评估 OSPI PSRAM 性能。

English Document: SDAA565
Copyright © 2026 Texas Instruments Incorporated

2 硬件架构

2.1 EVM 配置

AP Memory 的 OSPI PSRAM 在默认 TMDS243EVM 上不可用，仅在按照 PROC101E1_OSPI 原理图改装的修改版 TMDS243EVM 上可用。对默认 EVM 所做的修改为是增加 TS3DDR3812RUAR 高速开关，该开关在 OSPI NOR 闪存和 OSPI PSRAM 之间对 OSPI 信号进行多路复用。

OSPI_SW_SEL 信号由 TCA6424A I/O 扩展器的引脚 23 驱动，该扩展器由 I2C1 控制。当 OSPI_SW_SEL 有效（被驱动为高电平）时，OSPI 信号路由到 OSPI PSRAM，使 SoC 能够与 OSPI PSRAM 通信。默认情况下，OSPI_SW_SEL 为低电平，因此 OSPI 信号路由到 OSPI NOR 闪存，从而实现默认从 OSPI NOR 闪存引导。

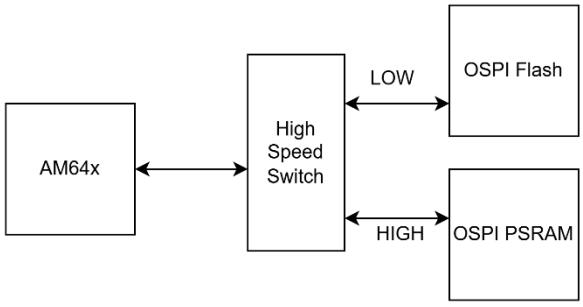


图 2-1. 通过高速开关实现 OSPI 信号路由

2.2 APS6408L PSRAM 器件

APS6408L-OBMx 是 AP Memory 推出的易失性存储器，支持八通道 DDR，最大频率为 200MHz。APS6408L-OBMx 的存储器大小为 8MB，并支持用于读写操作的 1KB 线性突发环绕。

由于借助当前 AM64x OSPI 控制器时无法在 PHY 模式下从外部存储器件执行 XIP，因此使用抽头模式从 OSPI PSRAM 执行代码。

在抽头模式下，AM64x 器件在 DDR 操作下支持的最大输出 OSPI 时钟频率为 25MHz，在 SDR 操作下为 50MHz。

这意味着 OSPI PSRAM 在八通道 DDR 模式下以 25MHz 的输出 OSPI 时钟频率运行。由于未使用 DQS（数据选通），OSPI PSRAM 被设置为固定延迟模式，以应对尝试从 OSPI PSRAM 读取数据时可能发生的自动自刷新冲突。

由于 OSPI PSRAM 和 OSPI NOR 闪存共享同一个 OSPI 控制器，因此两种器件从 0x60000000 开始的存储器映射区域相同。因此，系统中实现了高速开关，以防止总线争用以及任一存储器件内容被意外覆盖。

2.2.1 OSPI PSRAM 配置

表 2-1. OSPI PSRAM 配置

字段	值
OSPI 输入时钟频率	200MHz
OSPI 时钟分频器	8
线性突发读取命令	0x20
线性突发写入命令	0xA0
读取寄存器命令	0x40
写入寄存器命令	0xC0
复位命令	0xFF
行边界跨越	启用

English Document: SDAA565
Copyright © 2026 Texas Instruments Incorporated

3 软件架构

OSPI PSRAM 的实现以示例应用、SDK 补丁和参考文档的集合形式提供，这些内容组织在 Beyond-SDK 存储库中。两个补丁为 MCU+ SDK 扩展了 OSPI PSRAM 支持：第一个补丁将逐字节传输改为启用 DMA 的 MEMCPY 操作，从而优化了 OSPI DAC（直接存取控制器）写入操作；第二个补丁添加了完整的 OSPI PSRAM 驱动程序栈，包括板级 API、针对具体器件的 APS6408L 支持，以及用于在 OSPI NOR 闪存和 OSPI PSRAM 之间多路复用的 I/O 扩展器控制。

示例应用展示了 OSPI PSRAM 集成的三个关键用例。两个二级引导加载程序 (SBL) 示例 SBL OSPI PSRAM 和 SBL SD PSRAM 展示了引导时在动态开关控制下从非易失性存储到 OSPI PSRAM 的段加载，从而实现 XIP 运行。OSPI PSRAM I/O 示例提供了基本读/写验证和吞吐量测量，可用作 OSPI 控制器与 OSPI PSRAM 器件之间的通信验证测试。Hello World 示例展示了将应用的各段放入 OSPI PSRAM 存储器区域所需的链接器配置和 SysConfig 设置。

可在 Beyond-SDK 存储库中找到这些示例、补丁和文档。

- SBL OSPI PSRAM 示例可在以下路径找到：Beyond-SDK/am64x/mcupsdk/ospi_psram/examples/drivers/boot/sbl_ospi_psram
- SBL SD PSRAM 示例可在以下路径找到：Beyond-SDK/am64x/mcupsdk/ospi_psram/examples/drivers/boot/sbl_sd_psram
- Hello World 示例可在以下路径找到：Beyond-SDK/am64x/mcupsdk/ospi_psram/examples/hello_world_psram
- OSPI PSRAM I/O 示例可在以下路径找到：Beyond-SDK/am64x/mcupsdk/ospi_psram/examples/drivers/ospi/ospi_psram_io
- 用于刷写应用映像的 .cfg 文件可在以下路径找到：Beyond-SDK/am64x/mcupsdk/ospi_psram/tools/boot/sbl_prebuilt/am64x-evm/default_sbl_ospi_psram.cfg
- 补丁位于“patches”文件夹中，路径如下：Beyond-SDK/am64x/mcupsdk/ospi_psram/patches
- OSPI PSRAM 数据表和 PROC101E1_OSPI 原理图可在以下路径的“Docs”文件夹中找到：Beyond-SDK/am64x/mcupsdk/ospi_psram/Docs

English Document: SDAA565
Copyright © 2026 Texas Instruments Incorporated

4 实施指南

4.1 先决条件

- 需要使用修改版 TMDS243EVM 来刷写并运行以下所有示例应用。
- 以下所有示例应用和补丁均与 AM64x MCU+ SDK 12.00.00.27 [1] 及 AM64x 工业通信 SDK 2026.00.00.06 [2] 兼容。
- 在构建以下示例应用之前，请先应用这些补丁。

4.2 示例应用

4.2.1 二级引导加载程序

4.2.1.1 SBL OSPI PSRAM

该二级引导加载程序通过将 XIP 映像（以 .mcelf_xip 扩展名结尾的映像）从 OSPI NOR 闪存传输到 OSPI PSRAM，实现从 OSPI PSRAM 执行代码。该示例还通过在 OSPI NOR 闪存和 OSPI PSRAM 之间动态切换，演示了不同段如何加载到诸如 OSPI PSRAM 等不同存储器区域。

执行以下步骤，以使用 SBL OSPI PSRAM 实现从 OSPI PSRAM 执行代码：

1. 构建示例后，使用 default_sbl_ospi_psram.cfg 中指定的偏移量刷写 .mcelf.hs_fs 和 .mcelf_xip 映像。
2. 在 UART 引导模式下刷写二进制文件后，给 EVM 断电，切换到 OSPI 引导模式，然后给 EVM 上电。

备注

使用 .cfg 文件中指定的偏移量，因为写入 XIP 映像的偏移量必须与 SBL OSPI PSRAM 示例的 main.c 文件中定义的 XIP_FLASH_OFFSET 一致。

当 OSPI_SW_SEL 被驱动为高电平时，CPU 在 DAC 模式下可见的 OSPI PSRAM 存储器布局如下：

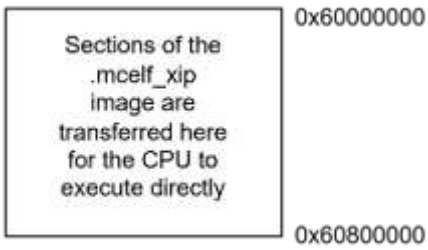


图 4-1. OSPI PSRAM 存储器布局

当 OSPI_SW_SEL 被驱动为低电平时，CPU 在 DAC 模式下可见的 OSPI NOR 闪存存储器布局如下：

English Document: SDAA565
Copyright © 2026 Texas Instruments Incorporated

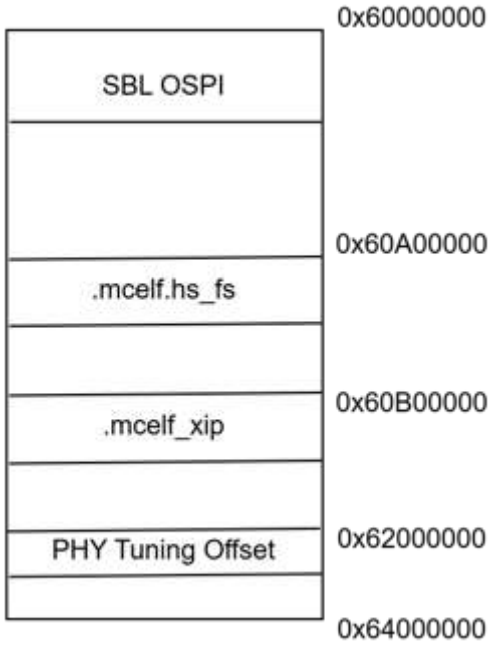


图 4-2. OSPI NOR 闪存存储器布局

备注

为 OSPI PSRAM 定义的存储器区域必须始终标记为“已缓存 (Cached)”；如果要在该存储器区域执行闪存写入，则 OSPI NOR 闪存的存储器区域必须标记为“强序 (Strongly Ordered)”。

4.2.1.2 SBL SD PSRAM

该二级引导加载程序通过将 XIP 映像从 SD 卡传输到 OSPI PSRAM，实现从 OSPI PSRAM 执行代码。

执行以下步骤，以使用 SBL SD PSRAM 实现从 OSPI PSRAM 执行代码：

1. 将 sbl_sd_psram 示例中的 tiboot3.bin 文件复制到 SD 卡。将 .mcelf.hs_fs 二进制文件重命名为“app”，将 .mcelf_xip 二进制文件重命名为“app_xip”，并将它们复制到 SD 卡。
2. 插入 SD 卡，设置 SD 引导模式，然后打开 EVM 电源。

备注

上述示例仅演示了从 OSPI PSRAM 执行代码的启用和运行。可以更改缓冲区大小、OCRAM (片上 RAM) 区域以及上述两个 SBL 中定义的值，以适应具体应用。

4.2.2 OSPI PSRAM I/O

此示例演示了 SoC 中的 OSPI 控制器与 OSPI PSRAM 之间的通信。此应用将 512KB 随机生成的数据写入 OSPI PSRAM，然后读回相同数据并进行比较。如果发送和接收的数据完全一致，则计算读写吞吐量。

可以先使用 SBL NULL，然后通过 Code Composer Studio™ (CCS) 加载并运行 .out 文件，以此运行此示例。也可以按照节 4.2.1.1 和节 4.2.1.2 中描述的步骤，使用 SBL OSPI PSRAM 或 SBL SD PSRAM 运行此应用。

4.2.3 从 OSPI PSRAM 执行代码的 Hello World

此示例演示了如何配置存储器区域以启用 OSPI PSRAM，并将应用的各段置于 OSPI PSRAM 中。

按照节 4.2.1.1 和节 4.2.1.2 中描述的步骤，也可以使用 SBL OSPI PSRAM 或 SBL SD PSRAM 运行此示例应用。

English Document: SDAA565
Copyright © 2026 Texas Instruments Incorporated

4.3 将 OSPI PSRAM 集成到定制应用中

要使应用的各段能够从 OSPI PSRAM 执行，请执行以下步骤：

1. 使用 SBL OSPI PSRAM 或 SBL SD PSRAM，并执行节 4.2.1.1 和节 4.2.1.2 中详述的必要配置。
2. 在应用侧打开 SysConfig，并在 MPU ARMv7 模块中为 OSPI PSRAM 使用的存储器映射区域添加以下存储器配置，如图 4-3 所示：

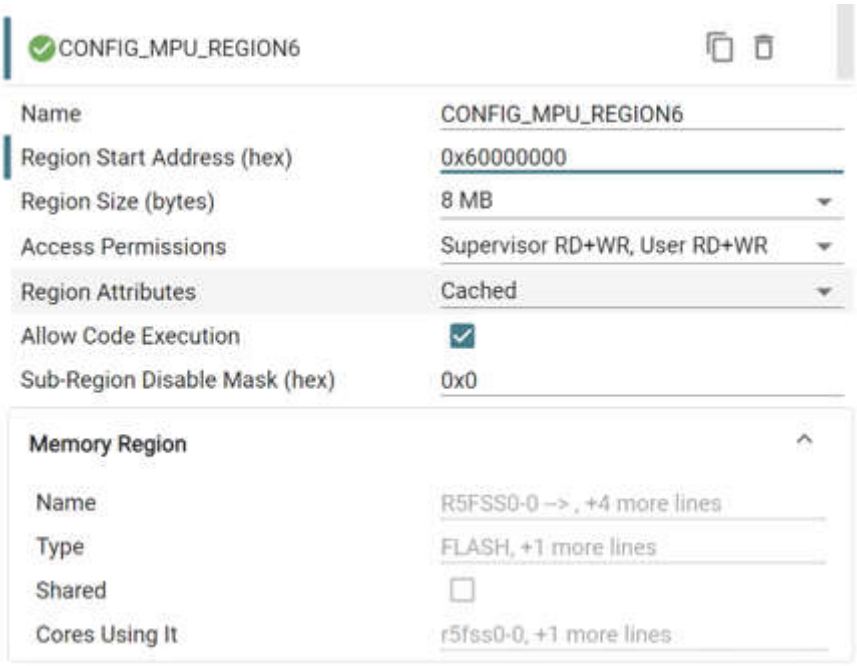


图 4-3. OSPI PSRAM 的 MPU 区域配置

3. 接下来，在 Memory Region 选项卡中，添加以下存储器区域，如图 4-4 所示：

备注

由于 OSPI NOR 闪存和 OSPI PSRAM 共享同一个存储器区域，因此从 0x60000000 开始的存储器区域被设置为“FLASH”类型。这只是一种命名约定；通过执行上述步骤，可以将同一存储器区域配置为 OSPI PSRAM。

English Document: SDAA565
Copyright © 2026 Texas Instruments Incorporated

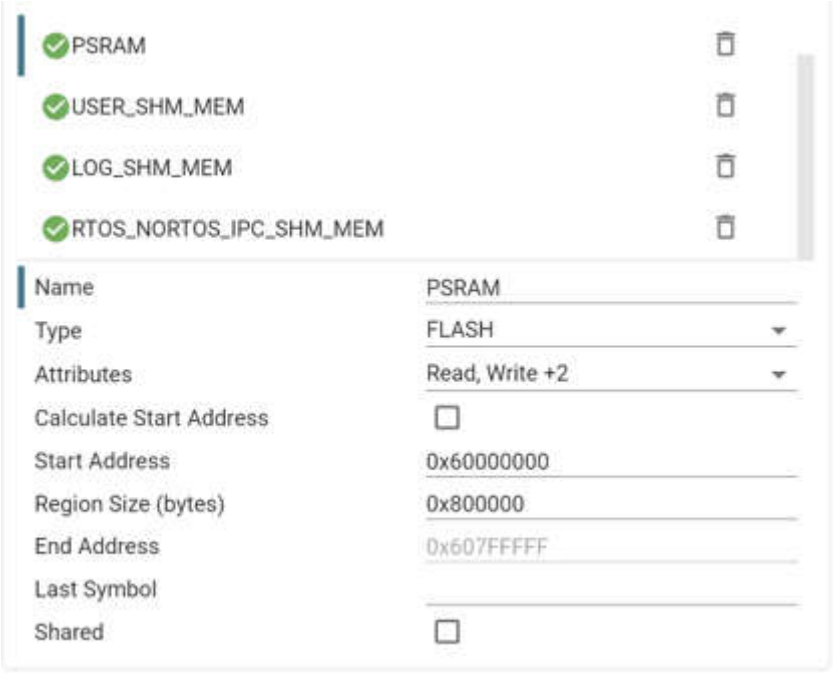


图 4-4. OSPI PSRAM 的存储器区域配置

4. 完成上述步骤后，在 Sections 选项卡中，将所需段放入 OSPI PSRAM 存储器区域，如图 4-5 所示：

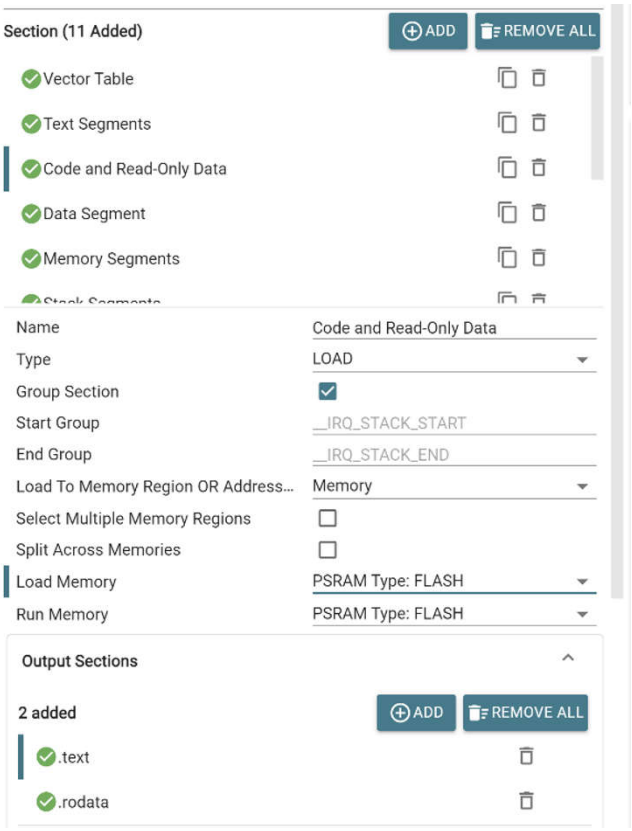


图 4-5. 配置要加载到 OSPI PSRAM 的段

English Document: SDAA565
Copyright © 2026 Texas Instruments Incorporated

5 性能分析与基准测试

备注

由于 XIP 存在 PHY 调优限制，以下基准测试是在抽头模式下运行 OSPI PSRAM 和 OSPI NOR 闪存获得的，该模式会将输出 OSPI 时钟频率限制为 25MHz。

表 5-1 展示了用于吞吐量基准测试的设置以及两个仿真示例：

表 5-1. 仿真示例的基准测试设置

板卡	修改版 TMDS243EVM
器件	AM6442
DDR4 器件	MT40A1G16KD-062E
OSPI NOR 闪存器件	S28HS512TGABHM010
OSPI PSRAM 器件	APS6408L-OBMx
核心	R5F

5.1 读写吞吐量

表 5-2 显示了在各种存储器件上获得的读写吞吐量：

表 5-2. 不同存储器件的读写吞吐量

存储器件	DDR		OSPI PSRAM		OSPI NOR 闪存	
接口频率	800MHz		25MHz DDR		25MHz DDR	
DMA	启用		启用		启用	
理论吞吐量	3200MBps		50MBps		50MBps	
存储器映射区域	已缓存		已缓存		强序 (Strongly Ordered)	
操作	写入	读取	写入	读取	写入	读取
数据大小 = 512KB	975MBps	975MBps	40.2MBps	49.9MBps	0.43MBps(1)	48.7MBps

(1) TMDS243EVM 上板载的 S28HS512T OSPI NOR 闪存不支持通过 OSPI 控制器进行 DAC 写入。因此，改用 INDAC (间接存取控制器) 写入，此类写入操作不支持 DMA 和 PHY。

5.2 仿真应用基准测试

5.2.1 XIP 基准

使用的示例：XIP 基准测试

表 5-3 显示了为 XIP 基准测试示例获得的性能指标：

表 5-3. XIP 基准测试的性能指标

存储器件	OCRAM	DDR	OSPI PSRAM (25MHz DDR)	OSPI NOR 闪存 (25MHz DDR)
MPU 区域配置				
区域属性	已缓存	已缓存	已缓存	已缓存
段				
RO 数据、代码段 (Text)	OCRAM	DDR	PSRAM	闪存
应用的剩余部分	OCRAM	OCRAM	OCRAM	OCRAM
基准测试				

English Document: SDAA565
Copyright © 2026 Texas Instruments Incorporated

表 5-3. XIP 基准测试的性能指标（续）

存储器件			OCRAM	DDR	OSPI PSRAM (25MHz DDR)	OSPI NOR 闪存 (25MHz DDR)
CPU 统计信息（使用的 CPU 周期数）	FIR	最小值	24072	24072	24072	24072
		最大值	28447	38103	74978	93792
		平均值	24512	25510	29654	31026
	MEMCPY	最小值	1565	1565	1565	1565
		最大值	2010	3040	5203	8608
		平均值	1614	1720	1932	2275
相对于 OCRAM 的相对性能下降（最大周期数）	FIR		1x	大约 1.3x	大约 2.6x	大约 3.3x
	MEMCPY		1x	大约 1.5x	大约 2.6x	大约 4.3x
相对于 OCRAM 的相对性能下降（平均周期数）	FIR		1x	大约 1x	大约 1.2x	大约 1.3x
	MEMCPY		1x	大约 1.1x	大约 1.2x	大约 1.4x

XIP 基准测试衡量保存代码和只读数据的存储器如何影响在 XIP 模式下运行的 CPU 密集型工作负载。SoC 启动并在 FreeRTOS™ 下的 R5F 核上运行该应用。该应用执行两个函数：FIR 和 MEMCPY。

链接器命令文件将代码段和只读 (RO) 数据段放入受测存储器中，应用的其余部分保持在 OCRAM 中。在基线情况下，所有段都置于 OCRAM 中。每个函数总共运行 10 次，最坏情况、最佳情况和平均情况下的性能以 CPU 周期为单位打印到 UART 终端上。将 OCRAM 的最大（取自冷缓存下的首次运行）和平均 CPU 周期数作为基线，然后针对每种测试情况计算相对性能下降。

5.2.2 片上存储器基准测试

使用的示例：片上存储器基准测试

表 5-4 显示了为片上存储器基准测试示例获得的性能指标：

表 5-4. 片上存储器基准测试的性能指标

存储器件	OCRAM	DDR		OSPI PSRAM (25MHz DDR)		OSPI NOR 闪存 (25MHz DDR)
MPU 区域配置						
区域属性	已缓存	已缓存		已缓存		已缓存
段						
启动代码	OCRAM	OCRAM	OCRAM	OCRAM	PSRAM	OCRAM
RO 数据、代码段	OCRAM	DDR	DDR	PSRAM	PSRAM	闪存
RW 数据	OCRAM	OCRAM	DDR	OCRAM	PSRAM	OCRAM
基准测试						
内存副本大小 (B)	2250	2250	2250	2250	2250	2250
执行时间（单位：µs）	17022	25871	30980	66428	137616	68925
相对于 OCRAM 的相对性能下降	1x	大约 1.5x	大约 1.8x	大约 3.9x	大约 8.1x	大约 4.0x
指令高速缓存未命中次数 (ICM)	56082	56537	56808	59923	60199	57938
数据高速缓存未命中次数	38631	41509	39886	43520	42676	43264
已执行的指令数 (INST)	6688800 大约 669 万	6694168 大约 669 万	6694944 大约 669 万	6700356 大约 670 万	6707012 大约 671 万	6700748 大约 670 万

English Document: SDAA565
Copyright © 2026 Texas Instruments Incorporated

表 5-4. 片上存储器基准测试的性能指标（续）

存储器件	OCRAM	DDR		OSPI PSRAM (25MHz DDR)		OSPI NOR 闪存 (25MHz DDR)
ICM/秒	3294677 大约 329 万	2185342 大约 219 万	1833699 大约 183 万	902074 大约 90 万	437441 大约 44 万	840594 大约 84 万
INST/秒	392950299 大约 3.93 亿	258751807 大约 2.59 亿	216105358 大约 2.16 亿	100866441 大约 1.01 亿	48737152 大约 4,900 万	97217961 大约 9,700 万

表 5-5. 为片上存储器基准测试获得的数据点

应用输出	说明
Mem Cpy size => 2,250	每个任务所执行的 MEMCPY 的大小（以字节为单位）
Exec Time in µsec => 17,022	执行时间（单位：微秒）
Iter => 1	测试运行次数
Task calls => 500	按随机顺序调用 16 个任务的次数
Inst Cache miss (ICM) => 56,082	指令高速缓存未命中总数
Data Cache miss (DCM) => 38,631	数据高速缓存未命中总数
Num Switches => 1,469	上下文切换总次数
Num Instr Exec => 6,688,800	已执行指令总数
ICM/sec => 3,294,677	指令高速缓存的每秒未命中次数
INST/sec => 392,950,299	每秒执行的指令数

片上存储器基准测试示例测量仿真应用的性能，该应用的各段置于 OCRAM 或外部存储器（DDR、OSPI PSRAM 或 OSPI NOR 闪存）中。该应用运行同一代码的 10 种配置，这些配置仅 MEMCPY 大小不同。每项测试在 16 个任务中进行 500 次随机排序的调用。

表 5-5 展示了 2,250 字节配置。这是指令最密集的配置。当完全从 OCRAM 运行时，它每秒产生约 330 万次指令高速缓存未命中（ICM/秒），这一速率与实际客户应用中的速率相似。复制大小更大的配置数据密集度更高，在重复代码上花费的时间也更多，因此其 ICM 速率低得多。

5.3 PROFINET 基准测试

表 5-6 显示了对 PROFINET 示例进行基准测试所用的设置：

表 5-6. PROFINET 的基准测试设置

所用引脚	J1 连接器的引脚 23 用于 GND
	TP33 用于 MCU_PORz
	J1 连接器的引脚 5 用于 GPIO 信号
板卡	修改版 TMDS243EVM
器件	AM6442
DDR4 器件	MT40A1G16KD-062E
OSPI NOR 闪存器件	S28HS512TGABHM010
OSPI PSRAM 器件	APS6408L-OBMx
软件	TIA Portal™ V21
PLC	SIMATIC™ S7-1500
逻辑分析仪	Saleae™ Logic 8

备注

使用在 166MHz 下运行的 OSPI NOR 闪存获得的数据点仅用于展示与在 25MHz 下运行的 OSPI NOR 闪存相比的性能差异。

English Document: SDAA565
Copyright © 2026 Texas Instruments Incorporated

5.3.1 基于快速启动时间衡量的性能下降

使用的示例：PROFINET 器件演示

为展示性能下降，仅将代码段和只读数据移至受测存储器。

表 5-7 展示了用于分析快速启动 (FSU) 时间的存储器配置：

表 5-7. 用于快速启动时间的存储器布局配置

存储器段	DDR 情形	OSPI PSRAM 情形	OSPI NOR 闪存情形
矢量	TCMA	TCMA	TCMA
HWI 和 TCM 代码段	TCMA	TCMA	TCMA
栈	OCRAM	OCRAM	OCRAM
RW 数据	OCRAM	OCRAM	OCRAM
BSS	OCRAM	OCRAM	OCRAM
启动代码	OCRAM	OCRAM	OCRAM
ICSS 数据包缓冲区	OCRAM	OCRAM	OCRAM
系统存储器	OCRAM	OCRAM	OCRAM
代码段 (803KB)	DDR	PSRAM	闪存
RO 数据 (66KB)	DDR	PSRAM	闪存

FSU 时间通过测量两个硬件信号之间的时间差来获得。第一个信号在器件上电后进行测量。为此，使用 MCU_PORz 信号。第二个信号在首次成功的 PROFINET 循环数据交换后进行测量。两个信号变为高电平之间的间隔时间即为 FSU 时间。所示 Delta 时间（增量时间）为 FSU 时间减去 SBL 时间，表示从 DDR/OSPI PSRAM/OSPI NOR 闪存执行 RO 数据和代码段所花费的时间。

由于数据传输要求和 OSPI 控制器重新配置开销存在差异，不同存储器配置下的 SBL 时间差异显著。对于 DDR 执行，SBL 将应用的各段从 OSPI NOR 闪存传输到 DDR，需要 103ms。对于在 25MHz DDR 下从 OSPI NOR 闪存执行的情况，各段在初始编程后仍保留在 OSPI NOR 闪存中。由于无需传输，SBL 时间缩短至 55ms。在 166MHz DDR 下从 OSPI NOR 闪存执行时会增加约 25ms 的 PHY 调优算法开销，导致 SBL 时间达到 81ms。

由于 OSPI PSRAM 的易失性以及共享的 OSPI 控制器架构，OSPI PSRAM 执行的 SBL 时间最长，为 194ms。SBL 必须将各段加载到临时 OCRAM 缓冲区，剥离段头，并手动将内容传输到 OSPI PSRAM，并在整个过程中频繁切换多路复用开关并重新初始化 OSPI 驱动。AM64x 器件仅包含一个 OSPI 控制器，且只有一组配置寄存器，并且各段必须从 OSPI NOR 闪存传输到 OSPI PSRAM。因此，OSPI PSRAM 的 SBL 时间必然高于其他配置。

表 5-8 展示了使用上述设置获得的快速启动时间：

表 5-8. 快速启动时间的性能指标

所需时间	DDR	OSPI PSRAM (25MHz DDR)	OSPI NOR 闪存 (25MHz DDR)	OSPI NOR 闪存 (166MHz DDR)
应用的剩余部分	OCRAM、TCM	OCRAM、TCM	OCRAM、TCM	OCRAM、TCM
RO 数据、代码段	DDR	PSRAM	闪存	闪存
SBL（单位：ms）	103	194	55	81
FSU（单位：ms）	519	867	735	701
Delta (FSU-SBL)（增量，FSU 减 SBL）	416	673	680	620

5.3.2 基于 CPU 负载衡量的性能下降

使用的示例：PROFINET 器件演示

English Document: SDAA565
Copyright © 2026 Texas Instruments Incorporated

为展示性能下降，仅将代码段和只读数据移至受测存储器。

表 5-9 展示了用于分析 CPU 负载的存储器配置：

表 5-9. 用于 CPU 负载分析的存储器布局配置

存储器段	DDR 情形	OSPI PSRAM 情形	OSPI NOR 闪存情形
矢量	TCMA	TCMA	TCMA
HWI 和 TCM 代码段	TCMA	TCMA	TCMA
栈	OCRAM	OCRAM	OCRAM
RW 数据	OCRAM	OCRAM	OCRAM
BSS	OCRAM	OCRAM	OCRAM
启动代码	OCRAM	OCRAM	OCRAM
ICSS 数据包缓冲区	OCRAM	OCRAM	OCRAM
系统存储器	OCRAM	OCRAM	OCRAM
代码段 (880KB)	DDR	PSRAM	闪存
RO 数据 (66KB)	DDR	PSRAM	闪存

用于分析 CPU 负载的存储器布局与用于测量 FSU 性能下降的存储器布局相同。由于添加了用于 CPU 性能分析的代码，代码段有所增加（从 803KB 增加到 880KB）。基础 CPU 负载测量的是 TMDS243EVM 和 PLC 之间建立的通信所产生的 CPU 负载。在网络负载 (Netload) 测试期间，在 TMDS243EVM 与 PLC 通信的同时注入 30Mbps 的后台流量。这一注入导致 CPU 负载显著增加。

本基准测试中使用的周期时间为 1ms，下方表 5-10 列出了每种测试情况下获得的最高（最坏情况）CPU 负载。未发生数据包丢失，每个测试用例都能满足所有时序要求。

表 5-10. CPU 负载的性能指标

CPU 负载	DDR	OSPI PSRAM (25MHz DDR)	OSPI NOR 闪存 (25MHz DDR)	OSPI NOR 闪存 (166MHz DDR)
应用的剩余部分	OCRAM、TCM	OCRAM、TCM	OCRAM、TCM	OCRAM、TCM
RO 数据、代码段	DDR	PSRAM	闪存	闪存
基础 CPU 负载（含 PLC 通信）	23.31%	65.49%	69.57%	34.27%
网络负载 (Netload) 测试下的 CPU 负载 30Mbps 流量	66.61%	95.18%	96.90%	76.51%

Copyright © 2026 Texas Instruments Incorporated

6 总结

本应用手册介绍了使用 APS6408L 器件在 AM64x 处理器上完成的完整 OSPI PSRAM 实现，详细说明了从 OSPI PSRAM 执行代码所需的硬件和软件架构。硬件部分涵盖 EVM 配置，包括 OSPI NOR 闪存与 OSPI PSRAM 之间的高速多路复用以及详细的器件规格；软件部分介绍从 OSPI PSRAM 执行代码所需的驱动程序栈实现和引导加载程序集成。

本应用手册还包含全面的性能分析，将 OSPI PSRAM 与 DDR 和 OSPI NOR 闪存进行了比较。在 XIP 当前所需的 25MHz 抽头模式时钟下，OSPI PSRAM 达到 49.9MBps 的读取吞吐量和 40.2MBps 的写入吞吐量，其最坏情况下的 XIP 周期计数约为 OCRAM 的 2.6 倍，而 OSPI NOR 闪存为 3.3 至 4.3 倍。在 PROFINET 应用中，将代码段和只读数据移到受测存储器且不做进一步优化的情况下，OSPI PSRAM 能够满足 1ms 周期时间要求而不丢包。其基础 CPU 负载约为 DDR 的 2.8 倍（65.49% 对比 23.31%），SBL 之后的启动时间约为 DDR 的 1.6 倍（673ms 对比 416ms）。

这些性能特性有助于系统工程师将 OSPI PSRAM 集成到 AM64x 设计中，用于工业控制系统、电机驱动器和 PROFINET 应用。

English Document: SDAA565
Copyright © 2026 Texas Instruments Incorporated

7 参考资料

1. 德州仪器 (TI)，AM64x MCU+ SDK，设计资源。
2. 德州仪器 (TI)，AM64x 工业通信 SDK，设计资源。

English Document: SDAA565
Copyright © 2026 Texas Instruments Incorporated

8 修订历史记录

Changes from Revision * (October 2026) to Revision A (October 2026)	Page
• 向标题中添加了 AM243x	0
• 更新了整个文档中的表格、图和交叉参考的编号格式	0
• 通篇将板卡名称从 TMDS64EVM 更改为 TMDS243EVM	2
• 更正了表 5-2 以显示*接口频率*	9

Copyright © 2026 Texas Instruments Incorporated

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做出任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 TI 销售条款)、TI 通用质量指南 或 ti.com 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。 除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2026，德州仪器 (TI) 公司

最后更新日期：2025 年 10 月