Technical White Paper

用于瞬态负载测试和激光驱动器的高速电压控制电流源 (VCCS)

Anant Sinha, Shreenidhi Patil, Vikas Jeevannavar, Harsha Vardhan and Jyothi Sanganna

摘要

随着数据中心计算对更高性能的电源管理提出要求，对精确瞬态响应测试的需求变得至关重要。本技术白皮书介绍了一种高速、大电流的电压控制电流源 (VCCS)，其针对电子负载、激光驱动器等应用进行了优化。该设计侧重于实现快速上升时间 (100ns) 和高输出电流（脉冲高达 150A），同时保持稳定性和电压顺从性。本文详细介绍了全面的设计过程，涵盖功率 MOSFET 的关键元件选型（重点关注饱和区工作、输入电容和安全工作区），为平衡功率耗散与 ESL 引起的上升时间限制而进行的检测电阻优化，以及基于带宽、压摆率和输出电流要求进行的运算放大器选型。此外，本文还评估了各种电路架构，包括采用阻尼电阻 (R_{damp}) 和双反馈拓扑来抑制寄生振荡，并优化现代 GPU 和 CPU 电源应用的趋稳时间。

内容

1 简介.....2
1.1 设计汇总.....2
2 工作原理.....2
2.1 电路概述.....2
2.2 闭环运行.....2
2.3 FET 工作区域.....3
3 设计流程.....3
3.1 选择 FET.....3
3.2 R_{sense} 选择.....5
3.3 运算放大器选择.....5
4 基于设计的元件选型.....6
4.1 T_{rise} = 100ns 的设计.....6
4.2 架构选择（快速参考）.....9
5 电路架构选择.....9
5.1 单反馈方法.....9
5.2 双反馈方法.....10
5.3 增强型双反馈方法.....11
6 结果.....11
7 相关文档.....13

商标

所有商标均为其各自所有者的财产。

Copyright © 2026 Texas Instruments Incorporated

1 简介

数据中心计算能力的快速增长，增加了对具有高效电源管理功能的高性能系统的需求。瞬态负载测试仪是产生快速负载电流变化的电路，用于评估电力输送系统的瞬态响应和稳定性。此类测试有助于评估系统应对功率需求突变的能力。电压控制电流源 (VCCS) 提供可编程负载电流，用于实现瞬态负载测试仪。输出电流通过闭环运算放大器、功率 FET 和精密检测电阻，由输入电压控制。该参考设计展示了针对不同要求和高速运行进行优化的 VCCS 实现。该设计支持对现代 GPU 和 CPU 电源以及数据中心应用进行精确的电力输送测试。

1.1 设计汇总

表 1-1. 设计 — 大电流、高速 VCCS

参数	目标
输出电流（最大值）	150A（脉冲）
上升时间（10% 至 90%）	100ns
顺从电压（最小值）	0.4V
跨导 (I_{OUT}/V_{IN})	500A/V

2 工作原理

2.1 电路概述

图 2-1 展示了本设计中实现的 VCCS 的核心拓扑。该电路包含一个驱动功率 FET 栅极的运算放大器，并在 FET 的源极路径中放置一个精密检测电阻。检测电阻两端产生的电压会反馈至运算放大器的反相输入端，从而形成负反馈环路。控制传输函数为：

$$I_{OUT} = \frac{V_{IN}}{R_{sense}} \quad (1)$$

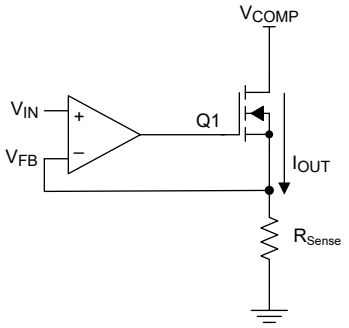


图 2-1. 运算放大器控制的恒流源

2.2 闭环运行

该环路的工作原理如下：

1. 输入控制电压 V_{IN} 施加到运算放大器的同相端子。
2. 运算放大器将 V_{IN} 与反馈电压 V_{FB} 进行比较，后者是因漏源电流流经 FET 而在检测电阻器两端产生的电压。
3. V_{IN} 和 V_{FB}（误差信号）之间的任何差值均由运算放大器放大，并用于驱动 FET 的栅极。
4. FET 通过调制通道电导来响应栅极驱动，从而调节流经检测电阻的电流。
5. 当 $V_{FB} = V_{IN}$ 时，该环路达到平衡

在这种稳态条件下，输出电流由输入电压和检测电阻精确决定，与负载阻抗无关，这是理想电流源的定义特性，如方程式 1 所示

English Document: STDA041
Copyright © 2026 Texas Instruments Incorporated

2.3 FET 工作区域

在电压电流转换器 (V2I) 中，MOSFET 必须严格在饱和区中工作，才能用作理想电压控制电流源。在饱和状态下，漏极电流 I_D 仅由 V_{GS} 控制，与 V_{DS} 无关，从而为 FET 提供明确定义的高跨导 g_m。这可以确保运算放大器在栅极上施加的任何阶跃都能在源极迅速且成比例地反映出来，从而使反馈环路能够快速准确地稳定至所需的输出电流。但是，如果允许 FET 进入欧姆（线性）区域 → 其中 $V_{DS} < (V_{GS} - V_{th})$ → 则器件不再作为电流源运行，而是转换为电压控制的电阻。在该区域中，漏极电流成为 V_{GS} 和 V_{DS} 的函数，导致有效跨导 g_m 显著下降。因此，当运算放大器在栅极施加阶跃变化时，源极上仅复制该阶跃极小的一部分，即栅源极信号传输严重衰减。反馈环路在技术上仍保持闭合状态，但有效增益大幅降低。这种有效增益降低迫使运算放大器不断加大对栅极的驱动力度以尝试校正误差，但每次校正都只能产生微弱的 FET 响应。环路持续通过这种低增益的校正过程进行迭代，导致最终达到预期的电流水平前，输出稳定速度非常缓慢。

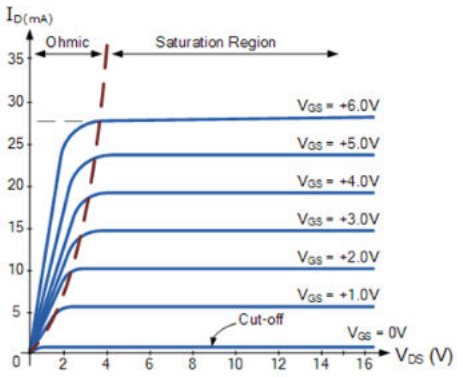


图 2-2. FET 特性曲线

3 设计流程

本节讨论 FET、R_{sense} 和运算放大器的选择。

3.1 选择 FET

设计过程从选择 FET 开始，其主要取决于三个性能指标：

1. 输入电容 (C_{iss})
2. 顺从电压范围
3. 安全工作区 (SOA)

3.1.1 C_{iss}

在任何实际栅极驱动电路中，栅极走线和键合线连接中都存在寄生电感。栅极电感与栅极节点处的总有效电容 C_{eff}（包括 C_{iss}）共同构成一个 LC 谐振槽路。当快速阶跃到达栅极时，无阻尼 LC 会以其固有谐振频率振铃，导致 V_{GS} 中出现振荡，进而引起输出电流振荡，严重降低瞬态响应。在栅极串联放置阻尼电阻 R_{damp}，通过在 LC 环路中引入足够的电阻来抑制这些振荡，对谐振进行临界阻尼，并产生干净、无振荡的栅极电压转换。

R_{damp} 的值必须满足一个关键条件：R_{damp} 必须远大于两个运算放大器的输出电阻 R_o 和 FET 的内部栅极电阻 R_g。由于 R_o 和 R_g 在高速设计中通常都非常小，与栅极节点处的总串联电阻相比，该组合可以忽略不计，因此 R_{damp} 成为栅极驱动路径中的主要电阻。为满足 $R_{damp} >> R_o$ 和 R_g 的条件，同时保持栅极驱动速度在所需范围内，R_{damp} 选择实际值 5 Ω。

由于 R_{damp} 是栅极节点的主要电阻，因此 RC 网络与 C_{eff} 共同构成了一阶低通滤波器，而该 RC 网络的带宽由 $1/(2\pi \times R_{damp} \times C_{eff})$ 决定。该极点决定了栅极电压对运算放大器阶跃输入的响应速度，从而有效设定了整个系统的上升时间。因此，为了满足所需的上升时间规格，RC 滤波器的带宽必须大于或等于响应带宽。带宽 $\geq 0.35/T_{rise}$（T_{rise} 表示所需的上升时间）。该条件直接限制了所选 FET 的 C_{eff} 的最大允许值，因此 C_{iss} 也受到限制。

假设采用一阶系统，则所需带宽与上升时间的关系符合方程式 2。

English Document: STDA041
Copyright © 2026 Texas Instruments Incorporated

$$BW \geq \frac{0.35}{T_{rise}} \quad (2)$$

RC 栅极网络的带宽由方程式 3 得出

$$BW = \frac{1}{2\pi \times R_{damp} \times C_{eff}} \quad (3)$$

使这两个表达式相等，即可得出基本 C_{iss} 约束：

$$C_{eff} \leq \frac{T_{rise}}{\left(2\pi \times R_{damp} \times 0.35\right)} \quad (4)$$

此不等式定义了所选 FET 为满足上升时间规格而必须满足的最大允许总有效栅极电容。

3.1.2 顺从电压范围

要验证 FET 是否保持饱和状态，设计人员必须查阅数据表中的两条关键曲线。首先，I_D 与 V_{GS} 传输特性决定了驱动最大输出电流所需的最大源栅极电压（V_{GS}，最大值）。该值为 V_{GS}，此时 I_D 等于目标输出电流。其次，在该特定 V_{GS} 最大值下检查 I_D 与 V_{DS} 输出特性，以确定拐点电压，即 I_D 饱和且不再受 V_{DS} 影响时的最小 V_{DS}。该拐点电压表示 FET 保持饱和状态所需的最小余量。

应用的最低顺从电压必须超过上面确定的拐点 V_{DS} 并留有足够的裕度。如果最低顺从电压过于接近或低于拐点，则 FET 在最坏情况下会进入欧姆区域，此时必须选择具有较低 V_{th} 或更陡峭饱和拐点的其他器件。

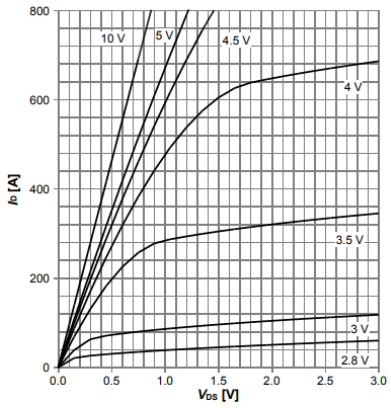


图 3-1. 典型输出特性

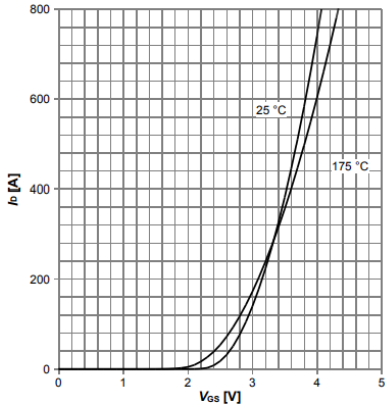


图 3-2. 典型传输特性

以 FET IQE013N04LM6CGSC 为例，其典型输出特性和传输特性如图 3-1 和图 3-2 所示。图 3-1 显示了不同栅源极电压下漏极电流随漏源极电压的变化，其中漏极电流在进入饱和区域之前迅速增加。图 3-2 显示了 25°C 和 175°C 时的传输特性，表明漏极电流随栅源极电压变化，以及温度对器件电流的影响。这些特性有助于确定工作区域，并在 FET 工作期间提供足够的电压裕度。

3.1.3 安全工作区 (SOA)

安全工作区 (SOA) 曲线是 FET 选择期间的关键检查点，因为该曲线定义了器件在不发生故障的情况下能够承受的 V_{DS} 和 I_D 安全组合。对于 V2I 转换器，最大输出电流规格直接决定了工作点在 SOA 图上的位置。重要的是，SOA 曲线提供了最大允许导通时间边界 — 对于给定的电流水平，该器件可以在较短持续时间内承受更高的功率耗散，但随着导通时间的增加，允许的工作区域会由于芯片内部的热量累积而缩小。因此，应根据适当的脉冲 SOA 边界检查输出电流波形的占空比和脉冲持续时间。如果在目标电流下所需的导通时间超出 SOA 允许值，请选择具有更大芯片面积或更好热特性的 FET。

确保运算放大器输出摆幅范围必须符合栅极正向和反向工作区域的要求。

English Document: STDA041
Copyright © 2026 Texas Instruments Incorporated

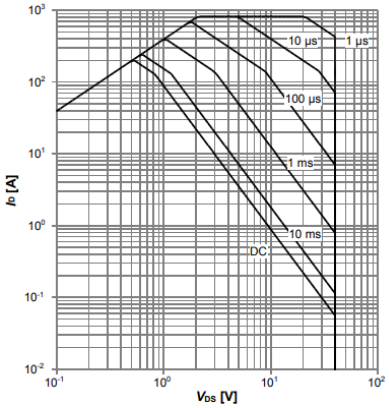


图 3-3. 安全工作区

3.2 R_{sense} 选择

感应电阻器 (R_{sense}) 在 V2I 转换器中起着至关重要的作用，其将输出电流转换为运算放大器可根据输入基准进行调节的反馈电压。但是，应谨慎选择 R_{sense} 的值，以平衡两个相互制约的因素：产生足够电压以确保准确检测，与避免过度的功率耗散。对于大电流设计，即使较小的电阻也可能导致显著的功率损耗。例如，在 50A 时，2mΩ 电阻器的功耗为 5W，而 0.1mΩ 电阻器的功耗仅为 0.25W。为使检测电阻的功率耗散保持可控，R_{sense} 必须尽可能低，同时保持电阻 R_{sense} 两端的压降相对于最小顺从电压较小，且功率耗散保持在可接受的限制范围内。R_{sense} 选择还取决于运算放大器输入失调电压引起的可接受输出电流误差。

3.2.1 ESL 的影响

由于反馈电压 V_{FB} 直接在 R_{sense} 两端进行检测，因此检测电阻的寄生 ESL 与 R_{sense} 构成一个 **L/R 低通滤波器**。在电流瞬态期间，ESL 会阻止电流的快速变化，而反馈电压仅在经过 $\tau = ESL + L_{Source}/R_{sense}$ 的时间常数后才稳定至真实值，得出的上升时间约为：

$$T_{rise} = 2\tau = 2 \times \frac{(ESL + L_{source})}{R_{sense}} \quad (5)$$

这会产生根本性冲突，降低 R_{Sense} 可更大限度地降低功率耗散，但会直接增加 L/R 时间常数并使反馈响应变慢，导致上升时间超出所需的规格。因此，R_{sense} 不能随意降低，上升时间约束会设定 R_{sense} 的下限。

3.3 运算放大器选择

3.3.1 带宽

运算放大器带宽是选择运算放大器时首要且最基本的标准，因为无论电路其余部分的优化程度如何，缓慢的运算放大器都会直接限制输出电流的上升时间。将系统视为一阶近似值，运算放大器所需的最小带宽由方程式 6 计算得出。

$$BW = \frac{0.35}{T_{rise}} \quad (6)$$

其中：

- T_{rise} 是目标上升时间规格

但是，该值仅代表运算放大器本身速度足够快所需的最低值，并未留出余量用于信号路径其余部分引入的额外带宽限制。

特别是，由 FET 输入端的 R_{damp} 和 C_{gate} 形成的低通滤波器已经消耗了部分可用带宽，这意味着如果选择的运算放大器带宽恰好等于最低带宽，则级联系统的响应将达不到上升时间目标。为确保运算放大器不会成为瓶颈，并在考虑 R_{damp} – C_{gate} 极后仍保留足够的带宽，请选择带宽为计算得出最小值 3 倍至 4 倍的运算放大器，从而为整个闭环系统提供足够的余量，使其能够轻松满足上升时间规格。

English Document: STDA041
Copyright © 2026 Texas Instruments Incorporated

3.3.2 压摆率

当 V2I 转换器从零输出电流转换到所需设定点时，运算放大器必须在目标上升时间 T_{rise} 内将 FET 栅极从 0V 驱动至 $V_{GS(desired)} - V_{IN}$。在此转换期间，输出必须在单次连续转换中在整个栅极驱动范围内摆动，这需要最大瞬时变化率。方程式 7 可计算所需的估计压摆率。

$$SR_{required} = \frac{\Delta V_{OUT}}{T_{rise}} = \frac{V_{GS(desired)} - V_{IN}}{T_{rise}} \quad (7)$$

这是正常工作期间唯一需要运算放大器输出在短时间内覆盖较大电压摆幅的转换。对于所有其他电流水平变化，从一个设定点转换到另一个设定点只需对 V_{GS} 进行小幅校正，这意味着运算放大器的输出摆幅保持较小，压摆率并非限制因素。因此，压摆率仅在从零电流到满电流的转换期间成为关键约束因素。

$$SR_{effective} \approx \left(\frac{V_{ID}}{V_{linear_range}}\right) \times SR_{max}$$

此处 V_{ID} 表示漏源电压。由于在经过良好调节的环路中 $V_{ID} << V_{linear_range}$，因此 $SR_{effective}$ 仅为数据表 SR_{max} 的一部分。为确保运算放大器在此条件下满足上升时间要求，请选择数据表压摆率为 $SR_{required}$ 5 至 10 倍的器件，这样即使环路在线性微小信号区域工作时也能保持足够的输出变化率。要了解有关微小信号压摆率限制的更多信息，请参阅逐步了解压摆率

3.3.3 运算放大器输出电流

当 V2I 转换器从零输出电流转换到所需设定点时，运算放大器必须将 FET 栅极电容从 0V 充电至 V_{GS}（阈值）。这是唯一需要在短时间内提供大量栅极电荷的转换。对于所有其他电流水平变化（从一个设定点阶跃到另一个设定点），栅极电荷 ΔQ_G 的变化非常小，这意味着所需的栅极电流也非常小，即运算放大器输出电流并非限制因素。

为了确定在阈值时所需栅极电荷的最大运算放大器输出电流，需要从数据表获取 $Q_{G(th)}$。这是运算放大器必须提供的总电荷，用于使 FET 从完全关断达到开始导通的点，表示运算放大器输出端在最坏情况下的电荷需求。

关键的时序限制是，该电荷 $Q_{G(th)}$ 必须在 0.25 × T_{rise} 时间内输送完毕。原因很简单，在 $Q_{G(th)}$ 完全传输之前，FET 保持关断状态，没有输出电流流动。该设计只能容忍 FET 在一小部分目标上升时间内关断：如果时间较长，仅 FET 导通延迟会消耗很大一部分 T_{rise}，导致无法满足上升时间规格要求。为此阶段预留 0.25 × T_{rise} 的时间，确保剩余的 0.75 × T_{rise} 时间用于电流上升至最终值。因此，所需的运算放大器输出电流为：

$$I_{OUT(min)} = \frac{Q_{G(th)}}{(0.25 \times T_{rise})} \quad (8)$$

与压摆率一样，这种输出电流要求仅在从零到满电流转换期间至关重要。在 FET 导通且环路进行调节后，电流水平变化仅需增量栅极电荷，而运算放大器的输出电流需求将降至可忽略不计的水平。

4 基于设计的元件选型

4.1 T_{rise} = 100ns 的设计

4.1.1 FET 选择

应用先前确立的带宽与上升时间关系：

$$BW_{requirred} = \frac{0.35}{T_{rise}} = \frac{0.35}{100ns} = 3.5MHz$$

R_{damp} – C_{eff} 低通滤波器极必须高于该带宽：

$$f_{pole} = \frac{1}{2\pi \times R_{damp} \times C_{eff}} \geq 3.5MHz$$

English Document: STDA041
Copyright © 2026 Texas Instruments Incorporated

求解 C_{eff}：$C_{eff} \leqslant 9.09nF$

因此，对于此设计，FET 的有效输入电容必须低于 9.09nF。

1. 输入电容 (C_{iss})

   我们应考虑 C_{iss} 小于 9.1nF 的 FET；同时，考虑到电容变化对 g_m 的影响，我们必须选择 C_{iss} 小于 7.6nF 的 FET。

   根据 C_{iss} 标准和我们所需的电流规格，我们选择了 IQE013N04LM6CGSC (C_{iss} = 3.3nF)。
2. 顺从电压

   根据 IQE013N04LM6CGSC 数据表，最大电流要求将 $V_{GS(max)}$ 驱动至 3V。将这一要求与 FET 的输出特性对应，表明 FET 在电压高于 0.5V 至 0.6V 时在饱和状态下工作。对于我们 0.4V 的最低顺从电压规格，FET 在从欧姆区到饱和区的转换区域附近工作。将顺从电压增大至 0.7V 至 0.8V 可使 FET 保持饱和状态。
3. SOA

   该设计的目标是在 0.5V 最小顺从电压和 100µs 脉冲持续时间条件下实现 150A 输出电流。在 V_{DS} = 0.4V 时沿 100µs 边界读取 SOA 曲线，IQE013N04LM6CGSC 可支持远超过 100A 的工作点。该器件完全在安全区域内工作，并具有很大的裕度，这证实了 SOA 不会限制设计。

4.1.2 R_{sense} 选择

对于目标输出电流为 150A 的这一设计来说，检测电阻值必须保持较低，以更大限度地减少功率耗散。但是，电阻越低，产生的检测电压越小，这可能会影响检测精度。因此，2mΩ 电阻器可实现兼顾功率耗散与检测电压的平衡，在 150A 满量程时生成 300mV 检测电压（足以满足运算放大器的稳压需求），同时将功率耗散控制在实际可行的范围内。

4.1.3 运算放大器选择

4.1.3.1 带宽

所需最小运算放大器带宽由目标上升时间决定：

$$BW_{min} = \frac{0.35}{T_{rise}} = \frac{0.35}{100ns} = 3.5MHz$$

应用 3 倍至 4 倍裕度，得出的建议带宽为 5.95MHz 至 7MHz。500MHz 时 OPA690 的带宽超出该值 70 倍以上，因此带宽对于此设计而言并非限制性因素。

4.1.3.2 压摆率

在上升时间内将栅极摆动至 $V_{GS(desired)}$ 所需的最小压摆率：

$$SR_{min} = \frac{V_{GS}}{T_{rise}} = \frac{3V}{100ns} = 30V/\mu s \quad (9)$$

应用 5 倍至 10 倍裕度，得出的建议范围为 150V/µs 至 300V/µs。OPA690 提供 1,800V/µs，比最小值高 60 倍，远超建议范围。

4.1.3.3 输出电流

$$I_{OUT(min)} = \frac{Q_{G(th)}}{0.25 \times T_{rise}} = \frac{5nC}{0.25 \times 100ns} = 200mA \quad (10)$$

OPA690 提供 215mA 的最大输出电流。不过，鉴于带宽和压摆率裕度非常大，运算放大器响应足够快，因此实际上栅极充电能够在 25% 的导通延迟预算内全部完成。OPA690 满足 T_{rise} = 100ns 设计的所有三个选择标准。

OPA620 具有低失调电压、190V/µs 的压摆率、100MHz 带宽以及大于 250mA 的峰值电流，也是一个不错的选择。

Copyright © 2026 Texas Instruments Incorporated

元件参数	推导出的数学要求	所选元件	元件能力
运算放大器带宽要求	环路带宽 > 3.5MHz	OPA690（运算放大器）	500MHz
C_{iss} 引起的带宽限制	允许的最大 C_{iss} < 9090pF	IQE013N04LM6CGSC	3300pF
运算放大器输出电流	运算放大器 > 200mA	OPA690（运算放大器）	215mA
压摆率限制	压摆率 > 33V/µs	OPA690（运算放大器）	1800V/µs

English Document: STDA041
Copyright © 2026 Texas Instruments Incorporated

4.2 架构选择（快速参考）

CFA 可提供高频和基于脉冲的信号链所必需的高速和快速压摆率。但是，VFA 具有直流和低频设计所需的精度、准确度和低噪声，使其成为管理失调电压、漂移以及 CMRR 和可预测频率响应的理想选择。对于 100ns 上升时间，VFA 设计是一个理想选择。

表 4-1. 放大器架构比较

参数	电压反馈放大器 (VFA)	电流反馈放大器 (CFA)
1.输入阻抗	**对称。**两个输入引脚均表现为高阻抗。	**非对称。**同相引脚为高阻抗，但反相引脚为超低阻抗 $Z_{in+} \approx \text{High}, Z_{in-} \approx 10 \text{ to } 50\Omega$
2.带宽与增益	**权衡。**带宽与闭环增益 (A_V) 成反比，受增益带宽积的限制。 $BW = \frac{GBWP}{A_V}$	**独立。**带宽由物理反馈电阻 (R_F) 和内部电容 (C_C) 决定，忽略增益。 $BW \approx \frac{1}{2\pi \times R_F \times C_C}$
3.压摆率	**硬速度限制。**压摆率受为内部电容器 (C_C) 充电的固定内部尾电流 I_{tail} 限制。 $SR_{max} = \frac{I_{tail}}{C_C}$	**按需供电。**产生与输入阶跃大小 (V_{step}) 成比例的内部误差电流 (I_{error})，从而驱动巨大的动态压摆率。 $SR = \frac{I_{error}}{C_C} \approx \frac{V_{step}}{R_F \times C_C}$
4.直流偏移	**高精度。**对称输入级为匹配的偏置电流 (I_B) 和超低输入失调电压 (V_{OS}) 提供理想选择。	**较低精度。**非对称输入级本身就会受偏置电流不匹配的影响，从而产生更大的整体直流失调电压误差。
5.反馈电容器 (C_F)	**标准做法。**将电容器直接置于反馈环路上是限制带宽或构建低通滤波器的标准方法。 $f_{-3dB} = \frac{1}{2\pi \times R_F \times C_F}$	**严格禁止。**由于反相引脚为低阻抗，因此交流短路（高频时 $X_C \to 0$）会破坏环路稳定性，并立即引发剧烈振荡。

5 电路架构选择

5.1 单反馈方法

对于较小的 R_{damp}：

- 反馈环路中的相位滞后更小
- 环路带宽更高
- 瞬态响应更快

对于 $R_{damp} = 0$

- 由于产生的 LC 网络 Q 因子较高，因此会出现振铃现象
- 无论环路设计如何，电路都可能变得不稳定

方程式 11 计算 R_{damp} 的有效限值。

$$2 \times \sqrt{\frac{C_{eff}}{L_{gate}}} < R_{damp} < \frac{1}{2\pi \times BW \times C_{eff}} \tag{11}$$

在此计算中，L_{gate} 表示栅极驱动路径中的寄生电感。R_{damp} 选择为 5Ω 足以进行测量，因为栅极路径中没有欠阻尼和振荡，且 C_{eff} 的所有计算均基于 $R_{damp} = 5\Omega$ 进行。对于此设计，选择 R_{damp} 为 5Ω 是一个合理的方案。基于验证和仿真，可以进一步调整 R_{sense}。

English Document: STDA041
Copyright © 2026 Texas Instruments Incorporated

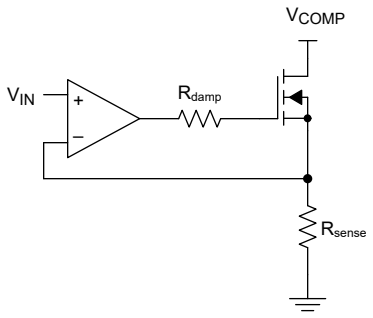


图 5-1. 带阻尼电阻的 VCCS

5.2 双反馈方法

如运算放大器稳定性理论和补偿方法中所详述，在双反馈架构中保持环路完整性需要精确控制 FB1 和 FB2 反馈路径。

- FB1 → 通过 R_{damp} 提供反馈（在低频时占主导地位，C_F 为开路）
- FB2 → 通过 C_F 提供反馈（在高频时占主导地位，C_F 为短路）

图 5-2 显示具有 R_{damp} 和 R_F 的双反馈电路。为保持稳定性，设计必须满足条件 $R_F >> R_{damp}$，确保反馈电阻远大于阻尼电阻。该关系受以下数学准则约束，另请参阅运算放大器稳定性理论和补偿方法

$$F_{fb1} = \frac{1}{2\pi \times R_{damp} \times C_{eff}} \quad (12)$$

$$F_{fb2} = \frac{1}{2\pi \times R_F \times C_F} \quad (13)$$

$$f_{CFB1} > f_{CFB2} \quad (14)$$

$$\frac{1}{2\pi \times R_{damp} \times C_{eff}} > \frac{1}{2\pi \times R_F \times C_F} \quad (15)$$

$$C_F > \frac{(R_{damp} \times C_{eff})}{R_F} \quad (16)$$

有效的实现依赖于谨慎选择元件，以在这些反馈阻抗与必要的阻尼要求之间取得平衡。

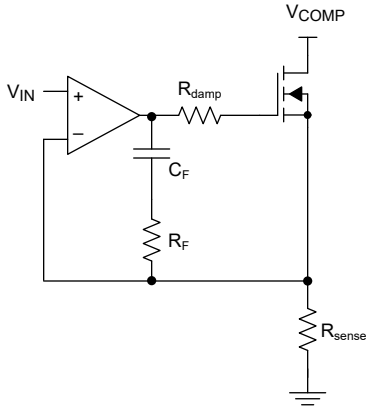


图 5-2. 具有双反馈的 VCCS

English Document: STDA041
Copyright © 2026 Texas Instruments Incorporated

5.3 增强型双反馈方法

R_{FX} 是在双反馈路径中添加、与 C_F 串联的额外电阻，如图 5-3 所示。R_{FX} 的主要用途是增加高频噪声增益。此配置使系统能够在较小的 C_F 下保持稳定，同时提供更快的反馈响应，并使输入和负载瞬态更快稳定下来。其代价是高频时的输出噪声增加。

R_{FX} 还提供可选的双反馈电路增强功能。将 R_{FX} 设置为 0Ω 会使电路恢复为标准 R_{damp} 双反馈拓扑，该拓扑可提供良好的稳定性。在 R_{damp} 双反馈拓扑中，R_F 不能为零，因为 R_{FX} 用作基本直流反馈电阻器，用于检测低频时的输出电压。如果没有 R_{FX}，电路将完全失去直流反馈路径，运算放大器输出将变得不受控制。因此，R_F 的作用是性能优化，但并非必需。

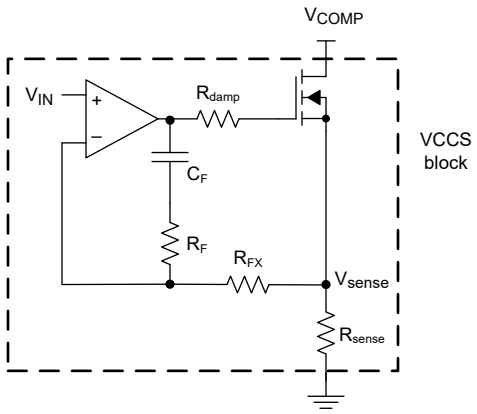


图 5-3. 具有增强型双反馈的 VCCS

6 结果

VCCS 设计通过仿真和硬件测试进行验证，以验证是否符合目标规格。图 6-1 展示了 100ns 输入斜坡的瞬态响应，由此产生 50A 脉冲输出电流。当 R_{sense} 为 2mΩ 时，检测电阻两端的稳态电压准确稳定在 100mV。

图 6-2 中进一步详细展示了高速性能，其中提供了上升时间的放大视图。该波形表现出超小的过冲和快速稳定，证实了阻尼电阻 R_{damp} 和双反馈架构在抑制寄生振荡方面的有效性。此外，图 6-3 中验证了该电路的高频能力，其中显示输出电流跟踪连续 20MHz 正弦波输入，展示了高带宽运算放大器在动态负载环境中的低失真性能。

Copyright © 2026 Texas Instruments Incorporated



图 6-1. 瞬态输出电流响应 T_{rise} = 100ns 且 I_{OUT}= 50A



图 6-2. 瞬态上升时间和稳定行为的详细视图

English Document: STDA041
Copyright © 2026 Texas Instruments Incorporated

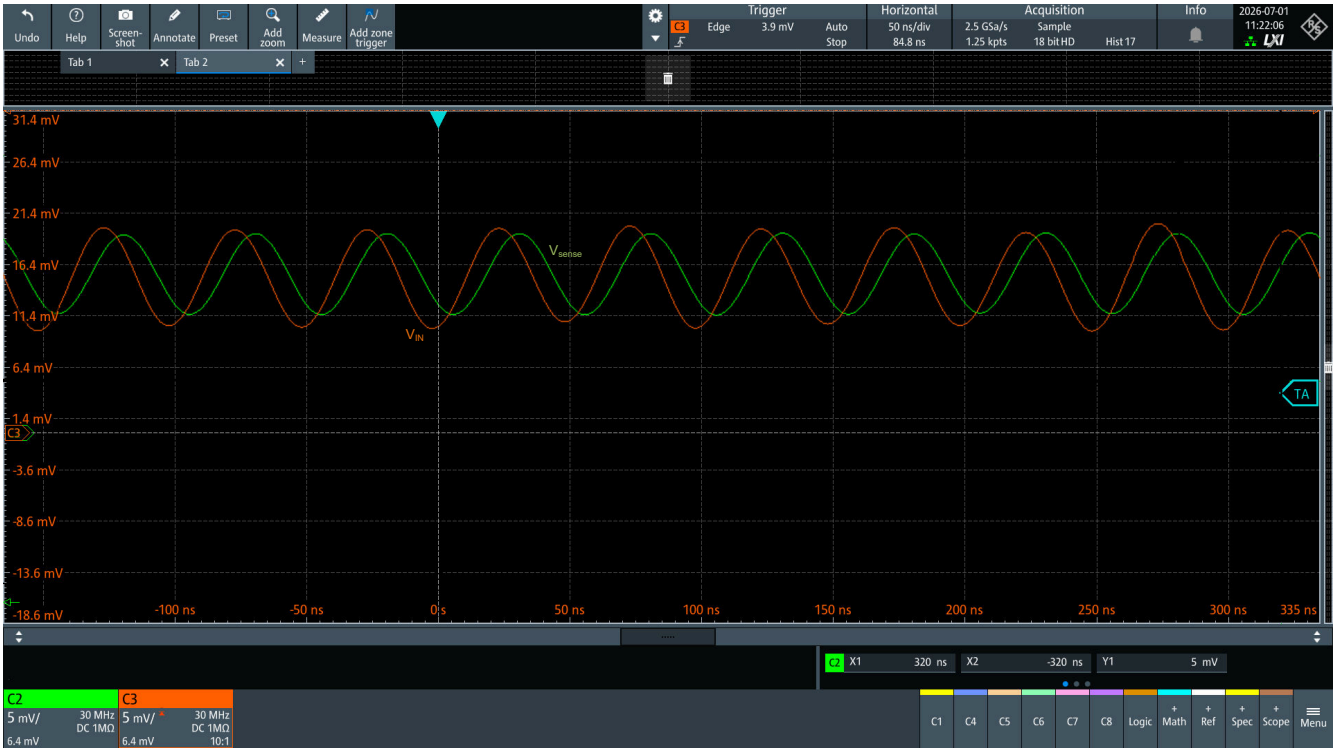


图 6-3. 高频输出电流响应（20MHz 正弦波）

要在保持快速上升时间 T_{rise} = 100ns 和 0.5V 顺从电压的同时实现超过 50A 的输出电流，可以并联多个 VCCS 块，如图 5-3 所示。对于需要更高电流和宽松瞬态要求 T_{rise} > 100ns 或更高顺从电压的应用，可以使用单个 VCCS 模块通过增大 V_{IN} 电压来实现 50A 以上的电流水平。

7 相关文档

- 德州仪器 (TI)，*OPA690 具有禁用功能的宽带电压反馈运算放大器* 数据表。
- 德州仪器 (TI)，*OPAx620 250MHz、高精度、轨到轨 I/O CMOS 运算放大器* 数据表。
- 德州仪器 (TI)，*运算放大器稳定性理论和补偿方法* 技术白皮书。
- 德州仪器 (TI)，*逐步了解压摆率* 应用手册。

Copyright © 2026 Texas Instruments Incorporated

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做出任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 TI 销售条款)、TI 通用质量指南 或 ti.com 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。 除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2026，德州仪器 (TI) 公司

最后更新日期：2025 年 10 月