



摘要

本白皮书全面分析了电磁干扰 (EMI) 这一现代电子系统设计和运行中的关键挑战。随着器件密度的增加和工作频率的升高，不必要的电磁干扰导致性能下降和系统故障的风险也随之增加。本研究首先对 EMI 的主要来源进行分类，区分了自然现象以及高速数字电路和开关电源等人为产生的发射。

此外，本文还评估了必要的缓解技术，包括应用屏蔽、滤波和接地策略来抑制或阻断干扰。本文特别关注印刷电路板 (PCB) 布局优化，例如尽量减小环路面积并保持阻抗受控，将其作为一项基础预防措施。最后，本研究概述了行业实践与合规标准，为工程师在复杂环境中保持电磁兼容性 (EMC) 提供一个系统化的框架。

内容

1 简介.....	1
电路中的电磁场是如何产生的？.....	1
近场和远场电磁场.....	4
2 电子设计中的常见 EMI 源.....	5
2.1 电阻器.....	5
2.2 电容器.....	5
2.3 电感器.....	6
2.4 分立式元件 EMI 注意事项总结.....	7
2.5 设计缺陷.....	7
2.6 MCU 特定的来源.....	9
2.7 其他常见来源.....	10
3 更大限度减少 EMI 和优化电路板性能的缓解技术.....	11
3.1 电源电容器选型与布置.....	11
3.2 电容器放置.....	12
3.3 层堆叠优化.....	14
3.4 布线.....	18
3.5 无源 π 型滤波.....	18
3.6 屏蔽、接地和电缆边界.....	20
3.7 瞬态和 ESD 电流路径.....	20
4 EMC 验证和故障排查.....	20
4.1 发射和抗扰度视为端口问题.....	20
4.2 预合规性测量工具套件.....	20
4.3 频率到结构的调试方法.....	21
4.4 解读常见频谱特征.....	21
4.5 集成设计审阅检查清单.....	21
5 结语.....	21

商标

所有商标均为其各自所有者的财产。

1 简介

电路中的电磁场是如何产生的？

导线、电路板走线或任何具有电感特性的元件电位发生任何变化，都会导致电路中感应出电压或电磁场 (EMF)。如果存在负载，该 EMF 就会产生电流。无论这种变化是如何产生的，都会生成电压，随后电流便会流经任何负载。这种变化可以通过改变磁场强度、使磁铁靠近或远离线圈、使线圈进入或离开磁场、使线圈相对于磁铁或磁

场旋转等方式产生。简单来说，任何 $\Delta V/\Delta t$ 都可能产生电磁力线。因此，只要电压发生移动、脉冲、纹波或任何形式的变化，就可以将其视为 EMF 的来源。

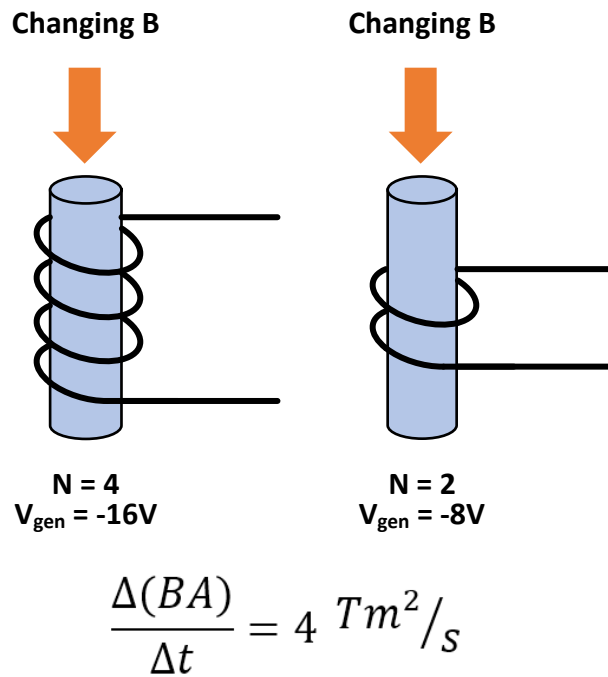


图 1-1. 磁通量变化感应产生的 EMF

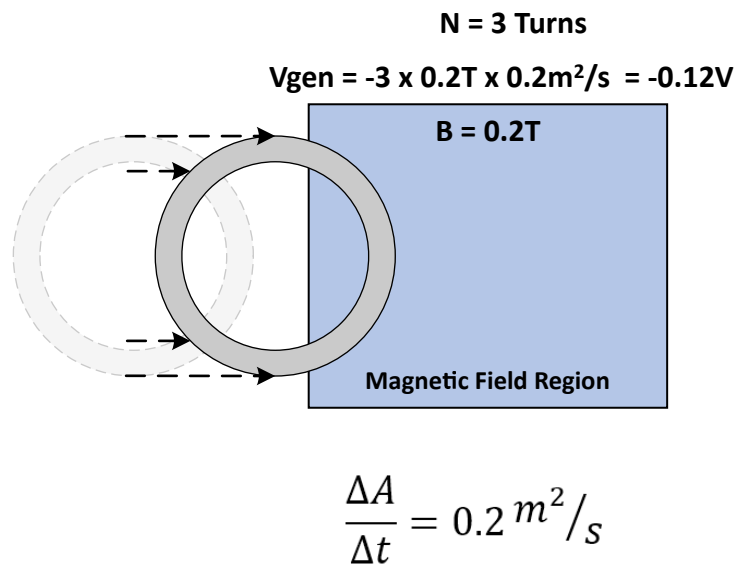


图 1-2. 环路面积变化感应产生的 EMF

$$N = 5 \text{ Turns} \quad A = 0.002 \text{ m}^2$$

$$V_{\text{gen}} = -5 \times 0.4 \text{ T/s} \times 0.002 \text{ m}^2/\text{s} = -0.004 \text{ V}$$

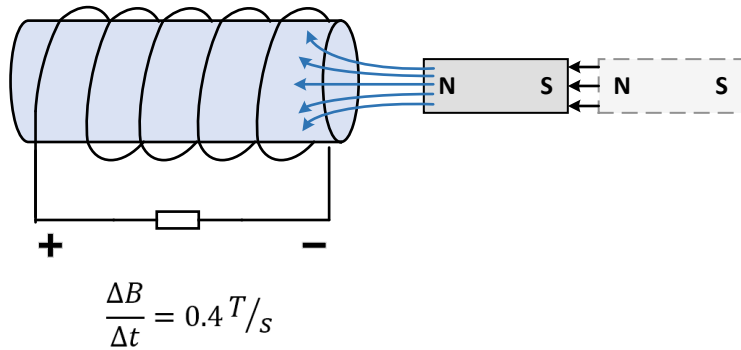
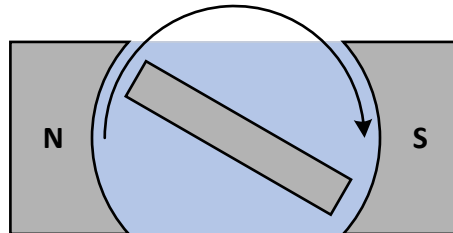


图 1-3. 磁铁与线圈相对运动感应产生的 EMF

$$N = 20 \text{ Turns}$$

$$V_{\text{gen}} = -20 \times 0.2 \text{ T} \times 0.2 \text{ m}^2/\text{s} = -0.8 \text{ V}$$



$$\frac{\Delta A}{\Delta t} = 0.2 \text{ m}^2/\text{s}$$

图 1-4. 线圈旋转感应产生的 EMF

原理图网络描述了连接关系，但并未显示实际的返回路径。每个信号电流都从源端流出，然后再回流到该源端。流出电流的走线与返回路径形成一个环路，其电感和磁场暴露程度会随着封闭面积的增大而增加。在高频下，电流会沿阻抗最小的路径流动，而这通常是指电感最小的路径，而不是直流电阻最小的路径。一种实用的思维模式是将其视为环路，而不仅仅是网络。信号走线中的流出电流与基准平面中的返回电流共同构成一个环路。该环路越小，并置度越高，暴露在外部的磁场就越小。同样的思路也适用于开关稳压器输入环路、栅极驱动环路、ESD 钳位环路、去耦环路以及电缆共模环路。

在低频下，返回电流往往会沿电阻路径扩散。在高频下，返回电流会集中在信号路径下方或附近，因为该路径会尽可能减小电感。如果基准平面连续，这种情况是有利的：流出电流和返回电流产生的磁场能够很好地相互抵消。如果平面被分割，返回电流就会被迫绕行，环路扩大，电路板可能因此产生辐射或易受外部磁场的影响。

上升时间通常比时钟频率更能起到预警作用。边沿时间为 500ps 的 10MHz 时钟可能包含延伸至数百 MHz 的显著谐波能量。对于 EMC 审查，应根据边沿速率估算最高的重要频谱成分，然后判断在该频率下，返回路径、过孔间距、外壳孔隙和电缆边界是否仍然较小。

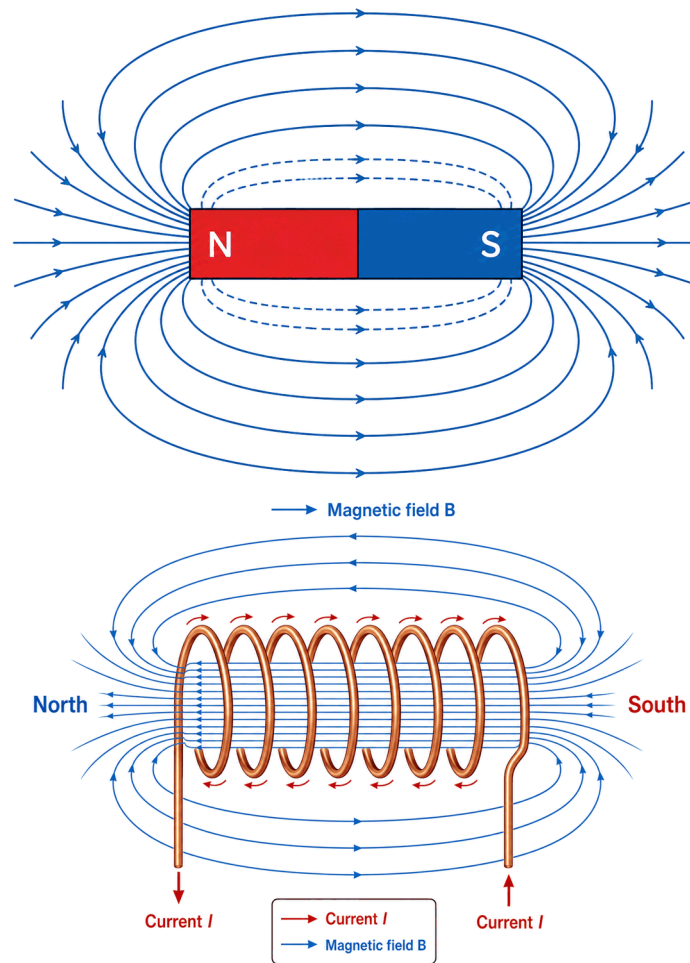


图 1-5. 电流变化感应产生的磁场

近场和远场电磁场

近场能量存储在源周围，主要是电场或磁场。远场能量以波的形式传播，其电场和磁场通过介质的波阻抗相关。这种过渡是渐进的，取决于源的大小、几何结构和观测距离。

随着频率的升高，波长会变短。在低频下电气尺寸较小的物理结构，在较高谐波下可能成为高效的谐振结构。

对于小型源，反应性近场的有效范围约为 $\lambda/(2 \times \pi)$ 。对于物理尺寸较大的天线，传统的远场标准还取决于最大源尺寸。这些边界都是用于指导探头选择的近似值：磁环探头适用于大电流环路附近，而电场探头在高 $\Delta V/\Delta t$ 节点附近响应强烈。

长度接近四分之一波长的导体可能成为高效谐振器，但由于共模电流会激励整个结构，电缆和外壳往往在电气长度小得多时就会产生辐射。实际问题不仅要考虑 PCB 走线是否达到四分之一波长，还要考虑是否有非预期电流到达相对于波长而言较大的结构。

表 1-1. 近场/远场发射注意事项

区域 模式	主要关注点	有用的诊断
电场近场	高 $\Delta V/\Delta t$ 节点和电容耦合	小型电场探头；减小开关节点面积
磁场近场	高 $\Delta i/\Delta t$ 环路和互感	屏蔽环路探头；更大限度地减小环路面积
远场	充当天线的结构	天线和屏蔽室内测试；识别共模电流

2 电子设计中的常见 EMI 源

2.1 电阻器

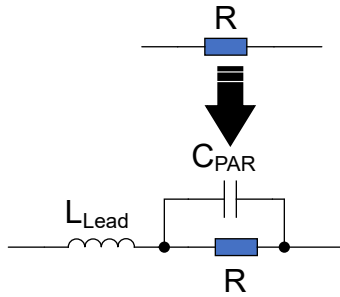


图 2-1. 电阻器寄生等效电路

在理想情况下，电阻器只有电阻。实际上，由于其物理结构，现实中的电阻器（尤其是在高频下）会表现为复杂的 RLC 电路。引线电感会随频率升高而增大阻抗，而并联电容最终会为电流提供一条绕过电阻元件的旁路。绕线电阻器可以有意设计成具有电感特性；薄膜和小型表面贴装几何形状通常更适合快速阻尼和端接。串联阻尼电阻器置于靠近驱动器的位置时效果最佳，这样电阻器就能在波进入传输线之前与源阻抗结合。下面介绍与电阻器相关的主要寄生元件，以及它们对给定电路的影响和重要性。

2.1.1 等效串联电感 (ESL)

原因：每个导体都有电感。在引线式（穿孔）电阻器中，较长的金属引线可充当电感器。在绕线电阻器中，盘绕的电阻线会产生很大的磁场。

影响：随着频率的增加，电阻器的阻抗会上升。这会使电阻器“扼流”高频信号。

缓解措施：使用表面贴装 (SMD) 元件（例如 0402 或 0603 封装），因为这类元件的引线长度几乎为零。

2.1.2 并联电容

原因：这是电阻器两个端子之间或绕线元件各匝之间的电容。

影响：在高频下，这会形成一条并联电流路径。高频能量会“绕过”该电阻，导致总阻抗下降。

结果：这可能会导致高速电路中出现不必要的振荡或相移。

2.1.3 对地寄生电容

原因：位于 PCB 接地平面上方的电阻器本体会形成一个小电容器。

影响：这可能会将高频信号泄漏到接地平面，从而导致信号完整性问题或 EMI。

2.2 电容器

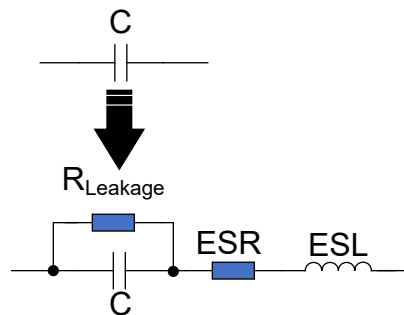


图 2-2. 电容器寄生等效电路

在理想情况下，电容器只提供电容。实际上，由于材料和结构的影响，实体电容器的表现类似于串联 RLC 电路，可将其模拟为与 ESR 和 ESL 串联的理想电容。低于自谐振频率时，容抗占主导地位。在谐振频率，ESR 会限制最小阻抗。高于谐振频率时，ESL 占主导地位，并且该器件的表现类似于电感器。

电容和电感行为平衡时会发生自谐振。实际安装谐振频率取决于完整的连接几何结构，而不仅仅是元件数据表。

多个电容值可以拓宽低阻抗范围，但它们与平面电感和过孔电感的相互作用可能会产生抗谐振峰值。如果电容放置在较远的位置或通过窄颈连接，那么较小的标称值不会自动成为更好的高频电容。下面介绍与电容器相关的主要寄生元件，以及它们对给定电路的影响和重要性。

2.2.1 等效串联电阻 (ESR)

原因：内部导电极板（电极）、引线 and 电介质损耗的总电阻。

影响：这是产生热量的主要来源。高 ESR 会降低去耦的效率。

意义：在电源中，高 ESR 可能导致电压纹波，并因热应力而造成元件过早失效。

2.2.2 等效串联电感 (ESL)

原因：由电容器的内部结构及其安装引线（或 SMD 端子）形成的物理环路。

影响：电感会阻碍高频电流。在极高频率下，电感会超过电容器导致的影响。

自谐振频率 (SRF)：这是 $X_L = X_C$ 时的频率。超过该频率后，电容器不再有效地滤除噪声。

2.2.3 漏电电阻

原因：没有任何电介质是完美的绝缘体。少量的电流会通过电介质在极板间“泄漏”。

影响：这将被模拟为与电容器并联并且非常大的电阻器。

意义：在电池供电电路或精密模拟电路（如采样保持电路）中，这一点至关重要，因为它会导致电容器随着时间的推移缓慢放电。

2.2.4 电介质吸收（吸收效应）

原因：电介质放电后仍会保留少量电荷。

影响：如果对电容器放电后将其静置，其端子上可能会“重新出现”微小电压。这可能导致高精度积分器或 ADC 电路中出现误差。

2.3 电感器

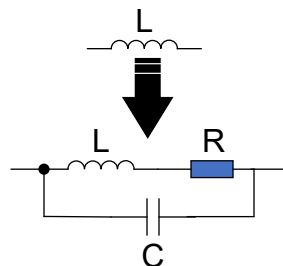


图 2-3. 电感器寄生等效电路

在理想情况下，电感器只提供电感。实际上，由于导线电阻和绕组之间的接近程度，实体电感器是一个复杂的 RLC 网络。

电感器的 DCR 会导致铜损耗，其绕组间电容会旁路高频能量，而其磁芯会引入与频率相关和振幅相关的损耗。高于自谐振时，该元件为容性。在较高的直流偏置下，增量电感可能会减小；接近饱和时，电感可能会骤降，导致快速电流上升，从而加剧功能应力和 EMI。

铁氧体磁珠是专门设计为具有损耗的电感器。铁氧体磁珠数据表中的阻抗通常在预期的抑制频带内包含较大的阻性元件。这种损耗会将射频能量转化为热量并抑制谐振，但还必须检查磁珠的直流偏置降额情况，以及与负载侧电容之间的相互作用。下面介绍与电感器相关的主要寄生元件，以及它们对给定电路的影响和重要性。

2.3.1 直流电阻 (DCR)

原因：这是用于缠绕电感器的铜线的实际物理电阻。

影响：DCR 是功率损耗和发热的主要原因。高 DCR 会降低电感器的效率，尤其是在电源中或导致显著压降的情况。

意义：DCR 会限制电感器在过热或导致显著压降之前能够承载的电流。

2.3.2 寄生电容

原因：也称为绕组间电容。由于导线的各匝之间被绝缘层（漆包层）隔开，因此绕组之间会形成数千个微型“平行板”电容器，从而产生寄生电容。

影响：在高频时，该电容会为电流提供一条“旁路”路径，使高频噪声能够完全绕过电感。自谐振频率 (SRF)：这是感抗等于容抗的点。高于 SRF 时，电感器的表现类似于电容器。

自谐振频率 (SRF)：这是感抗等于容抗的点。高于 SRF 时，电感器的表现类似于电容器。

2.3.3 磁芯损耗 (磁寄生效应)

如果电感器有物理磁芯（铁氧体、铁粉等），则该电感器还会引入两种额外的非理想行为：

磁滞损耗：磁芯中的磁畴随交流信号来回翻转时，能量以热量形式损耗。

涡流损耗：在导电磁芯材料内部感应产生的微小循环电流，从而产生额外的热量。

磁饱和：虽然磁饱和并非一种“组成部分”，但它是一种寄生行为，指磁芯无法再容纳更多磁通量的状态。磁芯最终会达到某一磁通量水平，超过该水平后，增量电感将急剧下降。此时，电感会急剧下降，而电流的快速增加可能会导致巨大的电流尖峰。

2.4 分立式元件 EMI 注意事项总结

EMI 源可分为元件非理想特性、PCB 几何结构、开关器件、数字接口、电缆和外壳，以及外部干扰。这些类别之间会相互影响：快速 MCU 边沿会激励封装电感，由此产生的振铃会通过连接器不平衡进入电缆，随后电缆便会成为主天线。

实际元件是频率相关型网络。原理图上标注的数值仅为低频参数。封装几何结构、内部构造、安装焊盘、过孔和邻近平面都会增加电感、电容和损耗。因此，元件选型需要参考阻抗与频率间关系的数据，而不能仅依据标称值。

表 2-1. 分立式元件寄生效应和 EMI 注意事项总结

元件	主要非理想特性	对 EMI 的影响	选型问题
电阻器	引线或封装电感；端子电容和本体电容	阻抗先上升，然后可能因电容旁路 R 而下降	该器件是否在相关频率下非感性且有效？
电容器	ESR、ESL、漏电流、电介质损耗	高于自谐振时去耦合变为感性	在实际噪声频率和安装几何结构下，阻抗是多少？
电感器	DCR、绕组间电容、磁芯损耗、饱和	高于 SRF 或在偏置条件下，滤波性能会急剧下降	在直流偏置和频率下，电感是否仍然足够？

2.5 设计缺陷

- 不良电源输入配置：电源布线具有电阻和电感。瞬态负载电流会产生 IR 压降和电感电压。如果配电网络无法在本地提供电流，则电源轨干扰会通过共享阻抗传播并调制其他电路。同一事件在时间域中显示为电源完整性噪声，在频域中显示为传导/辐射 EMI。产生的干扰包含一个与电流成正比的电阻分量和一个由电流变化速度驱动的电感分量。在快速边沿上，电感项可能占主导地位。当有噪声的数字或电机电流使用与 ADC 基准、振荡器、收发器或电缆屏蔽相同的返回颈时，共享阻抗尤其具有破坏性。由此产生的电压并不是抽象意义上的“接地噪声”，而是已知电流通过有限阻抗时所产生的电压。

在布线两端添加电容器有助于减小射频发射的振幅，同时降低布线阻抗，从而减小布线上的压降并降低振幅。考虑采用微带或带状线技术来控制承载时钟信号的布线阻抗，从而更最大限度地减少辐射。

- **接地不良：**接地是一个网络，而不是等电位符号。在射频下，平面扩散电感、过孔、连接器和机箱键合会产生电压差。实心参考平面通常可提高信号完整性和 EMC，因为它支持紧凑的返回路径。在快速信号下拆分平面会强制电流围绕分割点、增大环路面积，并且通常会产生共模电压。
 - 在对铜进行分区之前，通过放置和电流对电路进行分区。
 - 将噪声电流保持在其源和负载本地；请勿将电流路由到安静的基准区域。
 - 在电流扩散到数字接地之前，将屏蔽电流连接到预期的机箱或边界路径。

接地平面设计不当或过长的高阻抗返回路径是传导和辐射 EMI 的主要原因。PCB 电路中的电流必须在某个点返回到源或电源。接地端还可能表现出与电源正布线相似的特性，并意外辐射。创建一个良好的接地平面来对布线的 EMF 进行电容耦合，有助于防止它们辐射。

- **较大的环路区域：**每个信号都与其返回路径形成一个环路；较大的环路作为更高效的天线，从而加强磁场和发射。对于电气小环路，磁偶极强度会随着环路面积和电流的增加而增加。因此，缩小面积是开关稳压器输入环路、栅极环路、ESD 放电环路、电机换向环路和高速信号返回环路的一阶控制。紧凑的环路也具有较低的电感，可减少过冲和可用于激励谐振的能量。
- **PCB 布线：**当传播延迟与边沿时间相比不再可忽略不计时，必须将布线视为传输线。确切的阈值取决于可接受的误差，但一个常见的设计筛选标准是将单向飞行时间与上升时间的大约六分之一进行比较。一旦分布式行为变得重要，无论时钟频率如何，阻抗不匹配都会产生反射。

反射波的极性和大小取决于负载阻抗、源阻抗和线路阻抗之间的关系。良好的端接可控制这种关系，并防止能量沿互连反复交换。

当导体的长度接近其传输电流频率所对应波长的四分之一或四分之一波长的奇数倍时，该导体能有效地以远场辐射的形式发射电磁能量。当这些导体或布线连接到数据总线、时钟线路或通信线路等较长线路时，会成为传输线路。当瞬态电流在这些传输线路上流动时。

当导体的长度接近其传输电流频率所对应波长的四分之一或四分之一波长的奇数倍时，该导体能有效地以远场辐射的形式发射电磁能量。当这些导体或布线连接到数据总线、时钟线路或通信线路等较长线路时，会成为传输线路。当瞬态电流在这些传输线路和布线上流动时，这些电流会充当高效天线，辐射高频电磁波。如果此类传输线路末端接，则辐射频谱显示最大峰值电压。阻抗不匹配会导致传输线路或布线上出现最大电流，从而使辐射发射达到最大。

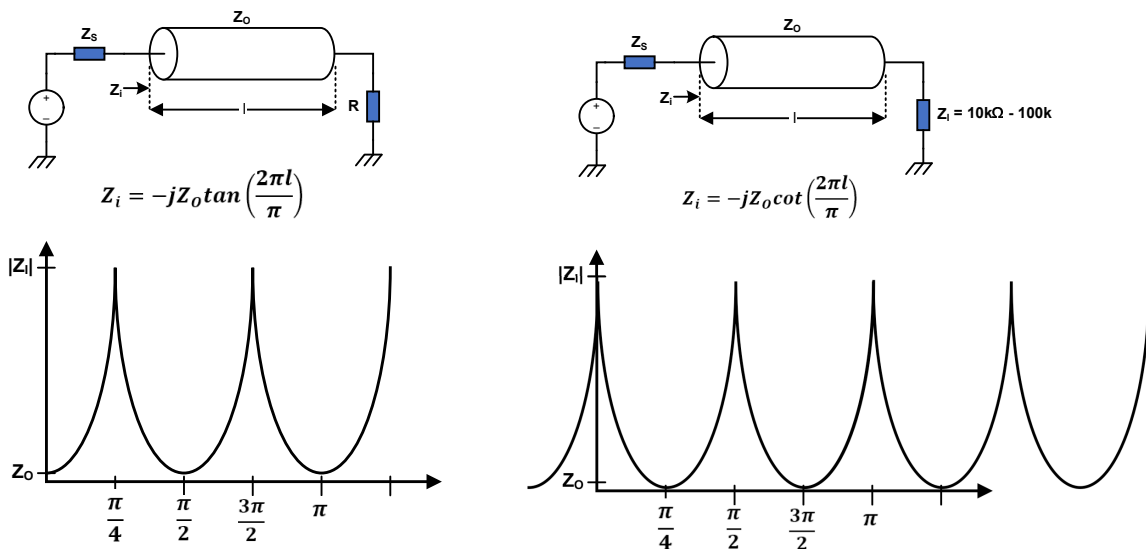


图 2-4. 匹配和不匹配端接阻抗的传输线路模型

2.6 MCU 特定的来源

2.6.1 时钟电路和振荡器

时钟电路和振荡器通常是宽带噪声的主要产生源。具有快速上升和下降时间的高频时钟信号会产生谐波干扰，该干扰可达数百 MHz。时钟树持续切换，并可在整个系统中同步噪声。晶体引脚是高阻抗模拟节点，即使这些引脚在内部生成数字时钟。长布线、探测电容或在干扰源附近布线会干扰振荡并增加辐射。使晶体环路保持紧凑、维持基准，并使不相关的铜线和快速信号远离。

当来自 MCU 的数字信号上升和下降时，它们会产生电流波动，如果没有适当地考虑， dV/dT 则会显示为辐射发射源。

数字波形包含基本重复频率，以及由其有限上升和下降时间产生的谐波。时钟频率可预测谐波间隔；边沿速率可预测重要能量的延伸程度。因此，具有亚纳秒级边沿的低频时钟可能会在数百兆赫时出现故障。

随着上升时间变得更短，有意义的频谱能量会扩展到更高的频率。因此，与仅考虑时钟重复率相比，边沿速率可提供更好的 EMC 带宽初始估算值。

振铃会增加由寄生电感和电容设置的单独谐振频率。每个边沿激发共振；阻尼确定其持续时间。即使逻辑数据速率低得多，测量的频谱也会在振铃频率及其混合产物下显示窄峰。振铃频率大致由驱动器、封装、互连、接收器和探头的有效电感和电容决定。初始过冲会正向偏置保护结构或产生基板电流。重复振铃会增加频谱成分，并可能将能量推入电缆或外壳的谐振频率。当有效电感或电容减小时，振铃频率会上升。阻尼控制每次转换后振荡衰减的速度。

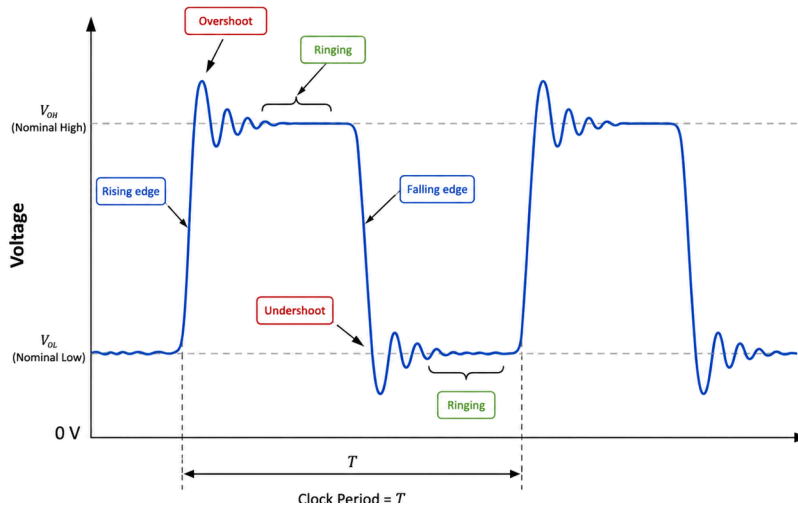


图 2-5. 数字信号振铃成分和寄生振铃

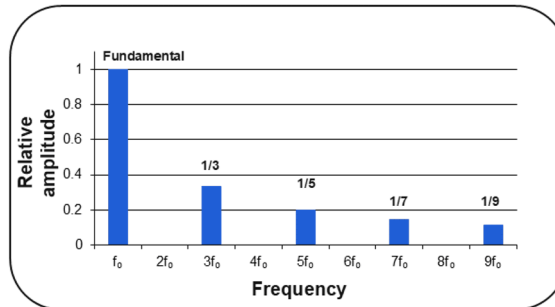


图 2-6. 数字信号的发射频率和相对振幅

对于方波或数字时钟信号，在电平从高到低以及从低到高的转换过程中伴随振铃时，通常可能涉及 11 个频率成分：

1. 导通时间的周期

2. 上升时间
3. 第一个振铃成分的下降时间
4. 第二个振铃的周期
5. 方波的总周期
6. 下降时间
7. 关断时间的周期
8. 第二个振铃的周期
9. 每个振铃成分的上升和下降
10. 振铃的衰减频率成分
11. 每个振铃成分的上升和下降衰减时间

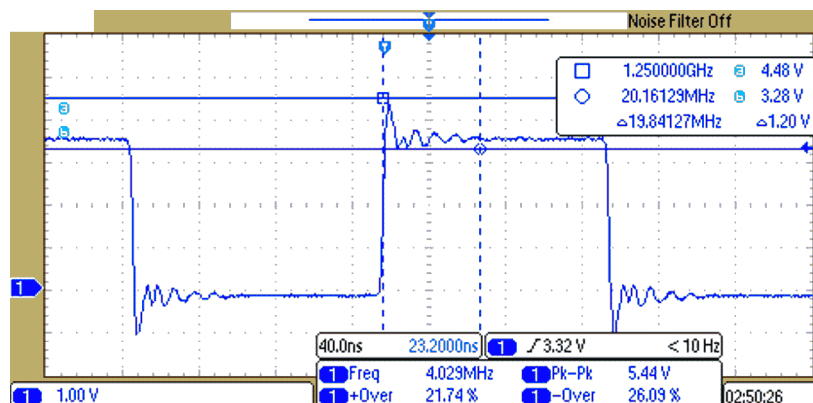


图 2-7. 具有较高频率振铃成分的时钟输出

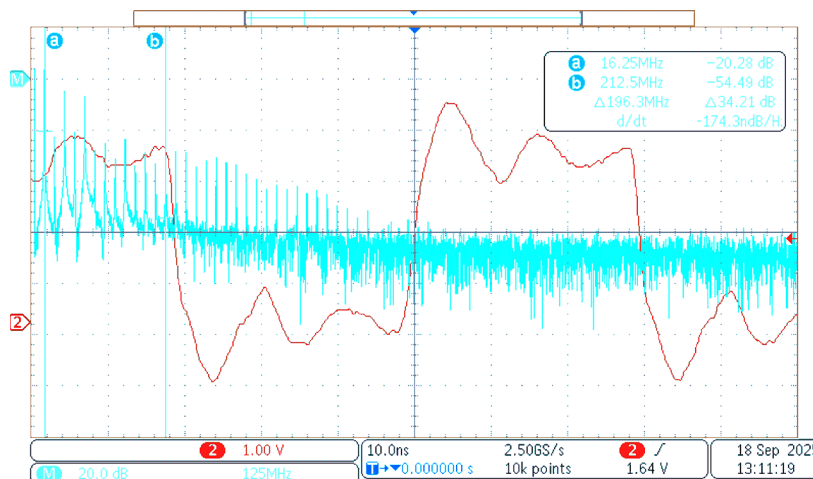


图 2-8. 具有叠加频域峰值的数字时钟信号

2.7 其他常见来源

2.7.1 高速数字总线

外部存储器接口（如 SDRAM）以及数据或地址总线涉及多条线路上的连续转换，这会成为显著的噪声源。并行总线会产生同步开关输出电流。封装和平面电感会将该电流阶跃转换为电源轨反弹。字节通道时序偏斜、驱动强度、片上端接和回流路径连续性都会影响数据眼图质量和发射。串行总线减少了引脚数，但会将能量转移到更高的频率；在这种情况下，连接器和过孔不对称变得更加重要。

2.7.2 I/O 输出切换

GPIO 引脚的快速切换会产生电流尖峰。切换时间越短（边沿越快），噪声频谱越丰富。未使用的性能裕度往往会成为 EMI 隐患。较短的本地网通常不需要超大驱动强度和超快转换率。串联阻尼、较低驱动、较短布线和紧密的基准返回路径可降低每次切换发射的能量。

2.7.3 悬空元件

散热器、支架或未使用的 IC 引脚等未连接金属物体可充当天线；如果未正确接地，则会产生辐射干扰。散热器、屏蔽罩、安装支架、电缆引流线或未使用的铜岛都可以通过寄生电容获取射频电压。如果未使用的引脚缺少低阻抗射频连接，该引脚可能会产生共振并再次发出辐射。直流连续性检查还不够：长引线连接可以是良好的直流接地，但却是较差的射频接地。当结构要保持在机箱电位时，请使用短而宽的连接或多个连接点。

2.7.4 外部环境源

外部环境源：当外部电磁能量耦合到易受影响的端口并转化为功能干扰时，就会成为问题。电机和继电器会产生感性瞬态；无线电发射器会产生连续射频场；静电放电会注入快速电流；而布线间串扰则会在局部耦合能量。易感性取决于带宽、解调射频的非线性结、保护路径、固件恢复，以及注入电流的实际路线。

- **机电设备：**电机、泵和继电器等大电流负载会产生显著的瞬态噪声和磁场耦合。
- **通信发射器：**附近的手机、Wi-Fi 路由器和无线电台（电视、业余无线电等）会发射射频能量，这些能量可能会被未屏蔽的 MCU 布线拾取。
- **串扰：**间距过近的 PCB 布线可能会通过感性或容性耦合相互干扰，其中一个信号（“干扰源”）会干扰另一个信号（“受扰信号”）。
- **自然现象：**雷击、静电放电 (ESD) 或太阳耀斑等虽偶发但强度极高的干扰，可能会超出保护系统的承受能力。

表 2-2. 环境 EMI 故障排除

干扰	主要耦合路径	典型症状	首要控制措施
电机或继电器瞬态	共用电源或接地；磁环路	复位、ADC 误差、接口故障	局部抑制和分离电流环路
附近的射频发射器	电缆或走线共模；外壳孔隙	解调噪声或间歇性异常	边界滤波、屏蔽、平衡布线
串扰	互电容与互感	伪边沿、时序抖动、模拟误差	间距、基准连续性、降低边沿速率
ESD 类型事件	直接注入或电容性注入；机箱电流	门锁、复位、永久性损坏	通往边界或机箱的短保护路径

3 更大限度减少 EMI 和优化电路板性能的缓解技术

有效缓解措施应遵循电流路径。首先降低源端能量，然后限制局部环路，保留返回路径，在边界处进行滤波，并防止大型结构承载共模电流。屏蔽和铁氧体虽然有用，但无法完全补偿物理尺寸较大的源环路或返回不连续性。

要缓解或大幅降低由这种数字信号振铃导致的发射，一种方法是分析连接到 VDD 线路的电容器，以观察其随频率变化的阻抗特性。此处的关键在于频率。设计缺陷通常很容易解决，通过了解设计的潜在 EMI 来源，并实施更改来减少或消除发射，即可加以缓解。在以下各节中，我们将重点介绍一些常见的 PCB 设计问题，以及用于优化设计的缓解技术。

3.1 电源电容器选型与布置

电源完整性和 EMI 本质上是同一个问题，只是从不同角度看待而已。高频下发生波动的电源轨会迫使返回电流通过非预期路径，并可调制 I/O 阈值、ADC 基准、振荡器边沿和电缆屏蔽层。去耦是局部能量通路，可防止瞬态电流扩散到整个电路板。

要缓解或大幅降低由这种数字信号振铃导致的发射，一种方法是分析连接到 VDD 线路的电容器，以观察其随频率变化的阻抗特性。此处的关键在于频率。设计缺陷通常很容易解决，也可加以缓解。

选择电容器（遵循器件推荐值）时，需要考虑的一个关键参数是电容器的 ESR。从下方的阻抗与频率间的关系图中可以看出，阻抗存在一个低点，即阻抗在某一频率处达到最小值，这是理想的情况，因为我们希望更大限度地减小高阻抗值引起的任何压降。根据干扰频带内的安装阻抗选择去耦方案。ESR 会产生阻尼并设定最小阻抗；ESL 则设定高频限制。封装尺寸、方向、焊盘长度、过孔数量以及与 IC 的距离的重要性可能不亚于标称电容值。

- 以器件推荐的电容值作为起点，然后根据边沿速率和实测振铃隐含的频率评估阻抗。
- 请勿假设三值电容器堆叠始终优于其他电容器。检查组合网络产生的抗谐振峰值。

- 估算有效电容时，应考虑直流偏置降额、温度、容差和介质老化等因素。

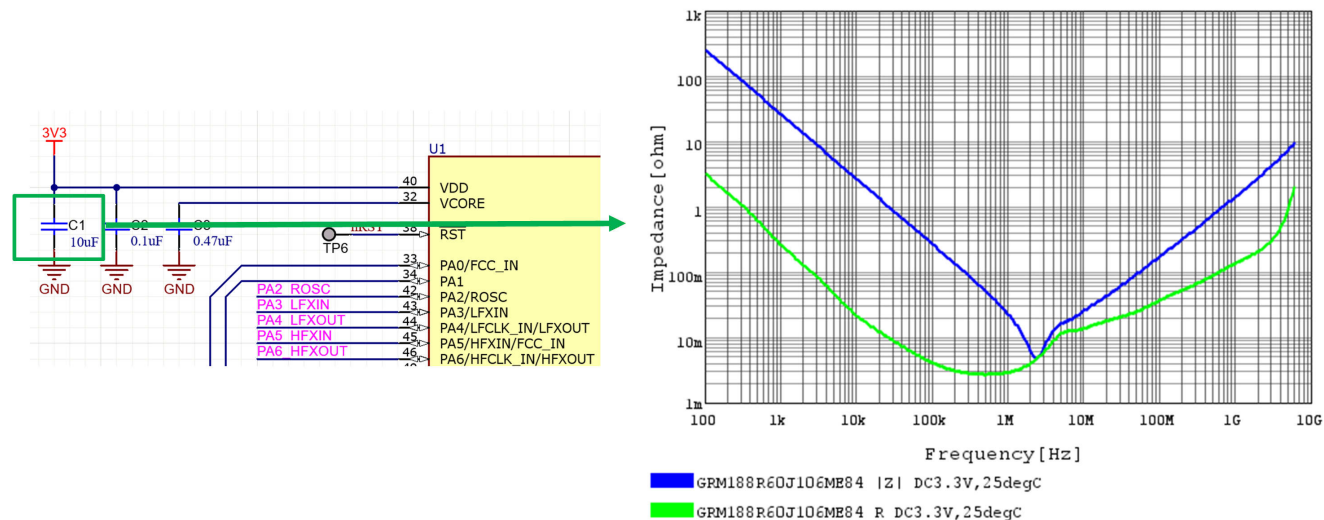


图 3-1. 10 μF 电源电容器 ESR 阻抗与频率间的关系

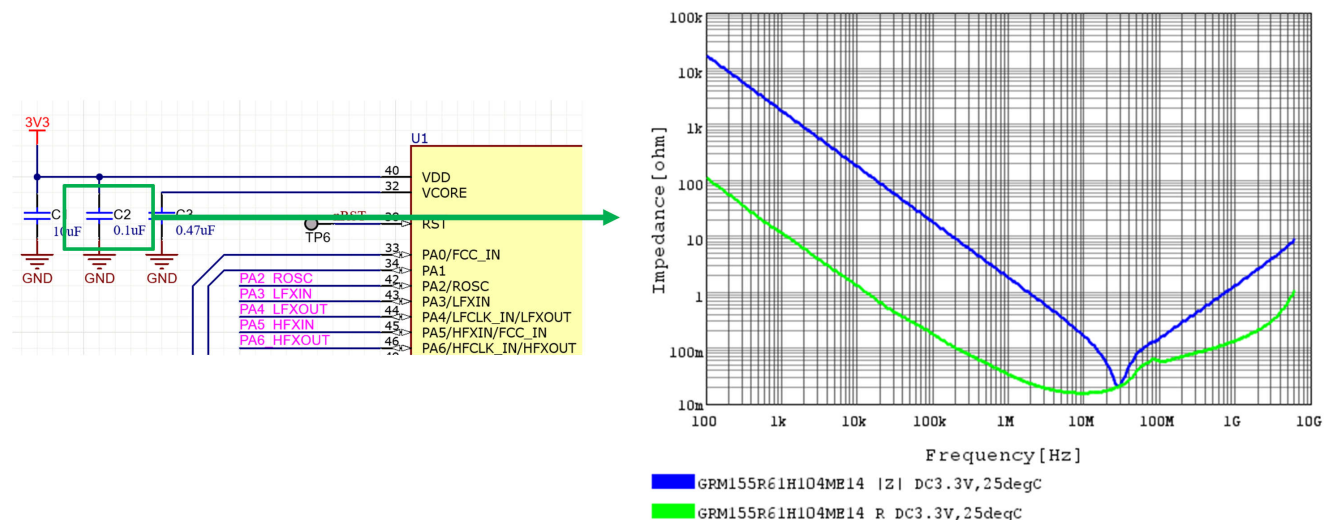


图 3-2. 0.1 μF 电源电容器 ESR 阻抗与频率间的关系

去耦电容并不能单独“吸收噪声”。该电容器提供了一条较短的本地电流路径。去耦电容器的 EMC 值取决于从 IC 电源引脚经过电容器再回到 IC 接地引脚的整个环路。

3.2 电容器放置

另一个经常被忽视的优化因素是电容器的放置。图 3-3 中所示的优选放置方案具有三个电容器，其中值最低的电容器应尽可能靠近器件引脚，以降低寄生电阻并滤除更高频率的噪声。

每个电容器的接地连接都通过过孔连接到接地平面层，电容器的焊盘与过孔之间的布线非常短。这样做是为了更大限度地减小环路电感并抑制噪声，这些噪声可能是由可用作 EM 辐射器的较大环路导致。目标阻抗将瞬态要求转变为设计指标。如果负载电流变化为 ΔI ，允许的电源轨电压偏差为 ΔV ，则在相关带宽内，电源分配网络的阻抗必须保持低于 $\Delta V / \Delta I$ 。

将允许的电源轨电压偏差除以预期负载电流阶跃，可获得目标阻抗。在瞬态带宽内，PDN 的阻抗必须保持低于目标阻抗。

频率最高的电容必须尽可能靠近支持的引脚，并采用短而宽的连接，且电源和接地过孔必须相邻。大容量电容支持较慢的能量需求；局部小型封装电容支持快速边沿电流。嵌入式封装电容及紧密间隔的电源平面和接地平面可将响应扩展到更高的频率。

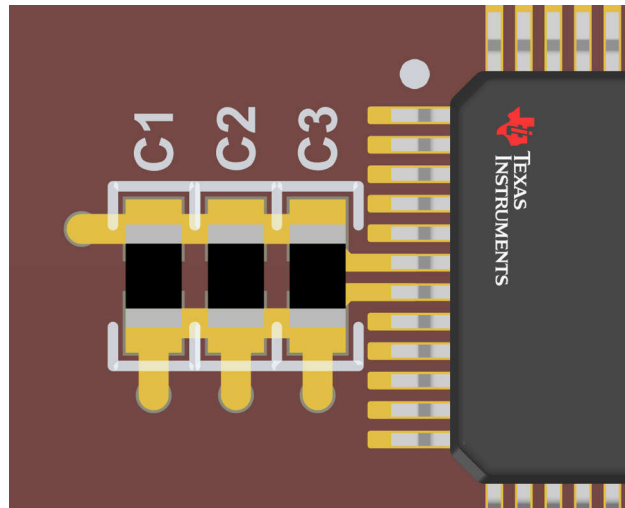


图 3-3. VIN 电容器放置示例布局

表 3-1. 电容器放置注意事项和 EMI 结果

放置选择	电气效应	EMI 结果
电容器放置在引脚旁，且过孔相邻	环路较小且安装的 ESL 较低	局部瞬态电流；减少平面激励
电容器通过长颈连接	增加的电感可在高频下隔离电容	电源轨反弹会扩散并激励共模电流
高噪声负载和低噪声负载共用狭窄的回流路径	共用阻抗将电流转换为电压	基准调制和跨域耦合
仅大容量电容器	低频能量良好，边缘响应较差	快速电流仍会穿过电路板

以下是去耦布局规则的总结：

- 将最小值、最高频率的电容器放在最靠近其所支持 IC 电源和接地引脚的位置。
- 为每个高速 IC 提供局部电源和接地过孔。避免在到达平面之前布线穿过长颈。
- 当电容器提供平面对引脚电流时，应将接地过孔直接放置在电容器接地焊盘旁，并将电源过孔直接放置在电容器电源焊盘旁。
- 只有在电容器的放置和寄生参数受到控制时，才使用多个电容值。在几十兆赫兹以上的频率范围内，放置不当的电容可能无关紧要。
- 不要在噪声较大的负载和敏感模拟基准之间共用一个窄接地回路。共用阻抗会将电流转换为电压噪声。

大容量电容器可支持低频负载变化并防止电源轨压降，但不能取代紧密的高频旁路。在封装和过孔范围内，ESL 通常起主导作用。因此，对于边沿电流，一个靠近的 100nF 电容器可能性能优于放在几厘米之外的大容量电容。

开关功率级应进行特殊处理，因为它们结合了快速电压边沿、大电流、磁场和非线性器件。大多数稳压器 EMI 问题都源自几种覆铜形状：开关节点、热输入环路、栅极驱动环路和二极管/同步整流器环路。过孔拼接有助于限制磁场，但无法补偿较大的开关环路或像装饰标识那样覆铜的开关节点。

开关功率级将高 dv/dt 、高 di/dt 、非线性器件和磁性元件组合在一起，因此确定每种开关状态的换向环路非常重要。优先级最高的环路通常是输入陶瓷电容器经开关器件再回流到电容器的环路。开关节点是高 dv/dt 电场源；输入和整流器环路是高 di/dt 磁场源。

- 将输入陶瓷电容器直接跨接在功率级电源引脚和回流引脚之间。
- 保持开关节点覆铜面积不大于电流和热性能所需面积。
- 将反馈和电流检测远离开关节点和电感器布线；在适当的情况下使用低噪声开尔文温度检测。
- 使电机电流和循回路径远离逻辑电路和 ADC 回流电路。
- 仅在识别谐振元件并验证器件应力后，才可使用缓冲器或栅极电阻调优。
- 尽可能缩短从输入电容器到开关器件再回流的高 di/dt 输入环路。将输入电容器直接放置在功率级引脚上。

- 在热性能和电流要求允许的情况下，尽可能缩小开关节点覆铜面积。请勿在开关节点下方或节点旁布设低噪声走线。
- 当有助于将局部接地覆铜连接到基准平面并限制磁场时，可在转换器区域周围使用接地过孔壁。
- 使反馈远离开关节点和电感器。应在预期的稳压点检测输出电压，而不是通过噪声较大的功率路径进行检测。
- 对于电机驱动器，应将电源电流环路与控制环路和检测环路分开。确保电源接地区域拼接良好，但避免将电机电流注入逻辑/ADC 回路。

3.3 层堆叠优化

层堆叠对 PCB 的 EMI 性能起到重要作用。一个重要的考虑因素是，高速信号布设在哪一层，以及该层相对于接地层的位置。通过将高速信号布设在紧邻完整接地平面的平面上，可以缩短返回路径，并将磁场限制在局部区域内。

良好的堆叠结构应使每个高速信号层都紧邻一个连续的基准平面。较薄的电介质间距可以加强场耦合、降低环路电感，并减少到达电路板边缘的场。与四层电路板相比，六层电路板提供了更多实现信号与地紧密耦合的机会，但仅靠层数并不能保证 EMC 性能：平面连续性和实际布线才是决定性因素。

表 3-2. 最佳堆叠的特征和注意事项

特征	作用	不存在时的失效模式
连续接地基准	提供紧凑的高频返回路径	绕行、环路扩展、共模转换
较薄的信号到平面电介质	更密集的场和更低的环路电感	更大边缘场以及与其他结构更强的耦合
电源平面与接地平面相邻	增加分布式平面电容	更高的 PDN 阻抗和更宽的电流传输
不会在空隙上方进行快速布线	保留局部返回路径	反射、串扰和辐射

小心

平面分割经常被过度使用。对于混合信号电路板，通过物理分区并在一个完整接地平面上进行规范的电流布线，通常比在高速信号下切割基准平面更为安全。

通常，任何信号和信号返回路径都会形成一个环路。随着这个环路尺寸的增大，由此产生的辐射干扰也会随之增强。因此，更大限度地减少这些环路对于 EMI 敏感型设计变得非常重要。在进行 EMI 优化设计时，通常优先选用六层电路板，因为这样可以在 PCB 的顶层和底层下方分别设置返回基准接地平面，从而显著减少环路：这不仅是因为接地平面靠近外层，还因为存在额外的内层，使接地平面更靠近外层。这种连续的接地平面可提供直接且低电感的返回路径，将场限制在顶层与第二层之间。图 3-4 展示了适用于 EMI 敏感型设计的良好六层电路板堆叠结构。这可确保每个信号平面始终具有相邻的 GND 平面。

	Top Overlay
	Top Solder
1	Top Layer
	Dielectric 1
2	Ground Return Plane 1
	Dielectric 2
3	Signals and Power 1
	Dielectric3
4	Signals and Power 2
	Dielectric 4
5	Ground Return Plane 2
	Dielectric 5
6	Bottom Layer
	Bottom Solder
	Bottom Overlay

图 3-4. 6 层 PCB 堆叠示例

实用的四层布置通常采用外层作为信号层/元件层，内层作为接地层和电源层。由于无法让每个信号层都有相邻的 GND 平面（假设两个内层均并非完整的 GND 平面），因此应在顶层和底层铺设接地覆铜，并通过足够的过孔进行拼接。确保这些接地覆铜上的过孔拼接足够密集，以减轻平面连接不良的问题，因为在这种情况下，平面可能充当天线，产生更多不必要的 EMI。接地平面和电源平面为内层，因此在没有相邻接地平面的层上，建议使用保护走线并保持信号/回流对的紧密耦合，以减少潜在的 EMI 问题。远离接地的外层需要谨慎铺设接地覆铜、进行过孔拼接，并遵守布线规范。无论哪种情况，都请勿将高速信号布线到被反焊盘区域、槽缝或禁布区中断的最近平面。

- 最好将高速微带线布设在最近的完整接地平面上方，或将带状线布设在两个完整的基准平面之间。
- 仅在其连接良好时才使用接地覆铜；悬空或松散拼接的铜箔可能会产生谐振。
- 应将连接器区域视为边界结构，并明确规划返回路径和屏蔽电流路径。

	Top Overlay
	Top Solder
1	Top Layer
	Dielectric 1
2	Ground Return Plane
	Dielectric2
3	Signal And Power
	Dielectric 3
4	Bottom Layer
	Bottom Solder
	Bottom Overlay

图 3-5. 4 层 PCB 堆叠示例

接地保护走线可减少电场耦合并提供附近的返回路径，但前提是其连接到布设足够密集过孔的低阻抗基准平面。否则，它可能成为谐振导体。过孔栅用于连接基准铜层，并减少电路板边缘、噪声区域、射频结构、孔隙以及连接器边界处的边缘场泄漏。

一个常见的起始准则是，拼接过孔间距应远小于最高关注频率对应的导波波长。实际间距还必须考虑源几何结构和边界处所需的连续性。

波长规则只是一个起点，并非适用于所有情况的最佳方案。过孔栅必须靠近场源或边界，连接到无噪声基准平面，且不应存在较长的间隙。远离实际电流路径的密集过孔只会增加成本，而无法修复电路板内部的返回不连续性。

要为具有高速关键信号的四层电路板集成保护布线，首先应确保信号布线尽可能短。在高速或敏感模拟布线的两侧布设接地覆铜布线，可以“捕获”辐射的电场和磁场，从而最大限度地减少相邻布线的串扰。这些布线还能为返回电流提供低阻抗路径，这对防止噪声信号干扰电路板的其余部分至关重要。为了获得理想的屏蔽效果，拼接过孔间隔不得超过受保护的最高频率信号所对应波长的 $\lambda/20$ ，以确保这种“屏蔽”能够发挥有效的 EMI 屏障作用。

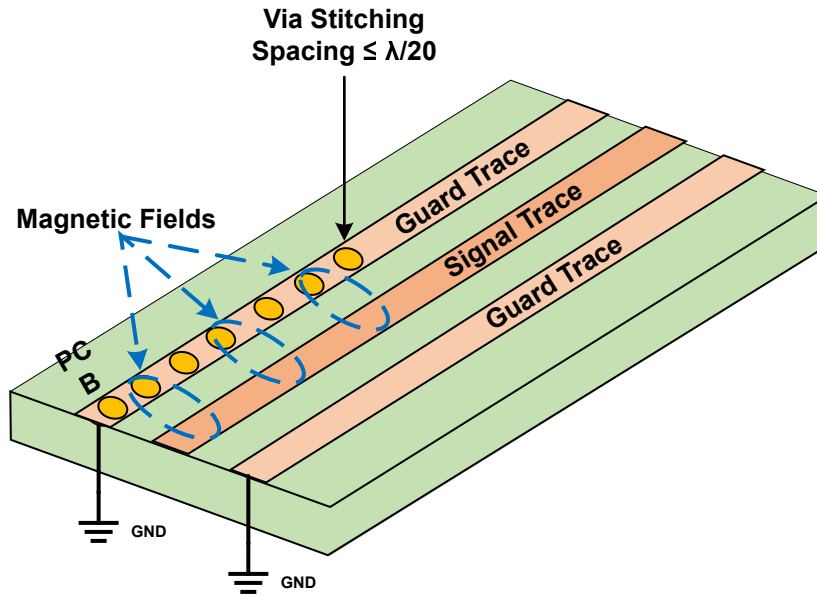


图 3-6. 过孔拼接和保护布线实现

过孔栅是由一排或一圈接地过孔组成的结构，用于连接基准铜层并减少边缘场泄漏。过孔栅适用于电路板边缘、噪声开关区域周围、射频或振荡器区域周围、高速通道旁，以及连接器边界周围。必须将过孔栅视为一种场管理工具，而不是解决所有 EMI 问题的万能良方。

过孔栅最有用的场景：

- 靠近高速布线的电路板边缘，尤其是在布线靠近板边或连接器时。
- 开关模式电源、D 类输出、电机驱动器、大电流脉冲以及晶体/时钟区域周围。
- 在射频布线或天线周围，过孔栅是明确定义的共面波导或屏蔽边界的一部分。
- 在机箱与数字地之间的切换区域，此时接地概念会有意将屏蔽电流与无噪声电路接地分开。
- 会中断返回电流的内部切口、槽缝、安装孔和机械禁布区周围。
- 如果过孔栅远离场源、被较长的间隙中断、与高噪声的孤立细小铜箔相连，或者迫使电流返回穿过非预期路径，则其作用会大打折扣。密集的过孔栅还可能产生制造成本、造成布线拥塞，并使平面铜层出现更多孔洞。请在能封闭实际射频路径的位置使用过孔栅。

3.3.1 良好的堆叠特性

- 对于四层或更多层的电路板，至少应有一个不间断的接地平面。
- 高速外层微带以最近的完整接地平面为基准。
- 当必须更大限度地减少发射时，高速内层带线应夹在基准平面之间。
- 信号与基准平面之间应采用较薄的电介质，以实现更紧密的场耦合并降低环路电感。
- 将电源平面与接地平面相邻布置，使平面电容和去耦共同发挥作用。
- 不得在接地平面槽缝、大空隙、反焊盘区域或分割边界上方布线。

平面分割经常被过度使用。对于低电平测量区域，分离模拟和数字铜箔是合理的选择，但在高速信号下方切断基准平面，通常不如在布局合理的情况下共用一个连续平面。更安全的模式通常是采用单一完整接地平面，物理隔离有噪声电路和无噪声电路，并且仅在了解电流路径的情况下进行受控的单个或边界处理。

另一种用于消除“边缘场”的堆叠和层设置方法通常称为 **20-H 规则**。20-H 规则建议将电源平面相对于接地平面的边缘向内缩进约电介质间隔 H 的 20 倍，以减少边缘场。当平面对边缘辐射成为已知影响因素时，该规则可作作为有用的几何经验法则。20-H 规则不能替代靠近布置的平面对、局部去耦、连续基准或对电缆共模电流的控制。现代电路板必须根据堆叠结构、电源分配和制造限制来验证该规则的优势，而不是不假思索地应用该规则。

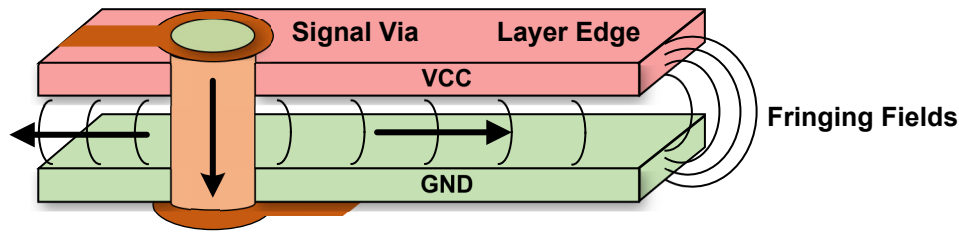


图 3-7. 边缘电磁发射场示例

3.3.2 拼接和屏蔽优化技术

当信号改变所在层时，其返回电流的物理位置也必须随之改变。相邻的接地过孔可为返回电流提供一条在接地平面之间传输的较短垂直路径。如果没有过孔，电流可能会流向较远的平面连接点或去耦电容器，从而形成较大的三维环路。这种绕行会增加环路面积，并可能产生模式转换、串扰和辐射。

实用布置指南：

- 当信号在不同层之间切换时，应在每个高速信号过孔旁布置至少一个接地拼接过孔。对于差分对，应对称布置接地过孔，以避免差分对经历不平衡的切换。
- 如果信号从以一个接地平面为基准的层切换到以另一个接地平面为基准的层，应在信号过孔附近添加连接这两个平面的接地过孔。
- 如果信号的基准从接地平面变为电源平面，应在两个平面之间布置一个局部去耦电容器作为高频返回桥，并将其靠近切换位置放置。如果可能，最好避免这种情况。
- 对于时钟、复位、快速 GPIO、SPI、SerDes、USB、以太网、LVDS、MIPI 和 RF 网络，应将每个过孔切换视为射频结构，而不是简单的拓扑连接。
- 应避免在平面空隙上方、平面边缘附近或大面积反焊盘间隙旁进行过孔换层，因为这些位置会去除局部基准铜箔。
- 紧凑型信号过孔加接地过孔组合的行为更接近受控的垂直互连结构。在极高数据速率下，完整的几何结构至关重要：信号过孔的孔壁直径、接地过孔间距、反焊盘形状、背钻深度、焊盘堆叠结构、平面间距和对称性都会影响阻抗和谐振。
- 当两层均以接地平面为基准时，应在高速信号过孔附近布置接地过孔。
- 对于差分对，应保持信号过孔和返回过孔的几何结构对称，以限制共模转换。
- 如果基准在电源平面与接地平面之间发生变化，请添加带有电容器的局部高频平面桥，或者最好避免基准发生变化。
- 在极高数据速率下，应将反焊盘形状、过孔残桩、孔壁直径、平面间距和背钻结构纳入互连模型。

表 3-3. 过孔实现和注意事项

用例	初始间距/距离	原因	注意事项
信号过孔返回拼接	在可行情况下，与信号过孔保持 1mm 至 3mm 的距离	使返回电流的换层位置保持在局部区域	遵守阻抗、反焊盘、差分对对称性及制造商规定的间距要求
差分对层切换	在换层位置附近设置两个接地过孔或对称的过孔对	减少不平衡和共模转换	避免仅在差分对一侧附近不对称地去除反焊盘区域
板边缘接地栅	在最高关注频率下为 $\lambda/20$ 间距；对于一般数字电路板，通常为 2mm 至 5mm	减少边缘场和边缘辐射	不要认为接地栅能够修复内部不良的返回路径
有噪声转换器边界	以热区周围 2mm 至 5mm 的间距作为起点	限制磁场，并将局部覆铜连接到主基准平面	将开关节点铜箔限制在边界内，并使其远离接地栅的间隙
连接器屏蔽层/机箱边界	在机械条件允许的范围内，尽可能靠近连接器外壳和 ESD 返回路径布置	防止电缆电流扩散到逻辑地	需要制定明确的机箱/数字地策略
大面积低噪声覆铜	采用 10mm 至 20mm 的网格间距，支持低频等电位	防止覆铜悬空并降低平面阻抗	不要形成孤立的铜碎屑或蚀刻死角

3.4 布线

间距可减少容性串扰和感性串扰。常见的“3W”规则（布线间距为宽度的三倍）是一种实用的初步筛查方法，但实际耦合程度取决于堆叠结构和平行布线的长度。缩短平行区域通常比在所有位置都采用固定间距更有效。

基准连续性通常比边角样式更重要。90 度拐角会造成局部几何结构的微小变化，但在普通数字电路板上，与平面分割、连接器不连续、长残桩或端接不良相比，由此增加的电容通常微乎其微。采用 45 度拐角或弯曲布线可控制几何结构并确保可制造性，但不要将拐角形状视为主要的 EMC 控制手段。

- 布线分离：将模拟、数字和高功率子电路分开。平行布线之间的间距应至少为布线宽度的三倍，以防止串扰。
- 层转换：如果高速布线必须在不同层之间切换，请在信号过孔旁边布置拼接过孔，以提供连续、低阻抗的返回路径
- 避免 90° 拐角：布线时应采用 45° 角或弯曲拐角，因为 90° 直角弯曲会导致阻抗不连续并产生 EMI 辐射

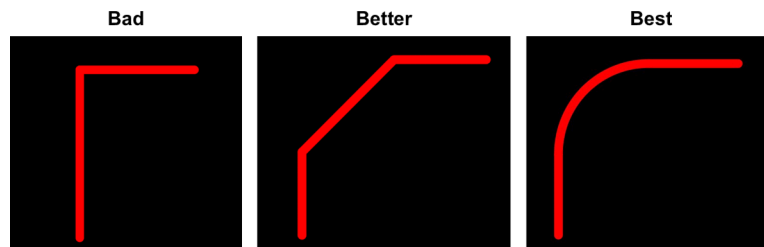


图 3-8. 布线样式

保留返回平面、控制阻抗、消除残桩、降低边沿速率、限制并行耦合，然后优化拐角几何结构。

3.5 无源 π 型滤波

降低噪声和 EM 辐射源的另一种方法是添加无源 π 型滤波器。 π 型滤波器可降低来自外部和内部源的噪声发射。图 3-9 显示了一个叠加高频噪声的输入信号，用于模拟带有发射源的 VIN。

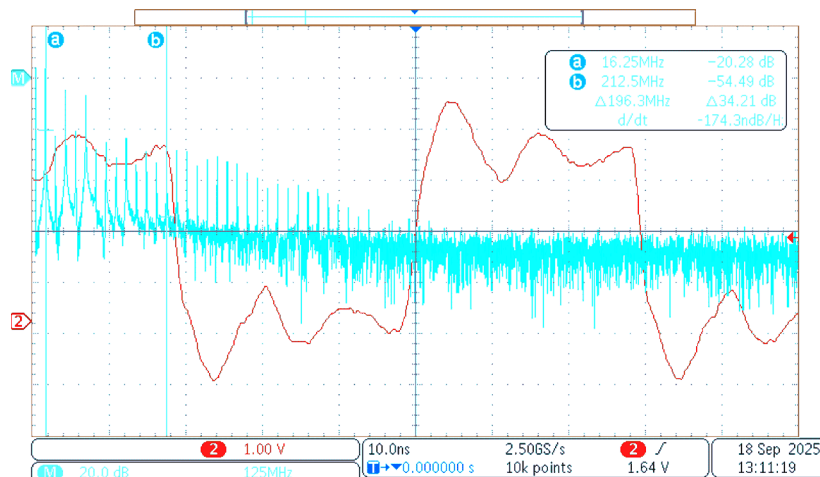


图 3-9. 具有振铃的时钟信号和 FFT 图

C-L-C π 型滤波器在串联阻抗的两侧均设有并联电容。该滤波器可以衰减传入或传出子系统的噪声，但滤波器的性能取决于源阻抗和负载阻抗、元件寄生参数、直流偏置和阻尼。理想的无损网络可能会产生高 Q 值谐振，从而放大截止频率附近的噪声。

滤波器具有由其有效电感和电容决定的固有谐振区域。源阻抗、负载阻抗、损耗和寄生参数决定了响应是良好阻尼还是呈现峰值。

- 根据额定电流、饱和裕度、DCR 和干扰频率下的阻抗选择电感器或铁氧体。
- 将负载侧高频电容器靠近受保护器件放置，并更大限度地缩短回流环路。

- 当源/负载组合产生峰值时，可通过 ESR、有损耗的铁氧体或显式阻尼网络来增加阻尼。
- 验证稳压器的稳定性。输入滤波器可能会与转换器的负增量输入阻抗相互作用。
- 测量实际阻抗环境下的插入损耗；50 Ω 测试台上获得的结果无法预测低阻抗电源轨的表现。

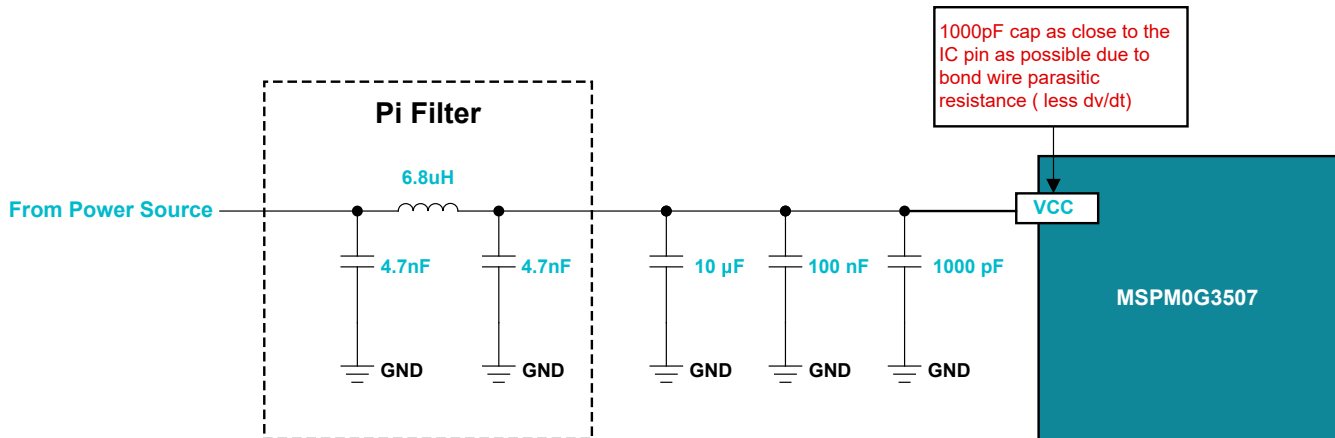


图 3-10. 使用 π 型滤波器抑制高频噪声的双向 EMI 滤波器

图 3-11 所示的典型无源 π 型滤波器由两个电容器和一个连接在它们之间并与主电源线串联的电感器组成。该滤波器安装在现有电容器与电源之间，作为常规电源电容器的补充。其工作原理可分为以下几个部分：

1. 电感作为抵消压降的电流源：当 MCU 突然需要更多电流时，电感器输入端的电源电压会瞬间下降，从而产生负 di/dt 值。骤降的磁场会在电感器两端产生正向电压 ($V = L \times di / dt$)。因此，该感应电压与电源串联，将存储的电流正向推入滤波器的输出侧。
2. 与输出电容器协同工作的即时响应：输出电容器首先作出响应，立即将其储存的电荷释放到 MCU 中，以应对微秒级尖峰。持续响应：随着电容器放电，电感器骤降的磁场会保持电流流动，从而为输出电容器充电并稳定电源轨。电感器无法无限期地维持这一过程；它只能在存储的磁能完全耗尽之前提供电流。
3. 如果没有这一动作，MCU 内部的快速数字开关可能会导致电源电压降至最低工作阈值以下。通过集成这种类型的滤波器，该滤波器实质上弥合了 MCU 峰值需求与主电源响应能力之间的微小时间差，从而防止处理器意外复位。

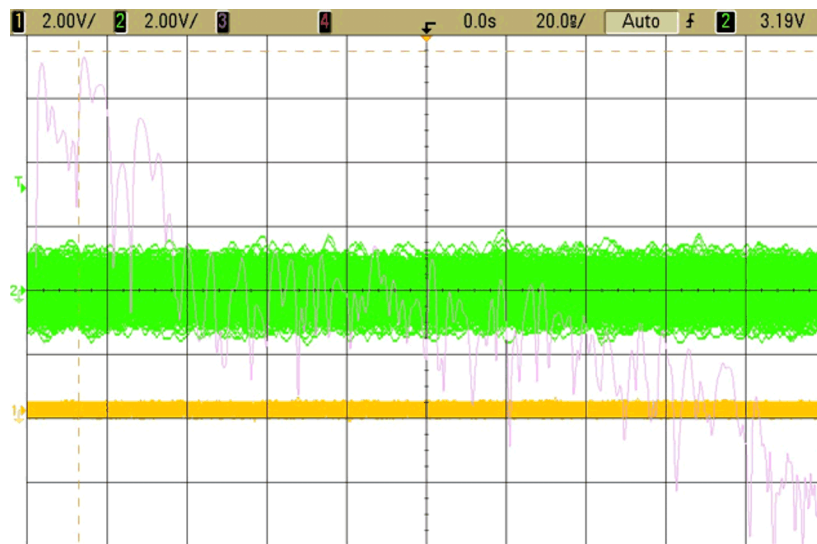


图 3-11. π 型滤波器噪声滤除性能

3.6 屏蔽、接地和电缆边界

屏蔽通过反射、吸收和重定向电流来发挥作用。在高频下，外壳接缝和孔隙往往比材料本身的导电性更能影响屏蔽效果。较长的窄槽可能产生高效辐射，因为电流必须绕过它。应采用具有多个短接触点的连接面板，控制孔隙尺寸，并连接器边界处布置屏蔽电流，而不是使其流经电路地。

在较高频率下，电流会集中在更靠近导体表面的位置。导电率和磁导率越高，穿透深度就越浅，但接缝和孔隙仍可能是外壳泄漏的主要原因。

电缆滤波器必须安装在连接器处，以便在受干扰的电流进入电路板之前将其分流。共模扼流圈作用于共模电流，同时允许差分电流通过；其有效性取决于模式转换源和寄生电容。连接器引脚分配必须将返回路径布置在高速信号旁，并避免强制高频电流穿过连接器本体。

3.7 瞬态和 ESD 电流路径

在边界处拦截瞬态，并提供通往预期基准或机箱的短路径时，保护最有效。如果将保护器件放在远离连接器的位置，则会留下一段较长的未受保护布线，该布线可能产生辐射并耦合到相邻电路中。IC 处的钳位电压等于保护器的动态钳位电压加上路径电感与电阻两端的电压。

达到 IC 的电压包括保护器的动态钳位电压，加上路径电感和电阻产生的额外电压。因此，过长的保护路径可能会使原本合适的抑制器失效。

- 将瞬态抑制器件放在靠近入口点的位置。
- 保持短而宽的放电路径，并与敏感的返回路径分开。
- 根据信号带宽和精度要求，协调保护电容和漏电流。
- 在适用情况下，设计固件以检测和记录非破坏性异常，并从中恢复。

4 EMC 验证和故障排查

设计完成的标准不是布局看起来正确；只有当测量结果确认裕度可接受时，设计才算完成。在进行正式测试之前，预合规性工作必须确定主要频率、电流路径、工作模式和电缆配置。

4.1 发射和抗扰度视为端口问题

发射测试考察能量如何通过电源、信号、外壳和电缆端口离开设备。抗扰度测试考察进入这些端口的能量对功能有何影响。同一传输路径通常在两个方向上工作，因此一个发射热点可以揭示出一条敏感度路径。

表 4-1. EMI 敏感型设计常规故障排查

问题	观测内容	可能的下一个操作
哪种频率出现故障？	窄峰值、谐波梳或宽带上升	将频率与时钟、边沿、转换器或谐振相关联
哪种电缆/配置很重要？	移动或移除电缆时发生较大变化	测量共模电流并检查连接器回路
哪种工作模式很重要？	故障可跟踪负载、总线活动、PWM 或无线电状态	隔离开关事件及其电流环路
近场热点在哪里？	局部电场节点或磁场环路	减小节点面积或环路面积；验证返回路径

4.2 预合规性测量工具套件

1. 具有适当探测功能的示波器：确认电源轨反弹、振铃频率、边沿速率和时序。使用短接地弹簧或差分探头；较长的探头接地线可能产生虚假的振铃
2. 频谱分析仪或 FFT 接收器：识别频谱峰值，并比较受控修改后的变化
3. 近场 E 和 H 探头：定位高 dv/dt 节点和高 di/dt 环路，但不据此声称达到绝对合规水平
4. 射频电流探头：确定电缆、线束和屏蔽连接点处的共模电流。
5. 阻抗或网络测量：表征相关频率范围内的滤波器、PDN 谐振和元件行为

每次只改变一个变量，并记录工作模式、电缆布置、负载、带宽、检测器设置和探头位置。与在不受控的测试环境中获得的绝对数值相比，可重复的相对测量结果更有价值。

4.3 频率到结构的调试方法

1. 在稳定的工作模式和测试配置下重现故障。
2. 确定主频率、带宽以及特征是窄带还是宽带。
3. 将频率映射到备选源：时钟谐波、转换器开关边沿、振铃谐振、总线突发或外部注入。
4. 利用时间相关性和近场探测定位源；然后通过电缆电流和回流路径检查找到传输路径。
5. 进行一个可逆的实验，例如增加阻尼、临时屏蔽、局部电容器、降低压摆率或缩短射频连接。
6. 通过预测和观察频率或幅度如何变化来确认机制。
7. 实施最小的稳健设计校正，并在各种模式、温度、负载、电缆位置和制造偏差下重新测试。

4.4 解读常见频谱特征

表 4-2. 频谱特征和可能的来源

签名	常见解读	检查
谐波梳	周期性时钟或 PWM 源	基频间隔、边沿速率、时钟使能状态
宽带噪声底升高	快速异步开关、电弧或测量过载	时域相关性和分析仪输入电平
单个强窄峰	谐振、振荡器或电缆/外壳模式	移动电缆、增加阻尼、检查谐振长度
峰值随负载变化	转换器模式或 LC 谐振	开关频率、电感器偏置、电容、控制模式
峰值随探头电缆变化	测试设置或共模路径	改善测试装置的连接，并测量电缆电流

4.5 集成设计审阅检查清单

请在原理图审阅、布置审阅、布线审阅和预合规性就绪审阅时使用本检查清单。回答“是”时，必须提供电流路径的说明或测量结果作为依据，而不能仅凭视觉印象。

面积	审阅问题
资料来源	是否已尽可能降低不必要的转换率、驱动强度和开关节点面积？
故障分析	每个高速信号、电源瞬态和保护事件是否都具有较短的预期返回路径？
平面	快速布线下方和跨层转换之间的基准平面是否连续？
PDN	安装的去耦阻抗在所需带宽范围内是否满足电源轨目标？
转换器	热环路是否紧凑，反馈/检测布线是否与开关节点隔离？
转换	在高速层切换处是否存在回流缝合过孔或局部平面桥接？
边界	连接器滤波器和瞬态路径是否位于入口点？
线缆	在电缆离开外壳之前，是否已控制差分平衡和共模电流？
机械结构	屏蔽件、散热器和面板是否已在预定位置采用低射频阻抗连接？
验证	是否已测试最坏情况下的模式、负载、电缆布置和恢复行为？

5 结语

本文探讨基于 MCU 的电子系统中的电磁干扰 (EMI)，涵盖其物理来源、板载和外部源以及实际缓解技术。EMI 不是一种隔离的噪声现象；这是时变电流流经真实几何形状的可见结果。元件寄生效应决定谐振频率，PCB 布局决定环路和返回路径的几何形状，电缆和外壳构成较大的辐射结构，并且滤波器或屏蔽仅在其安装在正确的电流路径中时才会重定向能量。

导体上任何变化的电压都会产生电磁场，当导体长度接近信号波长的四分之一时，近场能量会转换为辐射远场发射。板载源分为三类：元件级寄生效应（电阻器中的 ESL 和并联电容、电容器中的 ESR 和 ESL、电感器中的 DCR 和绕组间电容）、

PCB 设计缺陷（高阻抗电源布线、不足的接地平面、较大信号返回环路区域和阻抗不匹配的传输线路），以及特定于 MCU 的机制（时钟谐波、高速总线转换、快速 GPIO 开关和浮动导电结构）。外部源包括机电负载、附近的射频发送器、布线间串扰和 ESD 等瞬态事件。缓解措施从元件级开始，采用 ESR 优化型去耦电容器，并尽可能靠近器件引脚放置，同时使用最短的接地过孔连接。

在电路板级，采用六层堆叠，并使接地平面与每个信号层相邻，能够最有效地减小环路面积；四层设计需要接地覆铜、密集的过孔拼接，以及沿高速信号布置的保护走线。高速网络上的每个过孔转换都必须视为射频结构，在相邻位置至少放置一个接地拼接过孔，以保持连续的低电感返回路径。布线必须保持三倍的布线宽度间隔，使用 45°角来避免阻抗不连续性，并在靠近实际射频路径的噪声产生区域周围使用过孔栅栏。

最后，电源轨上的无源 π 型滤波器（串联电感器两侧的两个电容器）可抑制外部源的电源噪声和内部产生的开关瞬态，缩小 MCU 峰值电流需求和电源响应时间之间的差距，以防止欠压复位。

最稳健的设计策略是分层推进的：减少来源、缩小环路、保持连续基准、防止差模转共模、将每个连接器视为 EMC 边界，并通过将频率与物理结构联系起来的测量进行验证。当缓解措施有效时，工程师必须能够说明哪些电流有移动、哪些阻抗发生变化，以及测量的频谱或抗扰度响应为何得到改善。

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 [TI 销售条款](#)、[TI 通用质量指南](#) 或 [ti.com](#) 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2026，德州仪器 (TI) 公司

最后更新日期：2025 年 10 月