

Application Note

USB3.1 Gen1 SuperSpeed 主机发送端电气合规性指南



Shreyas Rao

摘要

本应用手册介绍了如何使用 Linux 命令在 Jacinto SoC (TDA4AH/VH、TDA4VP/AP) 上执行 USB 3.0 (SuperSpeed , 5Gbps) 主机 TX 电气合规性测试。本流程包括写入 xHCI PORTSC 寄存器合规性测试字段、配置 USB PHY 以生成 CP0 和 CP1 码型、启用展频时钟 (SSC) 以及使用 LeCroy 示波器捕获结果。

内容

1 简介.....	2
2 USB 3.1 合规性模式：工作原理.....	2
2.1 首字母缩写词及定义.....	2
2.2 LTSSM 和 RX 检测.....	2
2.3 合规性模式进入方法.....	2
2.4 寄存器参考.....	3
2.5 合规性码型 CP1 和 SSC.....	5
3 合规性程序 — TDA4VH/AH/TDA4AP/VP.....	6
3.1 硬件要求.....	6
3.2 软件要求.....	6
3.3 EVM 设置.....	7
3.4 合规性码型参考.....	8
3.5 LFPS：低频周期信令.....	8
3.6 合规性码型 0 (CP0).....	9
3.7 合规性码型 1 (CP1).....	9
3.8 LeCroy 示波器设置和结果.....	12
3.9 故障排查.....	14
3.10 合规性程序：DRA821 / TDA4AL/VL/VE / J721S2.....	14
4 总结.....	15
5 参考资料.....	15

商标

所有商标均为其各自所有者的财产。

1 简介

USB 3.1 Gen1 (SuperSpeed , 5Gbps) 电气合规性测试用于验证被测器件 (DUT) 是否满足 USB 3.1 规范和 USB-IF 合规性测试规范 (CTS) 中规定的眼图、抖动、电压裕度和输出振幅要求。

本应用手册介绍了如何将 Jacinto SoC 的 USB 3.0 xHCI 主机控制器强制进入合规性模式，方式是 (a) 通过 devmem2 直接写入内存映射寄存器或 (b) 使用 Linux xHCI sysfs 调试接口。此外，手册还详细介绍了所涉及的具具体寄存器字段，包括 RX 检测状态、端口链路状态 (PLS)、链路写入选通 (LWS)、启用 CP1 合规性码型所需的 USB PHY 寄存器写入以及启用 SSC (展频时钟) 的 SERDES PHY 寄存器。如需了解 [TI 汽车级处理器 SoC](#) 上的主机 TX 合规性程序，请跳转至[合规性程序](#)。

2 USB 3.1 合规性模式：工作原理

2.1 首字母缩写词及定义

表 2-1. 首字母缩写词及定义

术语	定义
USB	通用串行总线
CP0..CP1	合规性码型 0..1 定义的 USB 3.0 测试信号序列
CTS	合规性测试规范 (USB-IF)
DUT	被测器件
LFPS	低频周期信令 — 用于链路检测和状态转换
xHCI	可扩展主机控制器接口 — USB 3.0/3.1 主机控制器规范
LWS	链路写入选通 — xHCI PORTSC 第 16 位，对 PLS 写入起使能门控作用
PLS	端口链路状态 — xHCI PORTSC 寄存器 [8:5] 中的 4 位字段
PORTSC	端口状态和控制寄存器 — xHCI §4.19.7
PP	端口功率 — PORTSC 第 9 位
RX 检测	USB 3.0 LTSSM 状态，其中 TX 探测远端接收器；PLS = 5
SERDES	串行器/解串器 — 高速串行链路的模拟 PHY
SSC	展频时钟 — 调制 TX 时钟以降低峰值 EMI；与 CP1 相互独立
SS	SuperSpeed - USB 支持的数据速率 (5Gbps)。该速率常被称作 USB3.0、USB3.1 Gen1 或 USB3.2 Gen1，均指 5Gbps 链路速率。

2.2 LTSSM 和 RX 检测

USB 3.0 物理层和链路层实现了链路训练和状态机 (LTSSM)。当端口通电但未连接任何器件时，xHCI 控制器将链路置于 Rx.Detect 状态 (PLS = 5)。在 Rx.Detect 状态下，发送器周期性地对差分对上施加小幅直流电压，并监测是否存在表明远端接收器在场的端接负载。此阶段同样会生成 LFPS 突发，连接或移除线缆时可在示波器上观测到。

上电复位 ->

Rx.Detect -- 无接收器 (PLS = 5)。远端终端的 TX 探头。

-- 生成 LFPS 突发

-- 检测到接收器

轮询 -> 链路训练进行中

-- 链路伙伴响应---> U0 (运行, PLS = 0)

-- 无 Ping.LFPS/无伙伴 --> 进入合规状态 (PLS = 10 = 0xA)

2.3 合规性模式进入方法

Jacinto SoC 支持两种软件方法：

- **devmem2 (直接 MMIO 写入)** — 向 xHCI PORTSC 寄存器写入 PLS = 10 (合规性)、PP = 1 以及 LWS = 1。该方法绕过 LTSSM 超时，立即将链路强制进入合规性模式。这是首选的验证方法。
- **sysfs echo compliance** — 将字符串 “compliance” 写入 xHCI debugfs portsc 节点。xHCI 驱动程序将其转换为相同的 PLS = 10 寄存器写入。

2.4 寄存器参考

2.4.1 xHCI PORTSC：端口状态和控制寄存器

表 2-2. PORTSC 寄存器地址

SoC	USB 实例	PORTSC 地址 (USB3 端口 2)
TDA4VH/TDA4AH/TDA4AP/TDAVP	USB0	0x06010490

备注

xHCI MMIO 基址偏移 0x490 处为端口 2 的 PORTSC 寄存器。端口 1 的 PORTSC (USB2 HS) 处于偏移 0x480 处。USB3 SuperSpeed 端口是 Jacinto xHCI 实现中的端口 2。

2.4.2 PORTSC 位字段说明 (USB 3.0 — xHCI 规范§4.19.7)

表 2-3. PORTSC 位字段说明

位	字段	复位	说明
31	WPR	0	热端口复位。
30	DR	—	器件可移除。
29:28	RsvdZ	0	保留。写为 0。
27	WOE	0	过流唤醒使能。
26	WDE	0	断开唤醒使能。
25	WCE	0	连接唤醒使能。
24	CAS	0	冷连接状态 (USB 3.1)。
23	CEC	0	端口配置错误更改 (粘滞；通过写入 1 清除)。
22	PLC	0	端口链路状态更改 (粘滞；通过写入 1 清除)。
21	PRC	0	端口复位更改 (粘滞；通过写入 1 清除)。
20	OCC	0	过流变化。
19	RsvdZ	0	保留。
18	PEC	0	端口使能/禁用更改。
17	CSC	0	连接状态更改 (粘滞)。
16	LWS	0	链路写入选通。必须为 1 才能使 PLS 写入生效。如果 LWS = 0，硬件会静默忽略对 PLS[3:0] 的写入。
15:14	PIC	0	端口指示器控制。
13:10	端口速度	—	协商的端口速度 (编码见 xHCI 表)。
9	PP	—	端口功率。USB3 模式下该位必须为 1。
8:5	PLS	—	端口链路状态。控制并反映 LTSSM 状态。请参阅表 2-4。
4	PR	0	端口复位。
3	OCA	0	过流激活。
2	RsvdZ	0	保留。
1	PED	0	端口使能/禁用。
0	CCS	0	当前连接状态。

2.4.3 PLS 编码：USB 3.0 链路状态

表 2-4. PLS 编码：USB 3.0 链路状态

PLS[3:0]	十进制	状态	说明
0000	0	U0	活动 — 正常运行
0001	1	U1	U1 省电状态
0010	2	U2	U2 深度节能
0011	3	U3	挂起 (最深链路状态)
0100	4	禁用	链路禁用
0101	5	Rx.Detect	轮询远端接收器。默认空闲状态 — 未连接设备。在发生连接/断开连接事件时生成 LFPS 突发。
0110	6	无效	链路处于非活动状态
0111	7	轮询	活动链路训练/协商
1000	8	恢复	链路恢复正在进行中
1001	9	热复位	带内温复位
1010	10 (0xA)	合规性	合规性模式 — 默认情况下发送 CP0；CP1 需要额外的 USB PHY 写入 (第 6.2 节)。
1011	11	环回	环回测试模式
1100-1111	12-15	保留	—

2.4.4 在进入合规性测试之前验证 RX 检测

在发出合规性写入之前，端口必须处于 Rx.Detect 状态 (PLS = 5)。读取 PORTSC 并检查位 [8:5]：

```
# TDA4xH/TDA4xP
```

```
$ devmem2 0x06010490 w
```

```
# 位 [8:5] = 0101 => Rx.Detect (已准备好进入合规性模式)
```

```
# 位 [8:5] = 0000 => U0 (器件已连接；请先断开)
```

2.4.5 合规性写入值解码：0x0a010340

向 PORTSC 写入下述 32 位数值，以强制进入合规性模式：

写入值：0xa010340

第 31-24 位 = 0x0A = 0000_1010 => WCE = 1 (第 25 位)，WOE = 1 (第 27 位) [保留唤醒使能]

第 23-16 位 = 0x01 = 0000_0001 => LWS = 1 (第 16 位) [启用 PLS 写入]

第 15-08 位 = 0x03 = 0000_0011 => PP = 1 (第 9 位)，PLS[3] = 1 (第 8 位) [端口上电，PLS MSB]

第 07-00 位 = 0x40 = 0100_0000 => PLS[1] = 1 (第 6 位) [PLS 第二位]

PLS[3:0] = { bit8, bit7, bit6, bit5 } = { 1, 0, 1, 0 } = 0b1010 = 10 => 合规性

PP = 1 => 端口上电

LWS = 1 => PLS 写入有效并立即生效

备注

若没有 LWS = 1 (第 16 位)，硬件会静默忽略 PLS 字段。常见错误：在没有 LWS 的情况下仅写入 PLS = 0xA，链路状态不会发生变化。

2.5 合规性码型 CP1 和 SSC

根据 USB 3.2 规范的定义，合规性码型 1 (CP1) 为一种以 5Gbps 全速线路速率传输的重复交替位码型 (101010..)。由于相邻位交替，因此产生的波形基频为：

$$f_{CP1} = \text{BitRate}/2 = 5\text{Gbps}/2 = 2.5\text{GHz}$$

CP1 可分离确定性抖动 (DJ) 分量，便于提取随机抖动，同时有助于展频时钟 (SSC) 分析。

在 Jacinto SoC 上，SERDES PHY 不会仅根据 xHCI PORTSC 合规性写入自动生成 CP1。需要单独的 USB PHY 寄存器写入，以指示模拟 TX 输出 1010 时钟码型。经验证可用的寄存器写入如第 6.2 节所示。

本文档中介绍的 CP1 USB 寄存器写入并不会开启 SSC。SSC (展频时钟) 是一种单独的 TX 时钟调制功能，有助于降低峰值电磁干扰 (EMI)。USB 规范要求 USB 超高速器件支持三角调制曲线，SSC 调制频率介于 30kHz 至 33kHz 之间，向下展频幅度高达 5000ppm (0.5% 深度)。有关 SSC 的更多详细信息，请参阅以下[应用手册](#)。

2.5.1 USB PHY 寄存器 — CP1 (时钟码型)

该 USB PHY 寄存器写入指示模拟 TX 块输出 CP1 合规性码型。该寄存器必须在 PORTSC 合规性写入之后写入。

2.5.2 寄存器地址

表 2-5. USB PHY CP1 寄存器地址

SoC	USB PHY 寄存器	写入值	用途
TDA4xH/TDA4xP	0x0601812C	0x18230c10	USB PHY — CP1 码型选择寄存器

2.5.3 CP1 写入值解码：0x18230c10

USB PHY 寄存器字段定义见内部 TI SoC 技术参考手册。CP1 码型输出的验证值为：

写入值：0x18230c10

Binary：0001_1000_0010_0011_0000_1100_0001_0000

作用：配置 SERDES 模拟 TX 以输出 CP1 码型

(1010 交替位 => 5Gbps 下基频 2.5GHz)

关键字段 (根据 TRM)：

位 24:21 = 1 => 强制合规性码型 (CP1)

= 0 => 强制合规性码型 (CP0) - 默认值

注意：CP1 不启用 SSC (展频时钟)。SSC 是单独的 TX 参考时钟调制功能。该寄存器写入选择 CP1 作为模拟 TX 输出；但是，不会启用或禁用 SSC。

3 合规性程序 — TDA4VH/AH/TDA4AP/VP

3.1 硬件要求

表 3-1. 硬件要求

条目	用途
TDA4VH/ TDA4VP EVM	DUT — 承载 USB3 xHCI 控制器的 SoC
USB 3.0 主机测试夹具 1 (Intel)	Intel 的 USB3.0 主机测试夹具 1，带 Type-A 连接器，用于连接 DUT；
高速示波器 (LeCroy)	捕获 5Gbps/2.5GHz 下的眼图、抖动和 TX 幅度 (CP0 和 CP1)
SMA 电缆与探头	从测试夹具到示波器的信号路径

3.2 软件要求

表 3-2. 软件要求

元件	详细信息
Linux	TI SDK 11.02.00.04
devmem2	原始 32 位 MMIO 读取/写入；在 Yocto/buildroot SDK 中提供
debugfs	安装在 /sys/kernel/debug 上；sysfs echo 合规性方法所必需

将 TI 处理器 [SDK Linux 11.02.00.04](#) 安装到 SD 卡上。在 Linux 终端中使用 `wget` 命令来下载安装程序，然后使用命令 `chmod +x` 赋予该文件可执行权限。使用 `sudo ./` 命令执行该文件，将内容解压到指定目录。

https://dr-download.ti.com/software-development/software-development-kit-sdk/MD-IOshtRwR8P/11.02.00.04/ti-processor-sdk-linux-adas-j784s4-evm-11_02_00_04-Linux-x86-Install.bin

要将 SDK 安装到 SD 卡上，请按照以下链接中的安装说明操作：

https://software-dl.ti.com/jacinto7/esd/processor-sdk-linux-j784s4/11_02_00_04/exports//docs/linux/Overview/Processor_SDK_Linux_create_SD_card.html#create-sd-card-with-custom-images

安装 debugfs (如果不存在)：

```
mount -t debugfs none /sys/kernel/debug
```

3.3 EVM 设置

主机 USB3.0 测试夹具 1 通过 Type-C 转 Type-A 连接器连接到 EVM 的 Type-C 连接器。将 DIP 开关 SW7/SW11 设置为 SD 卡引导模式。DIP 开关必须设置为 DFP 模式。CTS 规范要求使用 3 米电缆和主机测试夹具 2 (5 英寸走线)，本测试环境未采用；但 LeCroy SigTest 框架可通过通道仿真补偿长通道损耗。

SD Card Boot: The processor will attempt to boot from image on SD Card.

SW7[8:1] = 0000 0000 (Default)

SW11 [8:1] = 0100 0001 (Default)

图 3-1. EVM SD 卡引导模式开关设置

SW2.[4:3]	OFF:OFF	USB Type C Mode Selection	Set Mode for USB Type C interface (USB0): '00' (OFF/OFF) = DFP (Downstream Facing Port) '01' (OFF/ON) = DRP (Dual Role Port) '1X' (ON, Don't Care) = UFP (Upstream Facing Port)
-----------	---------	---------------------------	--

图 3-2. EVM USB-C 开关设置

将 EVM 的主 UART 终端连接到 PC，并打开 TeraTerm 终端上四个 COM 端口中的第一个。将串行端口的速度配置为 115200kbps，而不是默认的 9600kbps。为 EVM 上电，SoC 随即从 SD 卡启动。

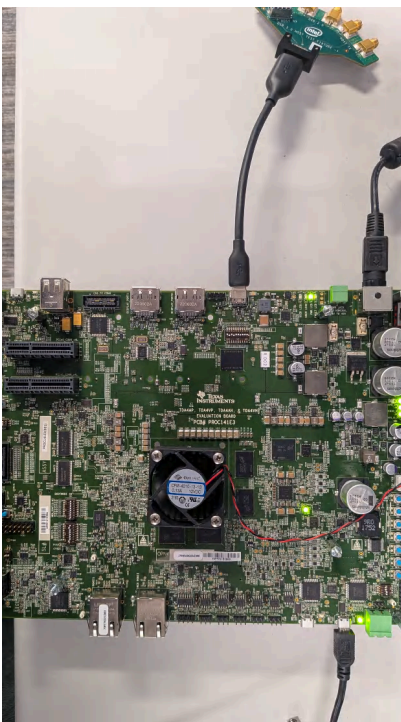


图 3-3. EVM 设置

3.4 合规性码型参考

表 3-3. 合规性码型摘要

图形	信号描述	测量用途	如何进入	注释
LFPS	低频周期信令	满足上升/下降时间、突发速率和周期要求的周期信令。	直接连接测试夹具或通过 Echo 合规性命令	
CP0	5Gbps 时的扰频 D0.0	眼图、TX 幅度 (VTX-DIFF)、上升/下降时间、TX 抖动 (Tj)	仅对 PORTSC 进行写入 (PLS = 10)	不适用
CP1	5Gbps 速率下, 奈奎斯特频率为 2.5GHz 时的时钟码型	最大切换频率下的 TX 输出电压; TX 抖动、SSC 分析。	PORTSC 写入 + USB PHY 写入 (0x18230c10)	通过 SERDES PLL 启用 SSC

3.5 LFPS : 低频周期信令

要强制 SoC USB 实例进入主机 TX 合规性模式, 请按照图 3-6 所示执行 dts 更改。要生成 USB 3.0 主机 TX 合规性测试所需的 LFPS 信号, 请将合规性字符串写入 xHCI debugfs 节点, 如下所示:

```
root@j784s4-evm: echo compliance > /sys/kernel/debug/usb/xhci/<tab>/ports/port02/portsc.
```

<tab>: 按 Tab 键会自动填充 Linux 分配给该主机控制器的 USB 实例编号。(例如, 显示为 xhci-hcd.11.auto)。

cat 命令读回 PORTSC 寄存器, 确认链路处于 Rx.Detect 状态。连接 USB 测试夹具并观察示波器上的 LFPS 信号:

```
root@j784s4-evm: cat /sys/kernel/debug/usb/xhci/xhci-hcd.11.auto/ports/port02/portsc
```

0x0a0002a0 上电 未连接 已禁用 链路: RxDetect 端口速度: 0 更改: 唤醒: WCE WOE

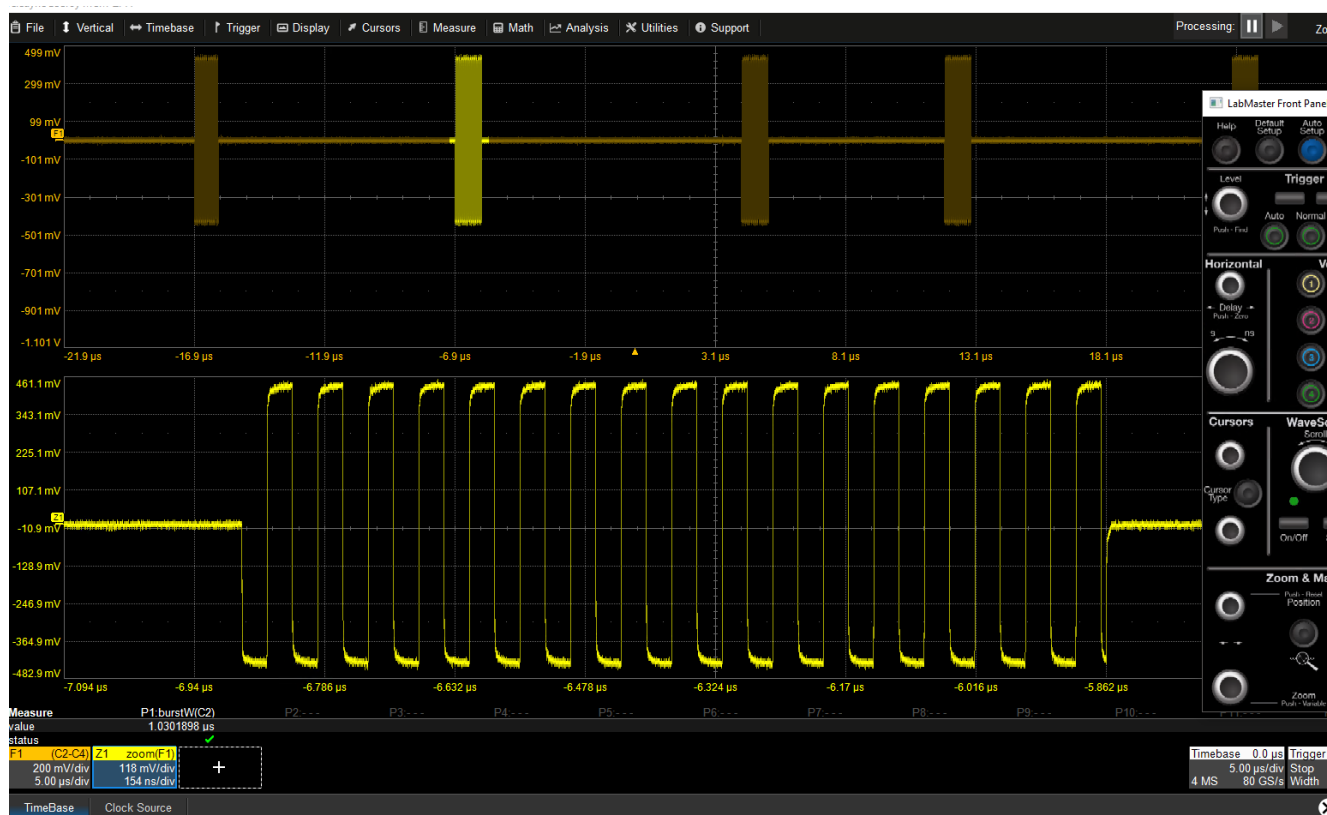


图 3-4. 在示波器上观察到 LFPS 信号

3.6 合规性码型 0 (CP0)

合规性码型 0 (CP0) 是以 5.0Gbps 速率发送且不含 SKP 序列的假随机位序列模式。CP0 用于根据 USB 3.0 规范限值测量最大抖动和最小眼图高度。

先决条件：必须从 EVM 上断开 USB 测试夹具。从 SD 卡引导 EVM，等待 Linux 启动后，以 root 身份登录。

第 1 步：验证端口是否处于 Rx.Detect 状态：

```
$ devmem2 0x06010490 w
```

预期值：PLS 位 [8:5] = 0101 (RX 检测)

如果 PLS = 0000 (U0)，请断开设备并重新读取

第 2 步：强制合规模式 (CP0)：

```
$ devmem2 0x06010490 w 0x0a010340
```

PP=1，PLS=Compliance (10)，LWS=1

第 3 步：写入 USB PHY CP0 寄存器：

```
$ devmem2 0x0601812c w 0x18030c10
```

第 4 步：确认已进入合规状态：

```
$ devmem2 0x06010490 w
```

PLS 位 [8:5] 现在读数为 1010 (合规性)

第 5 步：连接合规性负载板。

观察到的信号：CP0 码型 (5Gbps 时的扰频 D0.0)。

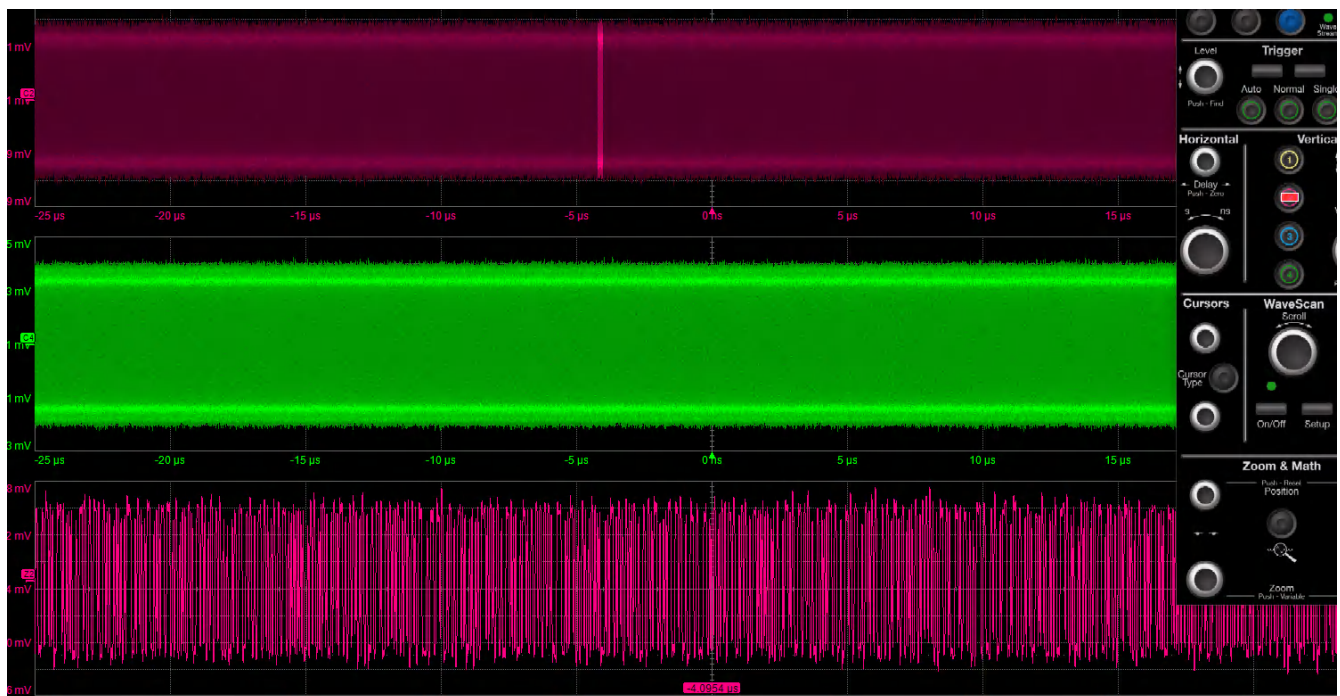


图 3-5. 在示波器上观察到 CP0 合规性码型

3.7 合规性码型 1 (CP1)

合规性码型 1 (CP1) 是一种时钟序列，以 USB 3.0 链路速率对应的奈奎斯特频率 ($5\text{Gbps} \div 2 = 2.5\text{GHz}$) 发送。

默认 TI SDK (11.02) 设备树源码 (DTS) 不会在 SERDES PLL 上启用展频时钟 (SSC)。由于 CP1 测试需要 SSC，因此必须对 k3-j784s4-j742s2-evm-common.dtsi 文件进行以下修改：

转到 <SDK_INSTALL_DIR>/board-support/ti-linux-kernel-<version>/arch/arm64/boot/dts/ti/ k3-j784s4-j742s2-evm-common.dtsi

将以下代码添加到 &serdes_wiz0 节点以启用 SSC，如图 5 所示：

```
ti,core-clk-sel = <1>; /* Select internal ref clock */
```

```
ti,ssc-enable; /* Enable SSC */
```

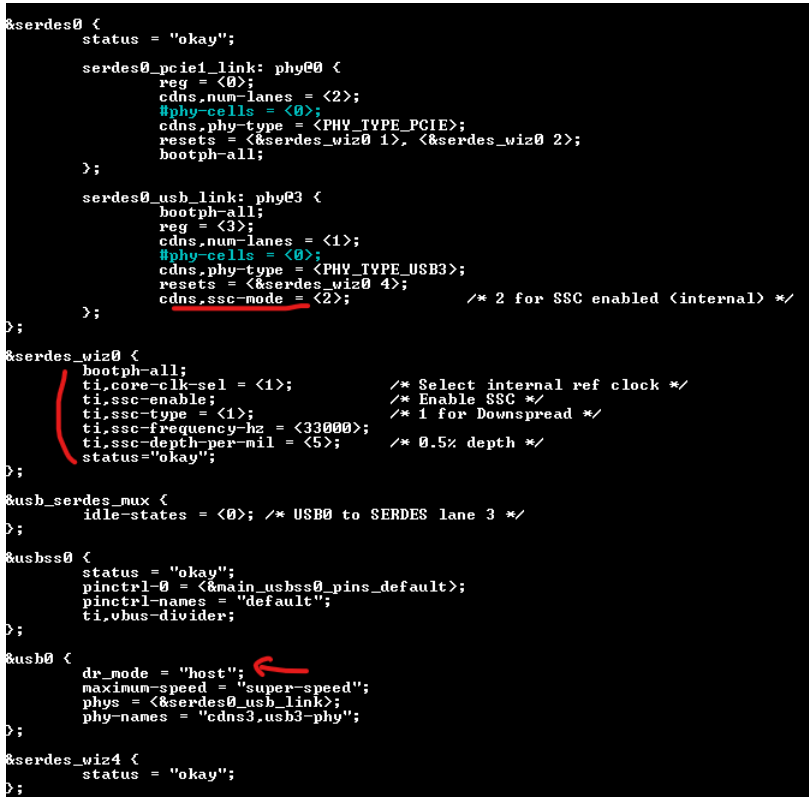
```
ti,ssc-type = <1>; /* 1 for Downspread */
```

```
ti,ssc-frequency-hz = <33000>;
```

```
ti,ssc-depth-per-mil = <5>; /* 0.5% depth */
```

将以下属性添加到 serdes0_usb_link: phy@0 节点，以将 SSC 配置为内部模式：

```
cdns,ssc-mode = <2>; /* 2 for SSC enabled (internal) */
```



```
&serdes0 {
    status = "okay";

    serdes0_pcie1_link: phy@0 {
        reg = <0>;
        cdns,num-lanes = <2>;
        phy-cells = <0>;
        cdns,phy-type = <PHY_TYPE_PCIE>;
        resets = <&serdes_wiz0 1>, <&serdes_wiz0 2>;
        bootph-all;
    };

    serdes0_usb_link: phy@3 {
        bootph-all;
        reg = <3>;
        cdns,num-lanes = <1>;
        phy-cells = <0>;
        cdns,phy-type = <PHY_TYPE_USB3>;
        resets = <&serdes_wiz0 4>;
        cdns,ssc-mode = <2>; /* 2 for SSC enabled (internal) */
    };
};

&serdes_wiz0 {
    bootph-all;
    ti,core-clk-sel = <1>; /* Select internal ref clock */
    ti,ssc-enable; /* Enable SSC */
    ti,ssc-type = <1>; /* 1 for Downspread */
    ti,ssc-frequency-hz = <33000>; /* 0.5% depth */
    ti,ssc-depth-per-mil = <5>; /* 0.5% depth */
    status = "okay";
};

&usb_serdes_mux {
    idle-states = <0>; /* USB0 to SERDES lane 3 */
};

&usbss0 {
    status = "okay";
    pinctrl-0 = <&main_usbss0_pins_default>;
    pinctrl-names = "default";
    ti,vbus-divider;
};

&usb0 {
    dr_node = "host";
    maximum-speed = "super-speed";
    phys = <&serdes0_usb_link>;
    phy-names = "cdns3,usb3-phy";
};

&serdes_wiz4 {
    status = "okay";
};
```

图 3-6. 修改设备树源码以启用 SSC 并强制 USB 处于主机模式

编译 dts 文件以生成.dtb 文件，如下所示：

```
$cd /<sdk-install directory>/board-support/ti-linux-kernel-6.12.57+git-ti
```

```
$export CROSS_COMPILE=/< sdk-install directory >/linux-devkit/sysroots/x86_64-arago-linux/usr/bin/aarch64-oe-linux/aarch64-oe-linux-
```

```
$export ARCH=arm64
```

```
$make dtbs.
```

将.dtb 文件复制到 SD 卡中：

```
$cd /< sdk-install directory > /board-support/ti-linux-kernel-6.12.57+git-ti/arch/arm64/boot/dts/ti/
```

```
$sudo cp k3-j784s4-evm.dtb /media/<username>/root/boot/dtb/ti/k3-j784s4-evm.dtb
```

```
$sudo eject /media/<username>/root/
```

在 EVM Teraterm 上：

第 1 步：断开负载板，然后重新启动：

```
$ reboot
```

第 2 步：强制合规性模式：

```
$ devmem2 0x06010490 w 0x0a010340
```

第 3 步：写入 USB PHY CP1 寄存器：

```
$ devmem2 0x0601812c w 0x18230c10
```

```
$ devmem2 0x05060340 w 0x86000002 /*PLL0_CLK_SEL_M0_PLL0_CTRL_M0 */
```

第 4 步：重新连接合规性负载板。观察到的信号：CP1 — 周期性 1010 交替码型，输出带 SSC 调制的 2.5GHz 波形。USB 寄存器写入，直接选择 CP1。

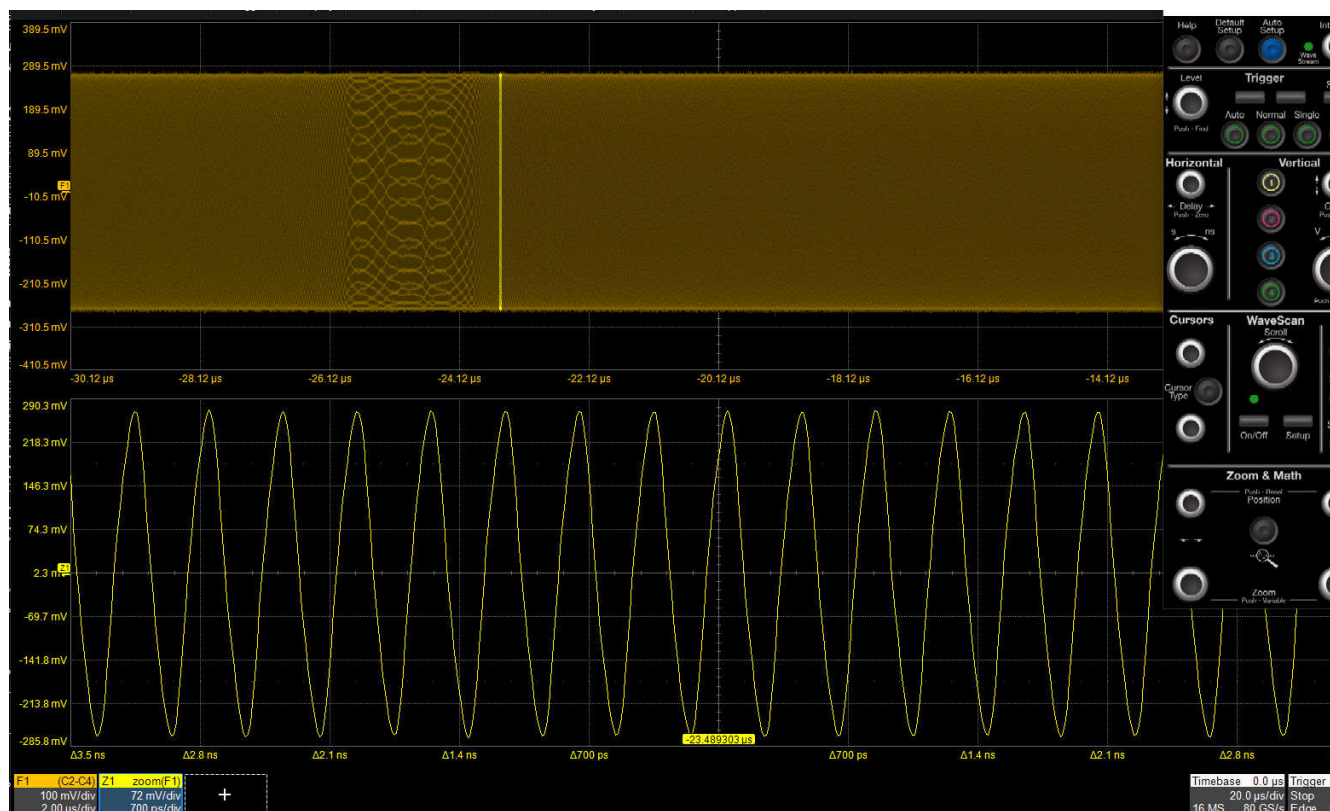
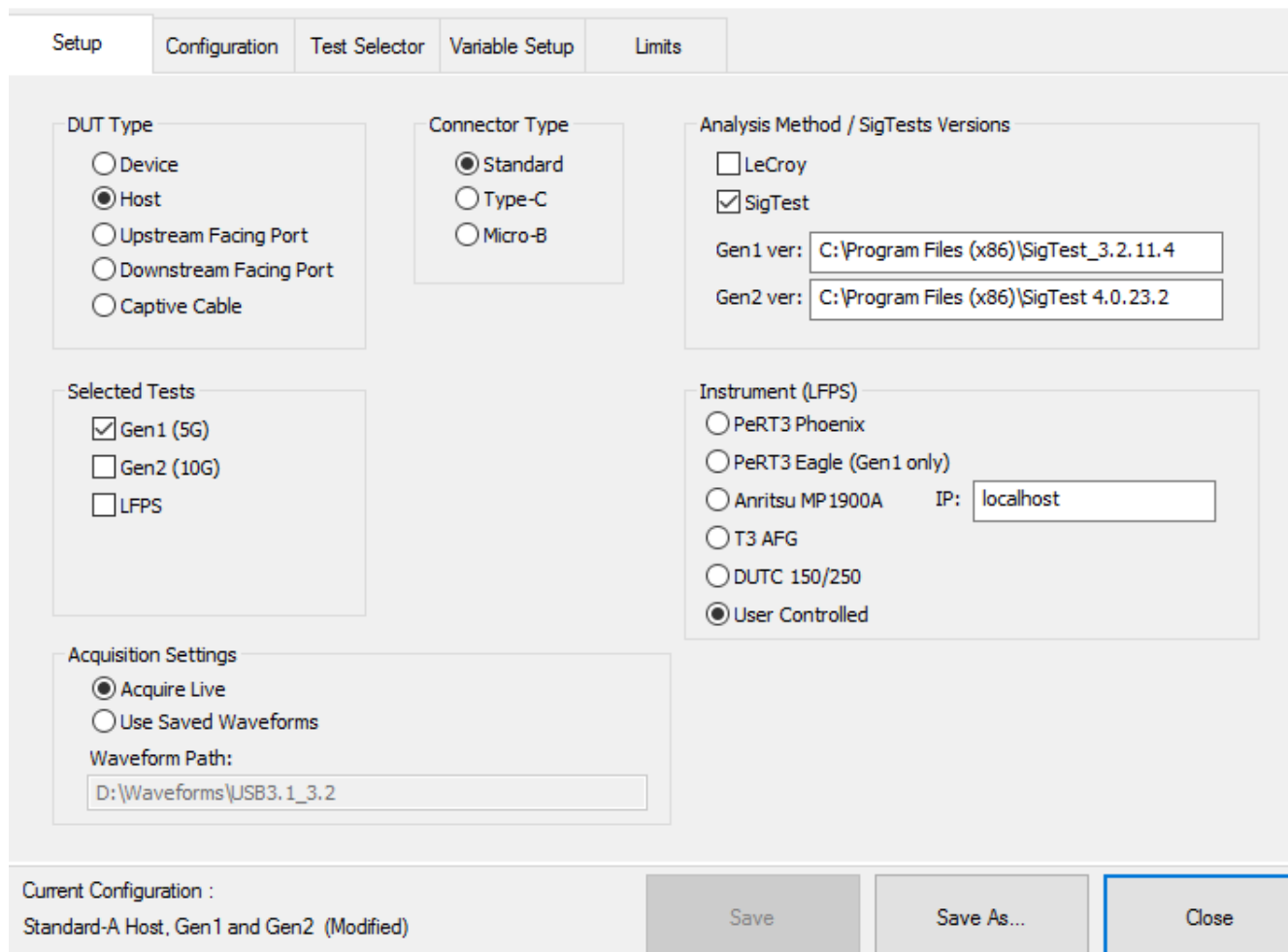


图 3-7. 启用 SSC 后的 CP1 合规性码型

3.8 LeCroy 示波器设置和结果

LeCroy 示波器 (SDA MCM-Zi-A) 搭载 QualiPHY 框架，可协助针对 USB 等高速串行总线标准进行自动合规性测试。从 QualiPHY 下拉菜单（版本 11.5 与 MAUI 版本 11.5 匹配）中，选择 USB3.1/3.2 TX 并按如下所示配置标准 HostA、Gen1。在测试选择器选项卡中，选择 LFPS 和 Gen1 测试，取消选择 Gen2 测试。配置完成后启动测试，并按照屏幕上的提示启用请求的每个码型。强烈建议按示波器提示执行通道校准，以对 SMA 电缆进行去偏斜。如果示波器未预装 Sigtest，可从 USB-IF 网站下载。

Edit/View Configuration



The configuration window is divided into several sections:

- Setup** (selected tab): Configuration, Test Selector, Variable Setup, Limits.
- DUT Type**:
 - ☐ Device
 - ☒ Host
 - ☐ Upstream Facing Port
 - ☐ Downstream Facing Port
 - ☐ Captive Cable
- Connector Type**:
 - ☒ Standard
 - ☐ Type-C
 - ☐ Micro-B
- Analysis Method / SigTests Versions**:
 - ☐ LeCroy
 - ☒ SigTest
 - Gen1 ver: C:\Program Files (x86)\SigTest_3.2.11.4
 - Gen2 ver: C:\Program Files (x86)\SigTest 4.0.23.2
- Selected Tests**:
 - ☒ Gen1 (5G)
 - ☐ Gen2 (10G)
 - ☐ LFPS
- Instrument (LFPS)**:
 - ☐ PeRT3 Phoenix
 - ☐ PeRT3 Eagle (Gen1 only)
 - ☐ Anritsu MP1900A IP: localhost
 - ☐ T3 AFG
 - ☐ DUTC 150/250
 - ☒ User Controlled
- Acquisition Settings**:
 - ☒ Acquire Live
 - ☐ Use Saved Waveforms
 - Waveform Path: D:\Waveforms\USB3.1_3.2
- Current Configuration**: Standard-A Host, Gen1 and Gen2 (Modified)
- Buttons**: Save, Save As..., Close

图 3-8. QualiPHY USB 3.1/3.2 TX 测试配置

分析所有码型并完成后处理后，合规性软件将生成 PDF 报告，如图 3-9 所示。

Summary Table

[Hide Table]

Pass	#	Test	Gen	Measurement	Chan	Analysis	Current Val	Test Criteria
✓	1	TD.1.1	N/A	LFPS Min Amplitude	Long	SigTest	884 mV	800 mV <= x <= 1.200 V
✓	1	TD.1.1	N/A	LFPS Min Amplitude	Long	SigTest	894 mV	800 mV <= x <= 1.200 V
✓	1	TD.1.1	N/A	LFPS Max CM AC	Long	SigTest	31.602 mV	x <= 100.000 mV
✓	1	TD.1.1	N/A	LFPS Min Period	Long	SigTest	60 ns	20 ns <= x <= 100 ns
✓	1	TD.1.1	N/A	LFPS Max Period	Long	SigTest	60 ns	20 ns <= x <= 100 ns
✓	1	TD.1.1	N/A	LFPS Min Burst Time	Long	SigTest	963 ns	600 ns <= x <= 1.400 us
✓	1	TD.1.1	N/A	LFPS Max Burst Time	Long	SigTest	1.084 us	600 ns <= x <= 1.400 us
✓	1	TD.1.1	N/A	LFPS Min Repeat Time	Long	SigTest	10.02 us	6.00 us <= x <= 14.00 us
✓	1	TD.1.1	N/A	LFPS Max Repeat Time	Long	SigTest	11.04 us	6.00 us <= x <= 14.00 us
✓	1	TD.1.1	N/A	LFPS Min Duty Cycle	Long	SigTest	49.9 %	40.0 % <= x <= 60.0 %
✓	1	TD.1.1	N/A	LFPS Max Duty Cycle	Long	SigTest	50.0 %	40.0 % <= x <= 60.0 %
✓	1	TD.1.1	N/A	LFPS Rise Time	Long	SigTest	244 ps	x <= 4.0 ns
✓	1	TD.1.1	N/A	LFPS Fall Time	Long	SigTest	234 ps	x <= 4.0 ns

图 3-9. 合规性测试结果：码型总览

Summary Table

[Hide Table]

Pass	#	Test	Gen	Measurement	Chan	Analysis	Current Val	Test Criteria
✓	1	TD.1.6	Gen1	SSC Deviation Max (max)	Long	LeCroy	124.7 PPM	-300.0 PPM <= x <= 300.0 PPM or -2.3000 kPPM <= x <= -1.7000 kPPM
✓	1	TD.1.6	Gen1	SSC Deviation Max (min)	Long	LeCroy	74.4 PPM	-300.0 PPM <= x <= 300.0 PPM or -2.3000 kPPM <= x <= -1.7000 kPPM
✓	1	TD.1.6	Gen1	SSC Frequency Modulation Rate	Long	LeCroy	32.499 kHz	30.000 kHz <= x <= 33.000 kHz
✓	1	TD.1.6	Gen1	SSC Deviation Min (max)	Long	LeCroy	-4.8717 kPPM	-5.3000 kPPM <= x <= -3.7000 kPPM
✓	1	TD.1.6	Gen1	SSC Deviation Min (min)	Long	LeCroy	-4.9394 kPPM	-5.3000 kPPM <= x <= -3.7000 kPPM
✓	1	Legacy	Gen1	Phase Jitter Slew Rate Max	Long	LeCroy	2.561 ms/s	x = 0 us/s +/- 10.000 ms/s
✓	1	Legacy	Gen1	Phase Jitter Slew Rate Min	Long	LeCroy	-2.629 ms/s	x = 0 us/s +/- 10.000 ms/s
✓	1	TD.1.3	Gen1	Tj CP1	Long	SigTest	16.8544 ps	x <= 132.00 ps
?	1	TD.1.3	Gen1	Rj (rms) CP1	Long	SigTest	0.9039 ps	Informational Only
✓	1	TD.1.3	Gen1	SigTest Pass / Fail Result (CP0, Jitter)	Long	SigTest	pass	match "Pass"
✓	1	TD.1.3	Gen1	Tj CP0	Long	SigTest	49.6665 ps	x <= 132.00 ps
?	1	TD.1.3	Gen1	Rj (rms) CP0	Long	SigTest	0.9039 ps	Informational Only
✓	1	TD.1.3	Gen1	Dj DD CP0	Long	SigTest	36.9581 ps	x <= 86.00 ps
?	1	TD.1.3	Gen1	Min Time Between Crossovers	Long	SigTest	184.337 ps	Informational Only
✓	1	TD.1.3	Gen1	Avg UI	Long	SigTest	200.4672 ps	199.9400 ps < x < 201.0656 ps
?	1	TD.1.3	Gen1	Max PP Jitter	Long	SigTest	52.662 ps	Informational Only
✓	1	TD.1.3	Gen1	Non Transition Eye Violations	Long	SigTest	0 hits	x = 0 hits
✓	1	TD.1.3	Gen1	Transition Eye Violations	Long	SigTest	0 hits	x = 0 hits
✓	1	TD.1.3	Gen1	Total Eye Violations	Long	SigTest	0 hits	x = 0 hits
✓	1	TD.1.3	Gen1	SigTest Pass / Fail Result (CP0, Eye)	Long	SigTest	pass	match "Pass"
?	1	TD.1.3	Gen1	Eye Height	Long	SigTest	223.1 mV	Informational Only
?	1	TD.1.3	Gen1	Max Non Trans Voltage	Long	SigTest	224.1 mV	Informational Only
?	1	TD.1.3	Gen1	Min Non Trans Voltage	Long	SigTest	-224.3 mV	Informational Only
?	1	TD.1.3	Gen1	Max Trans Voltage	Long	SigTest	233.3 mV	Informational Only
?	1	TD.1.3	Gen1	Min Trans Voltage	Long	SigTest	-233.7 mV	Informational Only
?	1	TD.1.3	Gen1	Min Non Trans Upper Margin	Long	SigTest	62.2 mV	Informational Only
?	1	TD.1.3	Gen1	Max Non Trans Lower Margin	Long	SigTest	-60.9 mV	Informational Only
?	1	TD.1.3	Gen1	Max Trans Upper Margin	Long	SigTest	79.9 mV	Informational Only
?	1	TD.1.3	Gen1	Max Trans Lower Margin	Long	SigTest	-78.3 mV	Informational Only
?	1	TD.1.3	Gen1	Min Eye Width	Long	SigTest	150.333 ps	Informational Only
✓	1	TD.1.3	Gen1	Tj CP1	Short	SigTest	16.9204 ps	x <= 132.00 ps
?	1	TD.1.3	Gen1	Rj (rms) CP1	Short	SigTest	0.9132 ps	Informational Only
✓	1	TD.1.3	Gen1	SigTest Pass / Fail Result (CP0)	Short	SigTest	pass	match "Pass"
✓	1	TD.1.3	Gen1	Tj CP0	Short	SigTest	31.0602 ps	x <= 132.00 ps
?	1	TD.1.3	Gen1	Rj (rms) CP0	Short	SigTest	0.9132 ps	Informational Only
✓	1	TD.1.3	Gen1	Dj DD CP0	Short	SigTest	18.2200 ps	x <= 86.00 ps
?	1	TD.1.3	Gen1	Min Time Between Crossovers (after channel)	Short	SigTest	188.220 ps	Informational Only

图 3-10. 合规性测试结果：眼图分析

Pass#	Test	Gen	Measurement	Chan	Analysis	Current Val	Test Criteria
✓	1 TD.1.3	Gen1	Avg UI	Short	SigTest	200.4672 ps	199.9400 ps < x < 201.0656 ps
?	1 TD.1.3	Gen1	Max PP Jitter	Short	SigTest	32.882 ps	Informational Only
✓	1 TD.1.3	Gen1	Non Transition Eye Violations	Short	SigTest	0 hits	x = 0 hits
✓	1 TD.1.3	Gen1	Transition Eye Violations	Short	SigTest	0 hits	x = 0 hits
✓	1 TD.1.3	Gen1	Total Eye Violations	Short	SigTest	0 hits	x = 0 hits
?	1 TD.1.3	Gen1	Eye Height SigTest	Short	SigTest	396.2 mV	Informational Only
?	1 TD.1.3	Gen1	Max Non Trans Voltage SigTest	Short	SigTest	327.6 mV	Informational Only
?	1 TD.1.3	Gen1	Min Non Trans Voltage SigTest	Short	SigTest	-326.5 mV	Informational Only
?	1 TD.1.3	Gen1	Max Trans Voltage SigTest	Short	SigTest	348.2 mV	Informational Only
?	1 TD.1.3	Gen1	Min Trans Voltage SigTest	Short	SigTest	-346.4 mV	Informational Only
?	1 TD.1.3	Gen1	Min Non Trans Upper Margin	Short	SigTest	159.3 mV	Informational Only
?	1 TD.1.3	Gen1	Max Non Trans Lower Margin	Short	SigTest	-164.3 mV	Informational Only
?	1 TD.1.3	Gen1	Max Trans Upper Margin	Short	SigTest	149.8 mV	Informational Only
?	1 TD.1.3	Gen1	Max Trans Lower Margin	Short	SigTest	-146.4 mV	Informational Only
?	1 TD.1.3	Gen1	Min Eye Width SigTest	Short	SigTest	168.940 ps	Informational Only

图 3-11. 合规性测试报告摘要

3.9 故障排查

表 3-4. 疑难解答指南

症状	可能的原因	分辨率
devmem2 写入后无码型	端口未处于 Rx.Detect 状态；设备仍处于连接状态	断开器件连接；读取 PORTSC 并确认 PLS[8:5] = 0101 后再写入
连接夹具后无码型	SoC 未处于主机模式；USB-C 电缆方向需要翻转	检查 DIP 开关是否设置为主机 DFP 模式。USB-C 电缆的两侧均进行尝试；
写入后 PORTSC 不变	LWS (位 16) 未设置；使用了错误的地址	检查写入值是否为 0xa010340 (LWS=1)；验证 SoC MMIO 基地址
仅 CP0 可见；无 CP1	未写入 USB CP1 寄存器	进行 PORTSC 写入后将 0x18230c10 写入 USB PHY 寄存器；必要时先重新启动
未通过 USB SSC 合规性测试	SSC 未启用	通过修改设备树源码 .dts 文件启用 SERDES PLL SSC
不符合 LFPS 规范	电缆不匹配	对电缆执行去偏斜操作；确保合规性测试套件 QPHY 版本与 MAUI s/w 版本匹配

3.10 合规性程序：DRA821 / TDA4AL/VL/VE / J721S2

[DRA821/ TDA4AL/VL/VE / J721S2](#) SoC 使用与 TDA4xH/TDA4xP SoC 相同的 USB MMIO 基地址 (0x06010000)。所有寄存器地址和合规性程序步骤均与第 3 节中所述的步骤相同。

4 总结

本文提供了在 Jacinto 处理器 SoC 上开展 USB3.1 Gen1 超高速主机 TX 电气合规性测试的完整指南。使用最新可用 SDK，所述方法可应用于定制板卡或 EVM。此方法无需外部误码率测试仪 (BERT) 或专用硬件码型发生器，从而提供了具有成本效益的 TX 验证路径。工程师可通过原生 Linux 命令和设备树源码修改，强制 SoC 输出合规性码型并激活快速 USB 合规性检查所需的 SSC (展频时钟)。

5 参考资料

1. USB, usb.org, 网页。
2. USB-IF, [USB-IF Compliance Test Specification \(CTS\) for USB 3.1](#), 网页。
3. Intel, [xHCI Interface Specification for USB, Revision 1.2](#), 网页。
4. 德州仪器 (TI), [TDA4xH Jacinto™ SoC 技术参考手册](#), 技术参考手册。

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 [TI 销售条款](#)、[TI 通用质量指南](#) 或 [ti.com](#) 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2026，德州仪器 (TI) 公司

最后更新日期：2025 年 10 月