

Application Note

适用于 TDA4xx 器件的 OSPI 和 QSPI 闪存集成指南



Karthikeyan S, Sudheer Kumar, Vinit Patel, Tarun Puvvada

摘要

本应用手册介绍了 TDA4x 器件上的 OSPI (八通道串行外设接口) 子系统，并为解决系统启动过程中遇到的启动、闪存迁移和 PHY 调优问题提供技术指导。其中概述了 OSPI 控制器配置要求、直接访问 (DAC) 和间接访问 (INDAC) 模式行为、闪存供应商兼容性注意事项，以及 Processor SDK RTOS 和 PDK 环境中所需的驱动程序更新。

本文档适用于使用 TDA4x 器件的软件开发人员、引导加载程序 (SBL) 工程师和平台集成团队。

通过整合经验证的配置、已知限制和结构化调试实践，本文档有助于减少集成工作量、加快电路板启动并确保可靠的 OSPI 引导和高速闪存运行。

商标

所有商标均为其各自所有者的财产。

1 简介

TDA4x 器件的启动和初始化序列依赖于外部 **QSPI** 和 **OSPI NOR/NAND** 闪存存储器来存储启动映像和应用程序二进制文件。集成的 **OSPI** 控制器支持单通道、双通道、四通道和八通道数据协议以及 **SDR** 和 **DDR** 传输模式。它提供多种访问机制，包括直接访问模式 (**DAC**)、间接访问模式 (**INDAC**) 和 **STIG** 操作，每种机制都有明确的运行特性和限制。

在 **QSPI** 启动模式下，**ROM** 代码以直接访问模式 (**DAC**) 初始化 **OSPI** 外设，并从所选 **QSPI** 闪存器件读取启动映像。启动映像被复制到片上 **RAM** 中，随后执行权转移到已加载的映像。

寻址模式、器件尺寸参数、**PHY** 调优、时钟设置或闪存特定命令序列的错误配置可能导致启动失败、地址访问受限、数据损坏或高速运行不稳定。

本应用手册整合了经验证的 **EVM** 闪存配置、**OSPI** 访问模式行为、时钟频率约束、**PHY** 调优要求以及闪存迁移注意事项，同时记录了电路板启动和 **SBL** 集成期间常见的故障场景，以及推荐的配置更新和结构化调试方法。

2 TDA4x EVM 上使用的 OSPI/QSPI 闪存器件

表 1 中列出的闪存器件在 TI 评估模块 (EVM) 上使用，并已通过 Processor SDK RTOS 进行了内部验证。

表 2-1.TDA4x EVM 支持的闪存器件

SoC	闪存类型	供应商	器件	密度	接口
J721E (TDA4VM)	OSPI NOR	Micron	MT35XU512ABA1G12	512Mb	OSPI0
J721E (TDA4VM)	QSPI	Micron	MT25QU512ABB	512Mb	OSPI1
J7200(DRA821)	OSPI NOR	Cypress	S28HS512TGABHM01	512Mb	OSPI0
J721S2 (TDA4VL)	OSPI NOR	Cypress	S28HS512TGABHM01	512Mb	OSPI0
J721S2 (TDA4VL)	OSPI NAND	Winbond	W35N01JWTBAG	1Gb	OSPI0
J784S4 (TDA4VH)	OSPI NOR	Cypress	S28HS512TGABHM01	512Mb	OSPI0
J784S4 (TDA4VH)	OSPI NAND	Winbond	W35N01JWTBAG	1Gb	OSPI0
J722S(TDA4AEN)	OSPI NOR	Cypress	S28HS512TGABHM01	512Mb	OSPI0
J722S(TDA4AEN)	OSPI NAND	Winbond	W35N01JWTBAG	512Mb	OSPI0

备注

上表所列器件为 TI EVM 上使用的闪存元件。其他 OSPI 闪存器件的兼容性需要在 OSPI 驱动程序框架内验证其命令集、时序参数、寻址模式和协议支持。

3 定制电路板的 OSPI 闪存选型注意事项

选择 OSPI 闪存器件时，需要验证该器件的命令集、支持的协议 (STR/DTR)、操作码定义、虚拟周期要求、寻址模式 (3 字节或 4 字节) 以及时序规格是否与 SoC OSPI 控制器和 OSPI 驱动程序实现完全兼容。

不同供应商提供的闪存器件在 JEDEC 标识值、读取/写入命令集、DTR 行为和 PHY 兼容性方面可能存在差异。这些差异必须在 OSPI 驱动程序配置中予以体现。

有关为 Jacinto 7 系列选择支持的 OSPI 闪存器件的指南，请参阅德州仪器 (TI) E2E 支持论坛中的以下常见问题解答：

1. TI E2E 常见问题解答，[关于选择 Jacinto 支持的合适 OSPI 闪存器件，是否有指导说明](#)

4 OSPI 访问模式

OSPI 控制器支持与外部闪存器件通信的多种访问模式。

4.1 直接访问 (DAC)

直接访问 (DAC) 模式提供了一种到外部闪存的存储器映射接口。在此模式下，当处理器访问映射的地址空间时，会自动触发读取访问。

此模式通常用于：

- 高性能读取操作
- 就地执行 (XIP)
- 直接从外部闪存执行代码

在 DAC 模式下，闪存出现在系统存储器映射中。

4.2 间接访问 (INDAC)

间接访问 (INDAC) 模式使用内部 SRAM 缓冲器在 OSPI 控制器和闪存之间传输数据。

在此模式下：

- 闪存地址通过控制器寄存器进行显式编程。
- 数据通过 OSPI 内部 SRAM 进行传输
- 传输由软件发起。

INDAC 模式通常用于闪存页编程（写入）操作和批量数据传输。擦除命令通常使用 STIG 模式发出。

4.3 软件触发指令 (STIG)

软件触发指令 (STIG) 模式用于将特定命令序列直接发送到闪存器件，而无需使用存储器映射访问或大数据量传输。

该模式通常用于：

- 闪存寄存器访问
- 状态轮询
- 器件配置命令
- 擦除命令发出

4.4 就地执行 (XIP)

就地执行 (XIP) 允许直接从串行闪存执行代码，而无需将代码复制到 RAM。

在 Processor SDK RTOS OSPI 驱动程序实现中：

- 仅在读取模式下支持 XIP。
- XIP 与 DAC 模式结合使用。
- FlsXipEnable 参数用于控制 XIP 功能的启用或禁用。

4.5 推荐的 OSPI 访问模式

闪存读取

在启用 PHY 的情况下使用 DAC 模式，并选择性结合流水线和 DMA 以获得出色性能。如果需要从闪存执行代码，可启用 XIP。

闪存写入

使用 INDAC 模式，不启用 PHY（推荐）。写入吞吐量主要受限于闪存器件编程时间。

闪存擦除

使用 STIG 模式，不启用 PHY。

闪存寄存器访问

使用 STIG 模式，不启用 PHY。

5 OSPI 时钟频率支持

OSPI 时钟频率参数定义了 OSPI 外设的工作时钟。TDA4x 平台支持以下时钟频率。

133MHz (133333333U) - 在所有 OSPI 工作模式下均完全支持，包括直接访问 (DAC) 和间接访问 (INDAC) 模式，适用于读取和写入操作。

166MHz (166666666U) - 在 INDAC 模式下完全支持，适用于读取和写入操作。在 DAC 模式下，该频率仅支持读取操作。

200MHz (200000000U) - 该频率下的运行尚未经过 TI 验证。

6 OSPI 刷写与启动支持

可以使用 TI UniFlash 将应用软件映像编程到 TDA4x 平台上的不可移除 OSPI 闪存器件中。UniFlash 支持在开发和启动期间对 OSPI 闪存器件进行编程。“[Processor RTOS SDK 用户指南](#)”中介绍了 OSPI 特定的刷写步骤、支持的配置和启动要求

有关 TDA4x 器件支持的刷写技术的全面说明，请参阅以下应用手册：[SPRACY5 - TDA4 器件的刷写技术](#)。

备注

TDA4x 器件提供多个 OSPI 控制器实例 (OSPI0 和 OSPI1)。但是，一次只能主动使用一个 OSPI 实例进行闪存访问，具体取决于电路板配置。

7 OSPI 迁移及所需更新

从 EVM 支持的默认 OSPI NOR 闪存器件迁移到替代闪存器件（例如，从 Cypress 迁移到 Micron）时，如果没有正确处理供应商特定的差异，可能会导致功能问题。不同供应商提供的闪存器件在 JEDEC 标识值、命令操作码、虚拟周期要求、寻址模式和 DTR 行为方面可能存在差异。

如果未更新 OSPI 驱动程序配置以反映这些差异，系统可能会在早期启动期间遇到读取/写入失败、数据损坏或 SBL 启动失败。迁移到新的 OSPI NOR 闪存器件时，必须使用正确的器件特定参数更新 OSPI 闪存驱动程序，包括：

- 制造商 ID 和器件 ID
- 读取/写入和擦除操作码
- 虚拟周期配置
- 寻址模式（3 字节与 4 字节）
- DTR 启用/禁用设置

TI 提供了专门的 E2E 常见问题解答，记录了常见的闪存迁移场景，并描述了在 Processor SDK RTOS 中为新 OSPI 闪存器件添加支持所需的步骤

从 EVM 支持的默认 OSPI NOR 闪存器件迁移到替代器件（例如，从 Cypress 迁移到 Micron）时，需要仔细验证供应商特定的参数。不同闪存供应商之间的差异可能包括：

- JEDEC 制造商和器件标识值
- 读取、写入和擦除命令操作码
- 虚拟周期要求
- 寻址模式（3 字节与 4 字节）
- DTR（双倍传输速率）支持及启用序列
- 扇区大小和擦除块大小

如果未更新 OSPI 驱动程序配置以反映这些器件特定参数，系统可能会遇到以下问题：

- 读取或写入失败
- 数据损坏
- PHY 调优失败
- 早期初始化期间的 SBL 启动失败

在添加对新 OSPI NOR 闪存器件的支持时，必须使用正确的器件参数更新 PDK OSPI 驱动程序中的闪存配置表。这通常涉及修改位于以下路径下的闪存器件配置结构：

PDK Path:

`<pd>packages/ti/board/src/flash/nor/ospi`

所有命令操作码、虚拟周期、寻址模式选择和 DTR 配置都必须与闪存供应商数据表相匹配。

其他资源：

以下 E2E 常见问题解答为在 TI SDK 中添加对新 OSPI 闪存器件的支持提供了分步指导：

1. TI E2E 常见问题解答，[如何在 RTOS SDK \(TDA4VM/Jacinto 系列 \) 中添加对新闪存器件的支持](#)
2. TI E2E 常见问题解答，[在 MCU+ SDK\(J722S EVM\) 中使用 SysConfig 配置定制 OSPI 闪存的指南](#)

8 使用 SDK 驱动程序示例验证 OSPI 配置

为了验证 OSPI 配置并隔离与配置相关的问题，建议首先使用 Processor SDK RTOS 中提供的 OSPI 驱动程序示例来验证 OSPI 功能。

OSPI_Flash_Dma_TestApp_freertos 示例位于以下路径：

PDK Path:

<pdk>/packages/ti/drv/spi/test/ospi_flash/src

此示例可以使用 Code Composer Studio (CCS) 构建和执行。有关构建 PDK 和配置 CCS 开发环境的说明，请参阅 Processor SDK RTOS 用户指南。

在 CCS 下运行该示例可以支持：

- 单步调试
- 检查 OSPI 配置参数
- 跟踪 OSPI 驱动程序 API 调用

此方法可有效识别可能导致所观察到故障的以下情况：不正确的配置设置、不当时钟配置、不受支持的闪存参数或错误的驱动程序 API 使用方式。

有关使用 CCS 调试次级引导加载程序 (SBL) 的指导，请参阅德州仪器 (TI) E2E 支持论坛中标题为“[在 RTOS SDK 中调试 SBL 启动](#)”的常见问题解答。

如果 OSPI 驱动程序示例成功执行且没有错误，则表明以下平台级配置是正确的：

- OSPI 硬件连接
- 引脚多路复用配置
- 时钟配置
- 基线 OSPI 驱动程序初始化

驱动程序示例的成功执行为后续将 OSPI 功能集成到定制应用程序或引导加载程序配置中提供了一个已知良好的参考点。

9 TDA4x 器件上的常见 OSPI 问题

本节总结了在 TDA4x 平台上进行电路板启动、闪存迁移和引导加载程序集成期间遇到的常见 OSPI 相关问题。每个问题均包含观察到的行为、根本原因以及推荐的解决步骤。

9.1 DAC 寻址限制

问题说明

当使用大容量 OSPI 闪存器件（例如，128MB 或 256MB）时，如果在启动或运行期间以直接访问 (DAC) 模式运行，系统可能无法访问超出 64MB 边界的内存。

观察到的现象

- 引导加载程序无法加载存储在地址 0x04000000 以上的映像
- 超出 64MB 偏移量后，闪存读取返回错误数据
- 当应用程序映像位于更高闪存区域时，启动过程失败

根本原因

多种配置问题可能导致此行为。

原因 1：启用了 3 字节寻址模式

OSPI NOR 驱动程序可能以 3 字节寻址模式运行，这将可访问地址空间限制为 64 MB。

原因 2：OSPI 器件尺寸配置

在默认 SDK 配置中，OSPI 控制器器件尺寸配置可能设置为 64MB。

原因 3：启动配置寄存器限制

启动配置寄存器默认可能将 OSPI 启动访问限制为 64 MB。

原因 4：FSS 内存区域映射限制

默认 FSS 配置仅将 Region1 (~64MB) 映射到 R5F 地址空间。更大的闪存容量需要使用 RAT (区域地址转换) 模块进行额外映射。

分辨率

验证并更新以下配置

启用 4 字节寻址模式

更新 NOR 驱动程序以使用 4 字节寻址模式。

PDK Path:

```
<pd>/packages/ti/board/src/flash/nor/ospi/nor_xspi.c
```

将地址字节配置从 3 个字节更新为 4 个字节。

更新 OSPI 器件尺寸配置

在 SBL 初始化期间更新 CS0 器件尺寸。

PDK Path:

```
<pd>/packages/ti/csl/src/ip/ospi/V0/priv/csl_ospi.c
```

API :

```
CSL_ospiSetDevSize()
```

示例配置：

```
/* For accessing 1h = size of 1Gb */
```

```
regVal |= (0x1 << CSL_OSPI_FLASH_CFG_DEV_SIZE_CONFIG_REG_MEM_SIZE_ON_CS0_FLD_SHIFT);
CSL_REG32_WR(&pRegs->DEV_SIZE_CONFIG_REG, regVal);
```

/* For accessing 1h = size of 2Gb */

```
regVal |= (0x2 << CSL_OSPI_FLASH_CFG_DEV_SIZE_CONFIG_REG_MEM_SIZE_ON_CS0_FLD_SHIFT);
CSL_REG32_WR(&pRegs->DEV_SIZE_CONFIG_REG, regVal);
```

更新启动配置寄存器

在启动配置寄存器中配置 S0_BOOT_SIZE :

CTRLMMR_MCU_FSS_CTRL (0x40F040A0)

将该值设置为 0x1 以启用超过 64MB 的访问。

为大容量闪存配置 RAT 映射

访问大容量闪存器件时，配置 RAT (区域地址转换) 模块以将扩展闪存区域映射到 R5F 地址空间。

示例配置：

```
*(volatile uint32_t*)(0x40F90024h + (reg_id * 0x10)) = 0xE0000000u;
*(volatile uint32_t*)(0x40F90028h + (reg_id * 0x10)) = 0x00000000u;
*(volatile uint32_t*)(0x40F9002Ch + (reg_id * 0x10)) = 0x00000005u;
*(volatile uint32_t*)(0x40F90020h + (reg_id * 0x10)) = (1 << 31) | (0x1C << 0);
```

在早期启动期间 (例如，在 main() 中) 添加此配置，以启用对完整 256MB OSPI 闪存空间的访问。

9.2 PHY 调优问题

问题说明

在较高的 OSPI 时钟频率下，尤其是在八通道 DDR 模式 (≥ 133 MHz) 下，如果未启用 PHY 调优，则读取操作可能会变得不稳定。这可能会导致间歇性读取失败、数据损坏，或系统早期初始化期间 SBL 引导挂起。

根源

高速 OSPI 操作需要在控制器和外部闪存器件之间实现精确的数据采样对齐。在没有 PHY 校准的情况下运行时，板级布线延迟、信号完整性变化和时序偏斜可能导致采样错误。

OSPI PHY 调优算法通过使用存储在闪存存储器中的预定义校准模式来校准读取采样延迟，从而补偿这些时序变化。

所需的配置

要启用 PHY 调优，请执行以下操作：

- 在 OSPI 闪存最后一个擦除扇区的起始位置对 PHY 校准模式进行编程。
- 在 OSPI 配置中启用 PHY 模式 (仅限 DAC 模式)。
- 将校准模式所在的内存区域配置为不可缓存。
- 确保 PHY 仅用于读取操作。

操作约束

- PHY 模式仅在直接访问模式 (DAC) 下受支持。
- PHY 仅支持读取操作。
- 启用 PHY 后会绕过内部时钟分频器，RCLK 直接驱动至闪存器件。

无 PHY 时的时钟分频器要求：

- SDR 模式要求 baudRateDiv ≥ 4
- DDR 模式要求 baudRateDiv ≥ 8

最高支持频率

OSPI 接口的最高工作频率取决于是否启用了 PHY 调优。PHY 调优可补偿 OSPI 控制器与外部闪存器件之间的板级信号延迟和时序变化，从而在更高时钟频率下实现可靠操作。

未启用 PHY 调优时的操作：

当 PHY 调优禁用时，支持的工作频率受限于接口时序约束：

- DDR 模式：最高 25 MHz
- SDR 模式：最高 50 MHz

启用 PHY 调优时的操作

当 PHY 调优启用时，控制器可在更高时钟频率下工作。

- 最高可达 166MHz，具体取决于闪存器件和访问模式。

在超出验证频率范围或未正确配置 PHY 调优的情况下运行，可能会导致读取不稳定、数据损坏或启动失败

推荐的 PHY 调优模式存放位置

对于使用与 TI 评估模块 (EVM) 相同闪存配置的系统，PHY 调优模式编程地址如下：

表 9.2-1.PHY 调优模式存放位置

SOC	类型	地址
J721S2/J784S4	Cypress OSPI NOR	0x3FC0000
J721E	Micron OSPI NOR	0x3FE0000
J721S2/J784S4	Winbond OSPI NAND	0x7FC0000

调优模式必须放置在闪存器件最后一个擦除块（最后一个扇区）的起始位置。未能将 PHY 调优模式放置在正确位置可能导致 PHY 校准失败。

验证建议

建议使用 Processor SDK RTOS 中提供的 OSPI DMA 测试应用来验证 PHY 配置。在多个电源周期中能够稳定进行高速读操作，即表明 PHY 配置正确。

10 QSPI 启动支持注意事项

在 TDA4x 器件上，第二个 OSPI 接口 (OSPI1) 通常用于连接 TI 评估模块 (EVM) 和定制电路板上的四通道 SPI (QSPI) 闪存器件。尽管 OSPI1 是支持 OSPI 的控制器，但它可能以 QSPI 模式运行，具体取决于板级引脚布线和所连接闪存器件的类型。

Processor SDK RTOS 不为从 QSPI 闪存器件启动提供默认的次级引导加载程序 (SBL) 支持。因此，使用 QSPI 闪存作为启动存储介质的系统需要进行额外的驱动程序配置。

要启用 QSPI 闪存支持，必须更新 PDK OSPI 驱动程序以匹配所选闪存器件的特性。这通常涉及更新闪存配置表、命令操作码和初始化参数，以便与器件数据表保持一致。

正确的驱动程序配置可确保在使用 QSPI 器件时实现正确的闪存初始化和可靠的启动运行。

11 总结

本文档为使用 **Processor SDK RTOS** 在 **TDA4x** 器件上配置和调试 **OSPI** 子系统提供了整合性指导。它记录了经过验证的闪存配置、支持的时钟方案、访问约束、**PHY** 要求以及大地址空间相关注意事项。

本文档对常见的启动问题进行了分析，并提供了根本原因说明和纠正措施，从而确保在支持的器件和 **SDK** 版本上实现确定性的启动行为和可靠的高速 **OSPI** 运行。

12 参考资料

1. TI E2E 常见问题解答，[用于 OSPI PHY 调优的闪存图生成](#)
2. 德州仪器 (TI)，[OSPI 性能数据](#) (Jacinto 7 数据表)
3. 德州仪器 (TI)，[支持 QSPI 闪存的 OSPI 驱动程序配置](#)

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 [TI 销售条款](#)、[TI 通用质量指南](#) 或 [ti.com](#) 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2026，德州仪器 (TI) 公司

最后更新日期：2025 年 10 月