

Application Note

Jacinto™ 7 和 Sitara™ 处理器上的 DDR 内联 ECC 错误地址解码



Linjun Meng, Zekun Bai, Tommy Song Central FAE

摘要

德州仪器 (TI) Jacinto™ 7 和 Sitara™ 处理器支持 DDR 内联 ECC，可通过检测和报告存储器错误来提高系统可靠性。发生 ECC 事件时，DDR 控制器会将信息记录在 ECC 错误日志寄存器中。但是，由于 ECC 奇偶校验数据存储在 DDR 存储器中，并由 DDR 控制器进行透明管理，因此记录的值并未直接对应 CPU 可见的存储器地址。本应用手册说明如何解读 ECC 错误日志寄存器，了解 DDR 内联 ECC 存储器组织，以及将 ERR_ADR 和 ERR_MSK 值转换为系统和物理 DDR 地址。此外，还提供了实用的解码示例和配套的解码工具，以简化 ECC 调试和故障分析。

内容

1 简介.....	2
2 详细说明.....	3
2.1 ECC 错误日志记录概述.....	3
2.2 为什么需要地址解码.....	3
2.3 DDR 内联 ECC 存储器布局.....	4
2.4 地址解码方法.....	5
2.5 AM62A 解码示例.....	5
2.6 TDA4VE 双 DDR 交错示例.....	6
2.7 解码工具使用.....	8
3 总结.....	9
4 参考资料.....	10

插图清单

图 2-1. ERR_ADR 和 ERR_MSK 之间的关系.....	3
图 2-2. 系统地址空间与物理 DDR 空间之间的视角差异.....	3

表格清单

表 2-1. 调试期间使用的 ECC 错误寄存器.....	3
表 2-2. TDA4VM/TDA4VE/TDA4VH 的存储器布局.....	4
表 2-3. DRA821/DRA829/TDA4VEN/AM62A/AM62P 的存储器布局.....	4
表 2-4. 逻辑偏移和物理偏移的 ADR 映射表.....	6

商标

Jacinto™ Sitara™ are trademarks of Texas Instruments.
所有商标均为其各自所有者的财产。

1 简介

DDR 内联 ECC 通常用于汽车、工业和功能安全应用，可通过检测和纠正存储器错误来提升系统稳健性。发生 ECC 事件时，DDR 控制器会在 ECC 错误日志寄存器中记录有关受影响存储器区域的信息。

虽然这些寄存器可提供有用的调试信息，但记录的值不能直接解读为存储器地址。DDR 内联 ECC 在 DDR 存储器中引入了额外的 ECC 存储区域，且不同器件系列的存储器组织存在差异。因此，在确定实际发生故障的存储器位置之前，需要进行额外的解码。

本文档说明以下内容：

- 调试期间如何使用 ECC 错误日志寄存器
- 为什么 ERR_ADR 不直接表示存储器地址
- DDR 内联 ECC 如何影响存储器布局
- 如何解码 ERR_ADR 和 ERR_MSK 值
- 如何确定对应的系统和物理 DDR 地址
- 如何使用配套解码工具

2 详细说明

2.1 ECC 错误日志记录概述

当 DDR 控制器检测到 ECC 事件时，控制器将信息记录在一组 ECC 错误日志寄存器中。在 ECC 分析期间，通常使用表 2-1 中所示的寄存器。

表 2-1. 调试期间使用的 ECC 错误寄存器

寄存器	用途
ECC_1B_ERR_CNT	统计检测到的单比特 ECC 错误数
ECC_1B_ERR_THRSH	定义单比特 ECC 事件的中断阈值
ECC_1B_ERR_ADR_LOG	标识与单比特错误关联的 ECC 保护块
ECC_1B_ERR_MSK_LOG	标识受影响的 8 字节段
ECC_2B_ERR_ADR_LOG	标识与双比特错误关联的 ECC 保护块
ECC_2B_ERR_MSK_LOG	标识受影响的 8 字节段

详细的寄存器定义请参阅相应的技术参考手册，本文档不再赘述。本应用手册重点介绍如何对报告的值进行解码。

2.1.1 了解 ERR_ADR 和 ERR_MSK

ERR_ADR 不直接表示发生故障的存储器地址。而是：

- ERR_ADR 标识受 ECC 保护的块。
- ERR_MSK 标识该块内受影响的 8 字节段。
- 这两个值必须结合起来解读。
- 需要额外的解码才能确定最终存储器地址。

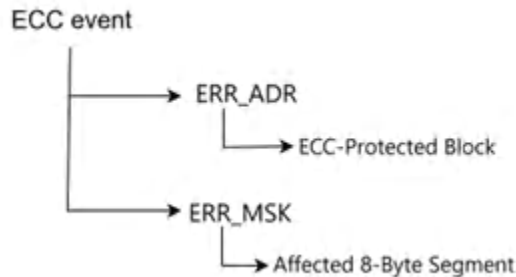


图 2-1. ERR_ADR 和 ERR_MSK 之间的关系

2.2 为什么需要地址解码

启用 DDR 内联 ECC 后，ECC 奇偶校验信息与用户数据一起存储在 DDR 存储器中。但是，ECC 存储区域对软件不可见，由 DDR 控制器在内部进行管理。因此，CPU 可见的系统地址与物理 DDR 地址不同。

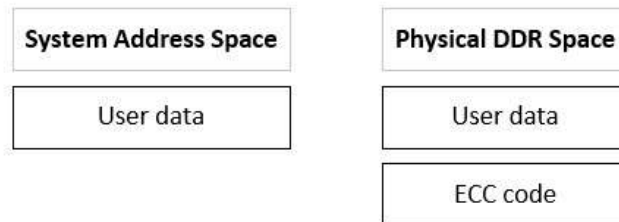


图 2-2. 系统地址空间与物理 DDR 空间之间的视角差异

因此：

- ERR_ADR 并非直接存储器地址。
- 物理 DDR 地址包括 ECC 奇偶校验存储。
- 地址转换必须考虑 DDR 内联 ECC 存储器布局。

2.3 DDR 内联 ECC 存储器布局

DDR 内联 ECC 存储器组织是地址解码过程的基础。尽管各个处理器系列的 ECC 报告粒度各不相同，但所有支持的器件都遵循相同的原理：

- 用户数据
- ECC 保护数据

器件系列之间的主要区别在于每个 ECC 段所保护用户数据的大小。

2.3.1 TDA4VM/TDA4VE/TDA4VH

特性：

- DDR 宽度：32 位
- VBUSM 宽度：512 位
- ERR_ADR 粒度：64 字节

存储器布局：

表 2-2. TDA4VM/TDA4VE/TDA4VH 的存储器布局

系统偏移	DDR 内容	DDR 物理偏移
0x000	512B 用户数据 0	0x000 - 0x1FF
不可见	数据块 0 的 ECC	0x200 - 0x23F
不可见	数据块 1 的 ECC	0x240 - 0x27F
0x200	512B 用户数据 1	0x280 - 0x47F

因此：

$$512\text{B User Data0} + 64\text{B ECC code0} + 64\text{B ECC Code1} + 512\text{B User Data1} = 1152\text{B (0x480)}$$

系统可见存储器的每 0x400 字节在物理 DDR 空间中占用 0x480 字节。

2.3.2 DRA821/DRA829/TDA4VEN/AM62A/AM62P

特性：

- DDR 宽度：32 位
- VBUSM 宽度：256 位
- ERR_ADR 粒度：32 字节

存储器布局：

表 2-3. DRA821/DRA829/TDA4VEN/AM62A/AM62P 的存储器布局

系统偏移	DDR 内容	DDR 物理偏移
0x00	256B 用户数据 0	0x000 - 0xFF
不可见	数据块 0 的 ECC	0x100 - 0x11F
不可见	数据块 1 的 ECC	0x120 - 0x13F
0x100	256B 用户数据 1	0x140 - 0x23F

因此：

$$256\text{B User Data0} + 32\text{B ECC Code0} + 32\text{B ECC Code1} + 256\text{B User Data1} = 576\text{B (0x240)}$$

系统可见存储器的每 0x200 字节在物理 DDR 空间中占用 0x240 字节。

2.3.3 AM62/AM62L/AM64

AM62、AM62L 和 AM64 使用与节 2.3.2 中所述器件相同的物理 DDR 内联 ECC 存储器组织。但是，由于这些器件使用 16 位 DDR 接口，因此 ECC 错误报告的粒度有所不同。因此：

- ERR_ADR 粒度 = 16 字节
- ERR_MSK 宽度 = 4 位

而物理 DDR 布局保持不变。

2.4 地址解码方法

ERR_ADR 寄存器不包含直接系统地址。相反，该寄存器会记录受 ECC 保护的存储器块索引。地址粒度取决于处理器系列：

- AM62/AM62L/AM64 : 16 字节
- AM62A/AM62P/DRA821/DRA829/TDA4VEN : 32 字节
- TDA4VM/TDA4VE/TDA4VH : 64 字节

ECC 块起始地址源自 ERR_ADR，而 ERR_MSK 标识报告范围内受影响的 8 字节段。

要定位受影响的存储器位置，需要执行以下步骤：

1. 确定由 ERR_ADR 表示的 ECC 块。
2. 使用 ERR_MSK 标识受影响的 8 字节段。
3. 将产生的偏移转换为系统地址。
4. 应用 ECC 存储器布局以确定物理 DDR 地址。

2.5 AM62A 解码示例

假设：

ERR_ADR = 0x101

ERR_MSK = 0x10

AM62A 使用：

- 32 字节 ERR_ADR 粒度
- 8 位 ERR_MSK
- 256 位 VBUSM 宽度

ECC 块起始偏移：

$$0\text{x}101 \times 0\text{x}20 = 0\text{x}2020$$

由于 ERR_ADR 为奇数，故对应的 ECC 块与相邻的偶数块共用同一个 ERR_MSK 字段。因此，必须根据 ERR_ADR 的奇偶校验来调整偏移。

ERR_MSK 的位 4 被置为有效：

系统地址：

$$= 0\text{x}2020 - 0\text{x}20 + (4 \times 8) + 0\text{x}80000000$$

$$= 0\text{x}80002020$$

每 16 个 ERR_ADR 条目对应一个 0x240 字节物理 DDR 段 (包括 ECC 存储)。因此, 可通过 ERR_ADR/16 获得块计数。

物理地址:

块计数 = $0x101 / 0x10 = 0x10$

对于其所在的块, 偏移 = $0x101 \% 0x10 = 1$

在 DDR 内的位置 $0x10 \times 0x240 + 0x20 + 0x80000000 = 0x80002420$

2.6 TDA4VE 双 DDR 交错示例

TDA4VE 配置:

TDA4VE 采用两个在交错模式下运行的 DDR 控制器。每个 DDR 控制器都维护一组独立的 ECC 错误日志寄存器。因此, 报告 ECC 事件的 DDR 控制器确定哪个通道包含故障位置。

- 双 DDR 控制器
- 32 位 DDR 接口宽度
- 512 位 VBUSM 宽度
- ERR_ADR 粒度 = 64 字节
- ERR_MSK 宽度 = 16 位
- 默认 DDR 交错粒度 = 128 字节

在双 DDR 交错模式下, 连续的 128 字节存储器区域会交替映射到 DDR0 和 DDR1。对于 TDA4VE 双 DDR 交错模式, 每 16 个 ERR_ADR 条目构成一个重复地址模式。表 2-4 显示与 ERR_ADR mod 16 对应的逻辑偏移和物理偏移, 如下所示:

表 2-4. 逻辑偏移和物理偏移的 ADR 映射表

MOD(ADR,16)	DDR0 逻辑偏移	DDR1 逻辑偏移	DDR0 物理偏移	DDR1 物理偏移
0	0x0	0x80	0x0	0x80
1	0x40	0xC0	0x40	0xC0
2	0x100	0x180	0x100	0x180
3	0x140	0x1C0	0x140	0x1C0
4	0x200	0x280	0x200	0x280
5	0x240	0x2C0	0x240	0x2C0
6	0x300	0x380	0x300	0x380
7	0x340	0x3C0	0x340	0x3C0
汉明码	不可见	不可见	0x400	0x480
汉明码	不可见	不可见	0x440	0x4C0
8	0x400	0x480	0x500	0x580
9	0x440	0x4C0	0x540	0x5C0
10	0x500	0x580	0x600	0x680
11	0x540	0x5C0	0x640	0x6C0
12	0x600	0x680	0x700	0x780
13	0x640	0x6C0	0x740	0x7C0
14	0x700	0x780	0x800	0x880
15	0x740	0x7C0	0x840	0x8C0

假设:

DDR0_1B_ERR_ADR = 0x49

DDR0_1B_ERR_MSK = 0x0400

解码系统地址

地址粒度 = 64 字节

系统配置为双 DDR 交错模式，交错粒度为 128 字节。

对于每 16 个 ERR_ADR 条目：

占用的逻辑地址空间：

$$16 \times 128B = 0x800B$$

占用的物理 DDR 空间：

$$16 \times 128B + ECC \text{ 存储} \\ = 0x900B$$

ECC 块起始偏移为：

$$\text{floor}(0x49 / 16) \times 0x800 \\ 0x4 \times 0x800 \\ = 0x2000$$

ECC 块段偏移为：

$$0x49 \bmod 16 = 9$$

根据地址映射表，对应 ERR_ADR mod 16 = 9 的 DDR0 逻辑偏移为 0x440。

ERR_MSK 中的位 10 置位为：

$$\text{误差偏移} = 10 \times 8 = 0x50$$

由于 ERR_ADR 为奇数，故对应的 ECC 块与上一个地址块共用同一个 ERR_MSK 字段。因此：

系统偏移

$$= 0x440 - 0x40 + 0x50 + 0x2000 \\ = 0x2450$$

系统地址

$$= \text{系统偏移} + 0x80000000 \\ = 0x80002450$$

物理地址计算：

ECC 块起始偏移为：

$$\text{floor}(0x49 / 16) \times 0x900 \\ = 0x4 \times 0x900 \\ = 0x2400$$

ECC 块段偏移为：

$$0x49 \bmod 16 = 9$$

根据地址映射表，对应 ERR_ADR mod 16 = 9 的 DDR0 物理偏移为 0x540。

ERR_MSK 中的位 10 置位为：

误差偏移 = $10 \times 8 = 0x50$

由于 ERR_ADR 为奇数，故对应的 ECC 块与上一个地址块共用同一个 ERR_MSK 字段。因此：

物理偏移

= $0x540 - 0x40 + 0x50 + 0x2400$

= $0x2950$

物理地址

= 物理偏移 + $0x80000000$

= $0x80002950$

2.7 解码工具使用

通过将 ERR_ADR 和 ERR_MSK 值转换为相应的系统和物理 DDR 地址，电子表格工具 [TI TDA4x 内联 ECC 错误寄存器转换器](#) 自动执行地址解码过程。该工具还突出显示与 ECC 错误寄存器关联的受影响 8 字节区域。

3 总结

DDR 内联 ECC 为检测 Jacinto 7 和 Sitara 处理器上的存储器损坏事件提供了一种有效的机制。ECC 错误日志寄存器记录有关受影响的 ECC 保护存储器块的信息，但记录的值并未直接对应系统存储器地址。通过了解 ECC 存储器组织并应用本文档中所述的解码方法，用户可以准确地识别与 ECC 事件关联的存储器位置。随附的解码工具可进一步简化调试和故障分析。

4 参考资料

1. 德州仪器 (TI), [J721E DRA829/TDA4VM 处理器技术参考手册](#), 技术参考手册。
2. 德州仪器 (TI), [J721S2/TDA4VE/AM68A 技术参考手册](#), 技术参考手册。
3. 德州仪器 (TI), [J784S4/TDA4VH 技术参考手册](#), 技术参考手册。
4. 德州仪器 (TI), [J7200 DRA821 技术参考手册](#), 技术参考手册。
5. 德州仪器 (TI), [AM62Ax Sitara™ 处理器技术参考手册](#), 技术参考手册。
6. 德州仪器 (TI), [AM62Px Sitara™ 处理器技术参考手册](#), 技术参考手册。
7. 德州仪器 (TI), [AM62x Sitara™ 处理器技术参考手册](#), 技术参考手册。
8. 德州仪器 (TI), [AM64x/AM243x 技术参考手册](#), 技术参考手册。

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 [TI 销售条款](#)、[TI 通用质量指南](#) 或 [ti.com](#) 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2026，德州仪器 (TI) 公司

最后更新日期：2025 年 10 月