

AM26xx 和 C2000 微控制器的电气过载 (EOS) 保护指南



Shivasharan Nagalika, Tejas Kulkarni, Jason Whiles

摘要

电过应力 (EOS) 保护对于确保工业和汽车应用中半导体器件的长期可靠性至关重要。本应用报告提供了专为 TI AM26xx (AM263x、AM263P4x、AM261x) 和 C2000 实时微控制器系列设计的全面 EOS 保护策略/指南。

提供的设计示例包括详细计算、元件选择标准和电路板布局布线指南，可帮助工程师在其系统中实现强大的 EOS 保护。有代表性的案例研究说明了常见的 EOS 情况及其预防方法。

内容

1 简介.....	3
1.1 用途和范围.....	3
1.2 EOS 定义和重要性.....	3
1.3 EOS 与 ESD.....	3
2 器件概述和 EOS 易感性.....	4
2.1 AM26xx 系列概述.....	4
2.2 C2000 系列概述.....	4
2.3 关键引脚和接口.....	4
2.4 电源域和时序要求.....	5
3 EOS 基础知识和故障机制.....	7
3.1 ESD 二极管电流规格.....	7
3.2 系统设计 EOS 源.....	8
4 I/O 接口保护.....	10
4.1 数字 I/O 保护.....	10
4.2 通信接口保护.....	10
4.3 PWM 输出保护 (C2000).....	10
5 PCB 设计指南.....	12
5.1 元件放置.....	12
5.2 布线.....	12
5.3 接地平面设计.....	12
5.4 特定于 EOS 的布局注意事项.....	12
5.5 制造和组装 EOS 预防.....	13
6 电路内测试 (ICT) EOS 缓解.....	14
6.1 热插拔风险.....	14
6.2 ICT 期间的电源时序.....	14
6.3 充电电路板事件 (CBE).....	14
6.4 VSS 优先连接策略.....	15
6.5 手动连接器保护.....	16
7 外部保护元件.....	17
7.1 TVS 二极管选择.....	17
7.2 滤波器设计.....	17
7.3 电压钳位解决方案.....	18
8 设计示例和案例研究.....	19
8.1 案例研究：VDD/VSS 平面连接不足.....	19
8.2 案例研究：导致 I/O 缓冲器击穿的 PORz 时序无效.....	20
8.3 案例研究：隔离器输出使能在有效复位之前导致信号.....	21
8.4 案例研究：制造测试流程改进.....	22

9 总结及建议.....23

9.1 关键点.....23

9.2 AM26xx/C2000 系统的设计检查清单.....23

10 参考资料.....24

商标

所有商标均为其各自所有者的财产。

1 简介

1.1 用途和范围

本应用手册提供了有关在工业、汽车和控制应用中保护德州仪器 (TI) AM26xx (AM263x、AM263Px、AM261x) 和 C2000 系列器件免受电过应力 (EOS) 事件影响的全面指导。本文档的目标读者是：

- 嵌入式系统开发硬件设计工程师
- 实施具有 EOS 稳健性的电路板的 PCB 布局设计人员
- 执行电路内测试 (ICT) 的测试工程师
- 分析现场故障的质量和可靠性工程师

本文档中的建议和设计指南基于器件数据表、可靠性数据、故障分析报告和行业最佳实践。虽然侧重于 AM26xx 和 C2000 器件，但许多原则广泛适用于其他微控制器系列。

1.2 EOS 定义和重要性

当器件承受的电压、电流或功率水平超过其指定的绝对最大额定值时，会发生电过应力 (EOS)，从而对半导体器件立即造成损坏或潜在损坏。与涉及短时高压脉冲的静电放电 (ESD) 不同，EOS 事件通常涉及：

表 1-1. EOS 定义

特征	EOS 事件说明
电压电平	正常工作电压的 2 到 3 倍 (与 ESD 不同的 kV 级别)
持续时间	微秒到连续 (比 ESD 长得多)
电能	总能量高于 ESD 事件

行业现场故障分析数据一致表明，30-40% 的半导体器件故障是 EOS 事件所致。这些故障可能发生在：

- 制造和组装过程
- 电路内测试 (ICT) 和功能测试
- 系统上电和断电序列
- 电缆和连接器的热插拔
- 来自电感负载或开关的瞬态事件

警告：EOS 损坏可能是潜在的，这意味着器件可能最初看起来正常工作，但由于内部结构降级，因此在现场过早失效。这使得根本原因分析变得困难，并强调了预防的重要性。

1.3 EOS 与 ESD

了解 EOS 和 ESD 之间的区别至关重要，因为保护策略有很大差异：

参数	ESD 事件	EOS 事件
电压电平	kV 范围 (通常为 1kV 至 8kV)	V 范围 (通常为 5V 至 50V)
持续时间	纳秒 (< 100ns)	毫微秒转换为连续时间
峰值电流	安培 (短暂尖峰)	毫安至安培 (持续)
总能耗	低电平 (短暂持续时间)	高电平 (持续时间更长)
保护	片上 ESD 结构	外部元件 + 设计
测试标准	HBM、CDM (JEDEC)	IEC 61000-4-2，系统级

表 2；EOS 与 ESD

注意：虽然所有 AM26xx 和 C2000 器件都包含用于 HBM 和 CDM 测试的片上 ESD 保护结构，但这些结构的电流处理能力有限 (通常为 $\pm 2\text{mA}$ 连续)，如果没有外部保护，则无法防止持续 EOS 事件。

2 器件概述和 EOS 易感性

2.1 AM26xx 系列概述

AM26xx 系列包括 AM263、AM263P 和 AM261 面向汽车、工业自动化、电机控制和工业以太网应用的实时微控制器。主要特性包括：

- 运行频率高达 400MHz 的 ARM Cortex-R5F 内核
- 工业以太网 (EtherCAT、PROFINET、EtherNet/IP)
- 用于电机控制的高速 ADC 和 PWM 模块
- OSPI/QSPI 闪存接口
- 多个电源域：VDD_CORE (1.2V)、VDDSHV (3.3V)、VDDA (3.3V)
- 温度范围：-40°C 至 125°C (工业) 或 -40°C 至 150°C (汽车)

AM26x 器件采用 256 引脚、293 引脚、304 引脚和 324 引脚 BGA 封装，可为复杂的汽车和工业系统提供广泛的 I/O 选项。

2.2 C2000 系列概述

C2000 实时微控制器系列 (F28004x、F2837x、F2838x) 针对电力电子产品和电机控制应用进行了优化。主要特性包括：

- C28x DSP 内核，以最高 200MHz 的频率运行
- 控制律加速器 (CLA) 协同处理器
- 分辨率为 150ps 的高分辨率 PWM
- 具有差分输入和同步采样的 16 位 ADC
- 集成比较器可实现逐周期电流限制
- 电源域：VDD (1.2V)、VDDA (3.3V)、VDDIO (3.3V 或 1.8V)、VDDPLL
- 适用于高侧栅极驱动器的自举电路支持

C2000 器件采用 64 引脚至 337 引脚封装，支持从单相逆变器到复杂三相电机驱动器的各种应用。

2.3 关键引脚和接口

某些引脚和接口特别容易受到 EOS 损坏的影响，需要仔细保护：

2.3.1 电源引脚

- VDD_CORE / VDD：核心逻辑电源 (1.2V)
- VDDSHV / VDDIO：I/O 电源 (通常为 3.3V，部分支持 1.8V)
- VDDA / VDDAPLL：用于 ADC 和 PLL 的模拟电源 (3.3V)
- VSS / VSSA：接地基准

关键考量因素

- 在上电和断电期间，电源引脚必须正确时序控制
- 去耦电容器必须靠近器件放置 (10mm 以内)
- 每个电源域/电源轨都需要单独的监控和保护功能

2.3.2 复位和配置引脚：

- PORz (上电复位)：上电复位 (逻辑低电平使能) 引脚
- WARMRSTn：热复位 (逻辑低电平使能) 输入和复位状态输出引脚
- 引导模式 [SOP - 电源检测] 配置引脚

EOS 风险

- 在 VDD 有效之前施加信号电压可能会导致门锁
- PORz 的缓慢上升时间 (>1ms) 可能会使器件处于未定义状态
- 在电源轨稳定之前，PORz 路径中的二极管可能会导致过早释放

2.3.3 通信接口引脚：

- 以太网 (AM26xx)：RMII/RGMII 连接到外部 PHY
- SPI、I2C、UART：标准通信外设
- CAN/MCAN：汽车和工业总线接口

外部连接使这些引脚易受以下影响：

- 电缆连接产生的 ESD 事件
- 系统之间的接地电位差
- 系统集成或服务期间的热插拔

2.3.4 模拟输入引脚 (ADC)：

- 单端或差分模拟输入
- 通常设计用于 0V 至 3.3V 输入范围
- 一些 C2000 器件支持 0V 至 5V 输入

保护要求：

- 用于在过压期间限制电流的串联电阻
- 用于瞬态抑制的钳位二极管或 TVS
- 用于抗噪的 RC 滤波

2.3.5 PWM 输出引脚 (C2000)：

- 栅极驱动器的高速开关输出
- 可能与高压下的自举电路相连
- 快速边沿速率提高了对 EMI 引起的 EOS 的易感性

2.4 电源域和时序要求

AM26xx 和 C2000 器件都有多个电源域，必须正确地对其进行时序控制以防止 EOS 损坏。

2.4.1 AM26xx 电源域：

- VDD_CORE (1.2V)：内核逻辑和存储器
- VDDSHV (3.3V)：包括以太网 PHY 接口的高压 I/O
- VDDA (3.3V)：模拟电路 (ADC，振荡器)

2.4.2 时序控制要求：

- 在释放 PORZ 之前，VDD_CORE/VDDSHV 必须保持稳定
- 所有电源都必须单调斜升 (不会出现骤降或反向)
- 在断电期间，顺序可能会颠倒
- 请参阅特定于器件的数据表

2.4.3 C2000 电源域：

- VDD (1.2V)：内核逻辑、闪存、外设
- VDDA (3.3V)：模拟电路 (ADC、PLL、振荡器)
- VDDIO (3.3V 或 1.8V)：I/O 缓冲器
- VDDPLL：PLL 模拟电源 (通常连接到 VDDA)
- 请参阅特定于器件的数据表

2.4.4 排序违反的后果：

1. 击穿电流：

当 I/O 缓冲器在其电源有效之前接收到输入信号时，NMOS 和 PMOS 输出晶体管可能会同时部分导通，从而导致高电流通过输出级从 VDDIO 流向 VSS。

2. ESD 二极管应力：

当 VDD 尚不有效时驱动为高电平的信号引脚会将 ESD 保护二极管从信号引脚正向偏置至 VDD，从而向未上电的 VDD 轨注入电流。

3. 未定义的设备状态：

在电源稳定之前过早释放复位 (PORz 变为高电平) 可能会导致器件在无效的电源电压下开始运行。这可能会损坏内部寄存器、闪存编程或导致难以调试的不稳定行为。

3 EOS 基础知识和故障机制

3.1 ESD 二极管电流规格

大多数 AM26xx 和 C2000 微控制器在其数据表的绝对最大额定值部分中指定了 $\pm 2\text{mA}$ 的最大 ESD 二极管电流。此规格对于正确的系统设计至关重要，经常被误解。

3.1.1 了解规格

$\pm 2\text{mA}$ ESD 二极管电流规格表示可以安全地通过片上 ESD 保护结构流向电源轨 (VDD 或 VSS) 的最大连续电流。在以下情况下会触发这些 ESD 结构：

- 信号电压超过 $VDD + 0.3\text{V}$ (上部 ESD 二极管导通至 VDD)
- 信号电压降至 $VSS - 0.3\text{V}$ 以下 (下部 ESD 二极管导通至 VSS)

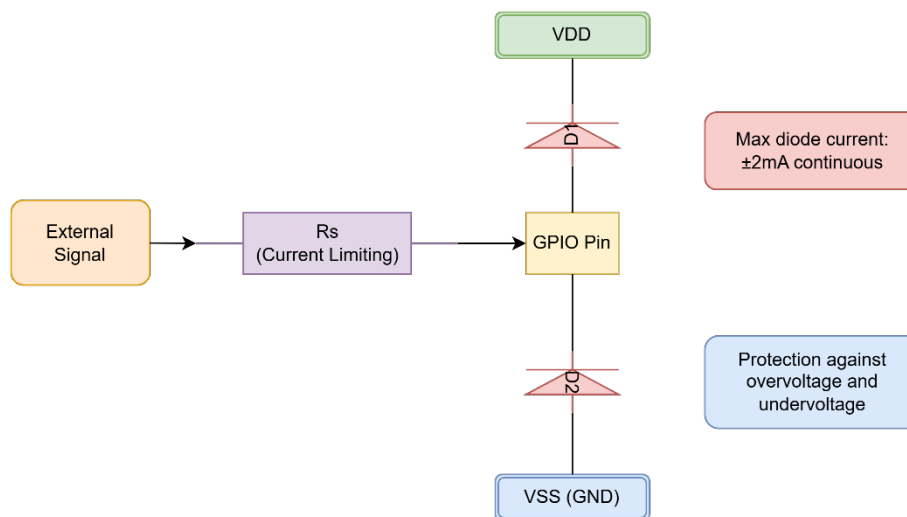
有关该规范的要点：

- $\pm 2\text{mA}$ 限值适用于持续或持续时间较长的电流 (毫秒或更长)
- ESD 结构可在实际 ESD 事件期间承受更高的电流 (纳秒级安培数), 如 HBM/CDM 等级所规定
- 该限制本质上是热限制——持续电流会产生热量, 从而可能损坏结构
- 应用设计必须限制通过外部电阻器的电流或防止出现过压情况

3.1.2 ESD 二极管保护结构

每个 I/O 引脚上的片上 ESD 保护通常包括：

- 从 I/O 引脚到 VDD 电源轨的上部钳位二极管
- 从 VSS 电源轨到 I/O 引脚的下部钳位二极管
- 内部电阻和寄生效应



Typical ESD Diode Protection Structure

图 1 ; ESD 二极管结构

3.1.3 下电上电期间的重要副作用

严重警告：当主电源 (VDD/DVCC) 未上电且在 GPIO 引脚上施加电压时，ESD 二极管规范方法不适用。这可能导致通过 ESD 结构向 MCU 意外供电，从而造成：

- 通过 I/O 引脚对器件反向供电
- 不可预测的器件行为和代码执行
- 存储器损坏

- 可能会对器件造成物理损坏

要防止反向供电问题，请执行以下操作：

- 确保主电源在任何 I/O 信号之前或与任何 I/O 信号同时上电
- 在电源时序中考虑 LDO 延迟和内联电容

3.2 系统设计 EOS 源

除了元件级和 PCB 级保护之外，系统级设计决策会显著影响 EOS 敏感性。

3.2.1 总线争用

当多个驱动器尝试同时控制同一信号线时，会发生总线争用，从而在输出之间产生大电流。这在电源时序或模式转换期间尤其具有破坏性。

常见场景

- 多个器件在没有适当芯片选择控制的情况下驱动共享 SPI 总线
- 地址冲突期间的 I2C 总线争用
- GPIO 引脚配置为连接到同一网络的多个器件上的输出
- 具有不正确使能时序的双向电平转换器

预防策略

- 对共享总线实施严格的芯片选择协议
- 将具有使能控制的三态缓冲器用于多主系统
- 在上电期间将所有 GPIO 配置为输入（高阻抗）
- 在可能争用的信号上添加串联电阻（22 Ω 至 100 Ω ）以限制电流

3.2.2 电压电平不正确

向器件引脚施加不正确的电压是导致 EOS 的直接原因。这可通过以下方式实现：

- 电平转换器故障：当电平转换器发生故障或配置错误时，5V 信号会达到额定电压为 3.3V 的引脚。
- 热插拔事件：当电路板连接到供电系统时，可能会发生电压瞬变。使用串联电阻器、TVS 二极管和受控压摆率实现热插拔保护。
- 反向供电：通过 I/O 引脚流入断电电压域的电流会导致幻象上电和锁存。使用隔离缓冲器或串联二极管来防止反向供电路径。
- 验证所有电压测量值在所有操作条件下是否都保持在数据表规格范围内。在多个生产单元之间执行测量，以考虑元件容差和电路板间的差异。
- 使用配备过压保护 (OVP) 和欠压保护 (UVP) 的电源。这些保护功能会在电压超过安全阈值时自动禁用电源，从而防止电压尖峰和电压骤降导致的欠压条件导致电气过载 (EOS)。

3.2.3 阻抗不匹配和信号完整性

对于高于 50MHz 的信号或超过 6 英寸的布线长度，传输线效应会变得显著。阻抗不匹配会导致反射，从而使接收端的信号电压加倍。

对于 AM26xx (RGMII、OSPI/QSPI) 和 C2000 (eQEP、高速 PWM) 上的高速接口：

- 使布线阻抗与驱动器/接收器规格相匹配（通常为 50 Ω 单端、100 Ω 差分）
- 提供正确的端接：驱动器处串联端接、接收器处并联端接，或双向信号交流端接
- 保持差分对的布线长度匹配（在 5mil 以内）
- 避免在最大工作频率下残桩长度大于 $\lambda/10$

如果没有适当的端接，反射电压会达到 IO 电压的 2 倍，可能会激活或超过 ESD 二极管额定值。

3.2.4 滤波和接地不足

电源噪声和接地反弹可能会导致瞬态过应力事件。高频瞬态可能会通过 ESD 保护二极管进行耦合，从而导致局部发热和逐渐退化。

滤波要求：

- 大容量去耦：在距离器件 2cm 的范围内每个电源域 10 μ F 至 100 μ F
- 高频去耦：每个电源引脚 5mm 的范围内，0.1 μ F 和 0.01 μ F
- 模拟电源引脚上的铁氧体磁珠：100-300 Ω ，100MHz
- 暴露于外部连接的通信接口上的共模扼流圈

接地最佳实践：

- 器件下方具有连续的接地平面，切口极少
- 每个 VSS 引脚相邻的多个接地过孔（目标 <1m Ω 到平面）
- 分离模拟和数字接地区域，在器件附近的单点连接
- 屏蔽层在电缆入口（而不是 PCB）接地至机箱
- 在断电期间，在断开主电源之前，禁用或三态 I/O 引脚或将引脚置于输入模式
- 考虑在 MCU 关闭时使 I/O 引脚保持供电状态的外部保护电路

4 I/O 接口保护

4.1 数字 I/O 保护

AM26xx 和 C2000 器件上的数字 I/O 引脚通常具有连接到 VDD 和 VSS 的内部 ESD 保护二极管。但是，在以下情况下通常需要外部保护：

- 引脚暴露在外部连接器上
- 信号穿过长电缆或 PCB 布线
- 接口电压可能超过器件额定值
- 存在来自电感负载的快速瞬变

例如，TVS 二极管和钳位二极管可分别用于保护数字输入引脚和模拟输入引脚。

4.2 通信接口保护

4.2.1 工业以太网 (AM26xx RMII/RGMII)：

以太网 PHY 接口连接到外部电缆时需要保护，而外部电缆可能会因电缆插入/移除、雷击引起的浪涌和接地电位差而受到 ESD 影响。

保护策略：

- 将 TVS 二极管放置在连接器上（磁性元件之前，如果存在）
- 在 MCU 和 PHY 之间的所有信号线上连接串联电阻器（ $22\ \Omega$ 至 $33\ \Omega$ ）
- 差分对的共模扼流圈
- 通过高压电容器（ $1\text{nF} / 2\text{kV}$ ）进行机箱接地连接

4.2.2 CAN 总线：

CAN 收发器通常具有内置 ESD 保护，但可能需要额外的保护：

- CAN_H 和 CAN_L 之间的 TVS 二极管（12V 系统的 24V 关断电压、24V 系统的 48V 关断电压）
- 用于提高 EMI 抗扰度的共模扼流圈
- 使用隔离式 CAN 收发器实现电隔离，适用于恶劣环境

4.2.3 SPI、I2C、UART：

对于单板载布线：串联电阻（ $22\ \Omega$ 至 $47\ \Omega$ ）通常就足够了

对于外部连接器：将 TVS 二极管（5V 或 6V 关断电压）接地

4.3 PWM 输出保护 (C2000)

驱动外部栅极驱动器或功率级的 PWM 输出需要防止电机绕组的电感反冲、自举电路耦合和功率级中的击穿事件。

基本保护：

$R_s = 22\ \Omega$ 至 $47\ \Omega$ ，D1、D2 = 快速肖特基二极管 (BAT54)

对于具有自举功能的高侧驱动器：

- 确保串联电阻可以处理自举充电电流
- 如果在故障期间自举电压可能超过 MCU VDDIO，则添加齐纳钳位

隔离：

对于高压电机驱动器（>100V 直流母线），请使用隔离式栅极驱动器来防止以接地为基准的 PWM 信号受到功率级瞬态的应力。

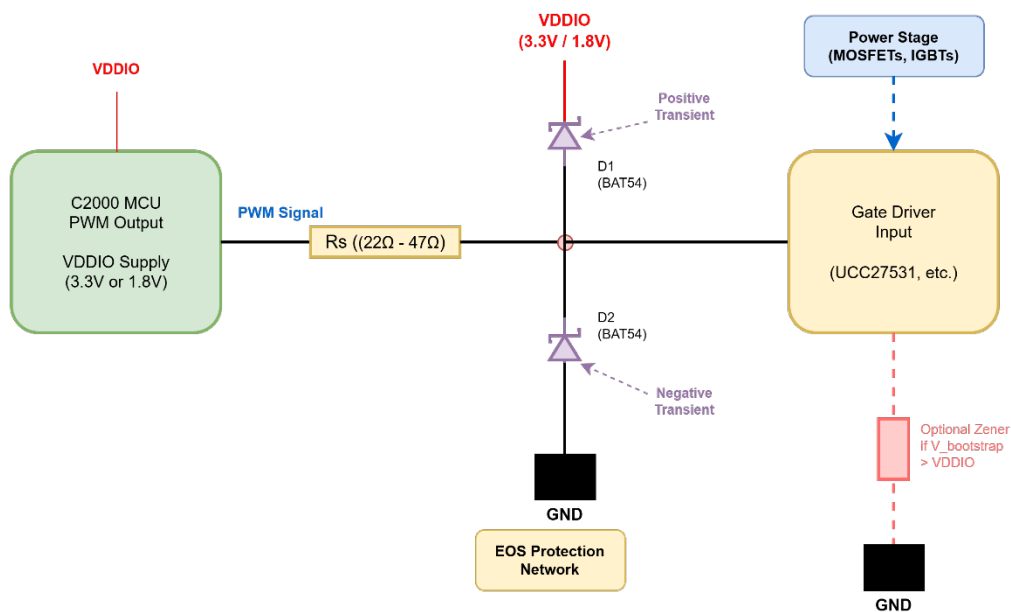


图 2；驱动栅极驱动器的 C2000 PWM 输出的基本保护

5 PCB 设计指南

5.1 元件放置

相对于微控制器正确放置元件对于 EOS 保护至关重要：

去耦电容器：

- 在每个 VDD 引脚 5mm 范围内放置 100nF 陶瓷电容器
- 使用低 ESL 封装 (0402 或 0603 X7R/X5R 陶瓷)
- 大容量电容器 (10 μ F 至 47 μ F) 可放置在 10mm 范围内

保护元件：

- 连接器处的 TVS 二极管：放置在尽可能靠近连接器的位置 (通常在 10mm 以内)
- 滤波电容器：放置在串联电阻的 MCU 侧

高电流路径：

- 尽可能减小 PWM 输出和栅极驱动器回路的环路面积
- 将栅极驱动器 IC 放置在靠近功率 MOSFET 的位置
- 在高 di/dt 路径附近使用接地平面拼接过孔

5.2 布线

电源布线：

- 对 VDD 和 VSS 使用宽布线或覆铜
- 使用多个过孔 (最好每个焊球引脚使用一个过孔) 进行层之间的转换

返回电流路径：

- 在信号布线下提供连续的接地平面
- 避免在高速信号下的接地平面中出现分割
- 沿接地平面边缘放置拼接过孔

5.3 接地平面设计

实心、连续的接地平面对于 EOS 保护至关重要，因为它为瞬态电流提供了低阻抗返回路径，为敏感信号屏蔽以及为功率元件提供散热。

接地平面最佳实践：

- 在多层 PCB 中使用专用接地层
- 尽量减少接地平面中的切口和分割
- 尽可能减小接地平面过孔周围的间隙 (5-10mil)，以最大限度地增大铜面积
- 使用接地平面作为所有高速和模拟信号的基准

接地连接：

- 通过多个过孔将 MCU 的所有 VSS 引脚直接连接到接地平面
- 在 MCU 封装的周围使用过孔拼接 (接地过孔)
- 提供从电源接地到 MCU VSS 的独立低电感路径
- 机箱接地 (如果存在) 通过高压电容器 (1nF/2kV) 和并联火花隙或 TVS 连接到 PCB 接地端

5.4 特定于 EOS 的布局注意事项

电源时序支持：

- 以低阻抗路由电源使能信号以最大限度地减少延迟
- 将电源时序 IC 放置在靠近稳压器的位置
- 为监控电路的每个电源域使用单独的迹线

连接器设计：

- 通过在连接器中使用更长的接地引脚来实现 VSS 优先连接
- 将接地引脚置于连接器的角/端
- 在入口点使用双接地引脚

5.5 制造和组装 EOS 预防

EOS 事件可能会在电路板组装和制造过程中发生。了解这些风险并实施适当的控制对于大批量生产至关重要。

5.5.1 电路板组装 EOS 源

PCB 组装期间的常见 EOS 源包括：

- **元件装配不正确**：元件未对齐、极性反转或元件放置错误可能会造成过应力条件。使用丝印标识，清楚地显示引脚 1 方向、电容器和二极管的极性指示器以及与实际尺寸相匹配的元件轮廓。
- **设备过滤问题**：焊接设备、回流炉和热风枪可能会在电源线上引入电气快速瞬变 (EFT)。这些瞬态在组装过程中会耦合到敏感电路中。对所有装配设备（尤其是烙铁和热风枪）使用过滤交流电源。
- **设备接地**：装配设备中的开路接地会导致工具提示上出现浮动电压。一项案例研究发现，烙铁头尖端上存在 60VAC 是由于接地开路连接导致器件反复出现故障。使用前，确认所有设备接地正确。
- **回流温度偏移**：回流期间过热会通过多种机制导致 EOS 损坏：封装分层导致键合线产生应力以及结温偏移。在回流曲线分析期间监测实际电路板温度。
- **带电电容器**：分立式电容器可能会保留之前的测试或组装步骤中的电荷。安装在电路板上时，这个残余电压可能会放电到敏感引脚中。必要时实施电容器放电程序。

5.5.2 制造过程中要关注的因素

要识别和防止与组件相关的 EOS：

1. 设备检查：

- 验证所有焊接设备上的交流电源滤波
- 测试工具尖端的接地导通性（应低于 1Ω 接地）
- 使用已验证接地的工业级插座
- 检查电源线是否损坏

2. 装配流程验证：

- AOI（自动光学检测）用于确定元件极性
- 针对 BGA/QFN 对齐的 X 射线检查
- RPI（回流焊工艺检查）用于确保焊点质量
- 验证丝印标记与元件方向是否匹配

3. 温度监测：

- 在性能分析过程中，将热电偶连接到代表性电路板
- 验证峰值温度是否保持在元件规格范围内
- 检查是否存在表明散热设计不足的热点

4. 进厂组件检查：

- 放电电容器后再放置
- 验证元件标识是否与 BOM 匹配
- 检查是否存在物理损坏或污染

6 电路内测试 (ICT) EOS 缓解

电路内测试 (ICT) 是 PCB 制造中的一个关键步骤，它与 PCB 建立临时电气连接，用于对 MCU 闪存进行编程、执行电气测试或执行质量控制检查。但是，ICT 会带来重大 EOS 风险，如果管理不当，可能会导致电致物理损坏 (EIPD)。

6.1 热插拔风险

热插拔是指在任一侧电源或信号处于有效状态时连接或断开电气器件。这是 ICT 操作期间 EOS 的一个重要原因。

6.1.1 热插拔故障机制

当连接器与有源信号配对时，可能会发生多种故障机制：

- 信号引脚在接地/电源之前接触。从而导致瞬态电流
- 不同电位下的系统之间的电荷转移（充电板事件）
- 通过 I/O 引脚向断电器件注入电流
- 电压峰值超出器件绝对最大额定值

6.1.2 热插拔保护

优秀实践：

- 确保接头已断电：接合前，务必切断连接器的电源和接地
- 使用具有受控电源时序的 ICT 设备
- 在测试点上添加串联电阻（典型值为 $100\ \Omega$ ）以限制瞬态电流

6.2 ICT 期间的电源时序

AM26xx 和 C2000 器件具有特定的电源时序要求，在 ICT 期间必须遵循这些要求，以防止 EOS 损坏。

6.2.1 密钥时序要求

- **在信号之前供电**：始终在向 I/O 引脚施加信号之前为器件供电。这可确保器件正确供电，并且 ESD 保护结构正常工作。
- **遵循器件特定时序控制**：有关正确的电源域时序（内核、I/O、模拟域），请参阅器件数据表
- **避免悬空输入**：确保所有 I/O 引脚都具有定义的逻辑电平或在电源转换期间处于三态

6.2.2 ICT 电源时序违规

警告：ICT 为系统提供的动力可能与操作设计不同。例如：

- ICT 仅为低压组件供电，而高压稳压器通常提供电源
- ICT 期间的电源轨激活顺序与正常运行时不同
- 针对特定测试序列的局部系统上电

这些情况可能会导致意外的电源时序违例。缓解策略：

- 分析 ICT 电力输送路径与运营路径
- 确保电压应用顺序一致
- 如有需要，在 ICT 软件中实施时序控制延迟
- 使用电压监控器来监测正确的时序控制

6.3 充电电路板事件 (CBE)

当物理隔离的电气系统之间存在静态电压电势时，会发生充电电路板事件 (CBE)。连接这些系统后，电流浪涌流过电路板。幅度取决于元件的电压差和电容。

6.3.1 CBE 机制

由于以下原因，CBE 可能会造成严重损坏：

- 电流幅度可能瞬间超过安培电平
- 信号引脚的电流处理能力有限

- 即使电压差相对较小 ($< 10V$)，也会造成损坏
- 电路板电容储存大量能量 ($C = nF$ 至 μF 范围)

电容中存储的能量： $E = \frac{1}{2}CV^2$

对于在 $5V$ 电势差下具有 $100nF$ 电容的电路板：

$$E = \frac{1}{2} \times 100 \times 10^{-9} \times 5^2 = 1.25\mu J$$

这种能量虽然看似很小，但会通过连接引脚在纳秒内放电，从而产生高峰值电流，进而损坏敏感的 I/O 结构。

6.3.2 缓解高电容电荷耗散问题

电源网络 (VDD3V3) 等高电容节点具有储存和放电大量能量的能力，因此会存在充电电路板事件 (CBE) 风险。

6.3.2.1 反向充电机制

- VSS 可快速均衡为站点的公共接地电压。
- 由于其高节点电容，VDD3V3 暂时保持在较大的负电压下。
- 从 VSS 到 VDD3V3 的 MCU 内部寄生结构和 ESD 二极管正向偏置。
- 高浪涌电流涌入这些敏感的内部路径，超过其电流处理能力，导致器件永久损坏。

6.3.2.2 板级分流保护

为了保护内部 IC 结构，设计人员应提供一个低阻抗外部旁路路径来安全地吸收 CBE 电流。

- 实施：在 VSS 和高电容电源轨 VDD3V3 之间直接放置一个板级保护二极管
- 方向：将阳极连接到 VSS，将阴极连接到 VDD3V3
- 二极管选型：外部钳位必须具有低导通正向电压，例如高功率肖特基势垒二极管
- 运行：在负 CBE 期间，外部肖特基二极管在内部硅 ESD 结构之前导通。这会将破坏性浪涌电流分流到远离 IC 的位置，安全地耗散整个板级元件上的能量。

6.4 VSS 优先连接策略

CBE 和一般 ICT EOS 保护的主要缓解战略是实施 VSS 优先 (接地优先) 连接。这可确保在信号或电源引脚接触之前建立接地基准。

6.4.1 VSS 优先的设计原则

基本原则：

在连接器插接期间，VSS (接地) 引脚应首先接触，因为：

- 接地平面可以处理大浪涌电流而不会损坏
- 在信号传输之前建立共同的基准电位
- 尽可能减小系统之间的电压差
- 为瞬态电流提供返回路径
- 降低 CBE 期间信号引脚损坏的风险

6.4.2 实现方法

有几种物理设计方法可以实现 VSS 优先连接：

方法	实现详情
更长的 VSS 引脚	设计连接器的 VSS 引脚比信号/电源引脚长 1mm 至 2mm
钉床固定装置	在 ICT 装置中使用较高的 VSS 测试点 (高 0.5mm 至 1mm)
双 VSS 放置	将 VSS 引脚放在连接器的两端 (角/端头先触点)
凹入式信号引脚	相对于 VSS 引脚略微凹陷的信号/电源引脚

表 3；ICT 实现方法

6.5 手动连接器保护

在处理和连接过程中，手动连接器和外露接头特别容易受到 ESD 和 EOS 事件的影响。除了 VSS 优先设计之外，这些设计还需要额外的保护。

6.5.1 过孔保护技术

- ESD 保护二极管：将 TVS 二极管置于连接器入口点
- 串联电阻器：在裸露的信号线上添加 $100\ \Omega$ - $330\ \Omega$ 电阻器
- RC 滤波器：为较慢的信号实施 RC 低通滤波器
- 保形涂层：在暴露的管座上涂抹保护涂层
- 连接器护罩：使用接地的金属外壳

✓ **建议：**对于 AM26xx 和 C2000 系统上的现场可访问连接器，应实现多层保护：**VSS 优先的机械设计 + 串联电阻器 + TVS 二极管。**

7 外部保护元件

7.1 TVS 二极管选择

瞬态电压抑制器 (TVS) 二极管是发生快速瞬变和 ESD 事件的主要保护器件。

7.1.1 主要参数：

1.关断电压 (V_{standoff} 或 V_{RWM})：TVS 保持非导通时的最大电压。必须大于最大信号或电源电压。通常选择比工作电压高 20-30%。

2.击穿电压 (V_{BR})：TVS 开始显著传导时的共模电压。在测试电流下指定 (通常为 1mA)。应低于受保护引脚的绝对最大额定值。

3.钳位电压 (V_{clamp})：浪涌事件期间 TVS 两端的实际电压。在峰值脉冲电流下指定 (ESD 事件通常为 1A 或 8A)。关键参数：必须小于绝对最大额定值。

4.峰值脉冲电流 (I_{PP})：TVS 可以处理的最大浪涌电流。针对电源浪涌的脉冲为 8/20 μs ，针对 ESD 的上升时间为 1ns。根据预期的瞬态能量进行选择。

5.电容：结电容会影响高速信号。适用于 >10MHz 应用的低电容类型。典型值：15pF 至 150pF，具体取决于额定电压。

7.1.2 单向与双向使用：

- 单向：适用于相对于接地始终为正的信号 (例如，电源)
- 双向：适用于可能具有正负摆幅的信号 (例如，差分接口、交流耦合信号)

7.1.3 放置：

- 安装在尽可能靠近受保护引脚或连接器的位置 (<10mm)
- 保持较低的布线电感 (短而宽的布线)
- 通过多个过孔直接连接到接地平面 (至少 2 倍)

7.2 滤波器设计

RC 滤波器通过限制压摆率和衰减高频瞬态来提供 EOS 保护和 EMI 抗扰度。

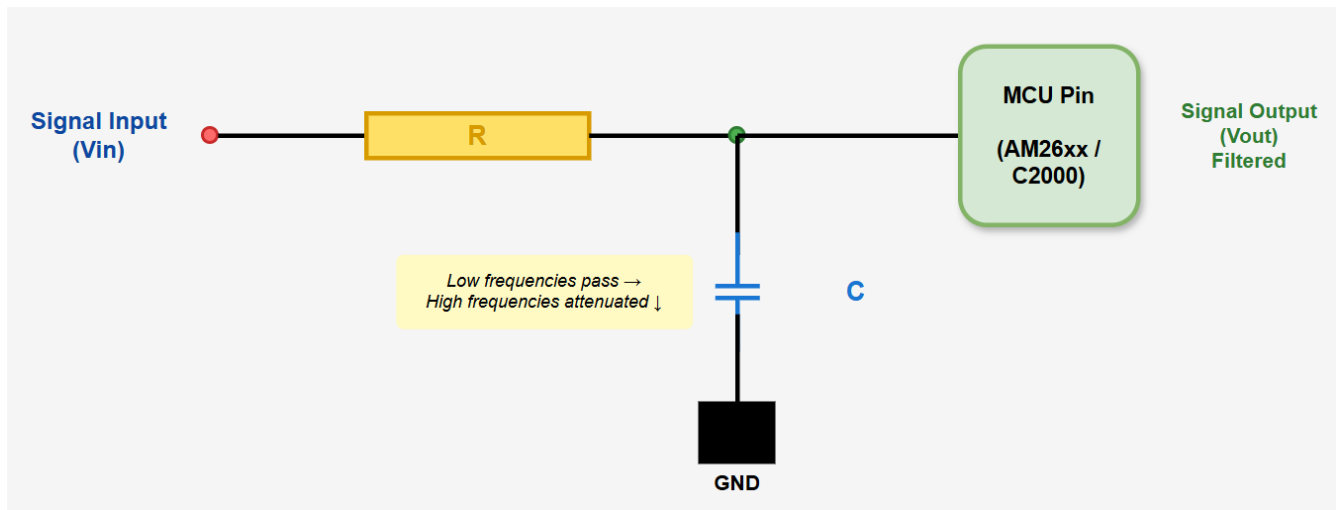


图 3；滤波器设计

截止频率： $f_c = 1 / (2\pi \times R \times C)$

设计注意事项：

1.截止频率选择：

- 应比最大信号频率高 3-10 倍

- 对于数字信号： $f_c > 10 \times f_{\text{signal}}$
- 对于模拟信号： $f_c = 2-3 \times f_{\text{signal}}$ (用于保留带宽)

2. 电阻值：

- 受逻辑转换期间可接受的压降的限制
- 对于 3.3V 逻辑且带 4mA 驱动的情况： $R < (3.3V - 2.4V) / 4mA = 225 \Omega$
- 典型范围：22 Ω 至 100 Ω (数字信号)、1k Ω 至 10k Ω (模拟输入)

3. 电容值：

- C7R 或 X7R 陶瓷电容器确保在温度范围内保持稳定性
- 典型范围：100pF 至 10nF
- 考虑 MCU 引脚的输入电容 (通常为 5-10pF)

7.3 电压钳位解决方案

当可能会超过 ESD 二极管电流限值时 (例如, 在外部信号激活的下电上电期间), 需要外部电压钳位。

齐纳二极管钳位：

置于电源轨之间以在反向供电期间钳制电压。

齐纳电压选择： $V_Z = \text{标称值 } VDD + 10-20\%$

示例：对于 3.3V 电源轨, 使用 3.6V 或 3.9V 齐纳二极管

计算示例：

如果外部电路可通过 ESD 二极管将 10mA 提供给 VDD：

$$P_{\text{zener}} = V_Z \times I = 3.6V \times 10mA = 36mW$$

选择额定功率为 200mW (SOD-323 封装) 的齐纳二极管以确保安全裕度

并联稳压器钳位：

要实现更高的电流或更严格的电压调节, 请使用并联稳压器 (例如 TLV431)。

与齐纳二极管相比的优势：

- 更严格的电压容差 ($\pm 0.5\%$ 对比 $\pm 5\%$)
- 较低的动态阻抗
- 可处理更高的电流 (高达 100mA)

使用电阻分压器设置钳位电压： $V_{\text{clamp}} = V_{\text{ref}} \times (1 + R1/R2)$

其中, TLV431 的 $V_{\text{ref}} = 1.24V$

对于 3.45V 钳位： $3.45V = 1.24V \times (1 + R1/R2)$, $R1/R2 = 1.78$

选择 $R2 = 10k \Omega$ 、 $R1 = 17.8k \Omega$ (使用 18k Ω 标准值)

参数	TVS 二极管	齐纳二极管	并联稳压器
响应时间	<1ns	<1ns	~1 μ s
峰值电流	极高 (A)	中等 (mA)	中等 (mA - 100mA)
电压容限	$\pm 5-10\%$	$\pm 5\%$	$\pm 0.5-2\%$
最适合	快速瞬变	直流钳位	精密钳位

表 4；钳位解决方案

8 设计示例和案例研究

8.1 案例研究：VDD/VSS 平面连接不足

器件：AM2634

故障模式：在多个 I/O 单元和电源轨电容器中，VDD33 与 VSS 短接

问题：

物理故障分析证实了类似的故障特征，显示了裸片类似区域的 VDD33 短路。光学和 IR 成像显示 VDD (R9)、VDD33 (R15)、VDDA33 (P9) 与 VSS 上存在金属飞弧。

根本原因调查：

客户 PCB 设计中到 AM2634 下方 VSS (PGND) 和 VDD (VCC1V2LV) 平面的铜连接不足。从 AM2634 区域外部连接到内部的平面覆铜宽度不足，不足以可靠地处理 AM2634 所需的 >2A 浪涌电流。上电期间，大浪涌电流会在电源平面中产生意外的电压差和振铃瞬态，从而影响电源电压并导致 I/O 单元上产生电压应力。与 TI EVM (TMDSCNCD263) 相比，客户电路板用于电流分配的铜面积明显更小。

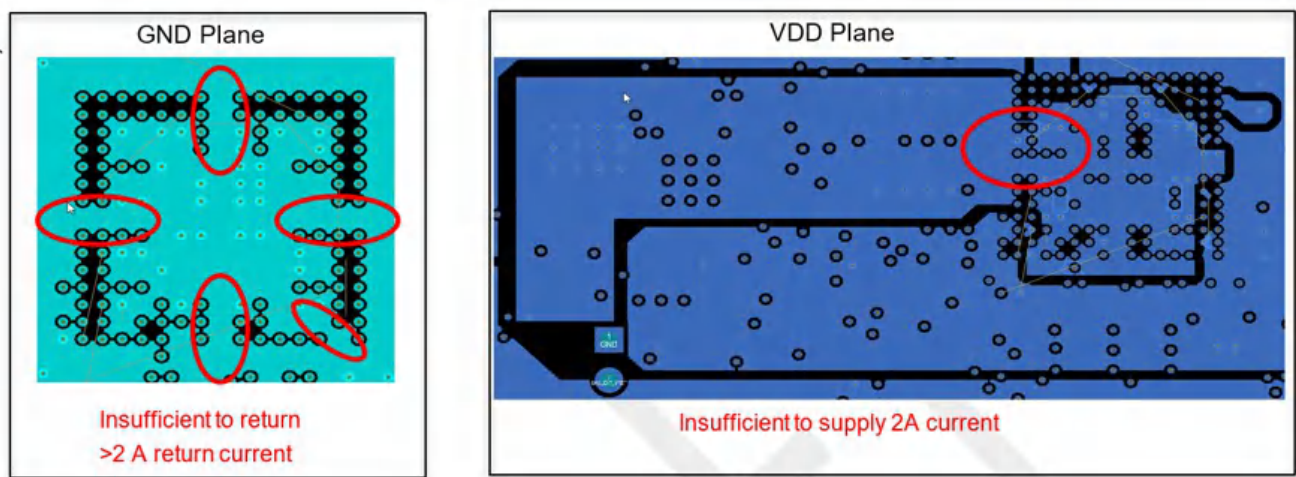


图 4：有问题的布局

纠正措施：

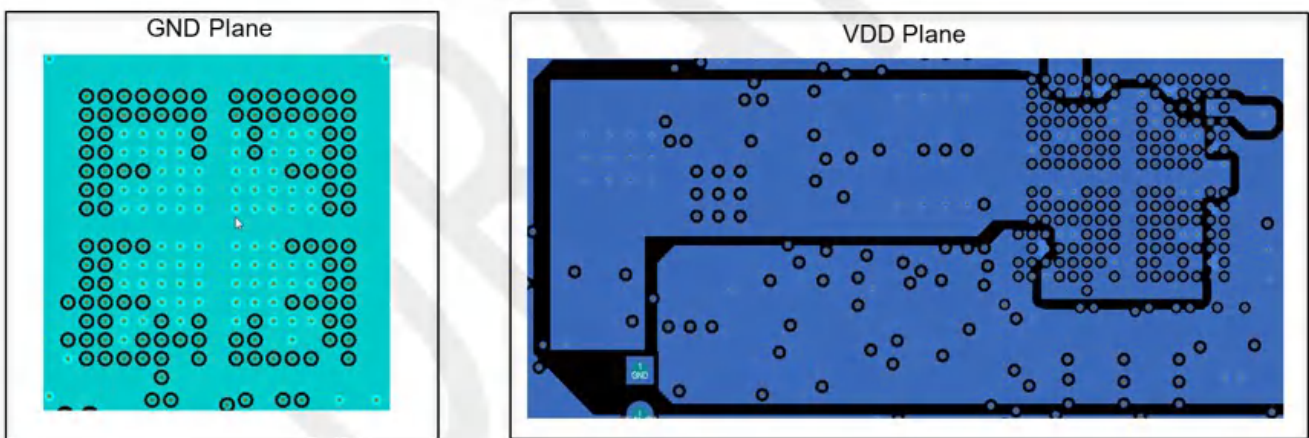


图 5；参考 EVM 布局

减小过孔和平面之间的间隙，以允许覆铜分布在过孔之间。在器件下方的 VDD 和 VSS 平面中使用铜覆盖尽可能多的区域。重新设计了 PCB，以匹配 TI EVM 参考设计的铜分配模式。已验证 VDD 和 VSS 连接的载流能力 >2A。

结果：

此案例证明了充分的配电网设计至关重要。EOS 专家证实，接地不足可能导致观察到的故障。故障位置一致性（多次故障分析中的类似区域）表明存在环境压力，而不是制造缺陷。

设计课程：电源平面铜的尺寸必须适合最坏情况下的浪涌电流，而不仅仅是稳态电流。TI EVM 的参考设计提供了经过验证的配电布局。

8.2 案例研究：导致 I/O 缓冲器击穿的 PORz 时序无效

器件：AM2634

故障模式：VDDS33 和 VDDS18 短接至 VSS

问题：

PORz（上电复位）信号通过两种方式违反了 AM263x 数据表要求。

问题 1 - PORz 路径上的二极管：放置在 POW_RESET 信号和 PORz 引脚之间的二极管允许 PORz 在 VCC1V2LV (VDD) 完全斜升至 1.2V 之前上升 >0.5V。根据 AM263x 数据表，PORz V_IL（最大值）= 0.5V，这意味着在 AM2634 VDD 达到有效 1.2V 电平之前，PORz 可能被读取为逻辑高电平。

问题 2 - PORz 上升时间较慢：PORz 信号的上升时间非常慢（数毫秒），导致 V_IL（最大值）和 V_IH（最小值）之间长时间处于未知状态（min）：0.5V 至 1.35V。

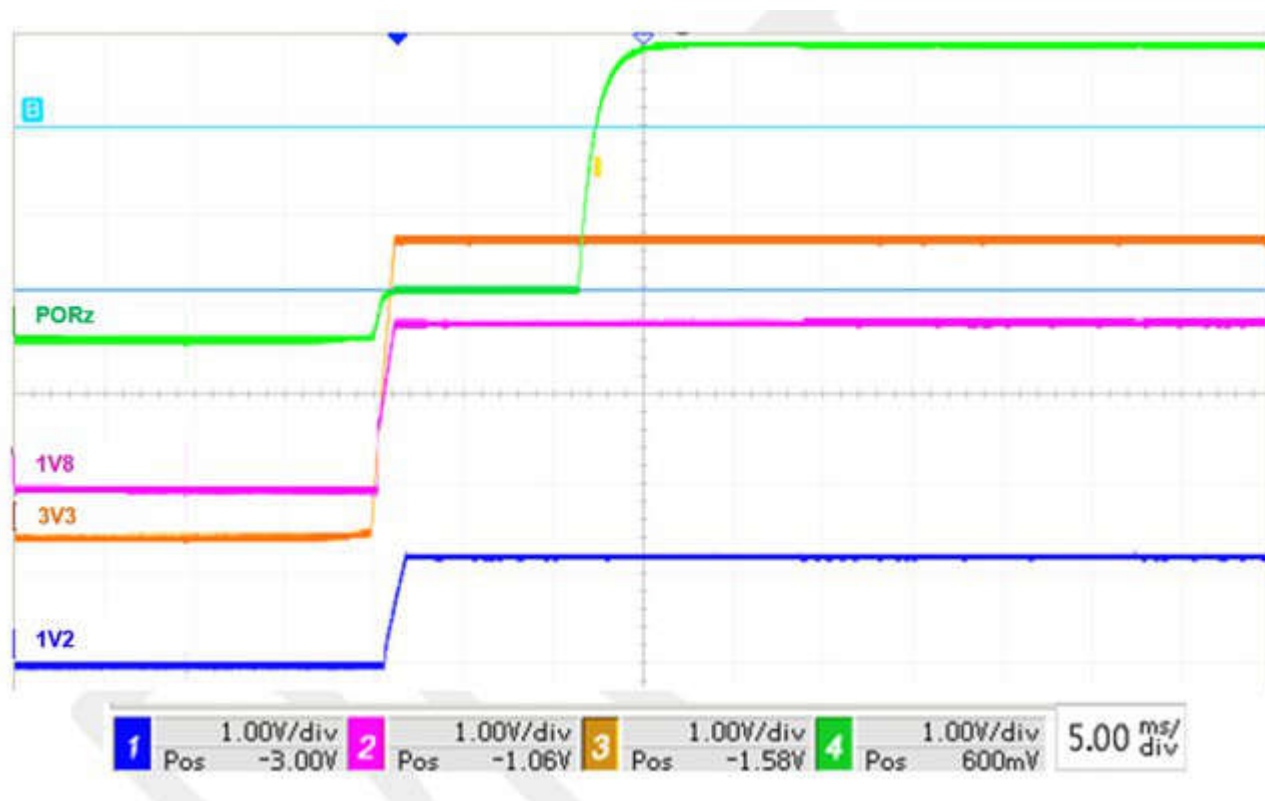


图 6；加电顺序

根本原因调查：

TX 方框图显示了：电平转换器 (1.8V) 到前置驱动器 (1.8V) 到 I/O 驱动器 (VDDIO)。

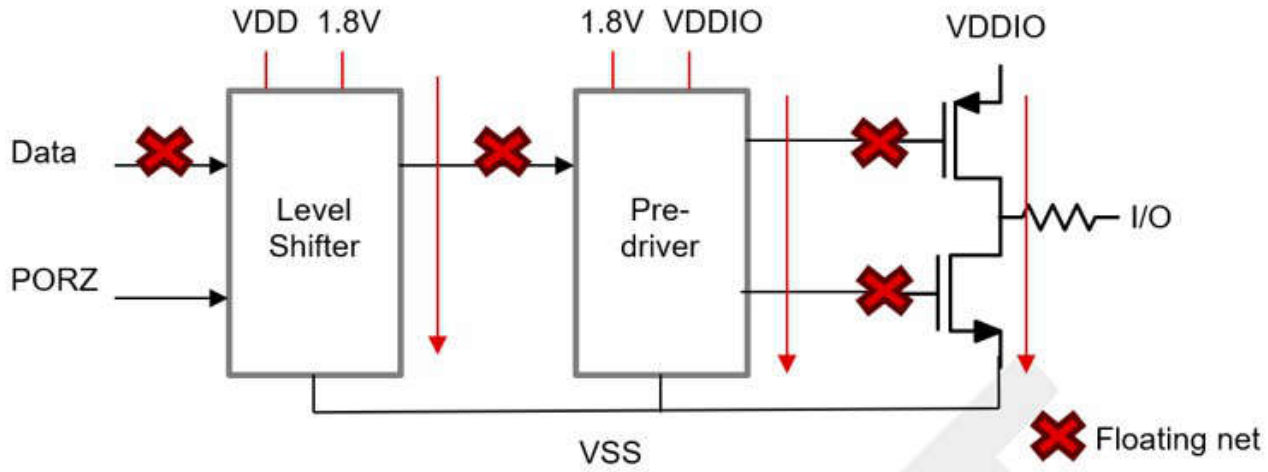


图 7；内部栅极驱动器电路

当 PORz 在 VDD 有效之前上升时，电平转换器会因悬空输入而取消门控，从而导致短路电流 (VDD_{S18} 至 VSS)。

电平转换器输出达到中间电平，驱动器栅极悬空，导致短路电流 (VDDIO 至 VSS)。这些击穿电流是瞬态，但 PDN (配电网络) 不良会导致电压累积。

再加上铜电压应力不足会导致 EOS 故障。

当 PORz 在 VDD 有效之前对电平转换器进行门控时，所有级都进入具有高电流的未知状态。

纠正措施：

移除 POW_RESET 与 PORz 引脚之间的二极管。如果 POW_RESET 为 3.3V 逻辑，请直接连接到 PORz。如果将多个电源正常信号组合在一起，则使用逻辑与门确保在 PORz 置为有效之前所有信号都处于高电平。对具有更强/更快上升时间的 PORz 使用驱动信号，以最大限度地缩短电压范围不确定的时间。

8.3 案例研究：隔离器输出使能在有效复位之前导致信号

器件：AM2634

故障模式：I/O NMOS/PMOS 晶体管上的击穿电流会导致 VDD_{S33}/VDD_{S18} 与 VSS 短路

问题：

引脚 A7 (AM2634 UART RX 输入) 在有效的 PORz 释放之前接收到有效信号。A7 通过 ISO7741 数字隔离器连接。ISO7741 侧 1 由 VCC3V3LV (AM2634 3.3V 电源轨) 供电，侧 2 由 P3V3 供电。两侧输出使能端 (EN1、EN2) 直接连接到相应的电源轨。A7 不是 AM2634 上的失效防护 I/O 引脚。

根本原因调查：

电路板上电期间发生电源时序违反：

- VCC3V3LV 在 VCC1V2LV 之前斜升 (AM2634 内核 VDD 达到 1.2V)，
- ISO7741 EN1 连接到 VCC3V3LV，因此当 VCC3V3LV 存在时，输出驱动器 (OUTD) 会立即启用，
- 没有什么能阻止 ISO7741 将 BATMCI_AC_LV_SCI_RX 驱动为高电平，向 AM2634 焊盘 A7 施加 3.3V 电压，
- 这发生在 AM2634 电源轨有效之前和 PORz 释放之前，
- 处于未知状态 (未正确复位) 的 AM2634 I/O 缓冲器，导致击穿电流，
- 击穿电流流经 NMOS/PMOS 驱动器晶体管：VDD_{S33} 和/或 VDD_{S18} 连接到 VSS。

物理故障分析证实了 NMOS/PMOS 驱动器在晶体管级损坏，与无效复位条件下的击穿电流一致。

纠正措施：

- 将 ISO7741 侧 1 使能 (EN1) 连接到有效的 AM2634 PORz 信号，而不是 VCC3V3LV。
- 这可确保在 ISO7741 激活 UART 信号之前，AM2634 I/O 缓冲器处于已知状态（关闭）。
- PORz 仅在所有电源轨有效后才会变为高电平，从而防止信号过早置为有效。
- 对驱动 AM2634 输入的所有隔离器和缓冲器应用相同的原理。
- 通过使用 PORz 门控隔离器使能，信号无法到达 AM2634 引脚，直到器件使用有效电源电压完成上电复位。

这样可以消除导致 I/O 驱动器损坏的击穿电流路径。

8.4 案例研究：制造测试流程改进

器件系列：F280025 - C2000 实时 MCU

故障模式：ICT/FCT 期间的 EOS/EIPD 损坏（电路内测试/功能电路测试）

问题：

其中一位客户使用 F280025 发生 EOS/EIPD 故障。故障分析证实了 VDD 事件导致 EIPD/EOS 或信号引脚上的器件损坏，与 VSS 一致。

问题根源已查明，在于电路板设计及制造测试流程方面的问题。

电路板设计问题：

1. 具有电流负载限制的 VDD 连接（铜量不足）
2. 具有电流负载限制的 VSS 连接，
3. PORz 时序问题
4. 输出启用连接到 PORz 的信号，但无需正确验证。
5. 制造测试问题：热插拔（在电源/信号处于活动状态时连接测试装置），
6. ICT/FCT 期间的电源时序违规不符合数据表要求，
7. VSS 优先连接不足（测试装置接地引脚未扩展），
8. 固定装置连接期间的充电电路板事件 (CBE)。

纠正措施：

两个主要的生产线改进：

(1) 接地引脚延长 — 用于制造测试仪到应用板的连接器上的扩展接地引脚。

- 确保在固定装置连接过程中首先连接 VSS。减轻电路板充电事件 (CBE) 损坏。

(2) 电源序列校正 — 更新了电源序列以消除热插拔。更正了上电/断电序列以符合 TI 数据表要求。

- 确保在接通电源前接地牢固。在向其他引脚施加信号之前已对连接器电源引脚施加电源。

制造测试流程是一个关键的 EOS 风险因素。即使应用板设计正确，在 ICT/FCT 期间热插拔，电源时序违规和接地不足也会导致器件损坏。测试装置设计应与产品设计同样受到重视。必须在所有产品中系统地应用在一个产品线上证明的改进，以防止重复出现故障。

9 总结及建议

AM26xx 和 C2000 微控制器的电气过载 (EOS) 保护需要采用全面的多层方法来解决电源设计、I/O 接口保护、PCB 布局和制造测试程序问题。

9.1 关键点

1. ESD 二极管电流规格： $\pm 2\text{mA}$ 通过片上 ESD 二极管的最大持续电流是一种热限制。外部保护必须防止超出此限值。
2. 电源的相互作用：选择 LDO 时必须考虑灌电流能力。超低功耗 LDO 需要外部电压钳位，以防止 ESD 二极管导通导致电源电压升压。
3. 电源时序：严格遵守器件特定电源时序可防止电源转换期间发生闩锁和 EOS。内核电压必须在 I/O 电压之前或与 I/O 电压同时建立。
4. ICT 保护：电路内测试需要先进行 VSS 连接，控制电源时序并消除热插拔条件，从而防止电路板充电事件 (CBE) 和相关 EOS。
5. 多层防御：没有一种单一的保护方法就能做到万无一失。将串联电阻器、TVS 二极管、滤波器和适当的 PCB 布局相结合，可实现强大的 EOS 抗扰度。

9.2 AM26xx/C2000 系统的设计检查清单

电源：

- 电源时序已根据数据表要求进行验证
- 如果使用超低功耗 LDO，则添加外部电压钳位
- 电压监控电路会监控所有电源轨

I/O 接口：

- 在可能超过电源电压的信号上使用串联电阻器
- 连接器入口点处的 TVS 二极管
- 模拟输入上的 RC 滤波器
- 通信接口已正确端接

PCB 布局：

- 在电路板边界处放置保护元件
- 实现实心接地平面
- 尽可能减少电流环路
- 在敏感的模拟部分周围设置防护环

ICT 程序：

- 实现 VSS 优先的连接设计
- 消除热插拔条件
- ICT 电源时序与操作时序相匹配
- 测试装置包括信号路径上的串联电阻

10 参考资料

1. 德州仪器 (TI), [AM263x Sitara™ 带实时控制功能的微控制器](#), 数据表。
2. 德州仪器 (TI), [AM261x Sitara™ 微控制器](#), 数据表。
3. 德州仪器 (TI), [TMS320F2838x 实时微控制器](#) 数据表。
4. 德州仪器 (TI), [TMS320F28004x 实时微控制器](#) 数据表。
5. 德州仪器 (TI), [ESD 二极管电流规格](#), 应用报告。
6. JEDEC 标准 JESD22-A114 静电放电 (ESD) 灵敏度测试 - 人体放电模型 (HBM)
7. JEDEC 标准 JESD22-C101, 场感应充电器件模型测试方法
8. IEC 61000-4-2, 电磁兼容性 - 测试和测量技术 - 静电放电抗扰度测试
9. 德州仪器 (TI), [系统级 ESD 注意事项应用报告](#), 应用报告。
10. Boxleitner, W., Electrostatic Discharge and Electronic Equipment, IEEE Press, 1988

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 [TI 销售条款](#)、[TI 通用质量指南](#) 或 [ti.com](#) 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2026，德州仪器 (TI) 公司

最后更新日期：2025 年 10 月