

Application Note

DC-DC 设计中的 TPLD 应用



Nanxiao Zhong

摘要

TI 可编程逻辑器件 (TPLD) 系列提供丰富的逻辑资源，可实现灵活的消费类电子产品、工业系统和数据中心应用。本文提出了一种通过图形编程在 DC/DC 电源应用中将 TPLD 用作 PWM 扩展器的方法，从而节省宝贵的 DSP 资源。

内容

1 简介.....	2
2 PCM 降压 DC/DC 图.....	2
3 基于 TPLD 的 DC/DC PWM 生成.....	3
3.1 基于 TPLD 的拓扑 PWM 生成.....	3
3.2 基于 TPLD 的 PCM PWM 生成.....	5
3.3 基于 TPLD 的多相时钟生成.....	6
4 总结.....	8
5 参考资料.....	8

商标

所有商标均为其各自所有者的财产。

1 简介

TPLD 系列集成了丰富的外设资源，包括通用逻辑门、RS 触发器、比较器和计时器，因此广泛适用于具有严格逻辑和时序要求的各种场景。在多相 DC/DC 应用中，PWM 通道的数量、逻辑电平和相移时钟给 DSP 资源利用率和软件开发带来了重大挑战。本文介绍了一种将 TPLD 用作 PWM 扩展器的解决方案，能够有效地应对单相/交错式并行 DC/DC 转换器中 DSP 资源有限和复杂软件开发所带来的挑战。

2 PCM 降压 DC/DC 图

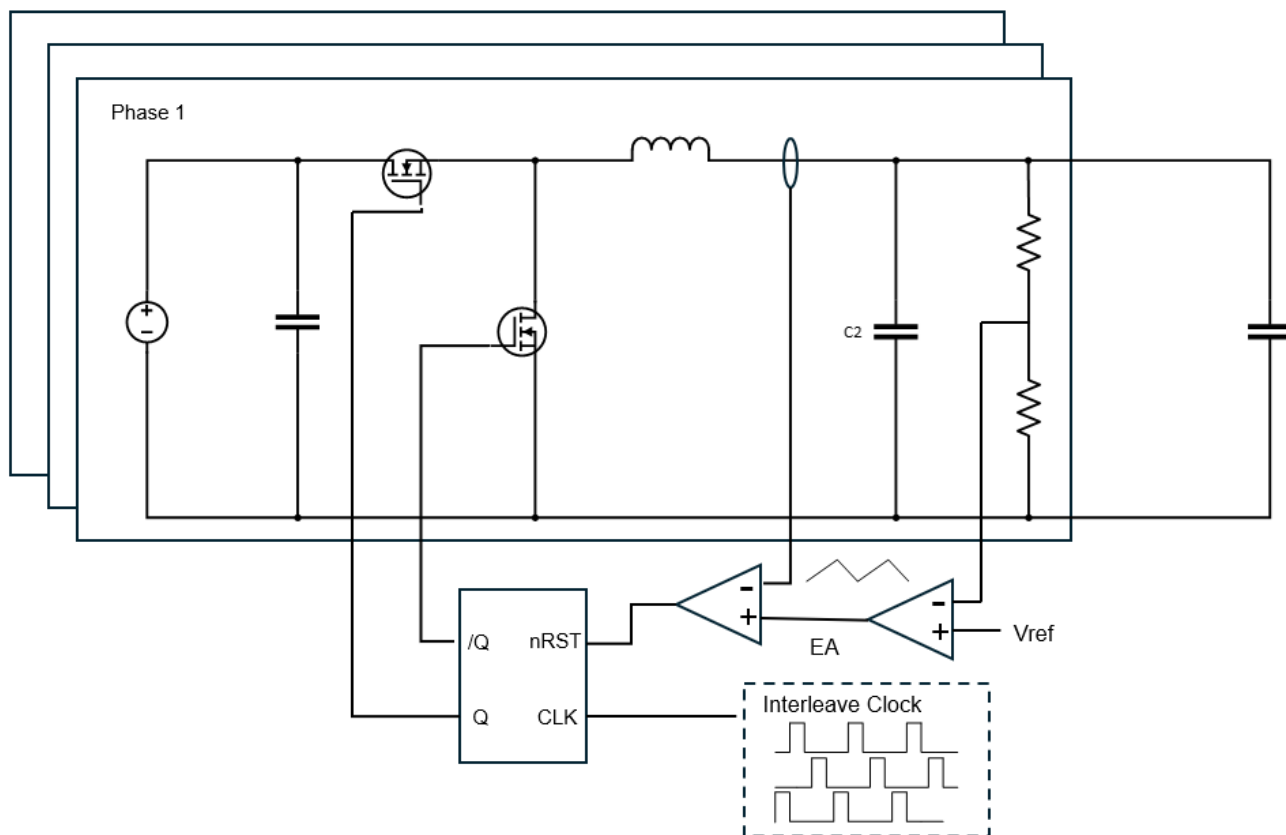


图 2-1. 峰值电流模式降压图

本文讨论了基于降压转换器拓扑的 TPLD 应用。如图 2-1 所示，该架构利用峰值电流模式 (PCM) 控制，将控制到输出小信号传递函数简化为一阶（单极）系统。这显著简化了环路补偿网络设计，并提供快速的负载瞬态响应。在多相电源应用中，交错技术被广泛采用；其主要优势是在不同相位之间移动电感器电流的相位以消除输出电压纹波，从而降低高电流场景中所需的输出电容。根据 DSP 的集成度，本白皮书介绍了三种不同的实现方案：(1) 主机 DSP 提供单相基底 PWM 信号，然后 TPLD 扩展以支持降压、ACF 或 PSFB 等目标拓扑；(2) DSP 提供时钟和误差信号，而 TPLD 处理完整的 PWM 信号生成；(3) TPLD 独立管理时钟相移和 PWM 信号生成。

3 基于 TPLD 的 DC/DC PWM 生成

3.1 基于 TPLD 的拓扑 PWM 生成

本节详细介绍了实现方案，其中主机 DSP 生成初始 PWM 波形，而 TPLD 处理相应互补 PWM 信号的生成。如图 2 所示，DSP 或模拟控制器生成初始闭环 PWM 信号。然后，TPLD 使用内部反相器和延迟块处理此 PWM 信号的上升沿，以生成具有死区时间插入功能的互补 PWM 波形。

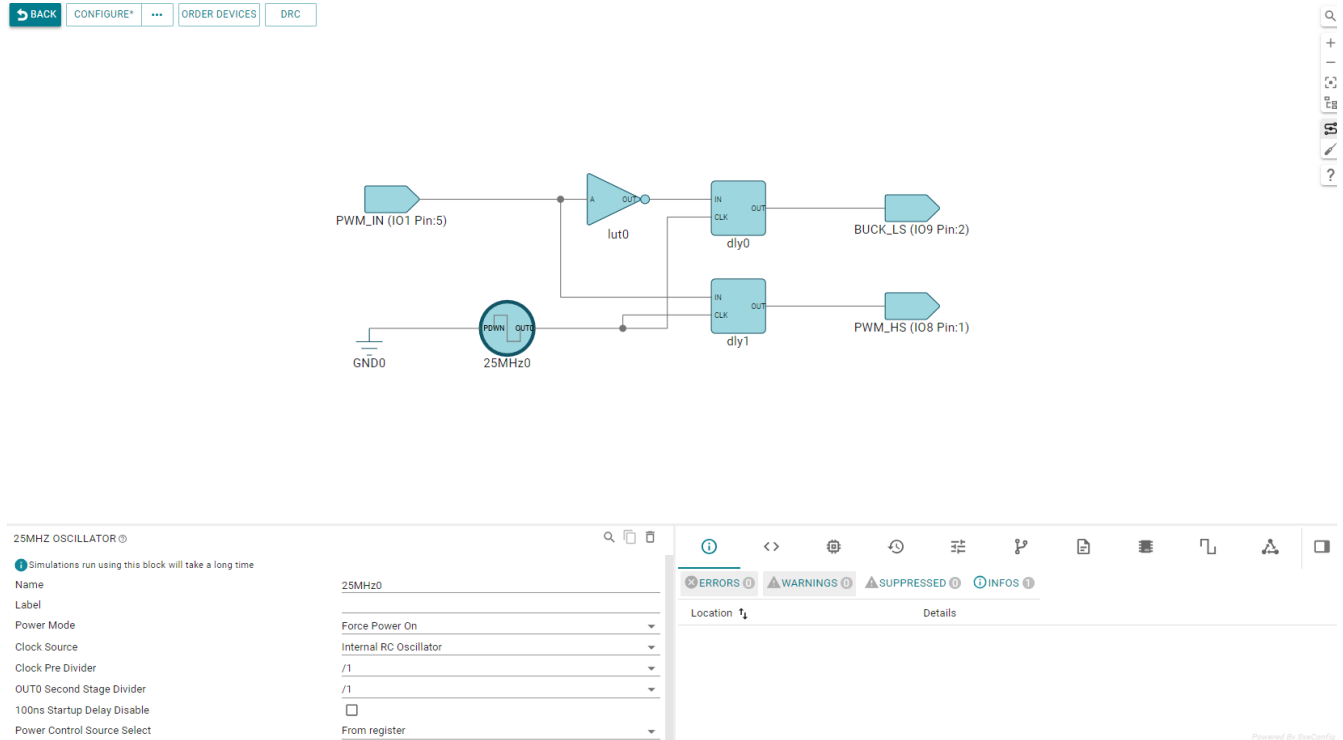


图 3-1. 同步降压 PWM 逻辑图

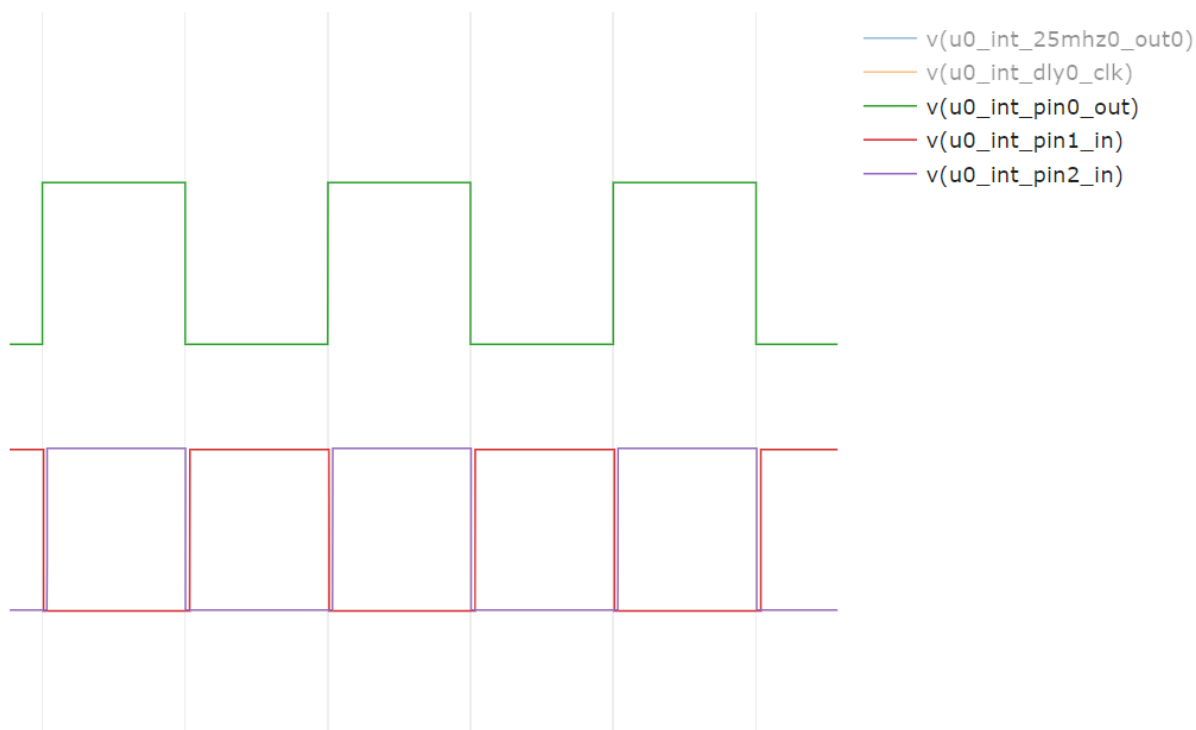


图 3-2. 同步降压仿真波形

在实际应用中，GPIO 可配置为使用施密特触发在数字输入模式下运行，以增强 TPLD 的抗噪性能。对于死区时间控制，该配置还可以卸载到输出 GPIO 上的外部 RC 电路，或通过栅极驱动器固有的死区时间设计来实现，从而简化 TPLD 内部逻辑设计。该方案的主要优势是实现简单，但缺点是在标准降压转换器中仅节省了单个 PWM 通道。相比之下，对于更复杂的拓扑，例如需要四个 PWM 的同步整流有源钳位正激式 (PSFB-ACF) 或需要八个 PWM 的相移全桥 (SR)，此方法可以显著减轻更多的主机控制器 GPIO 和 PWM 资源的负担。

3.2 基于 TPLD 的 PCM PWM 生成

本节介绍如何使用 TPLD 在降压转换器中实现峰值电流模式 (PCM) PWM 信号生成。如图 5 所示，主机控制器或外部运算放大器提供补偿误差信号。TPLD 利用其内部比较器将该误差信号与三角电感器电流波形进行比较，从而生成初始比较器输出。然后，该输出由与时钟信号同步的 RS 触发器进行处理，以建立初始 PWM 波形。最后，内部逻辑电路会生成互补的 PWM 输出。

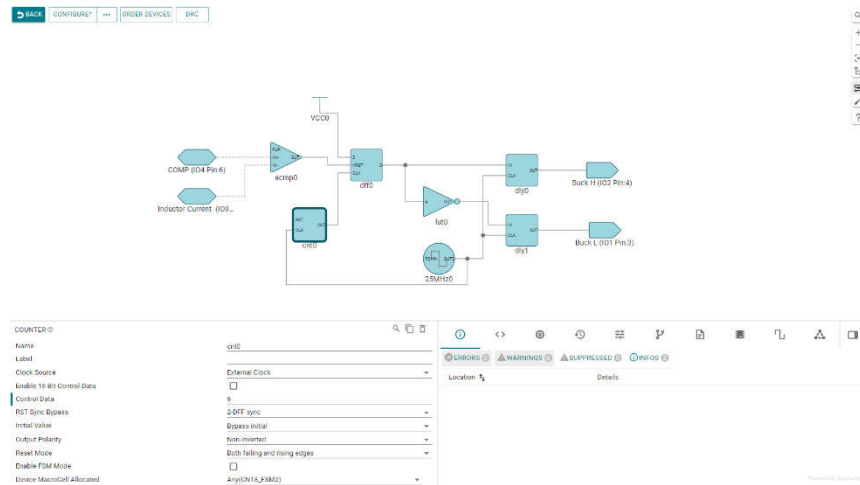


图 3-3. PCM 降压 PWM 逻辑图

图 3-3 所示为简化控制方框图。在实际设计中，可以通过以下方法来增强此实施方案的整体性能和可靠性：

1. 当占空比超过 50% 时，必须向从时钟导出的电流检测信号引入斜率补偿，以防止次谐波振荡
2. 内部比较器或额外的逻辑电路可用于构建最大占空比限制和逐周期过流保护电路
3. 对于高频应用，可以采用外部高速比较器来实现更快的瞬态响应。

3.3 基于 TPLD 的多相时钟生成

降压转换器的时钟和 PWM 生成可通过 TPLD 实现。如图 3-4 所示，内部 2MHz 振荡器用作源时钟。通过计数器块和 D 触发器生成 50% 占空比相位 1 时钟。然后，使用延迟块从相位 1 时钟获得四个交错相位时钟，从而实现交错多相运行。

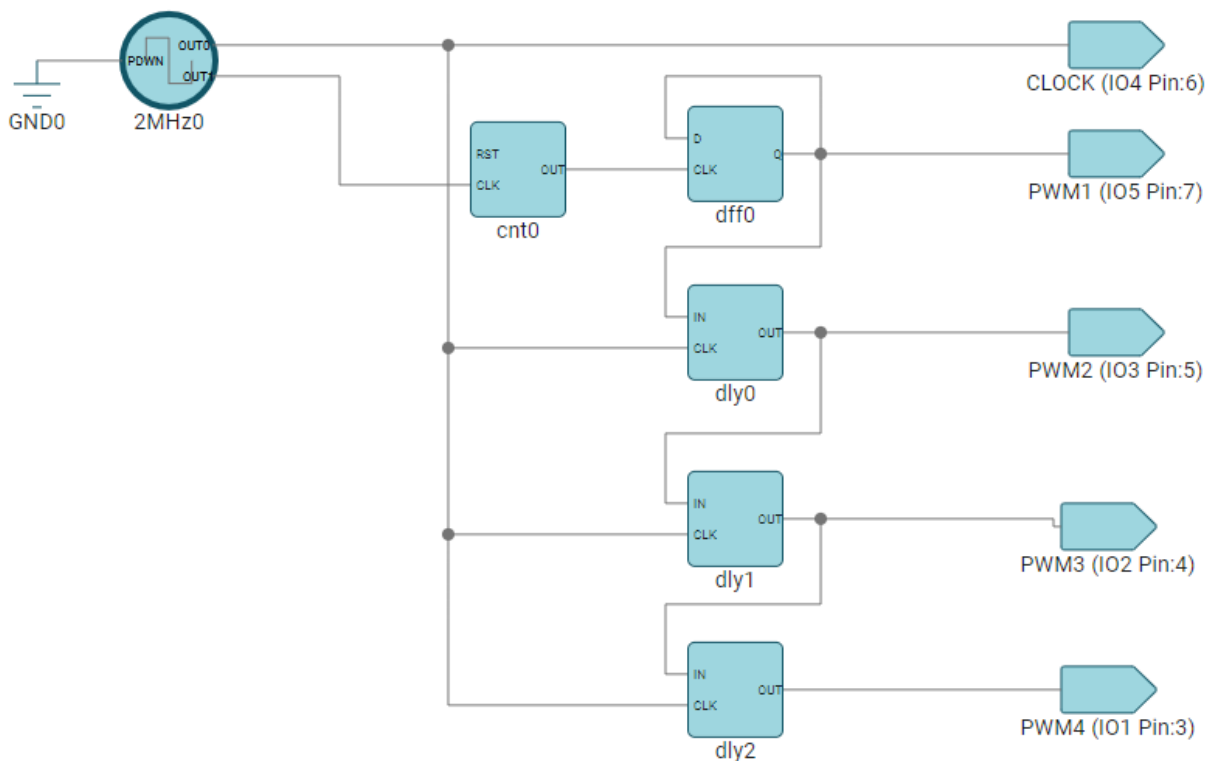


图 3-4. 交错相位时钟逻辑图

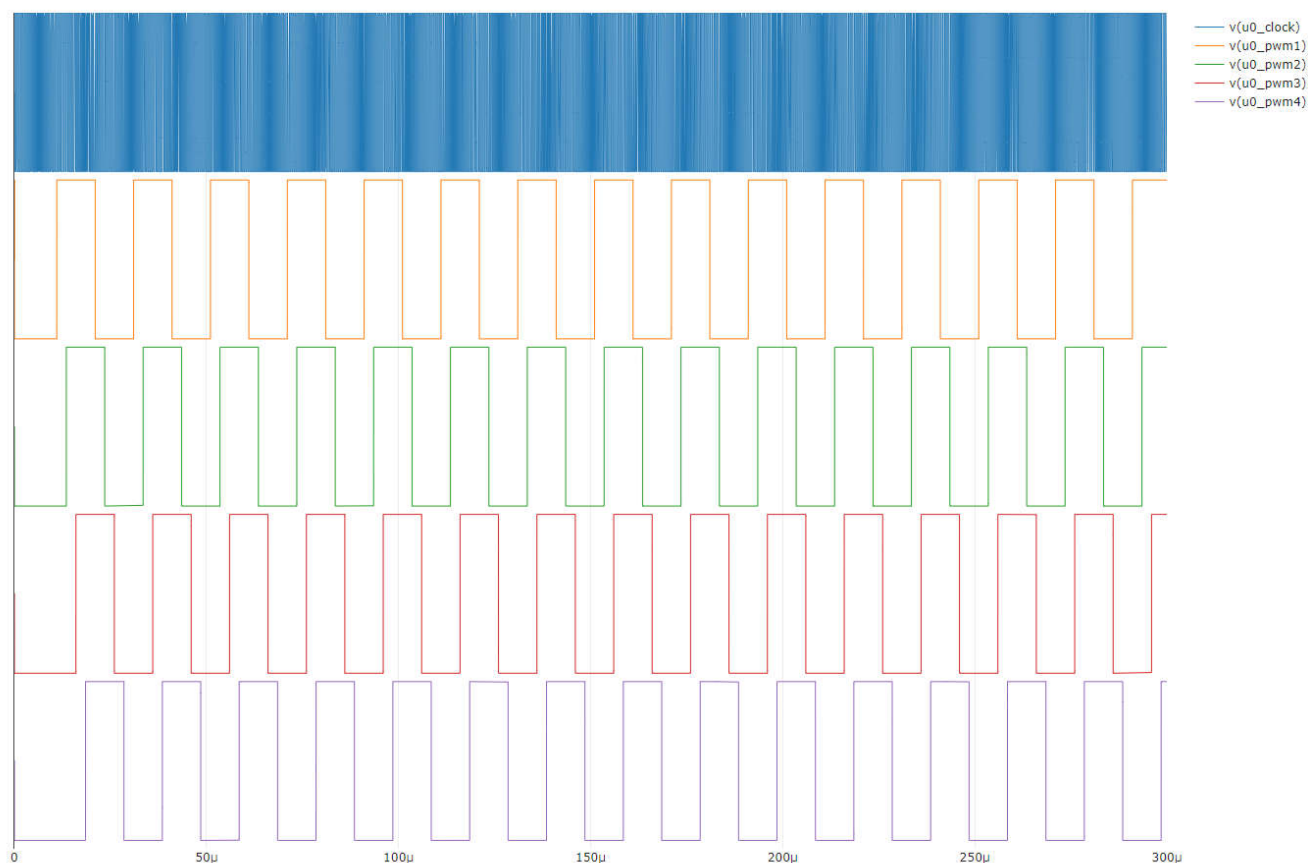


图 3-5. 交错相位时钟仿真波形

根据此配置，TPLD 可以与两个提到的 PWM 生成方案连接，以实现交错式并行 DC/DC 设计。在该实现中，TPLD 可以处理 DC/DC 转换器电路内的几乎所有功能任务，但环路补偿除外。此方法进一步降低了多相电源应用中的主机控制器资源要求。

4 总结

本文将 TI 的 TPLD 系列作为单路/交错式 DC/DC 转换器中的图形编程 PWM 扩展器。通过处理时钟相移和互补 PWM 生成的设计，TPLD 显著减轻了主机控制器上的时钟和 PWM 逻辑控制资源的负载。这种方法可以有效地节省 DSP 资源、降低软件复杂性，并协助硬件工程师进行快速开发。

通过 [可编程逻辑工程师指南](#) 了解有关 TPLD 的更多信息。

5 参考资料

1. 德州仪器 (TI), [TPLD1202 具有 I2 C/SPI 和 10-GPIO 的可编程逻辑器件](#) 数据表。
2. 德州仪器 (TI), [使用 TPLD 进行高速操作](#) 应用简报。
3. 德州仪器 (TI), [使用 TI 可编程逻辑器件通过反馈实现电源时序控制](#) 应用简报。
4. 德州仪器 (TI), [使用 TI 可编程逻辑器件 \(TPLD\) 中的时序分量](#) 应用手册。
5. 德州仪器 (TI), [采用 LM5177 降压/升压控制器并联运行降压/升压转换器](#) 应用手册。

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 [TI 销售条款](#)、[TI 通用质量指南](#) 或 [ti.com](#) 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2026，德州仪器 (TI) 公司

最后更新日期：2025 年 10 月