

Application Note

SYSREF 对齐检测器和 SYSREF 监视器



Akshay Kumar, Mujammil Patel, Karthikeyan G

摘要

本应用手册介绍了如何在 AFE81xx 中使用 SYSREF 对齐检测器。AFE81xx 是一系列高性能、高带宽、多通道收发器，集成了多达 16 路射频采样发送器链、多达 16 路射频采样接收器链和多达 4 路射频采样数字化辅助链（反馈路径）。SYSREF 是一个基准信号，可用作器件内关键功能块的复位，也有助于在多个器件之间建立通用时序基准。为了确保系统级的确定性延迟，必须在上电周期内以确定性方式由 AFE 输入时钟锁存 SYSREF。SYSREF 对齐检测器主要有助于将 SYSREF 边沿与 AFE 输入时钟边沿对齐，而不会违反任何设置和保持时间。当以更高的时钟速率运行时（例如在外部时钟模式下使用 AFE 时），这一点非常重要。

内容

1 简介.....	2
2 SYSREF 对齐检测器架构.....	2
2.1 案例 1.....	3
2.2 案例 2.....	4
2.3 案例 3.....	4
3 SYSREF 对齐检测器配置的软件序列.....	5
4 高频模式.....	6
5 总结.....	6
6 参考资料.....	7

商标

所有商标均为其各自所有者的财产。

1 简介

SYSREF 可供器件实现内部组件（包括分频器、信号处理模块与弹性缓冲器）同步，以确保确定性延迟。它可确保链路上的延迟是确定性的，并且多个器件完全同步，从而使输出的相位对齐。SYSREF 信号的工作频率明显低于输入时钟，其频率是输入时钟的整数倍。在 AFE 中，SYSREF 在基准时钟 (Fref) 上升沿被锁存。由于 SYSREF 有可能落在建立边界与保持边界之间，因此，二者间的相位差会造成 SYSREF 模块出现时序违例，如图 1-1 中所示。

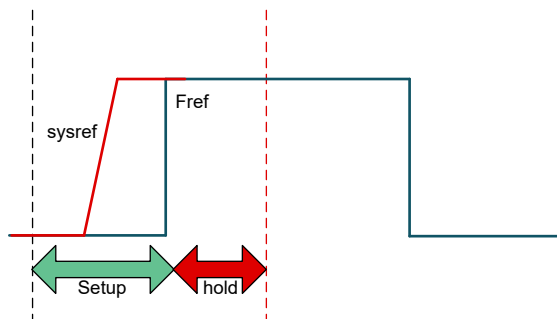


图 1-1. 建立/保持窗口

在配置 SYSREF 时，应始终满足时序条件。确保这一点的最简单方法是使 SYSREF 跳变沿与基准时钟 (Fref) 下降沿对齐。实现这一方法是在 SYSREF 通路或 Fref 通路中引入适当的延迟，例如，当 AFE 从外部源接收时钟时，我们可以在时钟源中引入相位来模拟延迟。（延迟 = 相位（角度）/360/Fref）。

SYSREF 对齐检测器可帮助识别 SYSREF 和基准时钟 (Fref) 之间的相对位置。当器件使用 12GHz 输入时钟（83ps 周期）等高频时钟在外部时钟模式下运行时，由于时序裕度十分紧张，SYSREF 必须精准对齐。在此模式下，即使 SYSREF 传播或输入基准时钟传播存在微小偏差（大约为 30 - 40ps），也足以让 SYSREF 边沿贴近输入时钟上升沿，引发时序风险。相比之下，在内部 PLL 模式下，输入时钟通常 ≤500MHz（2ns 周期），可用的时序裕度要大得多。SYSREF 到达时间的变化不太可能使其跨越时钟边沿，这提升了系统对时序偏斜的容错性并降低了对 SYSREF 对齐检测器的依赖。最后，为了实现确定性操作，强烈建议在外部时钟配置中使用 SYSREF 对齐检测器，以确保正确同步并符合时序要求。

SYSREF 对齐检测器模块接收两个输入：clock_in (Fref) 和 sysref_in (SYSREF)。它评估 SYSREF 相对于时钟边沿的相对时序，并生成 10 位 SYSREF 对齐检测器读数作为其输出。该读数反映了在第一个内部锁存器附近的捕捉点处，输入时钟与 SYSREF 信号之间的相对相位关系。通过观察 SYSREF 对齐检测器输出的变化，同时逐渐调整源端的 SYSREF 延迟，用户可以在有效时序窗口内优化 SYSREF 放置。

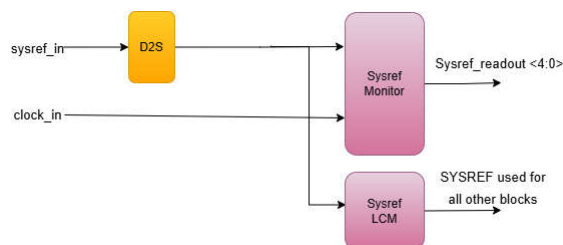


图 1-2. SYSREF 通路概述

2 SYSREF 对齐检测器架构

SYSREF 对齐检测器的输出是一个 10 位数 [9:0]。每位比代表 SYSREF 相对于基准时钟 (Fref) 上升沿所处的时序区域，具体说明如下。

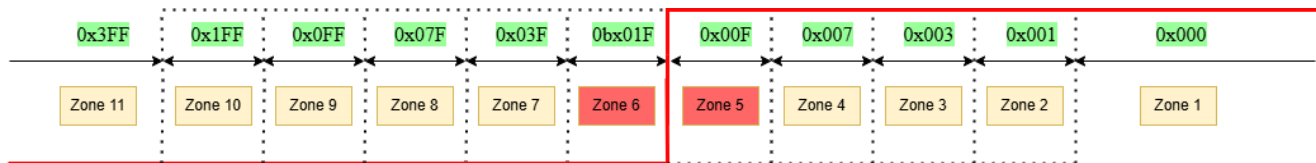


图 2-1. SYSREF 区域和 SYSREF 对齐检测器读取映射

每个区域代表当前工况下距离建立时间、保持时间违例所剩余的时序裕度。表 2-1 列出了每个区域的解释。

表 2-1. SYSREF 对齐检测器区域定义和时序裕度

区域编号	SYSREF 对齐检测器读数	说明
区域 1	0	这表示 SYSREF 位于基准时钟 (Fref) 下降沿之前，上升沿之后。该区域与时序违例之间的最小裕度为 32ps。SYSREF 将在基准时钟 (Fref) 的下一个上升沿锁存。这是最理想的时序区域。
区域 2	1	这表示 SYSREF 位于基准时钟 (Fref) 下降沿之前，上升沿之后。此区域与时序违例相差 24-32ps 裕度。SYSREF 将在基准时钟 (Fref) 的下一个上升沿锁存
区域 3	3	这表示 SYSREF 位于基准时钟 (Fref) 下降沿之前，上升沿之后。此区域与时序违例相差 16-24ps 裕度。SYSREF 将在基准时钟 (Fref) 的下一个上升沿锁存
区域 4	7	这表示 SYSREF 位于基准时钟 (Fref) 下降沿之前，上升沿之后。此区域与时序违例相差 8-16ps 裕度。这很容易受到时序违例的影响。理想情况下，SYSREF 将在基准时钟 (Fref) 的下一个上升沿锁存
区域 5	15	这表示 SYSREF 位于基准时钟 (Fref) 下降沿之前，上升沿之后。此区域与时序违例相差 0-8ps 裕度。这最容易受到时序违例的影响。
区域 6	31	这表示 SYSREF 位于基准时钟 (Fref) 上升沿之前，下降沿之后。此区域与时序违例相差 0-8ps 裕度。这最容易受到时序违例的影响。
区域 7	63	这表示 SYSREF 位于基准时钟 (Fref) 上升沿之前，下降沿之后。此区域与时序违例相差 8-16ps 裕度。这很容易受到时序违例的影响。SYSREF 将在基准时钟 (Fref) 的这个上升沿锁存。
区域 8	127	这表示 SYSREF 位于基准时钟 (Fref) 上升沿之前，下降沿之后。此区域与时序违例相差 16-24ps 裕度。SYSREF 将在基准时钟 (Fref) 的这个上升沿锁存。
区域 9	255	这表示 SYSREF 位于基准时钟 (Fref) 上升沿之前，下降沿之后。此区域与时序违例相差 24-32ps 裕度。SYSREF 将在基准时钟 (Fref) 的这个上升沿锁存。
区域 10	511	这表示 SYSREF 位于基准时钟 (Fref) 上升沿之前，下降沿之后。此区域与时序违例相差 32-40ps 裕度。SYSREF 将在基准时钟 (Fref) 的这个上升沿锁存。
区域 11	1023	这表示 SYSREF 位于基准时钟 (Fref) 上升沿之前，下降沿之后。该区域与时序违例至少有 40ps 裕度。SYSREF 将在基准时钟 (Fref) 的这个上升沿锁存。这是最理想的时序区域。

区域 1 和区域 11 是 SYSREF 最安全的区域。根据电流读数，我们可以对 SYSREF 执行超前或滞后调节，以获得最大时序裕度。在 AFE81xx 中，SYSREF 对齐检测器读数在 Fref 时钟的正边沿锁存，并在时钟的负边沿记录/冻结读数。实际上，所有读数均以 Fref 时钟的正边沿作为基准；该正边沿出现在 SYSREF 正边沿之前，紧随其后的是 Fref 负边沿。

注意：对于高频模式 (Fref 高于 7.5G)，某些区域无效。请参阅第 4 节。

我们可以通过调整策略示例，来讨论一些案例研究。

2.1 案例 1

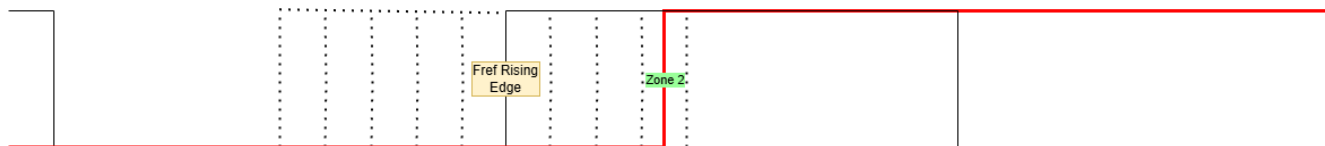


图 2-2. 案例 1 — 区域 2 中的 SYSREF

在此案例中，SYSREF 位于区域 2，SYSREF 对齐检测器读数应为 0x01。进一步推演可知：持续使 SYSREF 相对于时钟相位超前时，读数将从 0x01 开始逐步向 0x3FF 过渡。当 SYSREF 对齐检测器读出 0x3FF，代表进入区域 11。同理，如果增加 SYSREF 延迟，读数将逐步向 0x000 变化，直至进入区域 1。

2.2 案例 2

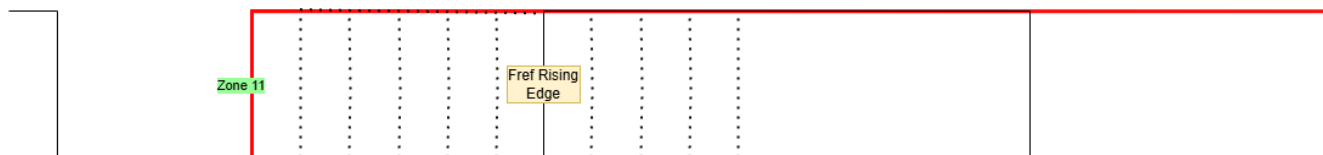


图 2-3. 案例 2 — 区域 11 中的 SYSREF

在此案例中，SYSREF 相位超前，其上升沿显著早于基准时钟上升沿，信号落入区域 11。SYSREF 对齐检测器将显示 0x3FF。现在，即便继续进一步使 SYSREF 超前，SYSREF 对齐检测器将持续输出 0x3FF，直至 SYSREF 不再出现在前一个基准时钟 (Fref) 下降沿之前。

2.3 案例 3

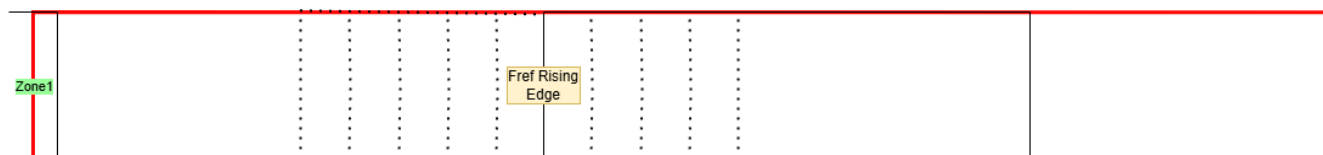


图 2-4. 案例 3 — 区域 1 中的 SYSREF

在此案例中，持续前移 SYSREF 时钟边沿，直至其早于基准时钟 (Fref) 下降沿，此时处于区域 1，SYSREF 对齐检测器读数显示为 0。此时，如果继续进一步前移 SYSREF，监视器输出将持续显示全 0；只有前移到足够程度，使 SYSREF 落入区域 2 后，读数才会发生变化。这种情况与案例 1 中讨论的情况相同，唯一区别是 SYSREF 对齐检测器在前一个时钟周期被锁存。

3 SYSREF 对齐检测器配置的软件序列

AFE81xx SYSREF 对齐检测器配置和读数读取使用一组 CAPI 函数通过器件的 SPI 接口来完成。

在启动配置中，如果使用“sysrefTermination”系统参数对 SYSREF 进行交流耦合或直流耦合，那么，我们需要为 AFE 提供输入。

* Bit4 = 1 - SYSREF 经过直流耦合

* Bit4 = 0 - SYSREF 经过交流耦合

uint8_t sysrefTermination;

配置和读取需要遵循以下 CAPI 序列。

1. ti_afe81_enableSysrefmonitor(AFE81_INST_TYPE afelInst);

此函数用于启用 SYSREF 对齐检测器。如果我们要使用 SYSREF 对齐检测器，则只能运行该检测器一次。

2. ti_afe81_sysrefmonitorReady(AFE81_INST_TYPE afelInst)

该函数复位 SYSREF 对齐检测器状态机并使其准备好在下一个 SYSREF 脉冲上触发。运行此函数之前，应启用 SYSREF 监视器。在运行此函数后发送 SYSREF 脉冲，并使用 sysrefmonitorReadout 函数检查 SYSREF 监视器输出。

3. 调用 sysrefmonitorReady 后会立即输出 SYSREF 脉冲。可以使用函数 #adcDacSync。

4. ti_afe81_sysrefmonitorReadout(AFE81_INST_TYPE afelInst, uint32_t *sysrefMonitor)

5. ti_afe81_disableSysrefmonitor(AFE81_INST_TYPE afelInst)

返回 SYSREF 对齐检测器输出数据。如果在最近一次调用 sysrefmonitorReady 函数后未接收到 SYSREF，则输出数据包含 65535，否则它应该是一个 10 位字段。

表 3-1. SYSREF 相对于 FRef 的位置

0x3FF	有效/最佳情况
0x0FF	超前
0x01F	超前/滞后
0x00F	超前/滞后
0x001	滞后
0x000	有效/最佳情况

理想设置是：在 SYSREF 通路增加延迟（滞后调节）时，读数从 0 平稳跳变至 0x3FF（从 Zone1 切换至 Zone11）；在 SYSREF 通路减小延迟（超前调节）时，读数从 0x3FF 平稳跳变至 0（从 Zone11 切换至 Zone1）。这会在时钟的负边沿上完全对齐 SYSREF。

ti_afe81_sysrefmonitorReadout 函数返回调用 ti_afe81_sysrefmonitorReady 后采集的第一个 SYSREF 脉冲的读数。要获得更新的读数，您必须在每次读取操作之前调用 ti_afe81_sysrefmonitorReady。您必须禁用监视器以恢复正常的器件操作。这一点很关键，因为需要多个 SYSREF 脉冲的序列（例如 Re 链路）将受到影响，并且在启用检测器后，器件仅能继续接收一个脉冲。每次读取 SYSREF 信号时，请严格遵循完整流程：启用监视器、执行就绪操作、采集脉冲读数，然后关闭监视器，之后再执行 AFE 操作。如果计划在两次读数之间执行 AFE 相关操作，则每次测量都需要完整重复这套五步流程。

4 高频模式

对于高于 7.5G 的基准时钟 (Fref)，我们在高频模式下运行 SYSREF 对齐检测器。在此模式下，由于时序约束限制，全部 11 个时序区域中有部分区域无效。

无效区域为区域 1、区域 2、区域 9、区域 10 和区域 11。这实际上意味着在 SYSREF 对齐检测器的 10 位 [9:0] 输出中，五位 [6:2] 有效，位 [1:0] 将始终为 1，[9:7] 将始终为 0。

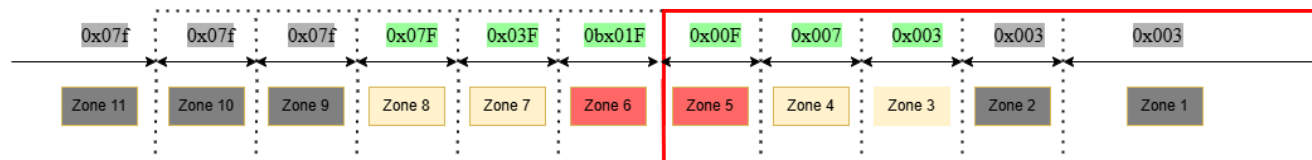


图 4-1. 高频模式下的 SYSREF 区域

在高频模式下，理想设置是：若增加 SYSREF 延迟（滞后调节），读数将从 0x3 平稳跳变至 0x07F（从 Zone3 切换至 Zone8）；若减小 SYSREF 通路延迟（超前调节），读数将从 0x07F 平稳跳变至 0（从 Zone8 切换至 Zone3）。这将使 SYSREF 在时钟的负边沿完全对齐。

表 4-1. 高频模式下 SYSREF 相对于 FRef 的位置

0x07F	有效/最佳情况
0x03F	超前
0x01F	超前/滞后
0x00F	超前/滞后
0x007	滞后
0x003	有效/最佳情况

5 总结

本应用手册介绍了 SYSREF 对齐检测器在跨器件实现确定性延迟方面的作用，其中介绍了 SYSREF 对齐检测器的内部架构和工作原理，详细说明了如何精确调整 SYSREF 信号相对于输入时钟的时序位置。通过观察 SYSREF 对齐检测器的 10 位读数，用户可以验证和优化输入时钟时序，以满足建立时间和保持时间要求。

6 参考资料

1. 德州仪器 (TI), [集成了反馈路径的 AFE812x 八通道/四通道射频收发器](#), 数据表。
2. 德州仪器 (TI), [搭载 12GSPS DAC 和 6GSPS ADC 的 AFE8104、AFE8108 7.4GHz 收发器](#), 数据表。
3. 德州仪器 (TI), [集成了反馈路径的 AFE8190 16 通道射频收发器](#), 数据表。

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 [TI 销售条款](#)、[TI 通用质量指南](#) 或 [ti.com](#) 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2026，德州仪器 (TI) 公司

最后更新日期：2025 年 10 月