



Ivan Salazar

摘要

TAS2573 音频放大器是一类数字输入 D 类音频放大器，针对实际音乐和语音应用中的效率和电池寿命进行了优化。该放大器能够使用集成式 H 类升压转换器提供高输出功率。

本应用手册介绍了使用该系列器件的建议设计和 PCB 布局实践，用于提高该器件在系统中的质量和可靠性，并在集成到系统中后实现更高的效率和性能。

内容

1 简介.....	3
2 引脚配置和功能.....	3
3 应用原理图.....	5
3.1 建议的元件额定值.....	8
4 布局指南.....	9
4.1 VDD 引脚.....	9
4.2 PVDD 引脚.....	10
4.3 GREG 引脚.....	11
4.4 SW 引脚.....	13
4.5 VBAT 引脚.....	15
4.6 VBAT_SNS 引脚.....	16
4.7 OUT_P 和 OUT_N 引脚.....	16
4.8 IOVDD 引脚.....	18
4.9 DREG 引脚.....	19
4.10 数字 I/O 引脚.....	20
4.11 接地引脚.....	21
5 总结.....	23
6 参考资料.....	23

插图清单

图 2-1. 封装顶层引脚排列视图.....	3
图 3-1. 采用 1S 配置的 TAS2573.....	5
图 3-2. 采用 2S 配置的 TAS2573.....	6
图 3-3. 采用外部 PVDD 配置的 TAS2573.....	7
图 4-1. VDD 去耦电容器的放置.....	9
图 4-2. 从第 1 层上的 VDD 引脚进行的布线.....	9
图 4-3. 去耦电容器与第 2 层上的 PCB 接地平面的连接.....	10
图 4-4. PVDD 去耦电容器的放置.....	10
图 4-5. 从第 1 层上的 PVDD 引脚进行的布线.....	11
图 4-6. 去耦电容器与第 2 层上的 PCB 接地平面的连接.....	11
图 4-7. GREG 去耦电容器的错误布线.....	12
图 4-8. GREG 去耦电容器的正确布线.....	12
图 4-9. GREG 去耦电容器在 EVM 上的放置.....	12
图 4-10. 使用过孔将 GREG 去耦电容器连接到内层.....	13
图 4-11. 去耦电容器到第 4 层中的 GREG 和 PVDD 引脚的布线.....	13
图 4-12. 升压电感器和去耦电容器在 SW 引脚附近的放置.....	14
图 4-13. 电源到第 1 层上的 SW 电感器的布线.....	14

图 4-14. SW 电感器的去耦电容器与第 2 层上的 PCB GND 平面的连接.....	14
图 4-15. VBAT 引脚附近的去耦电容器放置.....	15
图 4-16. 电源到第 1 层上的 VBAT 引脚的布线.....	15
图 4-17. OUT_P/N 到第 1 层上的扬声器端子的布线.....	16
图 4-18. 内部 PCB 层中 OUT_P/N 路径下方的布线.....	17
图 4-19. 通过第 3 层从 OUT_P/N 引脚到 EMI 滤波器的布线.....	17
图 4-20. IOVDD 去耦电容器的放置.....	18
图 4-21. IOVDD 去耦电容器到第 1 层上的引脚的布线.....	18
图 4-22. 共享 VDD 和 IOVDD 的错误连接.....	19
图 4-23. 共享 VDD 和 IOVDD 的建议连接.....	19
图 4-24. DREG 去耦电容器的放置.....	19
图 4-25. DREG 去耦电容器到第 1 层上的引脚的布线.....	20
图 4-26. 远离高压开关线路的内层 (3 和 4) 数字线路的布线.....	20
图 4-27. 接地引脚与 PCB GND 平面的连接.....	21
图 4-28. 第 1 层上的器件 GND 引脚的连接.....	21
图 4-29. 到第 2 层上的 PCB GND 平面的连接.....	22

表格清单

表 3-1. 元件额定值.....	8
表 5-1. 设计和布局指南总结.....	23

商标

所有商标均为其各自所有者的财产。

1 简介

TAS2573 是升压数字输入 D 类智能放大器。该器件从单节或多节电池电源获取电压，并将电源电压升压至高电压。利用该功能，用户能够播放音频并向扬声器负载提供高功率。

在音频解决方案中使用该器件时，PCB 设计是一个关键因素。为了验证该器件是否可靠并满足所需的性能和功能标准，同时更大限度地降低损耗以保持系统效率，在设计应用时需要考虑一些设计和布局实践。

本应用手册提供了一组需要遵循的建议指南，确保用户能够以最佳性能和效率运行器件。TAS2573EVM 用作强调这些指南的参考。

2 引脚配置和功能

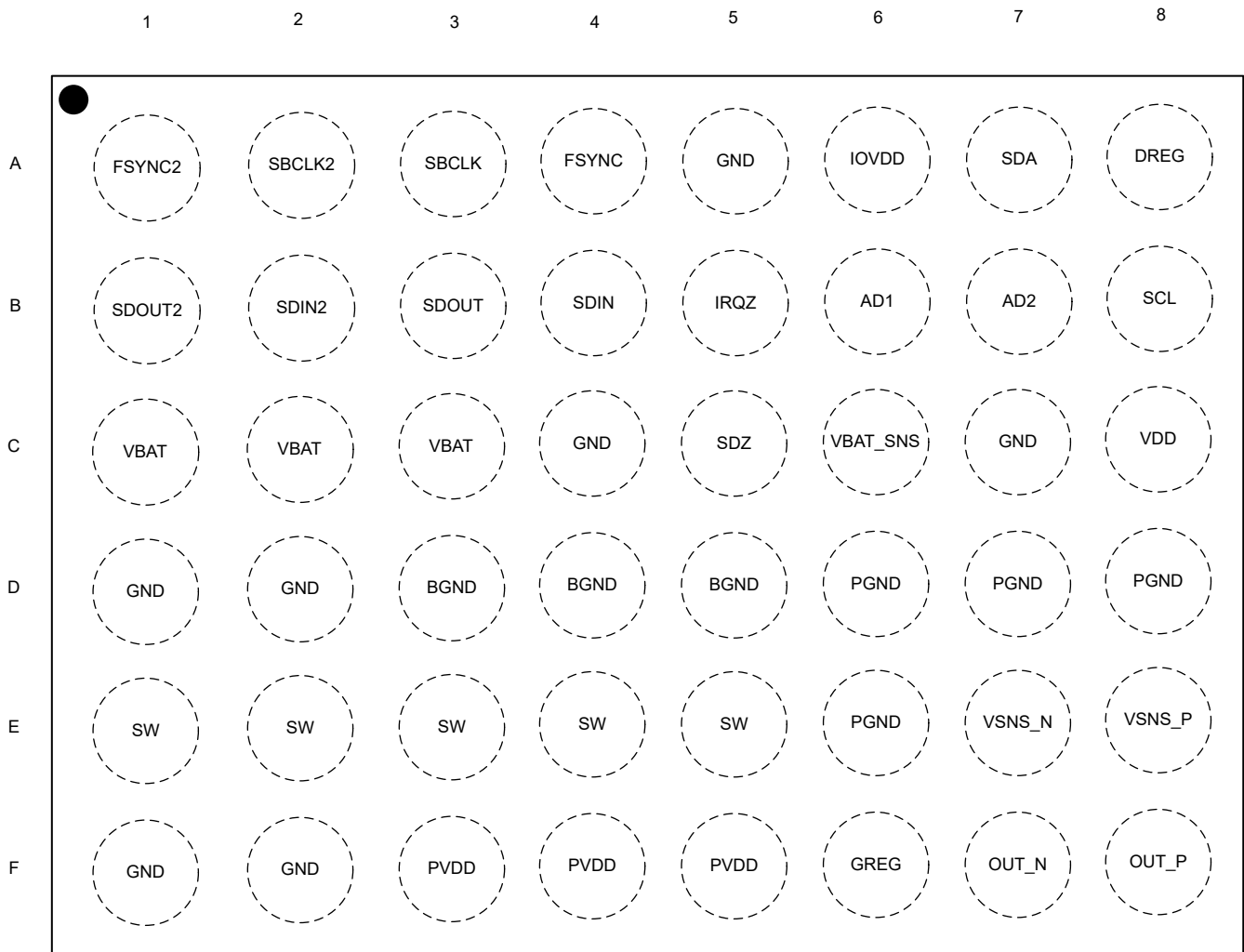


图 2-1. 封装顶层引脚排列视图

引脚功能

引脚		类型 ¹	说明
名称	编号		
AD1	B6	I	I ² C 地址引脚 LSB。
AD2	B7	I	I ² C 地址引脚 LSB+1。
BGND	D3	P	升压地。通过多个过孔可靠连接到 PCB GND 平面。
	D4		
	D5		
DREG	A8	P	数字内核稳压器输出。使用一个电容器旁路至 GND。不要连接至外部负载。
FSYNC	A4	I	主音频接口的 I ² S 字时钟或 TDM 帧同步。
GREG	F6	P	高侧栅极 CP 稳压器输出。不要连接至外部负载。
GND	A5	P	数字地。连接至 PCB GND 平面。需要通过多个过孔可靠连接到接地平面。
	C4		
	C7		
	D1		
	D2		
	F1		
	F2		
IOVDD	A6	P	1.2V 或 1.8V 数字 IO 电源。使用电容器进行去耦 (连接至 GND) 。
IRQZ	B5	O	开漏、低电平有效中断引脚。如果未使用可选内部上拉电阻, 则使用电阻器上拉至 IOVDD。
OUT_N	F7	O	D 类负输出。
OUT_P	F8	O	D 类正输出。
PGND	D6	P	D 类功率级地。通过多个过孔可靠连接到 PCB GND 平面。
	D7		
	D8		
	E6		
PVDD	F3	P	集成升压输出和 D 类功率级电源。
	F4		
	F5		
SBCLK	A3	I	主音频接口的 I ² S/TDM 串行位时钟。
SCL	B8	I	I ² C 时钟引脚。使用电阻器上拉至 IOVDD。
SDA	A7	I/O	I ² C 数据引脚。使用电阻器上拉至 IOVDD。
SDIN	B4	I	主音频接口的 I ² S 或 TDM 串行数据输入。
SDOUT	B3	O	主音频接口的 I ² S 或 TDM 串行数据输出。
SDZ	C5	I	低电平有效硬件关断。
SW	E1	P	升压转换器开关输入。
	E2		
	E3		
	E4		
	E5		
VBAT	C1	P	电池电源输入。连接至 2.5V 或 5.5V 电源, 并使用电容器去耦。
	C2		
	C3		
VBAT_SNS	C6	I	电池检测端子。连接至 1S 或 2S 电池电源以进行远程电池检测。如果未使用远程检测功能, 请将引脚接地。
GND	C6	P	接地引脚。该引脚还可用作电池检测端子。连接至 1S 或 2S 电池电源以进行远程电池检测。如果未使用远程检测功能, 请将引脚接地。

引脚功能（续）

引脚		类型 ¹	说明
名称	编号		
VDD	C8	P	模拟、数字电源。连接至 1.8V 电源，并使用电容器去耦至 GND。
VSNS_N	E7	I	电压检测负输入。连接至扬声器负极端子，尽可能靠近扬声器。如果使用 EMI 滤波器，请添加串联电阻器。
VSNS_P	E8	I	电压检测正输入。连接至扬声器正极端子，尽可能靠近扬声器。如果使用 EMI 滤波器，请添加串联电阻器。
FSYNC2	A1	I	辅助音频接口的 I ² S 字时钟或 TDM 帧同步。
SBCLK2	A2	I	辅助音频接口的 I ² S/TDM 串行位时钟。
SDIN2	B2	I	辅助音频接口的 I ² S 或 TDM 串行数据输入。
SDOUT2	B1	O	辅助音频接口的 I ² S 或 TDM 串行数据输出。

1. I = 输入，O = 输出，I/O = 输入或输出，G = 接地，P = 电源。

3 应用原理图

下图显示了可以连接 TAS2573 的各种配置。图 3-1 展示了采用 1S 配置的 TAS2573，其中使用单节电池作为电压源来为器件供电。

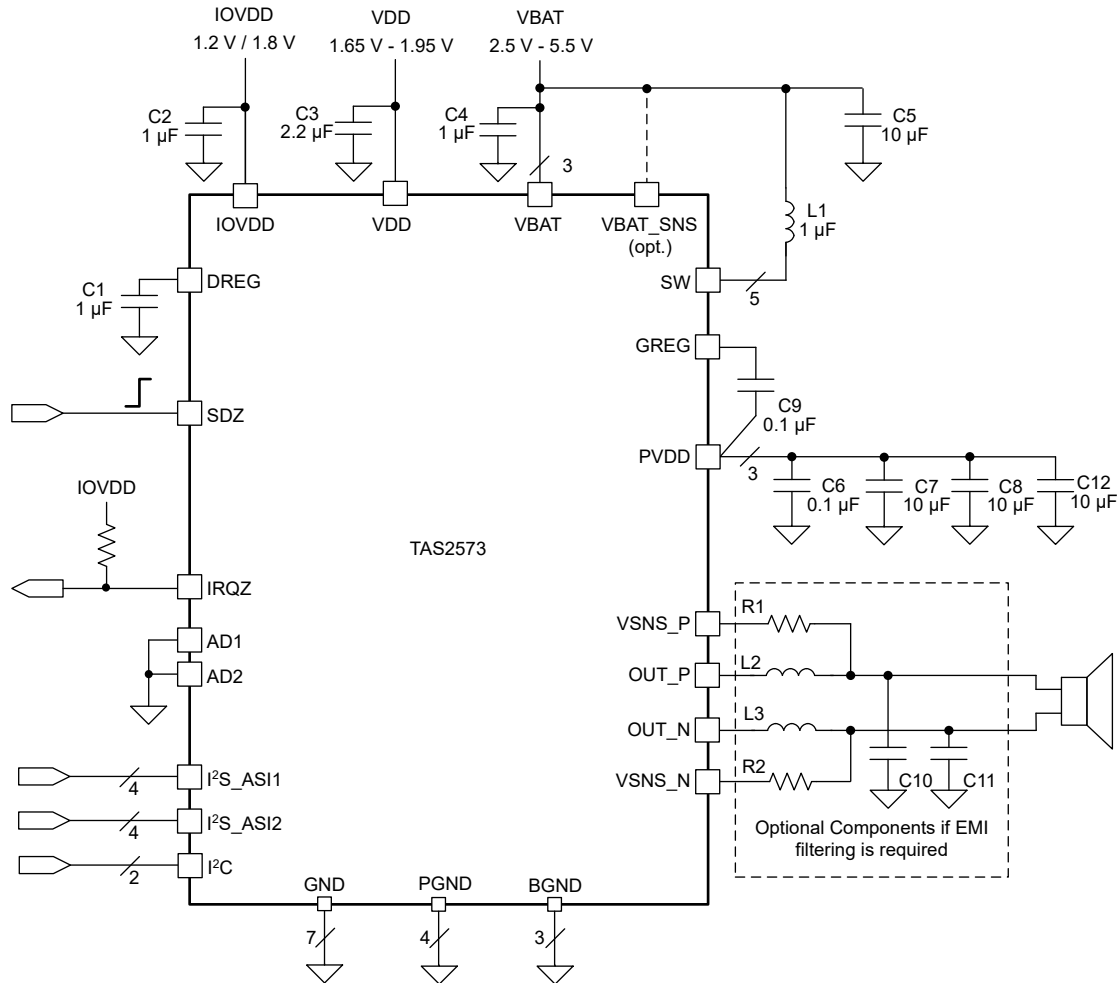


图 3-1. 采用 1S 配置的 TAS2573

图 3-2 展示了采用 2S 配置连接的器件，其中 2 节电池用作器件的电源。

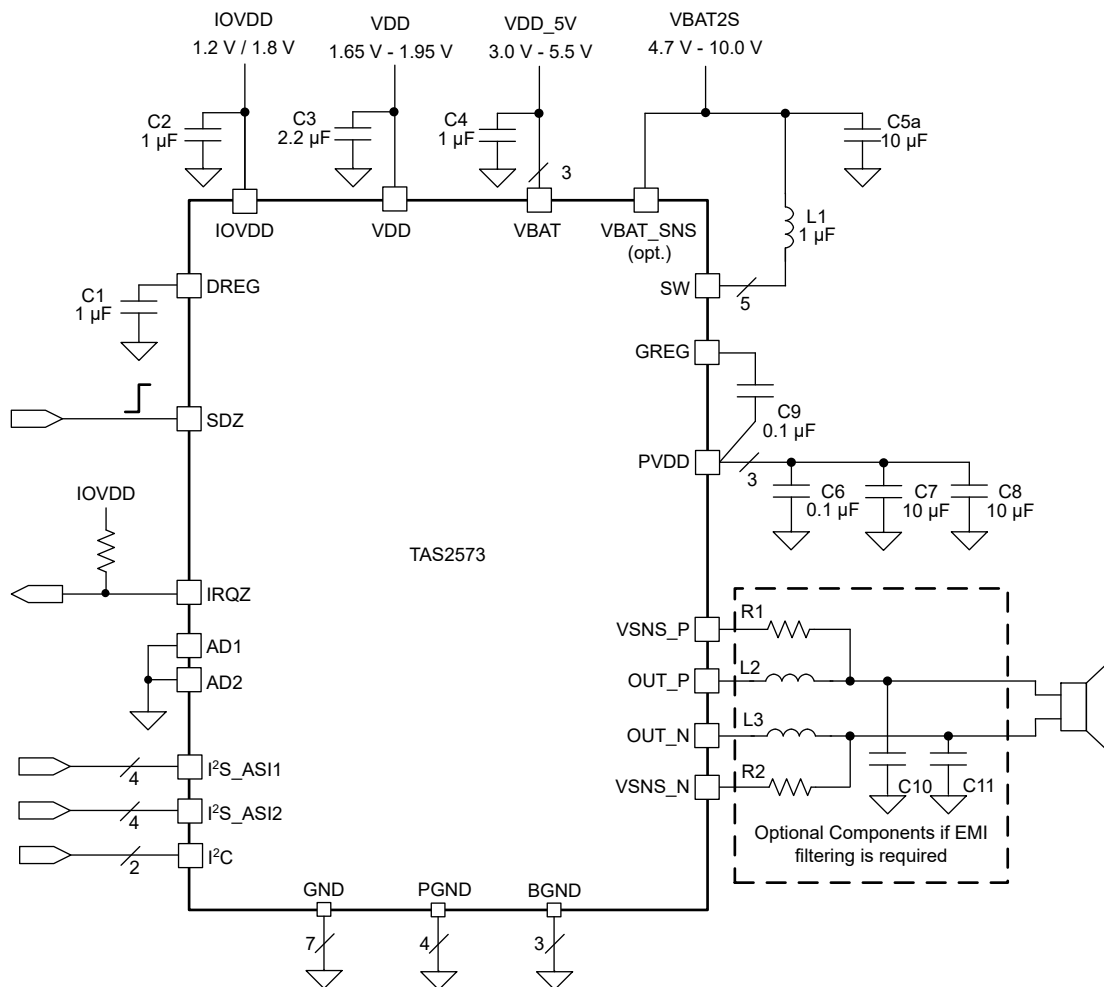


图 3-2. 采用 2S 配置的 TAS2573

图 3-3 展示了 TAS2573 的外部 PVDD 配置，其中器件的内部升压转换器被禁用，PVDD 可以由 3 节电池从外部提供。

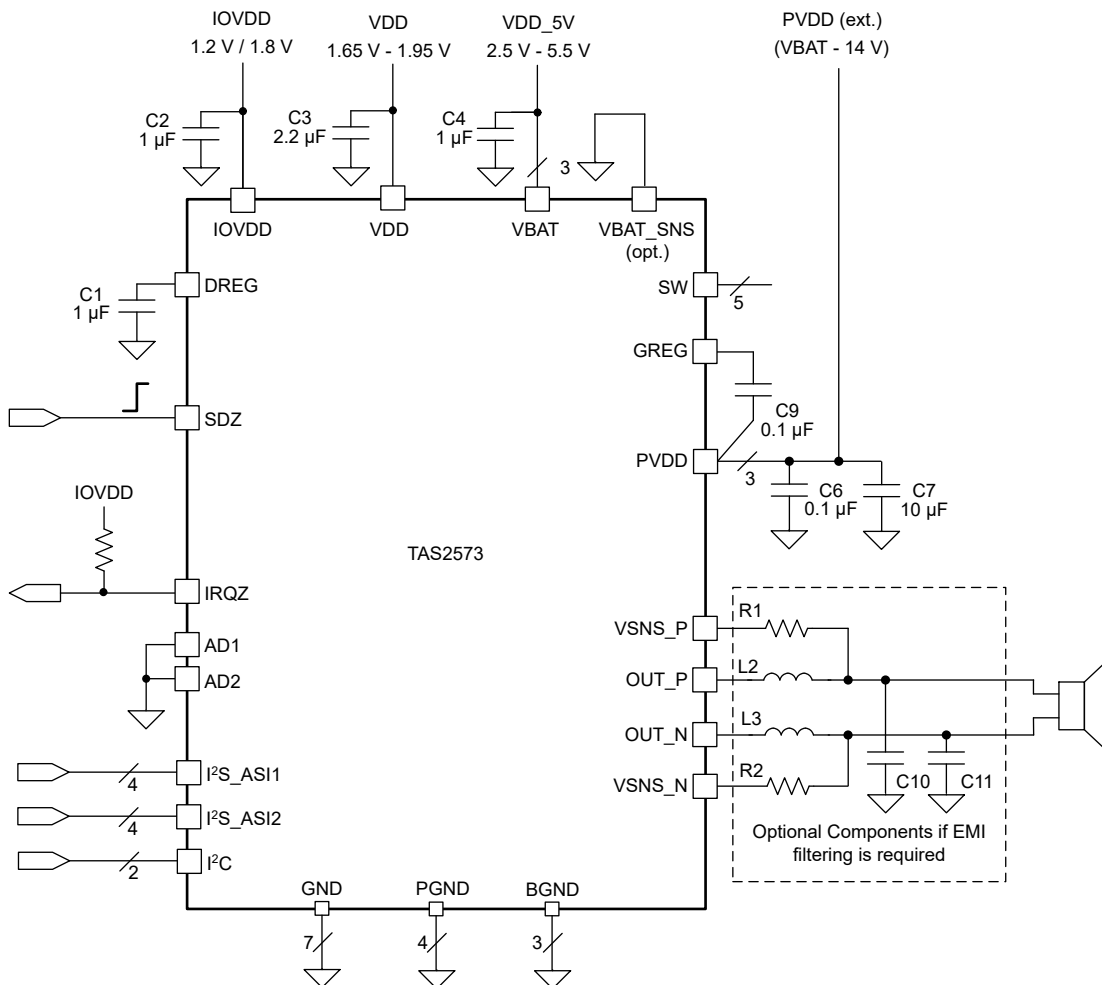


图 3-3. 采用外部 PVDD 配置的 TAS2573

3.1 建议的元件额定值

表 3-1 显示了图 3-1、图 3-2 和图 3-3 中显示的元件的额定值。

表 3-1. 元件额定值

元件	说明	规格	最小值	典型值	最大值	单位
L1	升压转换器电感器	电感	0.47	1	-	μH
		饱和电流	-	5.3	-	A
L2、L3	可选 EMI 滤波电感器 (如果使用 L2、L3, 则必须使用 R1、R2)	直流电流	2	-	-	A
C1, C2	DREG、IOVDD 去耦电容器	电容, 容差为 20%	-	1	-	μF
		电压额定值	2	6.3	-	V
C3	VDD 去耦电容器	电容, 容差为 20%	-	2.2	-	μF
		电压额定值	2	6.3	-	V
C4	VBAT 去耦电容器	电容, 容差为 20%	-	1	-	μF
		电压额定值	6.3	10	-	V
C5	VBAT 电源去耦电容器	电容, 容差为 20%	-	10	-	μF
		电压额定值	6.3	10	-	V
C5a	VBAT2S 去耦电容器	电容, 容差为 20%	-	10	-	μF
		电压额定值	10	16	-	V
C6	PVDD 低 ESL 去耦电容器	电容, 容差为 20%	-	0.1	-	μF
		电压额定值	16	25	-	V
C7、C8、C12	PVDD 电源去耦电容器	电容, 容差为 20%	-	10	-	μF
		电压额定值	16	25	-	V
		组合 PVDD 电容器在 13V 时的降额电容	3	-	-	μF
C9	GREG 去耦电容器	电容, 容差为 20%	-	0.1	-	μF
		电压额定值	6.3	10	-	V
C10、C11	可选的 EMI 滤波电容器 (如果使用 C10、C11, 则必须使用 L2、L3)	电压额定值	2xPVDD		-	V
R1、R2	可选的电压检测电阻器 (如果使用 L2、L3, 则必须使用)	电容, 容差为 5%。	1	2.2	4.7	kΩ
		温度系数	-	-	300	ppm/°C
		额定功率	-	0.01	-	W

4 布局指南

本节详细介绍了器件各个引脚部分应遵循的最佳布局实践。

4.1 VDD 引脚

VDD 引脚用于为器件内的各种关键模拟和数字块上电。当器件在 Y 桥模式下运行时，VDD 引脚还可以用作电源，以较低的功率驱动 D 类输出级。

在将 VDD 引脚布线到 PCB 上的相应电源时，需要考虑以下指南：

- 当 Y 桥在低于 Y 桥阈值的功率级别下启用时，D 类放大器从 VDD 引脚汲取开关电流。由于边沿速率较快，该电流可能大约为 200mA。
- 由于开关电流的 $L \cdot di/dt$ 电感反冲，VDD 引脚和相应电源之间路径中的任何寄生电感都会导致引脚上出现显著的电压纹波。该效应可能会影响器件的性能和功能。
- 建议使用容值大于等于 $2.2\mu\text{F}$ 的电容器对 VDD 引脚进行去耦（连接至 GND 引脚）。该电容器需要放置在同一层中尽可能靠近 VDD 引脚的位置。
- 去耦电容器必须具有尽可能低的寄生电感 (ESL)。建议使用 0201 封装电容器。
- 如果 PCB 空间受限，在放置电容器时应使顶板直接连接到 VDD 引脚，底板使用多个过孔（建议至少使用 3 个过孔）连接到 PCB 接地平面。

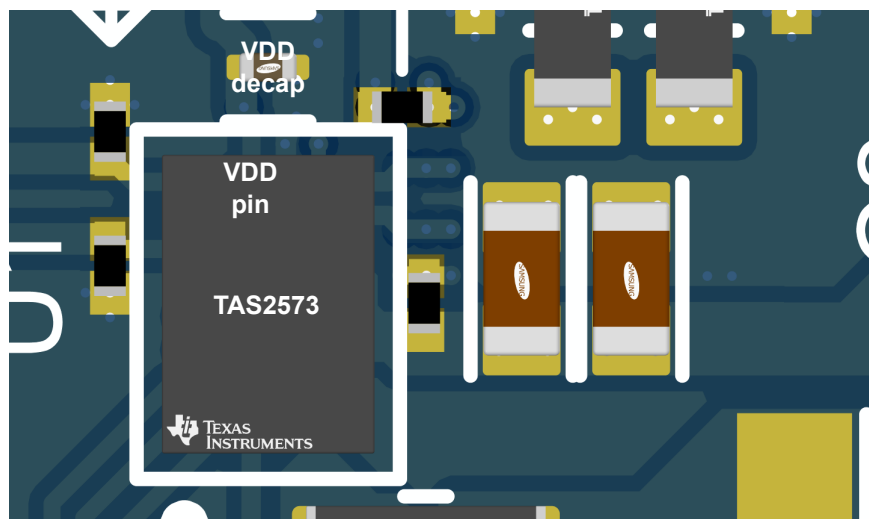


图 4-1. VDD 去耦电容器的放置

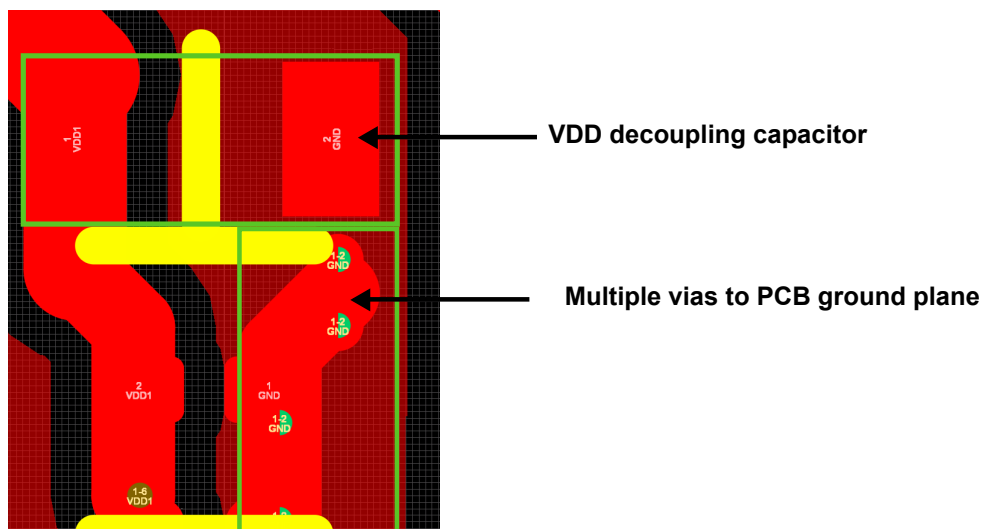


图 4-2. 从第 1 层上的 VDD 引脚进行的布线

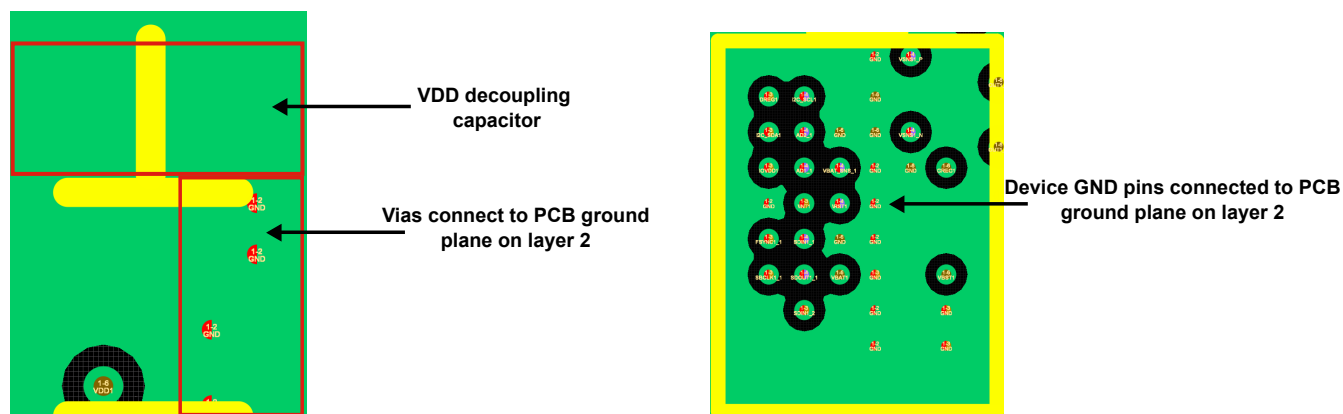


图 4-3. 去耦电容器与第 2 层上的 PCB 接地平面的连接

4.2 PVDD 引脚

PVDD 引脚对应于内部升压转换器的输出。当输出功率级别高于 Y 桥阈值时，PVDD 引脚还用作驱动 D 类输出级的电源。

在将 PVDD 引脚布线到 PCB 上时需要考虑以下建议：

- 当输出功率级别超过 Y 桥阈值时，由于边沿速率较快，D 类输出级会从 PVDD 引脚汲取高开关电流。
- 当器件与升压转换器一起工作时，不得通过外部电路对该引脚施加负载。
- 为了更大限度地降低 PVDD 引脚上由于这些瞬态电流而产生的电压纹波，必须使用容值 $\geq 3 \times 10\mu\text{F}$ 的电容器旁路掉 PVDD 引脚。
- 由于以下原因，该电容可能会出现一定程度的降额：
 - 容差
 - 接近最大 PVDD 电压的电压系数
- 在 13V 时，该降额电容必须至少为 $3\mu\text{F}$ 。
- 还需要使用 $0.1\mu\text{F}$ 的低 ESL 电容器 (ESL 必须小于等于 250pH) 旁路掉 PVDD 引脚，以更大限度地减小从 PVDD 到 PGND 的环路电感。使用 0201 封装电容器来实现该旁路。必须将该低 ESL 电容器放置在尽可能靠近器件的位置。
- 需要将去耦电容器旁路至 PGND 引脚。在通过 PCB 接地平面进行旁路时，请使用多个过孔 (建议至少使用三个过孔)，以尽可能减小旁路电容器上的接地接头与器件的 PGND 引脚之间的寄生电感。
- 当在外部 PVDD 模式下工作时，PVDD 引脚需要使用能够承载高电流且具有低寄生电阻的宽引线连接到电源，以更大限度地减小 I^2R 损耗。

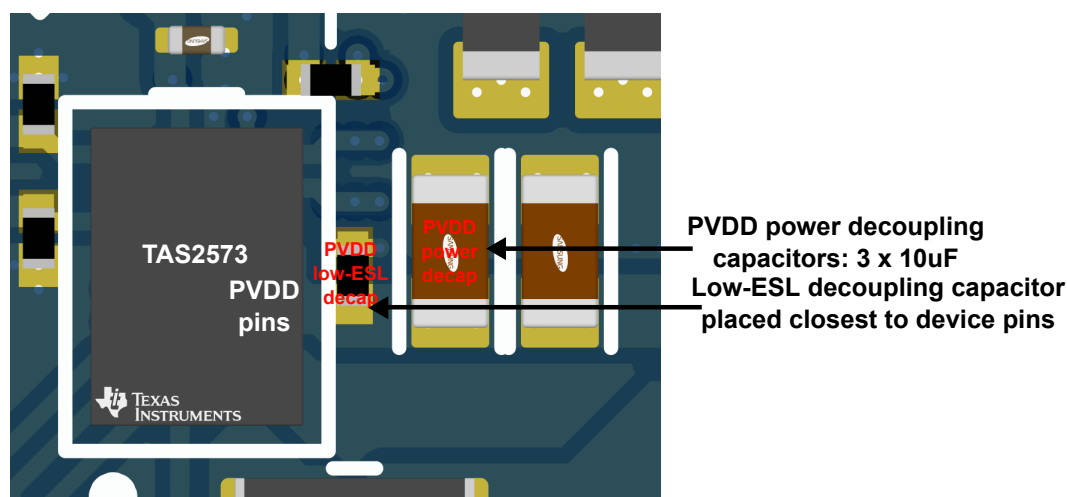


图 4-4. PVDD 去耦电容器的放置

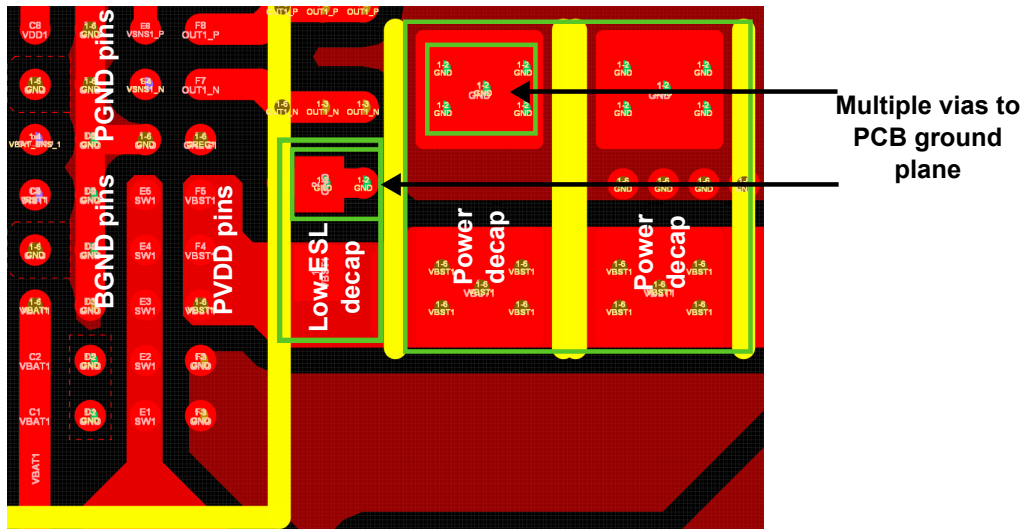


图 4-5. 从第 1 层上的 PVDD 引脚进行的布线

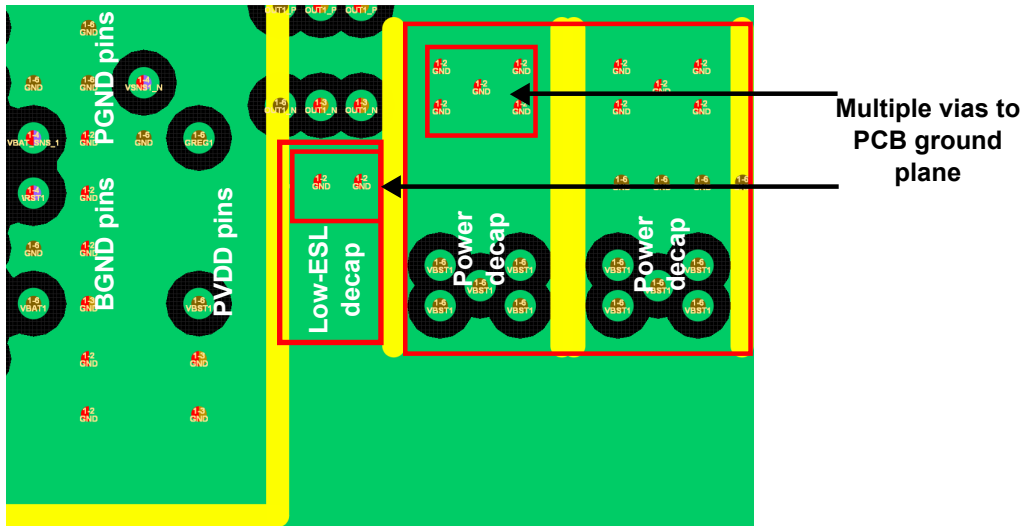


图 4-6. 去耦电容器与第 2 层上的 PCB 接地平面的连接

4.3 GREG 引脚

GREG 引脚用作升压转换器和 D 类输出级中高侧栅极驱动器的电源引脚。GREG 引脚使用 VBAT 引脚上的电压供电。

在将 GREG 引脚布线到 PCB 上时需要考虑以下建议：

- GREG 引脚需要使用容值为 0.1 μ F 的电容器进行去耦（连接至 PVDD 引脚）（建议使用 0201 封装来更大限度地减小 ESL 和 ESR）。
- 顶板需要连接至 GREG 引脚，底板需要使用星型连接直接连接至 PVDD 引脚，而不是连接至 PVDD PCB 平面或 PVDD 去耦电容器的顶板，以避免对 PVDD 引脚产生共模电感。
- 去耦电容器的额定电压必须大于等于 6.3V。
- 如果在内部 PCB 层中进行连接，则使用多个过孔来减小路径中的寄生电感。

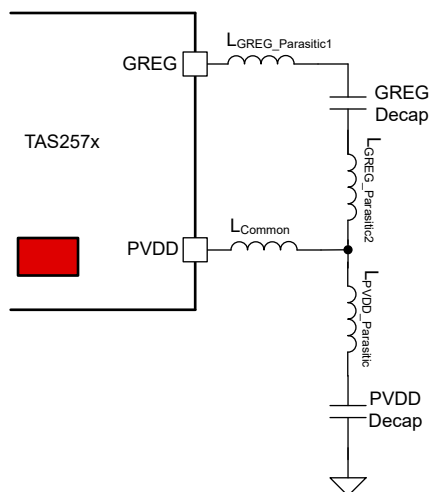


图 4-7. GREG 去耦电容器的错误布线

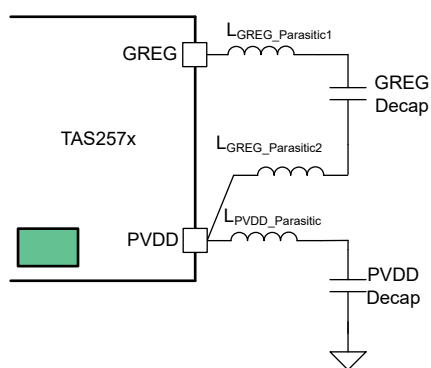


图 4-8. GREG 去耦电容器的正确布线

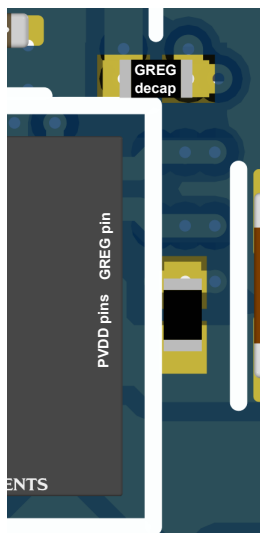


图 4-9. GREG 去耦电容器在 EVM 上的放置

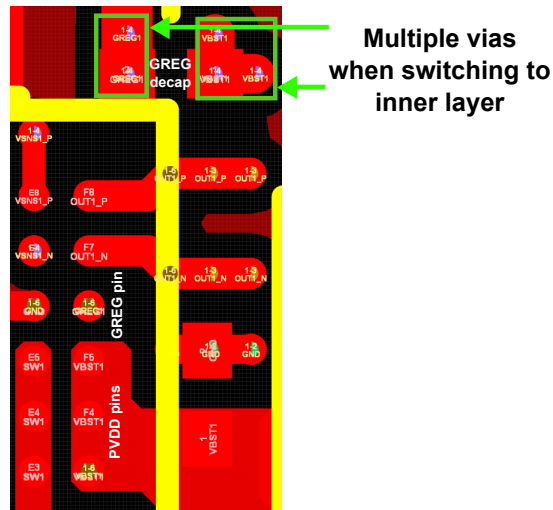


图 4-10. 使用过孔将 GREG 去耦电容器连接到内层

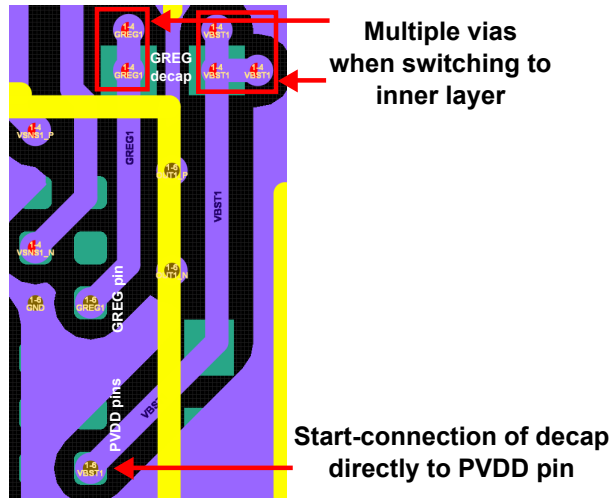


图 4-11. 去耦电容器到第 4 层中的 GREG 和 PVDD 引脚的布线

4.4 SW 引脚

SW 引脚对应于器件内部升压转换器的开关输入。在将电源布线至 PCB 上的 SW 引脚时，需要考虑以下建议：

- 该节点应能够承载高瞬态电流。该节点需要使用具有高载流能力和极小寄生电阻和电感的宽引线进行布线。
- 该节点可以在高电压下开关。建议避免在该节点上布置任何低压引线（包括 BCLK、FSYNC、SDIN、SDOUT 等），以避免耦合。
- 将连接到 SW 引脚的电感器放置在靠近器件的位置。使用具有较低 ESR 的电感器有助于实现较高的效率。
- 从电源到 SW 电感器的布线必须具有极小的寄生电阻，从而更大限度地减小 I^2R 损耗对效率的影响。
- 使用容值大于等于 $10\mu\text{F}$ 的电容器对 SW $10\mu\text{F}$ 电感器进行去耦，将该电容器放置在尽可能靠近电感器的位置。这种放置方式旨在降低瞬态电流在节点上产生的纹波。该电容器必须放置在电源和电感器之间，而不是放置在电感器和器件的 SW 引脚之间。
- 更大限度地减小 SW 节点路径上的寄生电容，以降低影响效率的开关损耗。
- 当器件在外部 PVDD 模式下运行时，SW 引脚必须保持未连接状态。

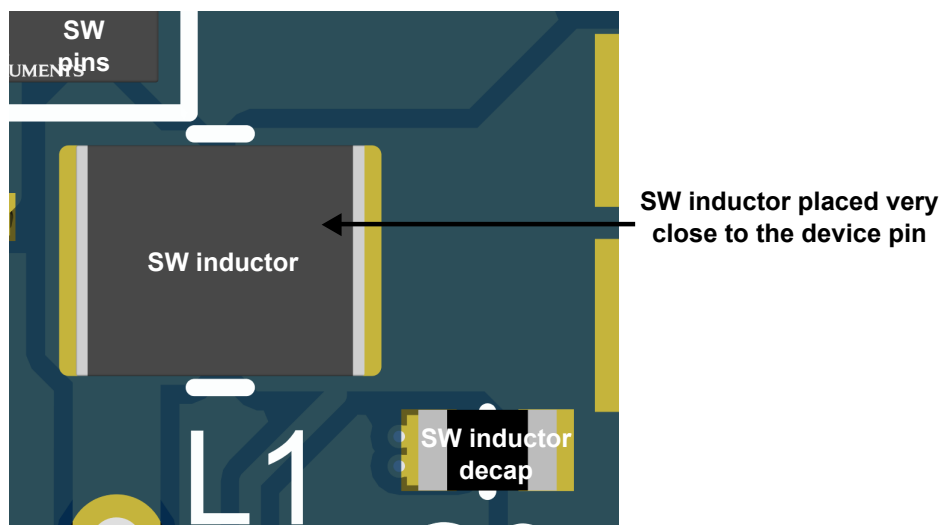


图 4-12. 升压电感器和去耦电容器在 SW 引脚附近的放置

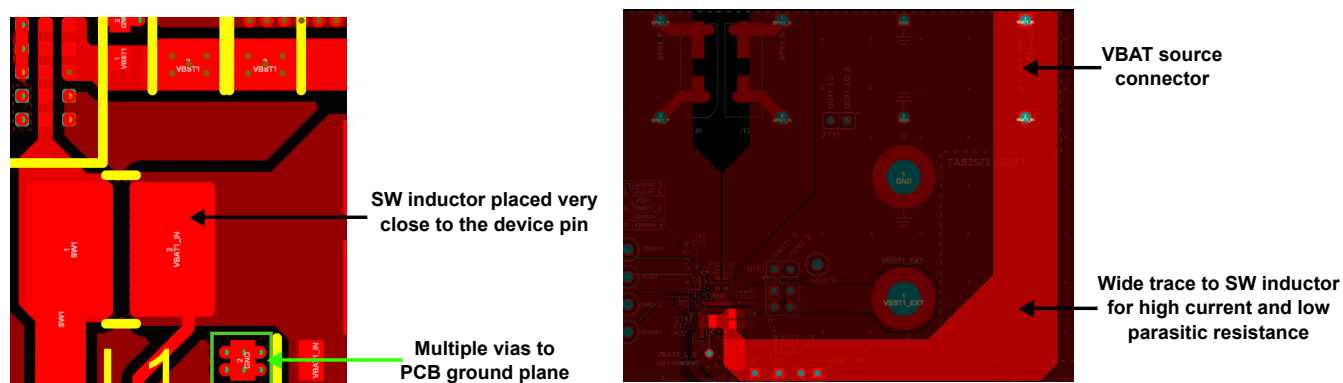


图 4-13. 电源到第 1 层上的 SW 电感器的布线

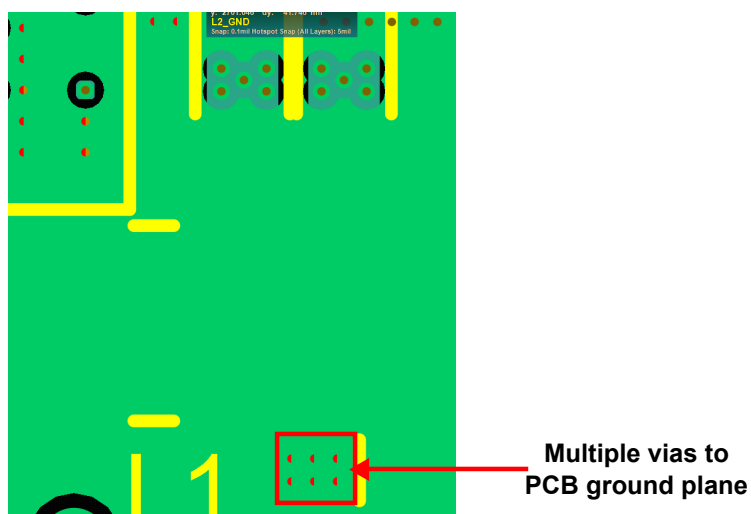


图 4-14. SW 电感器的去耦电容器与第 2 层上的 PCB GND 平面的连接

4.5 VBAT 引脚

VBAT 引脚用作器件电源引脚，用于为器件内的部分内部模拟块上电。当器件配置为检测 VBAT 引脚上的电源电压时，该引脚还用作电压检测引脚。此引脚用于各种电池监控决策，例如电压限制、欠压检测、升压导通等，尤其是在 VBAT1S 模式下。

在将 VBAT 引脚布线到 PCB 上时，需要考虑以下指南：

- VBAT 引脚承载高达 10mA 的电流。与前面提到的引脚相比，布置到该引脚的引线可以更窄。
- VBAT 引脚需要通过一条引线连接到电源，该引线独立于用于布线到 SW 电感器的高电流路径。
- 需要使用容值大于等于 1 μ F 的电容器对 VBAT 引脚进行去耦（连接至 GND），将该电容器放置在尽可能靠近器件的位置。建议使用 0201 封装电容器来降低 ESL 和 ESR。
- 如果电容器的底板通过 PCB 的接地平面连接到 GND，则需要使用多个过孔进行连接，以更大限度地减小 GND 引脚的寄生电感。

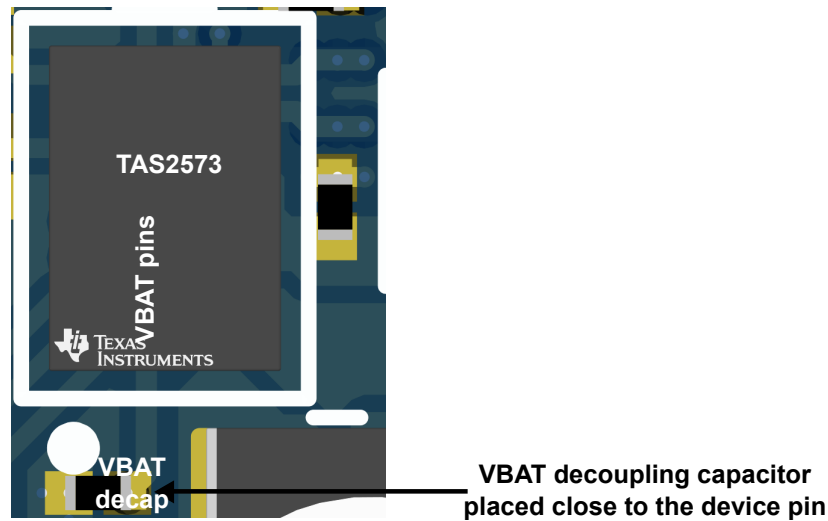
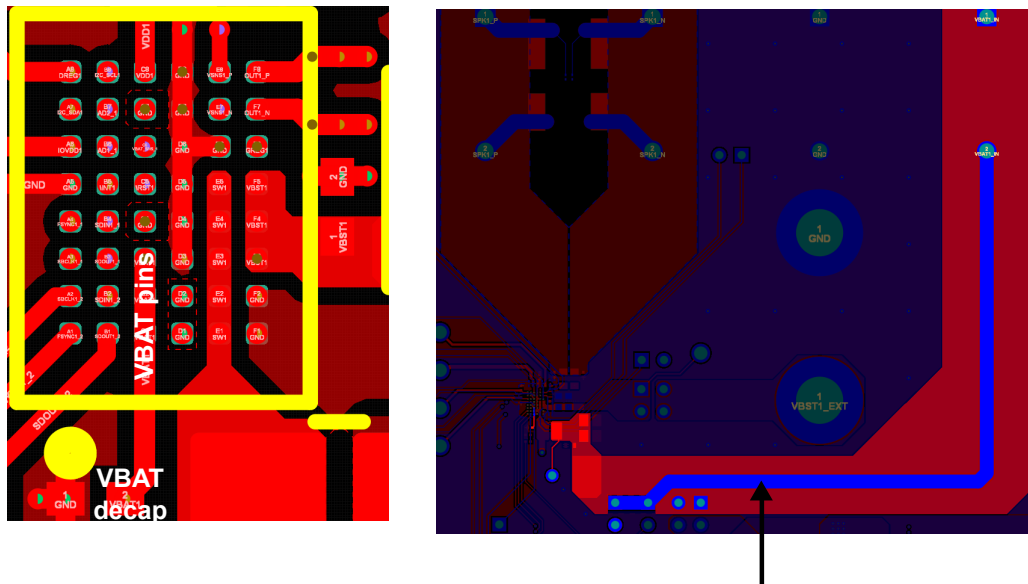


图 4-15. VBAT 引脚附近的去耦电容器放置



Routing to VBAT pin from power source is separate from SW high-current path on different layer

图 4-16. 电源到第 1 层上的 VBAT 引脚的布线

4.6 VBAT_SNS 引脚

VBAT_SNS 引脚是器件上的一个附加电池检测引脚。

在 PCB 上对 VBAT_SNS 引脚进行布线时，需要考虑以下指南：

- 在 VBAT1S 模式下，该引脚用作可选的开尔文检测引脚。
- 如果未使用该引脚，则将其接地。
- 在 VBAT2S 模式下，该引脚连接至 2S 电源。然后，该引脚就会被监测以做出有关电压限制器、升压导通等方面的内部决策。
- 使用时，该引脚需要通过一条单独的引线连接到电源，该引线独立于布线到 SW 电感器的高电流路径。

4.7 OUT_P 和 OUT_N 引脚

OUT_P 和 OUT_N 引脚对应于 D 类放大器的差分输出。在 PCB 上对这些引脚进行布线时，需要考虑以下指南：

- 在 Y 桥模式下，这些引脚在 0 和 VDD 之间切换，当超过 Y 桥阈值时，这些引脚在 0 和 PVDD 之间切换。
- 这种切换以快速边沿速率发生，从而导致这些节点上产生高开关电流。因此，需要使用能够承载大电流的宽引线将这些引脚连接到扬声器。
- 当布线切换到 PCB 的内层时，需要使用多个过孔来提供载流能力并降低寄生电感。
- 这些引脚上的寄生电容需要保持在超低水平，因为这些寄生电容会导致开关损耗增加，从而影响效率。如果电容足够高，则开关也可能触发过流中断。
- 由于这些节点是高压开关节点，因此应避免将任何低压节点（例如 BCLK、FSYNC、SDIN、SDOUT 等）路由到该路径上，以避免发生耦合。

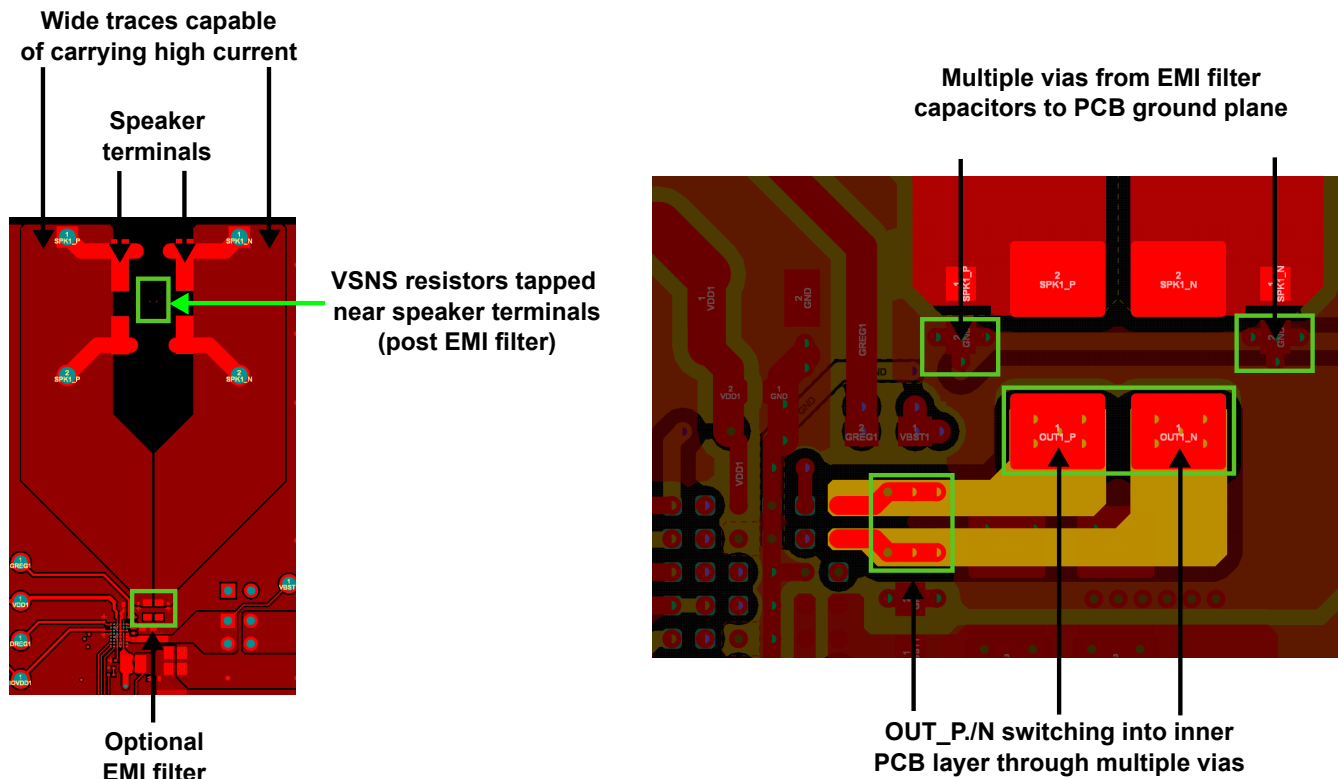


图 4-17. OUT_P/N 到第 1 层上的扬声器端子的布线

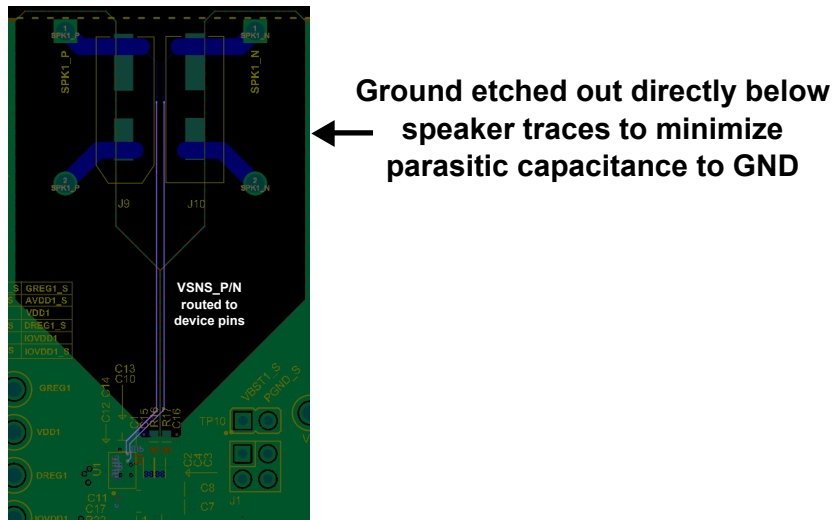


图 4-18. 内部 PCB 层中 OUT_P/N 路径下方的布线

4.7.1 输出端的可选 EMI 滤波器

TAS2573 支持边沿速率控制以更大限度地降低 EMI，但是，系统设计人员可以在需要在 D 类输出上包含无源 EMI 滤波器。

在 OUT_P 或 OUT_N 引脚上使用 EMI 滤波器时，必须考虑以下情况：

- 滤波器的 L - C 截止频率必须大于 3MHz，以避免与 D 类开关频率发生谐振。
- 必须适当选择滤波器中使用的电容器 C 的值，使得 (C/L) 比率小于等于 1.5。该措施可避免峰值输出功率传输期间出现错误的过流中断。
- VSNS_P 或 VSNS_N 路径必须从扬声器端子附近布线到器件引脚。如果使用 EMI 滤波器，则应在 EMI 滤波器之后进行该布线。
- 在使用 EMI 滤波器时，建议在 VSNS_P 或 VSNS_N 布线路径上使用 2.2k Ω 串联电阻。该电阻必须最大为 4.7k Ω 。

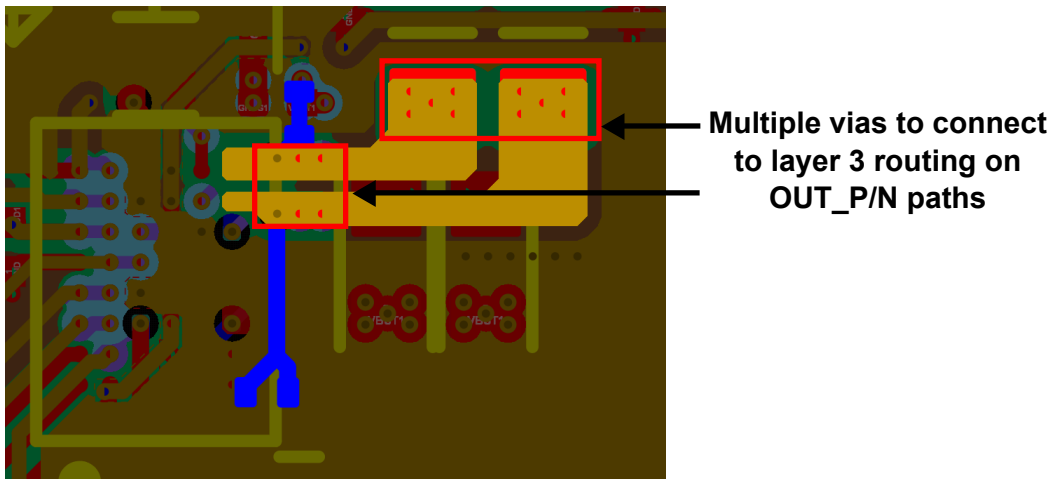


图 4-19. 通过第 3 层从 OUT_P/N 引脚到 EMI 滤波器的布线

4.8 IOVDD 引脚

IOVDD 引脚是器件数字 I/O 的电源引脚。在将 IOVDD 引脚布线到 PCB 上时，需要考虑以下建议：

- 使用容值大于等于 $1\mu\text{F}$ 的电容器对 IOVDD 引脚进行去耦（连接到 GND），将该电容器放置在尽可能靠近器件的位置。
- 当使用公共电源为 VDD 和 IOVDD 引脚供电时，请确保在器件附近共享电源（例如，需要在尽可能靠近器件的位置将 VDD 和 IOVDD 引脚短接），需要将公共布线连接到电源。
- 在使用此类连接时，需要将组合去耦电容器放置在靠近 VDD 引脚的位置。

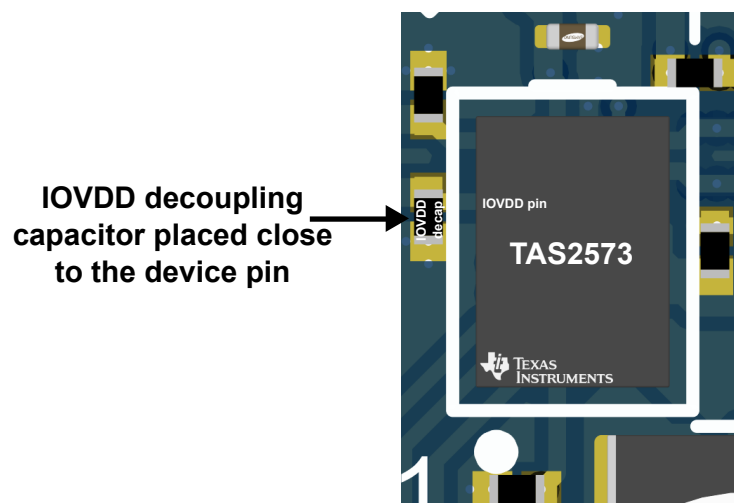


图 4-20. IOVDD 去耦电容器的放置

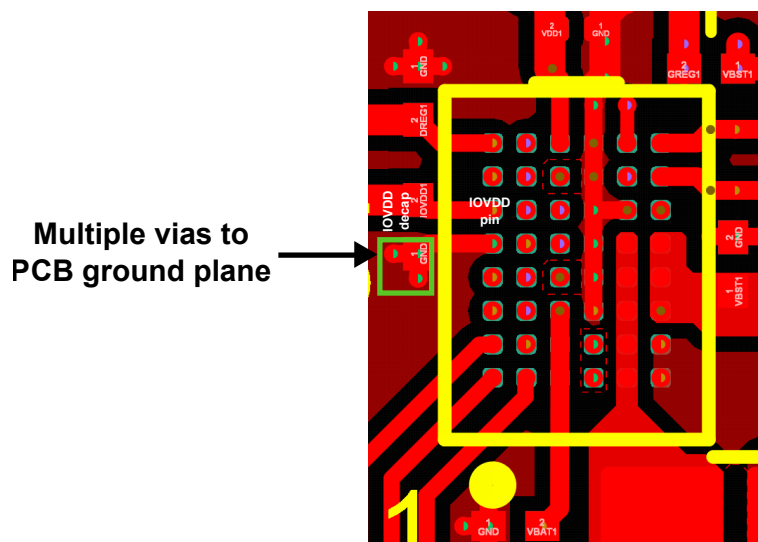


图 4-21. IOVDD 去耦电容器到第 1 层上的引脚的布线

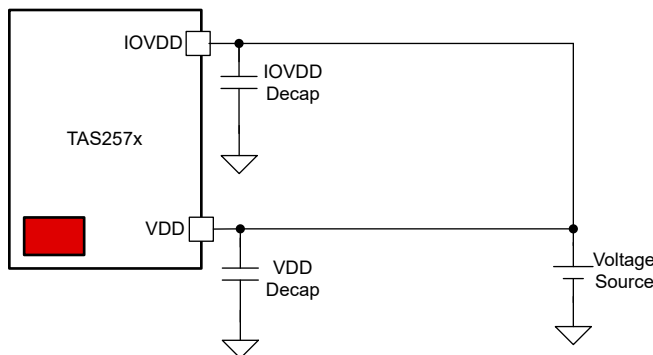


图 4-22. 共享 VDD 和 IOVDD 的错误连接

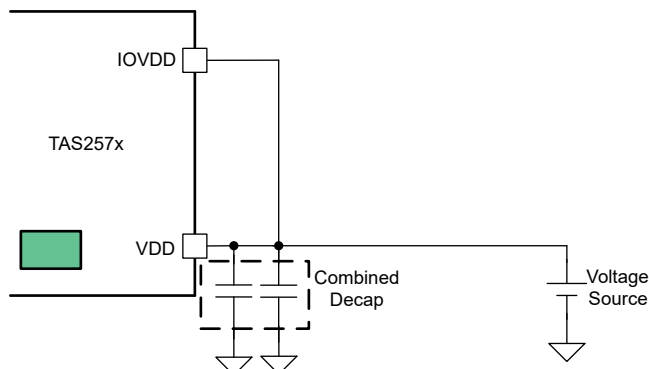


图 4-23. 共享 VDD 和 IOVDD 的建议连接

4.9 DREG 引脚

DREG 引脚对应于内部生成的 LDO 电压。DREG 引脚用作器件内部数字块的电源。在将 DREG 引脚布线到 PCB 上时，需要考虑以下指南：

- 必须使用容值大于等于 $1\mu\text{F}$ 的电容器将 DREG 引脚去耦（连接至 GND 引脚）。需要将该电容器放置在尽可能靠近器件的位置。使用一个 0201 电容器更大限度地减小 ESR 和 ESL。
- DREG 引脚上不得加载任何外部电路。
- 如果通过 PCB 的接地平面进行去耦，请使用多个过孔来更大限度地减小电容器的接地端与器件的 GND 引脚之间的寄生电感。

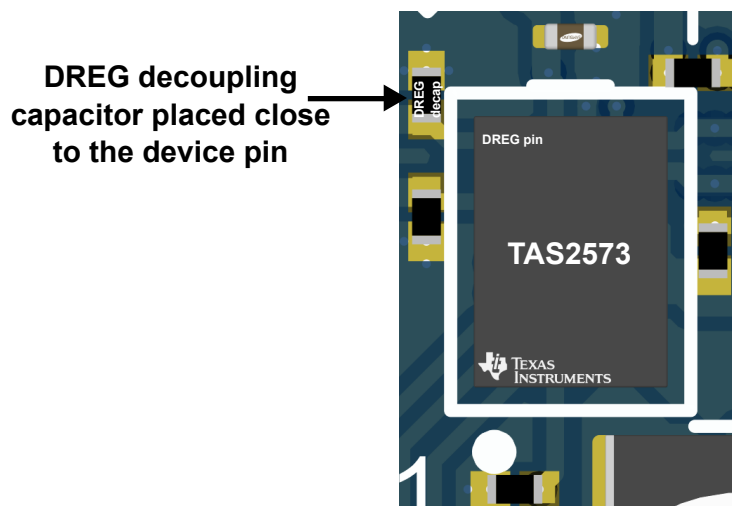


图 4-24. DREG 去耦电容器的放置

Multiple vias to
PCB ground plane

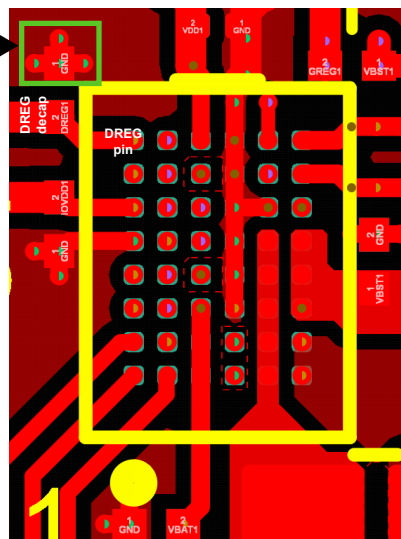


图 4-25. DREG 去耦电容器到第 1 层上的引脚的布线

4.10 数字 I/O 引脚

该器件包含以下数字 I/O 引脚，所有引脚均以 IOVDD 电源电压为基准：

- SCL、SDA，用于与器件的 I²C 通信。
- AD1、AD2，用于设置 I²C 器件地址。
- SBCLK、FSYNC、SDIN、SDOUT，用于 TDM/I²S 音频串行接口。
- IRQz，用于器件中断。
- SDz，用于器件的硬件关断。

这些数字引脚在布线时需要远离高压开关节点（SW、OUT_P、OUT_N、VSNS_P、VSNS_N），以避免任何耦合，否则可能会破坏数字信号的完整性。

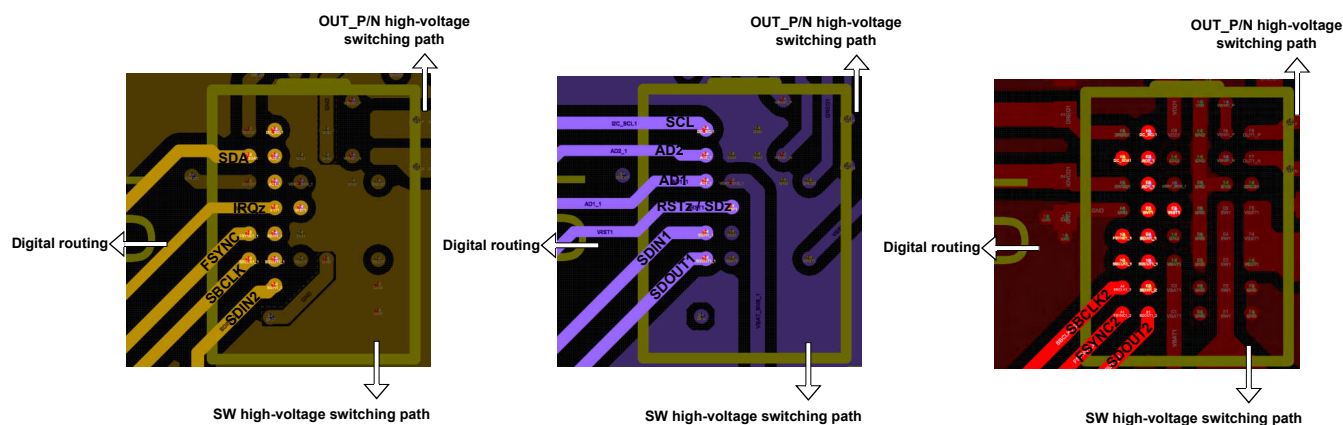


图 4-26. 远离高压开关线路的内层（3 和 4）数字线路的布线

4.11 接地引脚

该器件包含多个接地引脚，这些引脚需要连接到 PCB 中的接地平面。在连接引脚时，必须考虑以下指南：

- 该器件具有三个 GND 引脚，分别用作模拟地和数字地。这三个引脚需要使用过孔独立连接到 PCB 接地平面。应避免在顶层将这些引脚短接在一起，以免对 PCB 地产生共模电感。
- 该器件具有三个以升压转换器为基准的 BGND 引脚和四个以 D 类功率级为基准的 PGND 引脚。这些引脚需要在 PCB 顶层短接在一起，然后使用单独的过孔布线到 PCB 接地平面。
- 应避免将 BGND 或 PGND 引脚与顶层器件的其他 GND 引脚短接，以免对 PCB 地产生共模电感。

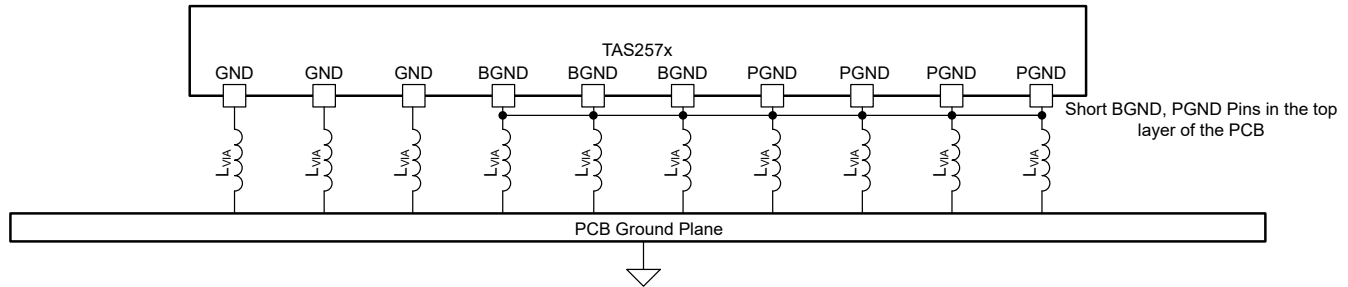


图 4-27. 接地引脚与 PCB GND 平面的连接

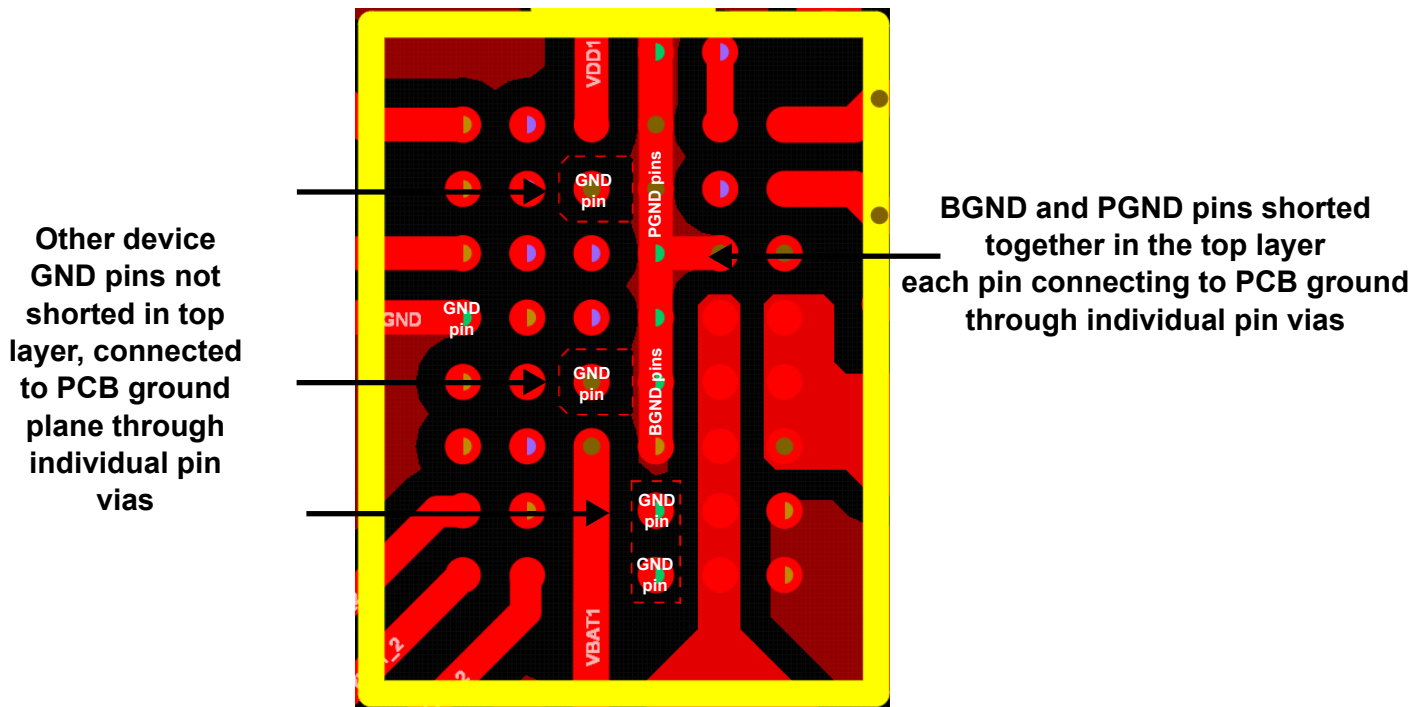


图 4-28. 第 1 层上的器件 GND 引脚的连接

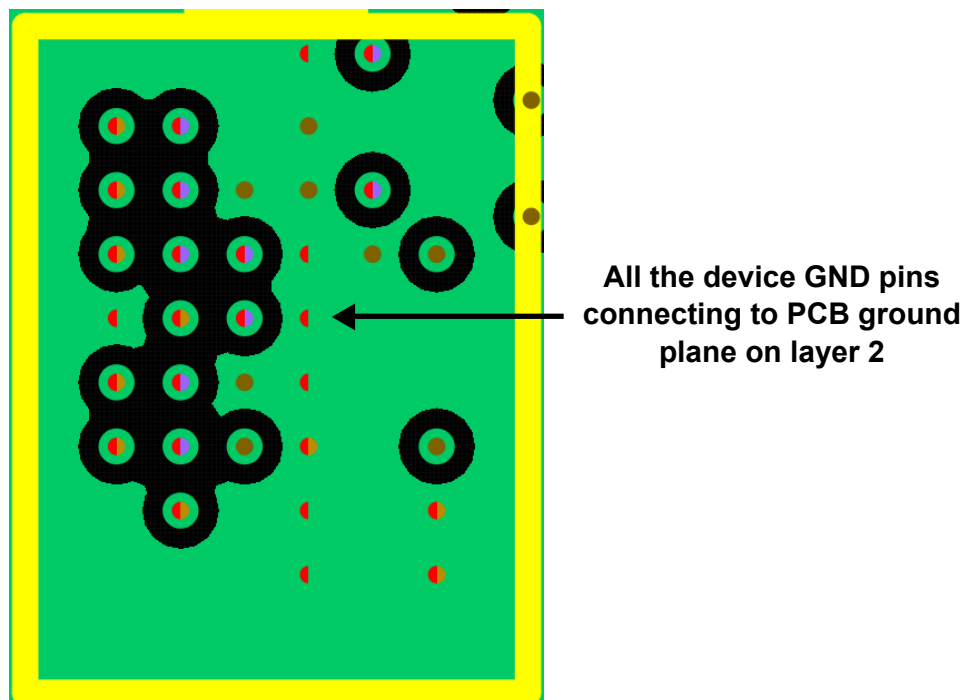


图 4-29. 到第 2 层上的 PCB GND 平面的连接

5 总结

表 5-1 总结了针对器件不同引脚的建议设计和布局实践。

表 5-1. 设计和布局指南总结

部分	引脚或部分	最大寄生引线电感 (pH)	建议指南
1	VDD	250	使用大于等于 2.2μF 的电容器进行去耦, 将该电容器放置在尽可能靠近器件的位置
2	PVDD	130	使用 3 x 10μF 的电容器进行去耦, 将该电容器放置在尽可能靠近器件的位置 需要将小型封装 0.1μF 电容器 (0201) 放置在最靠近器件的位置, 该电容器具有极小的 ESL 考虑 PVDD 电压导致的降额 具有高载流能力的宽引线
3	GREG	3000	使用 0.1 μ F 电容器进行去耦 (连接至 PVDD 引脚) 通过星型连接直接连接至 PVDD 引脚
4	SW		将电感器放置在尽可能靠近器件的位置 宽引线可承载高电流并更大幅度地降低对效率至关重要的寄生电阻 (降低 I^2R 损耗) 使用靠近电感器、大于等于 10μF 的电容器进行去耦 更大幅度地减小接地寄生电容以降低开关损耗 在外部 PVDD 模式下使引脚保持未连接状态
5	VBAT	250	使用星型连接直接连接至电源 使用大于等于 1μF 的电容器进行去耦, 将该电容器放置在尽可能靠近器件的位置
6	VBAT_SNS		使用星型连接直接连接至电源 VBAT1S 模式下的可选连接, 在未使用时接地
7	OUT_P/OUT_N		使用大于等于 1μF 的电容器进行去耦, 将该电容器放置在尽可能靠近器件的位置 能够承载高电流的宽引线 更大幅度地减小接地寄生电容以降低开关损耗
8	VSNS_P/ VSNS_N		扬声器端子附近的抽头 (在 EMI 滤波器后面) 使用 EMI 滤波器时需要的串联电阻 (建议采用 2.2kΩ)
9	IOVDD	250	使用大于等于 1μF 的电容器进行去耦, 将该电容器放置在尽可能靠近器件的位置 如果所需 I/O 电源为 1.8V, 则可以在器件引脚附近短接至 VDD。建议即使在短接时也使用 C2 和 C3 电容器, 并将电容器放置在靠近 VDD 引脚的位置
10	DREG	250	使用大于等于 1μF 的电容器进行去耦, 将该电容器放置在尽可能靠近器件的位置
11	数字		避免在 SW、OUT_P、OUT_N 等高压开关节点附近布线, 以避免耦合
12	接地	BGND - 35pH PGND - 30pH GND - 每个引脚 100pH	短接顶层的 BGND 或 PGND 引脚 避免在 PGND 或 BGND 和 GND 引脚之间产生对接地平面的共模电感 PCB 接地的总寄生电感对器件性能至关重要。使用多个过孔以更大幅度地减小电感

6 参考资料

- 德州仪器 (TI), [TAS2573EVM 用户指南](#)。
- 德州仪器 (TI), [TAS2573 数据表](#), 数据表。

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 [TI 销售条款](#)、[TI 通用质量指南](#) 或 [ti.com](#) 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2026，德州仪器 (TI) 公司

最后更新日期：2025 年 10 月