

Application Note

TAx5x1x/TAx5x1x-Q1 器件的输入共模容差模式



Lakshmi Narasimhan Badrinarayanan, Aman Agrawal, Jeff McPherson

摘要

TAx5x1x/TAx5x1x-Q1 系列器件是用于音频应用的双通道、高性能模数转换器。该系列器件支持高度可配置的输入，使器件即使在存在较大共模信号的情况下也能实现高性能。

共模抑制比 (CMRR) 是衡量音频 ADC 性能的重要指标，尤其是在信号线存在共模干扰的系统中。例如，50-60Hz 电源线路干扰就是其中之一。本应用手册介绍了如何在 TAC5x1x/TAC5x1x-Q1 器件上配置输入共模电平容差以及对 SNR、THD+N 等某些性能参数的影响。

本应用手册适用于该系列以下器件：

- TAC5212、TAC5112
- TAC5111
- TAA5212
- TAC5112-Q1、TAC5111-Q1
- TAC5242、TAC5142
- TAA5242

内容

1 简介.....	2
2 详细说明.....	3
2.1 共模容差模式.....	4
2.2 共模抑制.....	5
2.3 不同 CM_TOL 模式下的器件性能.....	9
3 总结.....	10
4 参考资料.....	10
5 修订历史记录.....	10

商标

所有商标均为其各自所有者的财产。

1 简介

图 1-1 (a) 描述了一个差分输入放大器，其中输入信号 V_{IN+} 和 V_{IN-} 分别位于 (+) 和 (-) 端子上。

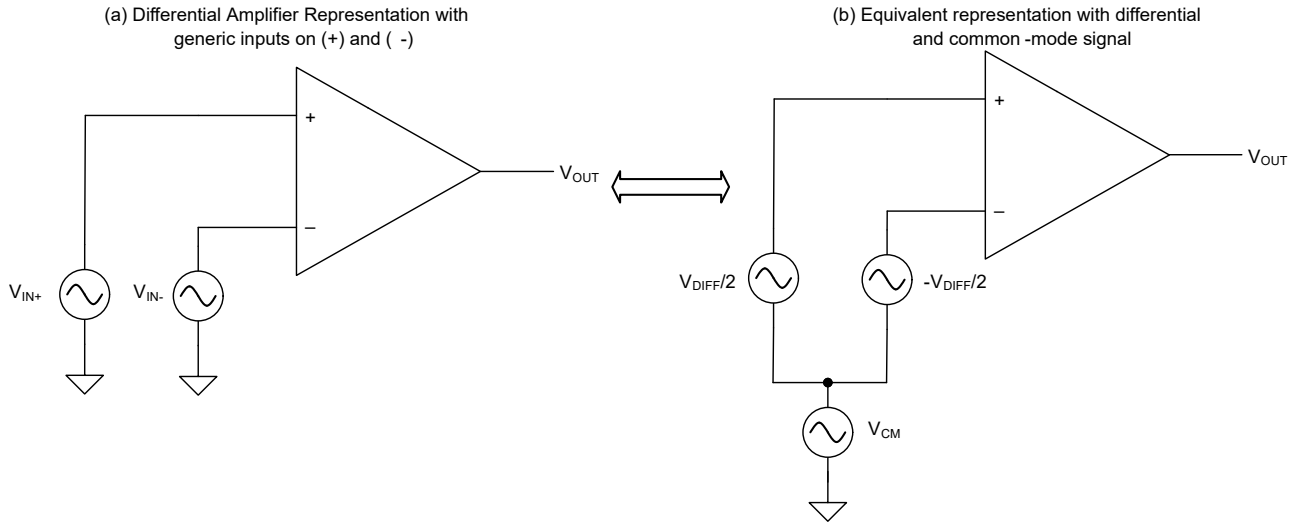


图 1-1. 差分输入放大器

对于理想放大器，输出 V_{OUT} 为：

$$V_{OUT} = A_d * (V_{IN+} + V_{IN-}) \quad (1)$$

其中 A_d 是放大器的差分增益。

然而，在实际放大器中，(+) 与 (-) 信号路径之间的不匹配会导致输出信号产生额外分量。为计算该分量，图 1-1 (b) 中的电路可等效表示为图 1-1 (b) 所示，包含一个“差分信号” V_{DIFF} 和一个“共模”信号 V_{CM} 。此类放大器的输出公式为：

$$V_{OUT} = A_d * V_{DIFF} + A_c * V_{CM} \quad (2)$$

其中， A_d 为差分增益， A_c 为放大器的共模增益。这些信号通过以下公式得出：

$$V_{DIFF} = V_{IN+} - V_{IN-} \quad (3)$$

$$V_{CM} = \frac{V_{IN+} + V_{IN-}}{2} \quad (4)$$

差分输入系统的关键性能参数之一是其“抑制”此类共模信号的能力。这称为“共模抑制比 (CMRR)”，CMRR 的值 (以 dB 为单位) 由以下公式得出：

$$CMRR(dB) = 20 * \log\left(\frac{1}{A_c}\right) \quad (5)$$

理想差分放大器的 CMRR 为 ∞ dB。

非理想放大器的 CMRR 可以通过在两个输入端子上提供相同的信号 V_{CM} 并观察输出 V_{OUT} 来进行测量。随后即可按以下公式计算 CMRR：

$$CMRR(dB) = 20 * \log\left(\frac{V_{CM}}{V_{OUT}}\right) \quad (6)$$

不过，此类电路也存在其可承受的指定共模摆幅范围。本文档讨论了 TAC5x1x/TAC5x1x-Q1 器件的共模摆幅容差、对该容差的编程方式及其对器件性能的影响。

2 详细说明

TAC5x1x/TAC5x1x-Q1 系列包括单声道/立体声 ADC，可处理差分信号和单端信号。这些信号可通过交流耦合或直流耦合方式接入 INxP/M 引脚。

在音频系统中，这些差分信号在到达器件引脚之前不可避免会混入共模干扰信号。ADC 支持三种工作模式，每种模式规定了 INxP/M 引脚可承受的最大共模摆幅。在每种模式下，器件的 CMRR 额定值均对应各自的共模容差摆幅。这些模式的详细说明见[共模容差模式](#)。

如要测试器件在共模摆幅下的运行情况，需将交流信号源连接到编解码器的 INP 和 INM 引脚，如[图 2-1](#) 所示。本应用笔记中的所有测试结果均在对应 EVM 上测得。

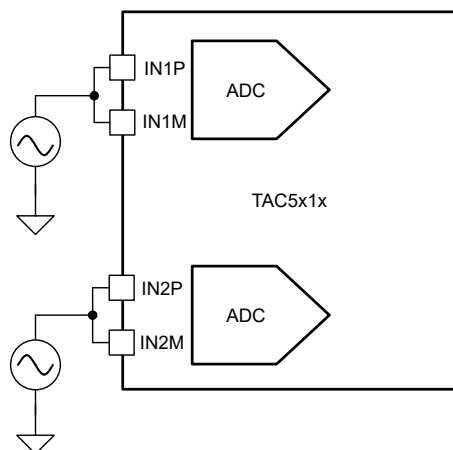


图 2-1. 共模功能测试连接

2.1 共模容差模式

TAC5x1x/TAC5x1x-Q1 系列器件的输入 ADC 支持三种共模工作模式。通过配置寄存器 ADC_CHx_CFG0 中的 ADC_CHx_CM_TOL 字段选择此模式 (x 为通道号)；IN1P/IN1M 对应 B0_P0_R80 [3:2]，IN2P/IN2M 对应 B0_P0_R85 [3:2]。这些寄存器字段说明详见表 2-1。

表 2-1. ADC 共模容差的寄存器设置

寄存器字段位置 (Book_Page_Register[MSB:LSB])	寄存器字段名称	寄存器字段说明
B0_P0_R80[3:2]	ADC_CH1_CM_TOL[1:0]	ADC 通道 1 输入共模容差 (适用于模拟输入)。 0d = 具有共模变化容差的交流耦合输入, 对于差分配置, 支持 100mV _{pp} 1d = 具有共模变化容差的交流耦合/直流耦合输入, 对于差分配置, 支持 1V _{pp} 2d = 具有共模变化容差的交流耦合/直流耦合输入, 支持轨到轨 (电源到地) (高 CMRR 容差模式) 3d = 保留
B0_P0_R85[3:2]	ADC_CH2_CM_TOL[1:0]	ADC 通道 2 输入共模容差 (适用于模拟输入)。 0d = 具有共模变化容差的交流耦合输入, 对于差分配置, 支持 100mV _{pp} 1d = 具有共模变化容差的交流耦合/直流耦合输入, 对于差分配置, 支持 1V _{pp} 2d = 具有共模变化容差的交流耦合/直流耦合输入, 支持轨到轨 (电源到地) (高 CMRR 容差模式) 3d = 保留

同理, 对于摘要中所列的 TAx5x42 硬件控制器件, 可按照表 2-2 配置器件的 MD5-MD4 引脚, 以设置共模容差。

表 2-2. TAx5x42 器件的模拟输入配置

MD5	MD4	模拟输入配置
低 (0)	低 (0)	差分输入; 仅交流耦合
低 (0)	高 (1)	差分输入; 具有高共模容差的交流或直流耦合
高 (1)	低 (0)	INxP 上的单端输入; 仅限交流耦合
高 (1)	高 (1)	INxP 上的单端输入; 具有高共模容差的交流或直流耦合

2.2 共模抑制

每个共模容差模式将在该模式的限制范围内实现良好的共模抑制。图 2-2 中的图形为 TAC5212EVM-K 上 ADC 输出的 FFT，输入端同时施加 1kHz 交流共模信号与共模直流偏置电压。图 2-2 (a) 为共模摆幅为 50mV_{pp} (处于 100mV_{pp} 容差限值内) 时的 FFT (该值为 35.36mVrms, 在 2Vrms 满量程摆幅下对应 -35.05dBFS)。图 2-2 (b) 为共模摆幅处于 100mV_{pp} 容差限值时的 FFT。图 2-2 (c) 为共模摆幅超出 100 mV_{pp} 容差限值时的 FFT。

同理，图 2-3 和图 2-4 分别为器件配置为 CM_TOL 为 1 和 CM_TOL 为 2 时，TAC5212EVM-K 上 TAC5212 输出的 FFT。

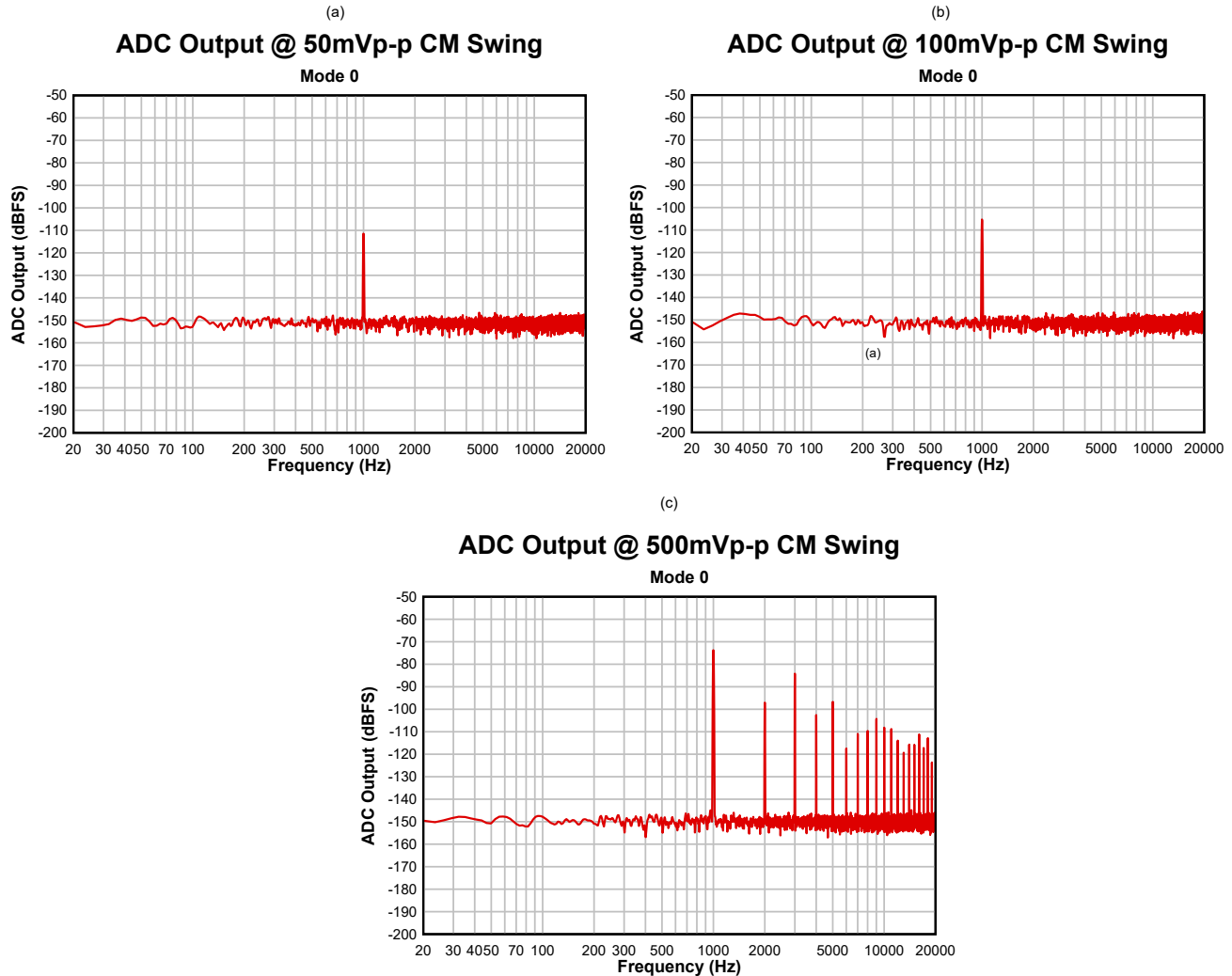


图 2-2. CM_TOL 模式 0 下的 ADC 输出频谱

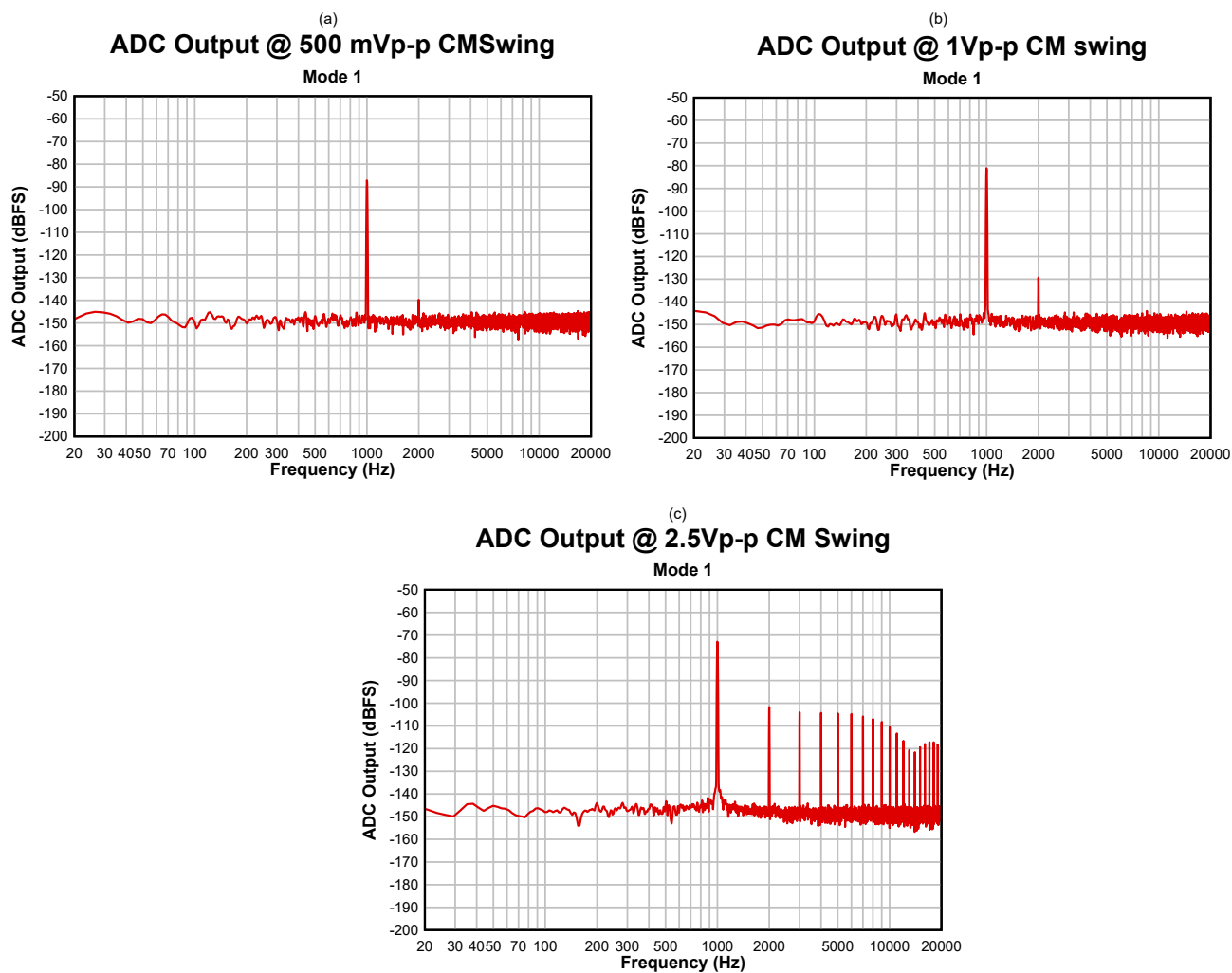


图 2-3. CM_TOL 模式 1 下的 ADC 输出频谱

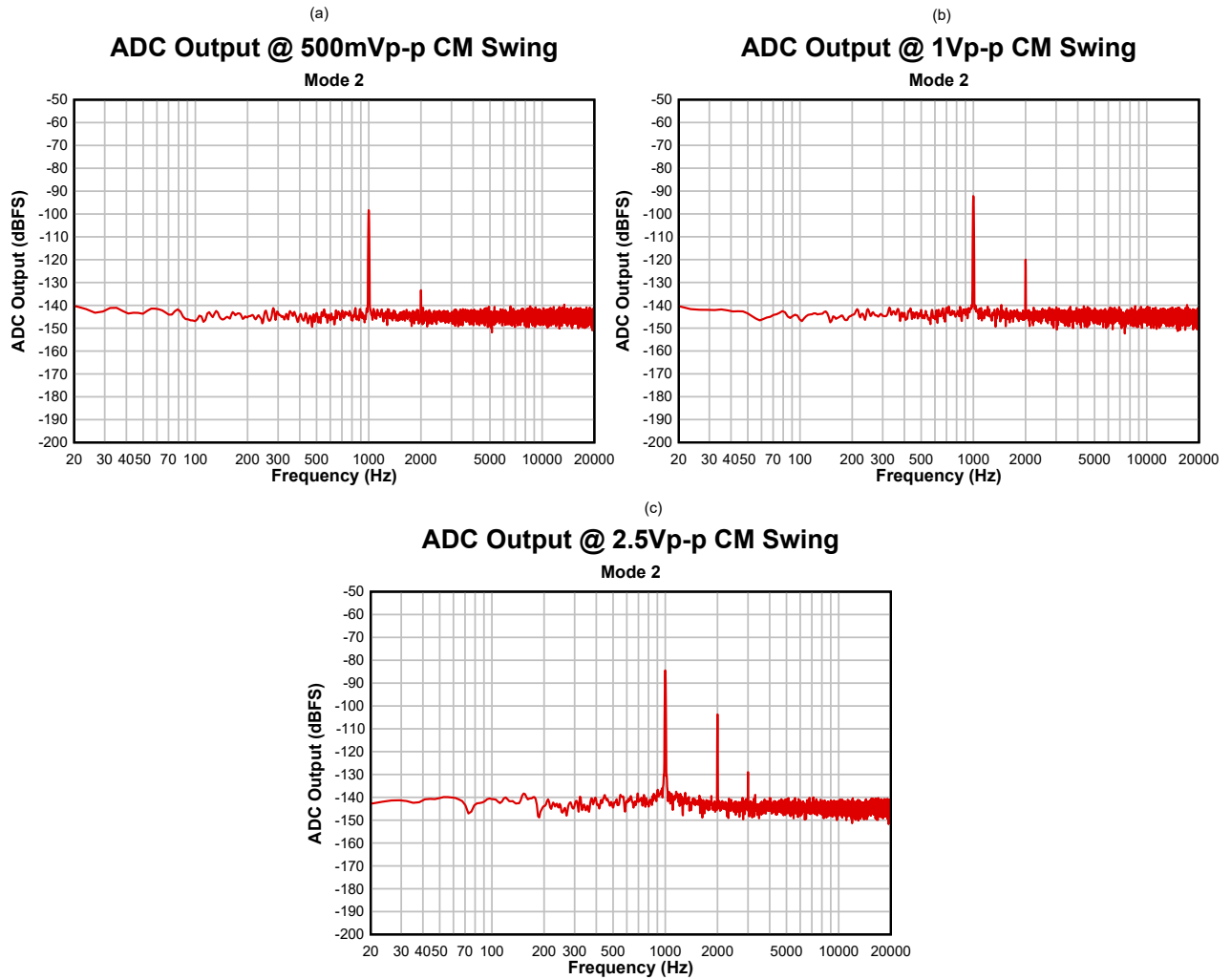


图 2-4. CM_TOL 模式 2 下的 ADC 输出频谱

TAx511x/TAx511x-Q1 器件在模式 0 下的 CMRR 典型值为 60dB，在同等信号幅值下，模式 1 和 2 的 CMRR 典型值会有若干分贝的变化。性能更高的 TAx521x 和 TAx521x-Q1 在模式 2 下的 CMRR 典型值可接近 80dB，是需要高共模容差并追求极致性能的应用系统的理想选择。图 2-5 展示了在 1kHz 共模信号下，CMRR 随输入共模摆幅变化的曲线。施加共模直流偏置电压的同时，交流信号电平从 50mVpp 变化至 2.75Vpp。图 2-5 中的 CMRR 为 TAC5212EVM-K 上两个输入通道的平均值。

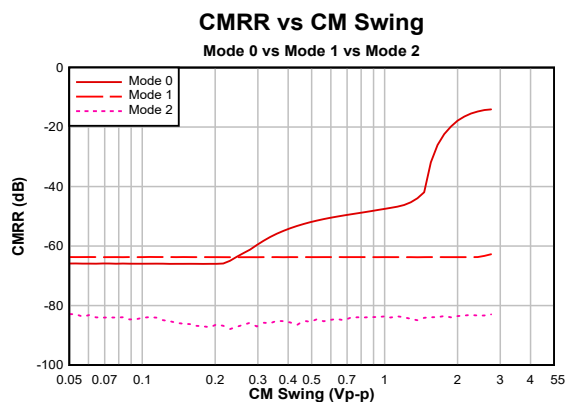


图 2-5. CMRR 与摆幅间的关系

请注意，外部差分信号路径中的不匹配因素（如走线阻抗、交流耦合电容器容差等）也会影响 ADC 输出端的 CMRR 表现。图 2-6 展示了 TAC5212EVM-K 上的 CMRR 随频率变化的曲线，包含两种情况：输入采用容差为 $\pm 20\%$ 的 $10\mu\text{F}$ 电容交流耦合，以及输入为直流耦合。本次测量采用 $100\text{mV}_{\text{p-p}}$ 的共模信号电平。图 2-6 中的 CMRR 为两个输入通道的平均值。

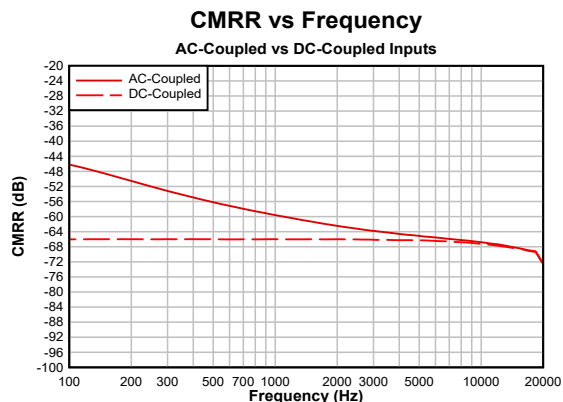


图 2-6. 交流耦合与直流耦合输入的 CMRR

2.3 不同 CM_TOL 模式下的器件性能

此外，部分其他性能参数（如 SNR）会受所配置 CM_TOL 模式的影响。表 2-3 列出了在 TAC5112EVM-K 和 TAC5212EVM-K 器件上测量的不同模式下的 SNR（A 加权）、动态范围（A 加权）和 CMRR。结果是在 1kHz、100mV_{pp} 信号并叠加共模直流偏置电压的条件下测得的，并对两个输入通道进行了平均。

这些结果表明，如果用户需要在输入端具有更高的共模容差（对于 TAC5212，则需要更高的 CMRR 性能），则会以牺牲部分性能为代价。例如，将 TAC5212 器件配置为在 CM_TOL 模式 2 下工作时，CMRR 典型值可达 80dB，但 SNR 会下降约 6-7dB（典型值）。

表 2-3. TAx511x/TAx521x 在不同 CM_TOL 模式下的性能

器件	CM_TOL 模式	阻抗设置 (k Ω)	CMRR @ 100mV _{pp} (dB)	SNR (dBFS), A 加权	动态范围 (dBFS), A 加权	THD+N (dB)
TAC5212	0	5	66	119	119	-95
		10	61	114	114	-101
		40	48	103	103	-98
	1	5	64	117	117	-95
		10	61	113	113	-101
		40	48	102	102	-97
	2	5	84	112	112	-945
		10	73	109	109	-100
		40	78	100	100	-94
TAC5112	0	5	61	104	104	-98
		10	58	103	103	-101
		40	47	102	102	-97
	1	5	61	104	104	-98
		10	58	103	103	-100
		40	47	101	101	-97
	2	5	63	103	103	-97
		10	58	102	102	-100
		40	47	100	100	-96

3 总结

TAx5x1x/TAx5x1x-Q1 系列提供了多种共模容差模式，使系统即使在存在大量共模噪声的情况下也能保持良好工作性能。不过，请注意，更高的共模容差会导致性能降低，因此 TI 建议在满足系统需求的前提下，选用最低的共模容差配置。

4 参考资料

1. 德州仪器 (TI)，[TAC5212 具有 119dB 动态范围 ADC 和 120dB 动态范围 DAC 的高性能立体声音频编解码器](#)，数据表。
2. 德州仪器 (TI)，[TAC5112 具有 105dB 动态范围 ADC 和 114dB 动态范围 DAC 的低功耗立体声音频编解码器](#)，数据表。
3. 德州仪器 (TI)，[TLV320ADCx120 和 PCMx120-Q1 器件的输入共模容差和高 CMRR 模式应用手册](#)。

5 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

更正了参考文献 2 的链接

Changes from Revision * (April 2026) to Revision A (September 2026)	Page
• 将数据表参考标题从“具有 102dB 动态范围 ADC 和 106dB 的 TAC5112 低功耗立体声音频编解码器”更新为“TAC5112 具有 105dB 动态范围 ADC 和 114dB 动态范围 DAC 的低功耗立体声音频编解码器”以了解引证精度.....	10

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 [TI 销售条款](#)、[TI 通用质量指南](#) 或 [ti.com](#) 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2026，德州仪器 (TI) 公司

最后更新日期：2025 年 10 月