



摘要

本应用报告包含的材料适用于 AM62Px 处理器电路板设计的 eMMC HS400 接口。

内容

1 概述	3
1.1 支持的电路板设计	3
1.2 通用电路板布局布线指南	3
1.3 PCB 层叠	3
1.4 旁路电容器	4
1.4.1 大容量旁路电容器	4
1.4.2 高速旁路电容器	4
1.5 速度补偿	5
2 eMMC 电路板设计和布局布线指南	6
2.1 eMMC 简介	6
2.2 eMMC 信号端接	6
2.3 信号布线规范	6
2.4 电源设计	7
3 eMMC 电路板设计仿真	11
3.1 电路板模型提取	11
3.2 电路板模型验证	11
3.3 电容器环路电感	11
3.4 交流阻抗	12
3.5 IBIS 模型仿真	13
3.5.1 仿真设置	13
3.5.2 仿真位模式	15
3.5.3 仿真最佳实践	15
3.5.4 仿真策略和示例	15
3.5.5 通过/未通过检查	19
4 设计示例	42
4.1 堆叠	42
4.2 电源布线	42
4.3 信号路由	44
5 总结	47
6 参考资料	47
7 修订历史记录	47

插图清单

图 2-1. SK-AM62P-LP (PROC164E2) 顶层 — VDD5_MMC0 (紫色)、GND (绿色)、VDDR_CORE (红色)	8
图 2-2. SK-AM62P-LP (PROC164E2) 底层 — VDD5_MMC0 (紫色)、GND (绿色) 和 VDDR_CORE (红色)	9
图 3-1. VDD5_MMC0 交流阻抗幅度与频率间的关系 (仅限电路板)	13
图 3-2. 典型的系统级 eMMC 原理图	14
图 3-3. 建立/保持时间: CLK 到 DATA 偏移 1/4 CLK 周期延迟	25
图 3-4. 建立/保持时间: CLK 到 CMD 偏移 1/4 CLK 周期 + 400ps 延迟	26
图 3-5. 建立/保持时间: 最慢的 DATn/CMD 上升沿压摆 VCC/2 至 VIH (建立) 和 VIL 至 VCC/2 (保持)	27

图 3-6. 建立/保持时间：最慢的 DATn/CMD 下降沿压摆 VCC/2 至 VIL (建立) 和 VIH 至 VCC/2 (保持)	28
图 3-7. VIH/VIL：存在回勾的良好 CLK/CMD 信号示例 (在 VIL - RBMargin 至 VIH + RBMargin 范围内保持单调)	29
图 3-8. VIH/VIL：存在回勾的不良 CLK/CMD 信号示例 (在 VIL - RBMargin 至 VIH + RBMargin 范围内非单调)	30
图 3-9. VIH/VIL：存在回勾的良好 DATn 信号示例.....	31
图 3-10. VIH/VIL：存在回勾的不良 DATn 信号示例.....	32
图 3-11. VIH/VIL：存在回勾时 DATn 最慢上升压摆率 (测量至下一个捕获 CLK 沿之前的最后一次 VIH 交叉点)	33
图 3-12. VIH/VIL：存在回勾时 DATn 最慢下降压摆率 (测量至下一个捕获 CLK 沿之前的最后一次 VIL 交叉点)	34
图 3-13. 压摆率：CLK 上升沿 — VIL 和 VIH 之间的压摆率必须大于 1.45V/ns.....	35
图 3-14. 压摆率：CLK 下降沿 — VIH 和 VIL 之间的压摆率必须大于 1.45V/ns.....	36
图 3-15. 压摆率：DATn/CMD 上升沿 — VIL 和 VIH 之间的压摆率必须大于 1.45V/ns.....	37
图 3-16. 压摆率：DATn/CMD 下降沿 — VIH 和 VIL 之间的压摆率必须大于 1.45V/ns.....	38
图 3-17. 压摆率：存在回勾的 DATn 上升沿 - VIL 至最后一次 VIH 交叉点之间的压摆率必须快于 1.45V/ns.....	39
图 3-18. 压摆率：存在回勾的 DATn 下降沿 - VIH 至最后一次 VIL 交叉点之间的压摆率必须快于 1.45V/ns.....	40
图 3-19. 测量 DCD 的脉冲宽度以及脉冲宽度测量.....	41
图 4-1. SK-AM62P-LP (PROC164E2) eMMC 电源布线 2D 布局 — VCC1V8_SYS (白色) 和 SoC_DVDD1V8 (紫色)	43
图 4-2. SK-AM62P-LP (PROC164E2) eMMC 电源布线 3D 布局 — VCC1V8_SYS (白色) 和 SoC_DVDD1V8 (紫色)	44
图 4-3. SK-AM62P-LP (PROC164E2) eMMC 信号布线 — CMD 和 DAT[7:0].....	45
图 4-4. SK-AM62P-LP (PROC164E2) eMMC 信号布线 — CLK 和 DS.....	46

表格清单

表 1-1. PCB 层叠规格.....	4
表 1-2. 大容量旁路电容器.....	4
表 1-3. 高速旁路电容器.....	5
表 3-1. VDDSD_MMC0 和其他共享 1.8V 电源轨上电容器的环路电感.....	12
表 3-2. SK-AM62P-LP (PROC164E2) 的建立/保持 (FF) 总体裕度计算示例.....	16
表 3-3. 回勾裕量 (RBMargin).....	16
表 3-4. SK-AM62P-LP (PROC164E2) 的 DCD 总体裕度计算示例.....	18
表 3-5. SK-AM62P-LP (PROC164E2) 的脉冲宽度总体裕度计算示例.....	19
表 3-6. 通过/未通过检查.....	20
表 4-1. 12 层 PCB 堆叠示例.....	42
表 4-2. 示例 eMMC 布线阻抗汇总.....	46

商标

E2E™ and Sitara™ are trademarks of Texas Instruments.

所有商标均为其各自所有者的财产。

1 概述

AM62Px 处理器支持 eMMC HS400。本文档包含适用于包含 eMMC 存储器的电路板设计的材料。如需了解受支持的数据速率，请参阅特定于器件的数据手册。

1.1 支持的电路板设计

为了实现 AM62Px 系列器件支持的 eMMC 接口的高频目标，需要出色的印刷电路板 (PCB) 实现。TI 强烈建议客户设计完全复制 [SK-AM62P-LP \(PROC164E2\)](#) 布局布线，包括每个细节 (PCB 材料、布线、间距、过孔等)，以便完全实现指定的接口频率和数据速率。如果设计没有复制或无法复制 TI 设计，则在开始时仍必须使用该 EVM，并必须执行仿真。客户设计需要根据 PCB 实现来限制接口频率和数据速率。

本文档旨在定义一组布局、布线及仿真规则，使设计人员能够成功实施稳健的 eMMC HS400 设计。PCB 设计需要进行仿真，以验证是否实现设计目标。TI 会限制对未根据本文档规定的步骤进行设计和仿真的电路板的调试和支持。不遵循 TI EVM 实现或没有有效仿真结果的系统可能需要以降低的频率运行。

本文档提供一种 IBIS 模型仿真方法，为验证仿真结果提供指导。我们仍然希望 PCB 的设计工作 (设计、布局布线和制造) 由知识渊博的高速 PCB 设计人员执行和审查。经验丰富的设计人员可以直观地检测出诸如信号穿过参考平面上的裂缝时出现的阻抗不连续等问题。

TI 仅支持遵循本文档中指南的电路板设计。这些指南是基于众所周知的在实心参考平面上布线的铜线的传输线特性。不可因 PCB 空间不足而违背布线指南。TI 会限制对未根据本文档规定的步骤进行仿真的设计的调试和支持。

1.2 通用电路板布局布线指南

为了验证信号性能是否良好，必须遵循以下通用电路板设计指南：

- 始终尽可能遵循 TI 示例布局和 EVM 设计。如果不了解概念或布线策略，请在 E2E™ 支持论坛上提出问题。
- 所有信号都需要接地基准 (强烈建议在两侧都实现)。
- 避免在信号参考平面中出现穿过平面分割点的情况。
- 在去耦电容器和电源引脚之间使用尽可能宽的布线。
- 通过保持阻抗匹配来最大限度地减少码间串扰 (ISI)。
- 通过隔离敏感信号 (如选通和时钟) 以及使用适当的 PCB 堆叠方式来最大限度地减少串扰。
- 每当信号改变层和参考平面时，通过添加过孔或电容器来避免返回路径不连续。
- 通过适当的隔离和正确使用去耦电容器来更大限度地降低参考电压噪声。
- 保持信号布线残桩长度尽可能短。
- 为时钟和选通网额外增大间距以最大限度地减少串扰。
- 为所有信号以及所有旁路和去耦电容器保持一个公共接地 (也称为 GND) 基准。
- 评估时序限制时，需要考虑微带线和带状线网之间的传播延迟差异。
- 过孔之间的耦合会是产生 PCB 级串扰的重要原因。过孔的尺寸和间距很重要。对于高速接口，应考虑 GND 屏蔽过孔。这种过孔耦合是推荐在最靠近处理器的层上路由数据信号的一个因素。
- 过孔残桩会影响信号完整性。使用过孔背钻可提高信号完整性，并且在某些情况下是必需的。

更多相关信息，请参阅 [高速接口布局指南](#) 应用手册。该应用手册为成功地对高速信号进行布线提供了更多常规性指导信息。

1.3 PCB 层叠

对于 AM62Px 片上系统 (SoC) 的布线设计，建议的堆叠方式为十层或十二层堆叠。不过，这只能在所含布线空间具有较大禁止区域的电路板上完成。如果出现以下情况，则需要使用额外的层：

- PCB 布局区域受到限制，从而限制了可用于传播信号的区域以尽可能减少串扰。
- 其他电路必须存在于同一区域中，但位于与 eMMC 布线隔开的层上。
- 需要额外的平面层来增强电源布线或改善 EMI 屏蔽效果。

相对密集的电路板设计需要更多层才能正确实现 eMMC 布线，从而满足所有规则。

所有 eMMC 信号都必须在一个实心 GND 参考平面附近布线。当 eMMC 布线区域中存在多个 GND 参考平面时，必须在过孔将信号传输到不同 GND 参考平面之处的附近实现缝合过孔。这是维持低电感返回电流路径所必需的。

TI 建议将所有 eMMC 信号作为带状线进行布线。某些 PCB 堆叠在两个相邻的层上实现了信号布线。不建议这样做，因为这会导致与相邻层上的另一条布线平行的任何布线上发生串扰，即使距离很短也会如此。TI 建议将 eMMC 信号布线到更靠近堆叠内 SoC 的 PCB 层上，从而缩短信号通过过孔的传输时间。离 SoC 越远的 PCB 层通过过孔的行程时间越长，这会增加过孔之间的耦合。信号耦合和过孔耦合都会导致更小的时序裕量。

请注意，过孔长度越短，过孔残桩可能越长（如果使用标准钻孔），因此也要加以考虑。可以进行仿真以确定过孔残桩长度是否会产生问题。

表 1-1. PCB 层叠规格

编号	参数 ⁽⁵⁾	最小值	典型值	最大值	单位
1	PCB 布线加平面层		10 或 12		
2	信号布线层		6		
3	eMMC 布线区域下的完整 GND 参考层 ⁽¹⁾	1			
4	eMMC 布线区域内允许的参考平面切口数 ⁽²⁾			0	
5	eMMC 布线层和参考平面之间的层数 ⁽³⁾			0	
6	PCB 布线特征尺寸		0.10		mm
7	PCB 布线宽度 (w)	0.08			mm
8	点对点单端阻抗		50		Ω
9	阻抗控制 ⁽⁴⁾	Z-10%	Z	Z+10%	Ω

(1) 接地参考层优于电源参考层。返回信号过孔需要靠近层转换。

(2) 在 eMMC 布线区域内，任何布线都不得穿过参考平面切口。高速信号布线穿过参考平面切口会产生很大的返回电流路径，这会导致过多的串扰和 EMI 辐射。请注意过孔反焊盘引起的参考平面空隙，因为它们也会导致返回电流路径的不连续性。

(3) 参考平面应与信号层直接相邻，以最大限度地减小返回电流回路尺寸。

(4) Z 是为 PCB 选择的标称单端阻抗。

(5) 这些规格将用作设计的起点。TI 建议对每个设计进行提取和仿真，以确保满足所有要求。

1.4 旁路电容器

1.4.1 大容量旁路电容器

需要使用大容量旁路电容器以实现 eMMC 和其他电路的中速旁路。表 1-2 包含所需大容量旁路电容器的最小数量和最小电容。表 1-2 仅满足 SoC 的 eMMC PHY 的旁路需求。其他电路需要额外的大容量旁路电容。有关 eMMC 器件的任何其他去耦要求，请参阅制造商数据表。

表 1-2. 大容量旁路电容器

编号	参数	最小值	最大值	单位
1	VDDSD_MMC0 大容量旁路电容器数量 ⁽¹⁾	1 ⁽²⁾		器件
2	VDDSD_MMC0 大容量旁路总电容	10 ⁽²⁾		μF

(1) 必须将这些器件放置在被旁路的器件附近，但应优先考虑高速 (HS) 旁路电容器的放置。

(2) 本指南中的电容器建议仅反映该处理器的需求。有关如何适当放置存储器件的去耦电容器，请参阅 eMMC 器件供应商的指南。

1.4.2 高速旁路电容器

高速 (HS) 旁路电容器对于 eMMC HS400 接口的正常运行至关重要。最大限度地减小 HS 旁路电容器与 VDDSD_MMC0 电源引脚及相关接地连接之间的寄生串联电感尤为重要。表 1-3 包含针对 HS 旁路电容器和 PCB 上的电源接头的规格。一般来说，TI 建议：

- 安装尽可能多的 HS 旁路电容器。
- 最大限度地减小从旁路电容器到被旁路的引脚和焊球的距离。
- 使用物理尺寸尽可能小且具有最高可现用电容的陶瓷电容器。
- 使用尽可能宽的布线和尽可能大的过孔尺寸将旁路电容器焊盘连接到过孔。
- 尽可能减少过孔共享。请注意表 1-3 中显示的对过孔共享的限制。
- 使用三端电容器，而不是两端电容器。三端电容器提供较低的环路电感，一个三端电容器可以代替多个两端电容器，从而进一步优化环路电感。

有关任何其他 eMMC 器件要求，请参阅制造商的数据表。

表 1-3. 高速旁路电容器

编号	参数	最小值	典型值	最大值	单位
1	每个 VDDS_MMC0 电源轨的处理器 HS 旁路电容器数量 ⁽²⁾	3			器件
2	每个 VDDS_MMC0 电源轨的处理器 HS 旁路电容器总电容	0.3			μF
3	VDDS_MMC0 电源焊球的连接过孔数量	3			个过孔
4	从处理器电源/接地焊球到连接过孔的布线长度 ⁽¹⁾		0.25	0.51	mm

(1) 越近和越短越好。

(2) 低 ESL 和多端电容器可减少所需的旁路电容器数量。

1.5 速度补偿

对于 PCB 设计，部分 eMMC 信号布线采用微带线（BGA 出线段），但大部分布线采用带状线（内层）。尽管微带线或带状线的布线长度比例存在很大差异，但长度或延迟匹配过程必须包括一种机制来补偿这两种 PCB 互连类型之间的速度差异。为此，JEDEC 规定了补偿系数为 1.1。所有微带线长度在合计到长度匹配公式之前都要除以 1.1，所得的补偿长度被称为带状线等效长度。尽管设计中仍然存在一定量的残余速度不匹配偏差，但该过程实现了对简单长度匹配的重大改进。

2 eMMC 电路板设计和布局布线指南

2.1 eMMC 简介

eMMC 是一种受 JEDEC 标准 JESD84-B51 嵌入式多媒体卡 (e•MMC) 电气标准 (5.1) 约束的托管式存储器件规范。此标准致力于支持大型数据传输的高吞吐量而不影响小型随机数据访问 (代码)，同时保持移动器件所需的低功耗。11 信号总线由时钟 (CLK)、命令 (CMD)、数据选通 (DS) 和数据 (DAT[7:0]) 组成，支持三种不同的总线宽度：1 位 (默认值)、4 位和 8 位。时钟频率范围为 0-200MHz，具有单倍和双倍数据速率选项，最大数据传输速率可达 400MB/s (HS400)。在 HS400 模式下，IO 电压固定为 1.8V。

以下各节详细介绍 eMMC 接口的布线规范和布局布线指南，并重点介绍 AM62Px eMMC PHY 的电力输送。

备注

AM62Px Sitara™ 处理器数据表中定义了 AM62Px 处理器支持的最大 eMMC 数据速率。请参阅 MMC0 开关特性 — HS400 模式表中的 HS4005 周期时间 MMC0_CLK。

2.2 eMMC 信号端接

因为 PHY 使能 eMMC 所需的内部拉电阻并控制这些拉电阻，所以 AM62Px MMC0 eMMC 信号不需要外部拉电阻。

在复位期间和复位后，在内部使能 DAT[7:0] 和 CMD 的上拉电阻。在复位后，DS 的下拉电阻器已使能，且时钟输出 (CLK) 驱动为低电平。MMC0 引脚没有关联的 PADCONFIG 寄存器。与 MMC0 引脚关联的内部上拉电阻由 MMC0 主机和 PHY 动态控制。

eMMC 数据、CMD、DS 和 CLK 信号不需要外部拉电阻。

请参阅 [AM62P、AM62P-Q1 处理器系列原理图设计指南和原理图审阅检查清单](#)

2.3 信号布线规范

eMMC 信号始终采用点对点连接。TI 建议在布线期间尽量减少层转换。如果必须进行层转换，则最好转换到使用相同参考平面的层。如果无法做到这一点，则确保附近有接地过孔，以使返回电流在参考平面之间转换。目标是为返回电流提供低电感路径。为了优化偏差匹配，TI 建议在一个层上对所有网进行布线，该层中的所有网都具有完全相同的过孔数量和相同的过孔套管长度。AM62Px Sitara™ 处理器数据表中的 MMC0 时序条件表定义了布线延迟和布线不匹配延迟的要求。

网上不允许存在残桩。所有测试和探头接入点必须排成一条直线，不得有任何分支或残桩。

2.4 电源设计

AM62Px VDD5_MMC0 PHY IO 电源引脚处 1.8V IO 电压的供电网络 (PDN) 必须在特定频率下满足特定的目标阻抗要求。 [SK-AM62P-LP \(PROC164E2\)](#) 上此电源的 PDN 经过设计和仿真，证明符合 eMMC JEDEC 规范 JESD84-B51。为满足这些要求，此电路板需要使用多个电源和接地过孔结构，并将这些结构连接到靠近 VDD5_MMC0 引脚的多个去耦电容器。这些过孔和去耦电容器的布置非常重要，具体如下所述。另请参阅 [表 1-3](#) 中的要求。

[SK-AM62P-LP \(PROC164E2\)](#) 电路板厚度为 1.73mm，具有 12 层，仅采用镀通孔 (PTH) 过孔 (钻孔直径 0.20mm)。

三个单独的 VDD5_MMC0 过孔分别置于距离 VDD5_MMC0 1K2 引脚 0.76mm 的范围内 (距离从引脚中心到过孔中心测量)。电路板 AM62Px 引脚侧的覆铜形状环绕并连接三个过孔和 VDD5_MMC0 引脚。这三个电源过孔周围环绕六个 GND 过孔，这些过孔紧密连接到置于电路板另一侧的去耦电容器。

将三个 0.1uF 双端子去耦电容器置于其中一个电容器的焊盘上，尽可能各自靠近 3 个 VDD5_MMC0 过孔，而无需实现焊盘内过孔。从任何电容器焊盘中心到每个过孔中心的最大距离小于 0.51mm。覆铜形状环绕并连接 3 个 VDD5_MMC0 过孔以及连接到 VDD5_MMC0 的 3 个电容器焊盘。每个电容器的 GND 焊盘尽可能靠近 6 个 GND 过孔中的 3 个放置，而无需实现焊盘内过孔。短而宽的布线将电容器连接到每个 GND 过孔 (布线宽度为 0.25mm 且布线长度小于 0.51mm，中心到中心测量)。没有任何去耦电容器共用同一电源或 GND 过孔。GND 过孔连接到内层上的多个实心 GND 参考平面。以下 [SK-AM62P-LP \(PROC164E2\)](#) 示例设计以 45 度角放置电容器，但已经证明，限制为 90 度增量的放置同样可获得等效性能。

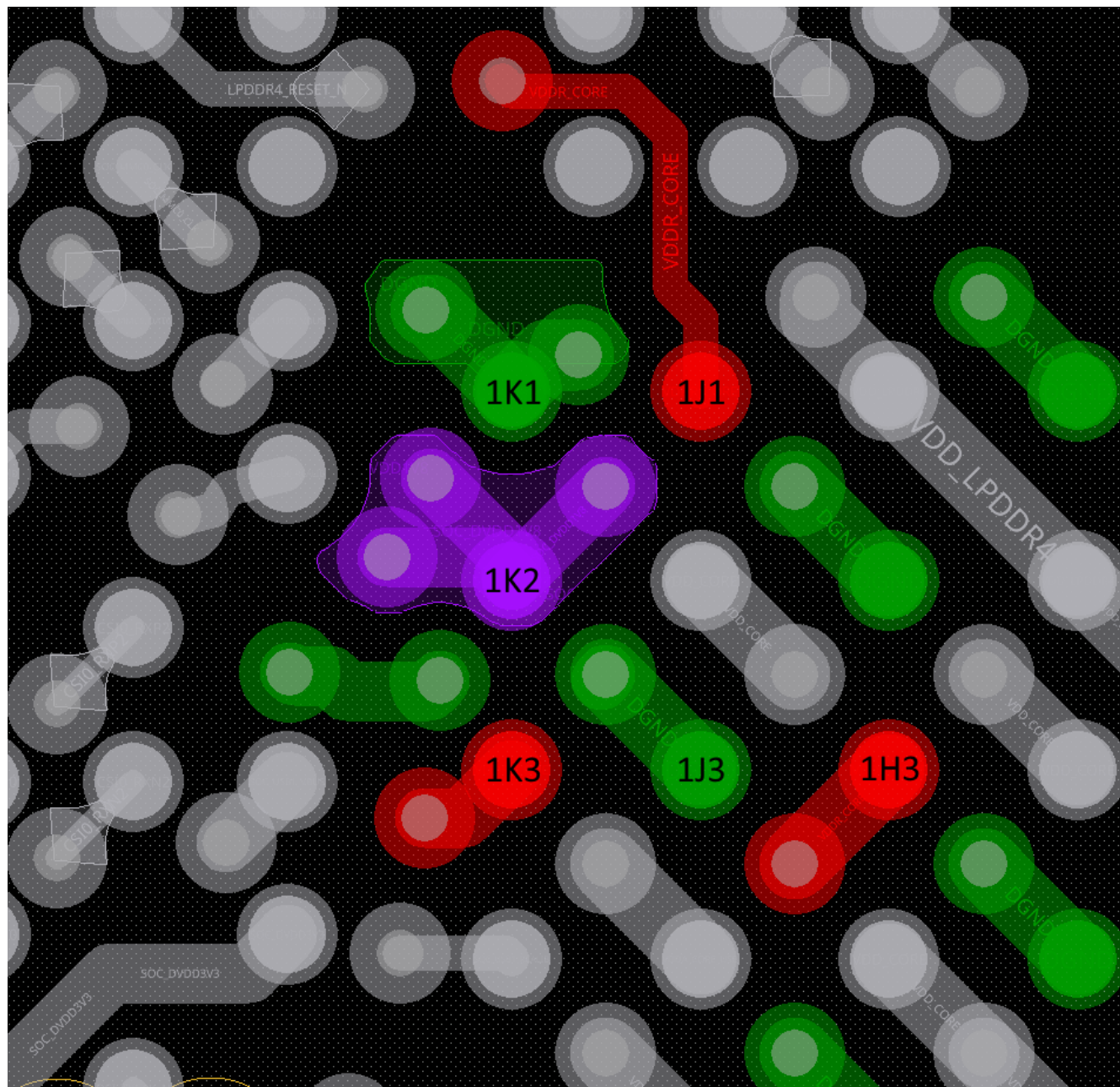


图 2-1. SK-AM62P-LP (PROC164E2) 顶层 — VDDDS_MMC0 (紫色)、GND (绿色)、VDDR_CORE (红色)

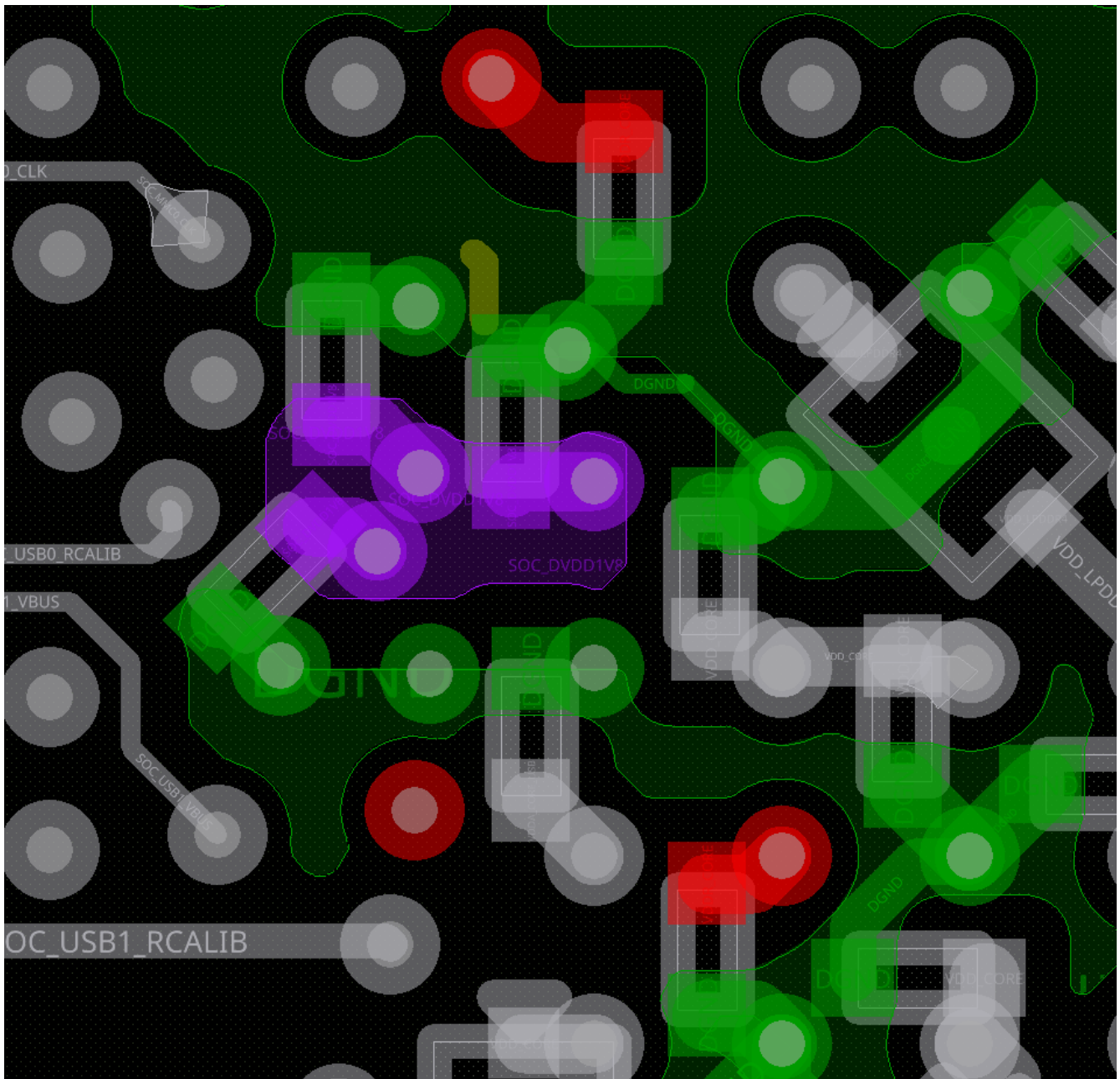


图 2-2. SK-AM62P-LP (PROC164E2) 底层 — VDDS_MMC0 (紫色)、GND (绿色) 和 VDDR_CORE (红色)

通用 1.8V IO 电源必须同时连接到 AM62Px VDDS_MMC0 PHY IO 电源引脚和连接的 eMMC 器件 IO 电源。1.8V IO 电源也可连接到 AM62Px 上的其他电源引脚，例如 VDDSHV1、VDDSHV6 和 VMON_1P8_SOC。

AM62Px VDDS_MMC0 的覆铜需要置于尽可能靠近 BGA 引脚的 PCB 层上，以更大限度地减小电感。与 VDDS_MMC0 短接的每个单独 1.8V 电源轨的覆铜也需要尽可能靠近 BGA 引脚。但是，连接 VDDS_MMC0 的星形连接和与 VDDS_MMC0 短接的不同 1.8V 电源轨需要尽可能远离 BGA 引脚（位于远离 SoC BGA 的 PCB 层上）。此方法的目的是更大限度地减少 VDDS_MMC0 和与 VDDS_MMC0 短接的其他 1.8V 电源轨之间的电源干扰。本文档的节 3 中提供了 VDDS_MMC0 IO 电源去耦电容器以及 VDDS_MMC0 短接的其他 1.8V 电源轨去耦电容器的环路电感作为设计目标。

AM62Px VDDS_MMC0 PHY IO 电源引脚与相邻电源引脚之间的隔离必须通过过孔隔离和靠近每个过孔放置的去耦电容器来实现。

例如，在 [SK-AM62P-LP \(PROC164E2\)](#) 设计中，任何 VDDS_MMC0 过孔与最接近的 VDDR_CORE 过孔之间的最小过孔间距为 1.11mm。此外，在这两个电源的过孔之间插入了 GND 过孔，以进一步限制电源串扰。

AM62Px eMMC PHY 的内核通过 VDDR_CORE 电源引脚供电。需要隔离 PCB 上的 1.8V VDDS_MMC0 PHY IO 电源与 0.85V VDDR_CORE 电源，以防止噪声从 1.8V VDDS_MMC0 电源耦合到 0.85V VDDR_CORE 电源。耦合到 eMMC PHY 内核的任何此类噪声都会导致抖动，从而降低信号完整性裕度。[SK-AM62P-LP \(PROC164E2\)](#) 中 VDDS_MMC0 和 VDDR_CORE 电源的过孔布置和去耦电容器布置如 [图 2-1](#) 和 [图 2-2](#) 所示。VDDS_MMC0 显示为紫色，VDDR_CORE 显示为红色。

3 eMMC 电路板设计仿真

本节旨在概述高速 eMMC 接口的基本系统级电路板提取、仿真和分析方法。这是确保 PCB 设计满足以目标速度运行的所有要求的必要步骤。

3.1 电路板模型提取

下列板级提取指导原则适用于任何 EDA 提取工具，而非特定的工具。在完成检验标准模型提取之后，务必立即执行节 3.2 中概述的步骤。运行 IBIS 仿真之前，必须执行这些步骤来检查设计。

1. 对于功率提取，应始终在 3D-EM 求解器中提取功率。
2. 对于信号提取，2.5D 提取就足够了。
3. 使用宽带模型。TI 建议提取频率范围为直流到至少 6 倍的奈奎斯特频率（例如，对于 eMMC HS400，提取模型的频率上限至少为 2.4GHz）。
4. 检查电路板堆叠，以获取准确的层厚度和材料特性。
 - a. TI 建议使用 Djordjevic-Sarkar 模型进行电介质材料定义。
5. 对堆叠中所有层的信号布线使用准确的蚀刻剖面 and 表面粗糙度。
6. 如果在提取之前切断电路板布局布线（以减少仿真时间），请在离信号和电源网至少 0.25 英寸的位置定义切断边界。
7. 检查过孔焊盘堆叠定义。
 - a. 确保信号过孔上非功能性内层焊盘的建模方式与制造焊盘的方式相同。
 - b. TI 不建议在信号过孔上使用这些非功能性内层焊盘。
8. 使用 Spice 或 S 参数模型（供应商通常会提供）对系统内的所有无源器件进行建模。

3.2 电路板模型验证

需要检查所提取电路板模型的以下特性：

- 无源性：这可以确保电路板模型为无源网络，不会产生能量。
- 因果性：这可以确保电路板模型遵循因果关系（先有输入，然后有输出）。

可以在任何标准 EDA 模拟器或提取引擎中执行此类检查。

3.3 电容器环路电感

高频去耦电容器必须具有低环路电感，才能响应瞬时电流需求。这种局部响应还有助于防止一个电源引脚的电源噪声耦合到共享同一电源的另一个引脚。去耦电容器的电感路径只会增加 SoC 封装的固定电感。

高频去耦电容器必须具有较低的嵌入式串联电感 (ESL)。SK-AM62P-LP (PROC164E2) 使用陶瓷 0.1uF 10V 10% 0201 电容器，其 ESL 约为 0.146nH。每个电容器的放置以及通过布线和过孔的连接必须保持短而宽，以便更最大限度地减小总环路电感。

1.8V VDDS_MMC0 eMMC PHY IO 电源通常由 eMMC 和非 eMMC 电源共享。每个电源引脚都需要将去耦电容器置于靠近相应电源引脚的位置。下表显示 SK-AM62P-LP (PROC164E2) 使用的 1.8V 电源轨上每个电容器的环路电感。

按照以下步骤检查环路电感：

1. 提取短接至 VDDS_MMC0 的其他 1.8V 电源轨上所有高频去耦电容器的环路电感。
 - a. 必须使用 3-D 场求解器提取环路电感。2.5D 求解器不足以进行电感提取。
 - b. 必须从去耦电容器的焊盘到 SoC BGA 进行电感提取。
2. 将提取的环路电感与表 3-1 中发布的目标值进行比较。
 - a. VDDS_MMC0 和短接至 VDDS_MMC0 的其他 1.8V 电源网上所有去耦电容器的环路电感需要小于这些目标值才能通过环路电感检查。

表 3-1. VDDS_MMC0 和其他共享 1.8V 电源轨上电容器的环路电感

电源名称	说明	目标
VDDS_MMC0	1.8V eMMC0 PHY IO 电源	$\leq 0.72\text{nH}$
VDDSHV ⁽¹⁾ 、VDDSHV_CANUART、 VDDSHV_MCU	与 VDDS_MMC0 共享的 1.8V IO 电源 ⁽²⁾	$\leq 1.37\text{nH}$

(1) $n = 0-6$

(2) 仅考虑与 VDDS_MMC0 电源共享的 1.8V IO 电源。

3.4 交流阻抗

下面是 [SK-AM62P-LP \(PROC164E2\)](#) 的 VDDS_MMC0 eMMC PHY IO 电源交流阻抗图，考虑了从 PMIC 电感器输出端到 VDDS_MMC0 SoC 引脚的电源和 GND 形状（具有过孔和去耦电容器）。未模拟 SoC 封装和芯片。

通过对完整系统进行建模，TI 已经证明 [图 3-1](#) 中绘制的交流阻抗曲线可充分控制电源噪声，从而在 HS400 数据速率（例如 400MHz）下符合 JESD84-B51 标准。

按照以下步骤检查交流阻抗：

- 提取 PCB 的 1.8V AM62Px VDDS_MMC0 eMMC PHY IO 电源（含去耦电容器）的 S 参数文件。
 - 必须使用 3-D 场求解器提取功率 S 参数。*2.5D 求解器不足以进行功率提取。*
 - 必须针对从 PMIC 电感器输出端到 AM62Px VDDS_MMC0 引脚的电源路径进行建模。
 - 必须使用供应商提供的 S 参数或 SPICE 模型精确模拟电源路径中的电容器及任何其他元件。
- 绘制 eMMC PHY IO 电源 VDDS_MMC0 的交流阻抗，并将其与下面 [图 3-1](#) 中提供的目标交流阻抗曲线进行比较。
 - 检查 VDDS_MMC0 从直流到高达 400MHz 的交流阻抗。提取的交流阻抗必须等于或小于 [图 3-1](#) 才能通过交流阻抗检查。

备注

超过约 50MHz 时，PCB 电源平面和去耦电容器对阻抗的影响逐渐减小。随着频率的上升，SoC 封装电感和片上电容的影响会更加显著。

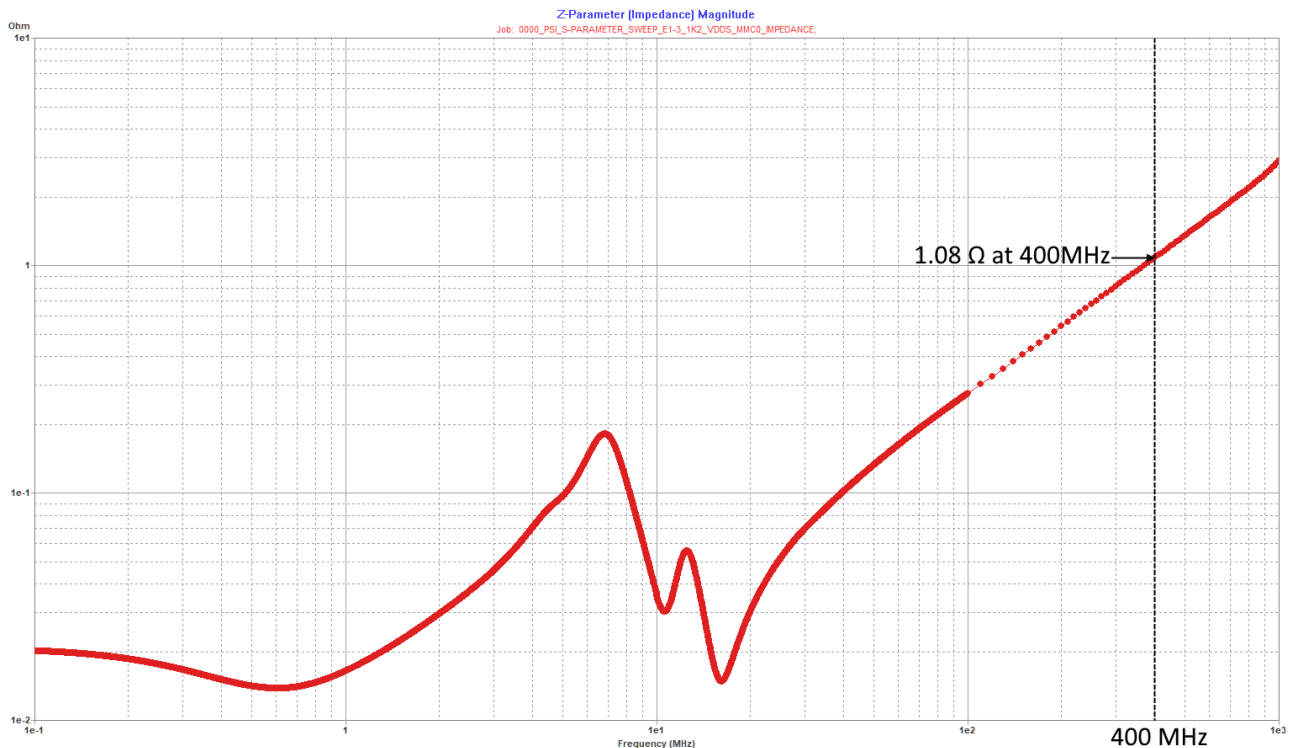


图 3-1. VDDS_MMC0 交流阻抗幅度与频率间的关系 (仅限电路板)

3.5 IBIS 模型仿真

本节概述了验证 eMMC 信号的方法。使用 IBIS 模型和提取的 PCB 模型进行通道仿真，并结合目标数据攻击位模式 (请参阅节 3.5.2) 来生成信号波形和眼图。检查这些结果是否符合 JESD84-B51 规范中定义的建立/保持时间、压摆率、DCD 和脉冲宽度。根据 VIH/VIL 电压电平执行其他回勾检查。

3.5.1 仿真设置

按照以下步骤设置 IBIS 仿真：

1. 提取电路板上 eMMC 信号的 S 参数文件。
 - a. 可以对电路板信号使用 2.5D 提取器。
2. 在 TI.com 的 [AM62Px 产品页面](#) 下获取 SoC IBIS 模型。
3. 从 TI 代表处获取 SoC 封装的 S 参数模型 (根据 NDA 单独提供)。
 - a. 需要使用 S 参数 SoC 封装模型，因为节 3.5.5 中记录的通过/未通过检查是假设系统具有 S 参数 SoC 封装模型推导得出。
 - b. 使用 SoC IBIS RLC 封装模型而非 S 参数 SoC 封装模型的仿真会产生乐观的结果，并且不提供适用的裕度计算。
 - c. 不得使用 SoC IBIS RLC 封装模型。确认在仿真设置中，不要勾选 SoC IBIS 模型对应的“封装寄生效应”选项。
4. 从 eMMC 供应商处获取 eMMC 器件 IBIS 模型。
 - a. 该 IBIS 模型必须包含 eMMC 器件的封装 RLC 模型。
5. 按照您选择的仿真器中所示，构建仿真网表。
 - a. 通过连接 SoC IBIS 模型、电路板模型、电源和 eMMC 器件 IBIS 模型，在仿真器中建立系统级原理图。
 - b. 图 3-2 所示为典型的系统级 eMMC 原理图。
6. 构建将要仿真的过程、电压、温度角。
 - a. 建议对 IBIS 模型支持的所有过程、电压和温度进行仿真
 - 典型值 (TT)：

- IO 电压 = 1.8V
- 温度 = 30C
- 最小值 (SS) :
 - IO 电压 = $1.8V \times 0.9 = 1.62V$
 - 温度 = 125C
- 最大值 (FF) :
 - IO 电压 = $1.8V \times 1.1 = 1.98V$
 - 温度 = -40C

b. JEDEC 规定的标称驱动强度为 $50\ \Omega$ 。但是，如果客户发现其他驱动强度在其仿真中产生更好的信号完整性裕度，则可以尝试这些强度。

7. 在运行仿真之前，查看节 3.5.3 并确保遵循这些最佳实践。
8. 使用节 3.5.2 中提供的所有攻击模式作为仿真的激励。
9. 在波形分析工具中分析结果，并使用节 3.5.5 中的通过/未通过检查来评估结果质量

请勿设置电源感知仿真。电源噪声通过环路电感和交流阻抗检查进行控制，如本文档前面的章节中所述。

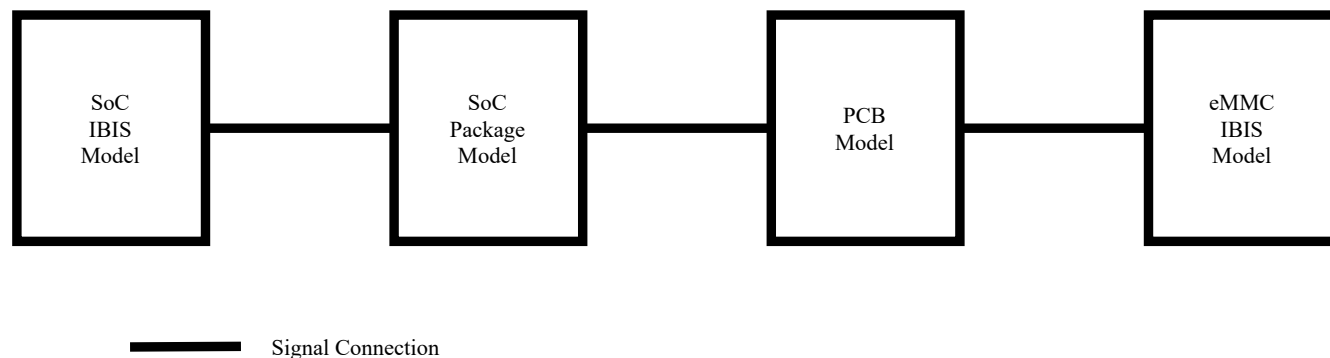


图 3-2. 典型的系统级 eMMC 原理图

3.5.2 仿真位模式

目标数据攻击位模式可从德州仪器 (TI) 下载：[eMMC 数据攻击位模式](#)。

这些模式旨在将系统置于真实但最坏的情况下进行测试。每条数据线使用单独的模式。所有数据线将同时仿真。每个位模式由 6964 位组成，其串联如下所述的六组攻击模式：

1. 2096 位 — 攻击 VIH/VIL 以及 200MHz 和 400MHz 时的攻击
2. 296 位 — 200MHz 时的补充攻击
3. 2124 位 — 最坏情况的 ISI/SSO 攻击模式：PRBS 和 ISISSO38 的组合，攻击所有八位
4. 296 位 — 400MHz 时的补充攻击
5. 1000 位 — ISI/SSO 攻击 3-UI 8 位
6. 1152 位 — 在所有八位上轮换的 PRBS 模式

3.5.3 仿真最佳实践

所提供的指导并非针对任何 EDA 工具。通过与相应的 EDA 供应商合作，可以在选择的仿真器中实施以下最佳实践列表：

- 在使用 S 参数进行仿真时，强烈建议包含允许平滑处理 S 参数的选项，以帮助仿真器收敛并产生准确的波形
- 需要适当设置仿真器中的时间步长和精度设置，以实现仿真器收敛并产生准确的波形
- 提取高达 5GHz 的电路板信号和电路板电源模型
- 需要检查提取的 S 参数是否有因果性和无源性。非因果或非无源 S 参数可能导致结果不准确
- 建议在运行包含攻击模式的整套仿真之前，先执行一个 10 位 - 15 位的短仿真，以验证仿真设置和连接性
- 建议检查所提取模型中信号布线的阻抗，以保证阻抗变化在可接受的限制范围内

3.5.4 仿真策略和示例

本文档说明了仿真策略和用途，并提供了用于评估 JESD84-B51 规范中的每个参数是否满足正裕度的计算详细信息。

采用 SOC 封装、电路板和 eMMC 封装互连的精确模型，使用 SOC 和 eMMC 器件的 IBIS 模型进行仿真。将 IBIS 仿真的测量值与 TI 数据表中的输出时序参数相结合，以证明时序裕度符合 JESD84-B51 规范。

TI 使用完全相同的系统 (SOC 模型、eMMC 模型、封装模型和电路板) 执行电源感知 SPICE 仿真和本应用笔记中所述的 IBIS 仿真方法。IBIS 仿真的测量值必须包括根据 IBIS/SPICE 相关性进行调整，以便使 IBIS 仿真方法的结果与电源感知 SPICE 仿真的结果保持一致。这就是在 IBIS 仿真中如何考虑电源噪声的影响。主要目的是考虑 IBIS 仿真中相对于电源感知 SPICE 仿真可能存在的乐观偏差。请勿设置电源感知 IBIS 仿真，因为电源噪声已通过环路电感和交流阻抗检查控制在可接受的范围内。请参阅 [节 3.3](#) 和 [节 3.4](#)。

通过在为 IBIS 仿真提取的相应 S 参数模型中包含所有信号布线，将电路板和封装上的信号串扰纳入考虑。

SOC IBIS 模型支持典型值 (TT)、最小值 (SS) 和最大值 (FF) 工艺角：

- 典型值 (TT) :
 - IO 电压 = 1.8V
 - 内核电压 = 0.85V
- 最小值 (SS) :
 - IO 电压 = $1.8V \times 0.9 = 1.62V$
 - 内核电压 = $0.85V \times 0.9 = 0.765V$
- 最大值 (FF) :
 - IO 电压 = $1.8V \times 1.1 = 1.98V$
 - 内核电压 = $0.85V \times 1.1 = 0.935V$

建立/保持时间

DAT 和 CMD 的建立和保持时间必须满足 JESD84-B51 规范中的输入建立时间和输入保持时间参数要求。使用下面描述的仿真策略，根据 IBIS 模型仿真计算系统中的总体裕度。对于这些计算，使用 TI 数据表中的输出建立时间和输出保持时间参数。

数据表“MMC0 开关特性 — HS400 模式表”中定义了输出建立时间参数和输出保持时间参数。这些参数包括 TI 数据表的 MMC0 时序条件表中定义的最大传播延迟不匹配值。需要注意的是，对于建立时间/保持时间计算，需要减去 $V_{CC}/2$ 和 V_{IL}/V_{IH} 之间的最慢信号压摆，因为这些参数的 TI 数据表时序基准是从 DAT 或 CMD 信号转换的 $V_{CC}/2$ 到 CLK 信号转换的 $V_{CC}/2$ ，而 JESD84-B51 定义的建立时序基准是从 DAT 或 CMD 信号转换的 V_{IL} 或 V_{IH} 到 CLK 信号转换的 $V_{CC}/2$ 。

- E：总体裕度
 - $E = (A - B - C) - D$
 - E 需要大于零才能有裕度
 - 使用 FF 和 SS 仿真中的测量值（以及根据 IBIS/SPICE 相关性进行的相应 FF/SS 调整），计算数据建立、数据保持、CMD 建立和 CMD 保持的总体裕度。在评估总体裕度时，应考虑提供最小裕度的结果 E。表 3-2 提供了 FF 角的示例，这是 SK-AM62P-LP (PROC164E2) 最坏的情况。
- A：数据表中的 AM62P 交流时序规范
 - 输出建立时间 HS4008 (CMD)、HS4009 (DAT)
 - 输出保持时间 HS40010 (CMD)、HS40011 (DAT)
- B：eMMC 器件上 CMD 或 DAT 信号从 $V_{CC}/2$ 到 V_{IH}/V_{IL} 的最坏情况上升/下降时间 — 根据 IBIS 仿真结果测量。请参阅图 3-5 和图 3-6。
- C：根据 IBIS/SPICE 相关性进行调整
 - IBIS 模型的建立/保持时间计算相对于 SPICE 较为乐观
 - FF 角为 80ps
 - SS 角为 35ps
 - 需要从仿真的相应 FF 或 SS 角总体裕度计算中减去此调整值
- D：如 JESD84-B51 规范中所定义的 CMD/DAT 的输入建立时间/输入保持时间。

表 3-2. SK-AM62P-LP (PROC164E2) 的建立/保持 (FF) 总体裕度计算示例

Metric	A：交流时序规范	B：VCC/2 至 VIH/VIL 值（根据 IBIS 仿真）	C：SPICE 和 IBIS 之间相关性所需的额外裕度	D：JESD84-B51 规范	E：总体裕度
数据 (SETUP)	0.70ns (HS4009)	0.150ns	0.080	0.4ns	0.070ns
数据 (HOLD)	0.76ns (HS40011)	0.150ns	0.080	0.4ns	0.130ns
CMD (SETUP)	2.86ns (HS4008)	0.124ns	0.080	1.4ns	1.256ns
CMD (HOLD)	1.16ns (HS40010)	0.124ns	0.080	0.8ns	0.156ns

VIH/VIL (回勾)

由于反射、电源噪声、串扰和其他因素，信号可能会表现出回勾。所仿真的 CLK 和 CMD 信号在 ($V_{IL} - RBMargin$) 至 ($V_{IH} + RBMargin$) 电压区间内，上升和下降转换均必须保持单调，其中 RBMargin 针对 SS 和 FF 工艺角按表 3-3 中的定义取值。存在回勾时的良好 CLK/CMD 信号示例参见图 3-7。存在回勾时的不良 CLK/CMD 信号示例参见图 3-8。如果回勾在 V_{IH}/V_{IL} 电平附近发生，则 DAT 的建立/保持时间裕度可能会减小。过度的回勾甚至会导致 IO 缓冲器切换逻辑状态并导致功能失效。因此，务必确保对任何回勾进行仿真和评估。应验证所仿真的 DAT 信号在 CLK 的 $V_{CC}/2$ 交叉点前后 $\pm 400ps$ 范围内，不得进入 $V_{IH} + RBMargin$ 至 $V_{IL} - RBMargin$ 所界定的区域。存在回勾时的良好 DAT 信号示例参见图 3-9。存在回勾时的不良 DAT 信号示例参见图 3-10。

表 3-3. 回勾裕量 (RBMargin)

角落	RBMargin
SS	119mV
FF	216mV

对于 V_{IH}/V_{IL} 回勾，IBIS 模型相对于硅片较为乐观。回勾裕量 RBMargin 是为了弥补 IBIS 仿真相对于 IBIS/硅片的乐观性而需要的修正量。需要考虑 IBIS 仿真中未包含的电源噪声对回勾的影响。

表 3-6 中介绍了 IBIS 仿真的仿真方法，该方法用于量化回勾对信号质量的影响，以及如果在 VIH/VIL 电平附近发生回勾，如何调整系统中的建立时间/保持时间裕度。

由于回勾的复杂性，无法预先确定哪些工艺角会导致最坏情况的回勾。因此，至少需要在 SS 和 FF 工艺角处运行仿真。在 IBIS 仿真中所仿真的相应 TT、SS 和 FF 工艺角根据 JESD84-B51 规范规定的电压阈值如下：

- 典型值 (TT) :
 - $V_{IH} = 1.8V \times 0.65 = 1.170V$
 - $V_{IL} = 1.8V \times 0.35 = 0.630V$
- 最小值 (SS) :
 - $V_{IH} = 1.62V \times 0.65 = 1.053V$
 - $V_{IL} = 1.62V \times 0.35 = 0.567V$
- 最大值 (FF) :
 - $V_{IH} = 1.98V \times 0.65 = 1.287V$
 - $V_{IL} = 1.98V \times 0.35 = 0.693V$

考虑到 IBIS 仿真中较为乐观，需要对上述电压阈值应用 RBMargin 的调整。对于数据信号，回勾必须在 CLK 的 VCC/2 交叉点前后 $\pm 400ps$ 的窗口内进行测量，因为该区域是可能发生建立时间和保持时间违规的区域。请参阅表 3-6 中的“VIH/VIL (回勾)”部分。另请参阅图 3-11 和图 3-12。

压摆率

eMMC 器件上从 VIL 到 VIH 和从 VIH 到 VIL 测得的所有信号的压摆率必须大于或等于 1.125V/ns 的最小压摆率要求 (根据 JESD84-B51 中的压摆率参数)。系统中存在的电源噪声、串扰和反射会影响信号压摆率。由于在 SPICE 中模拟电源噪声的额外影响，IBIS 模型的压摆率相对于 SPICE 较为乐观。

由于 IBIS 仿真相对于 SPICE 较为乐观，因此 IBIS 仿真签核需要 1.45V/ns 的压摆率 (JESD84-B51 规范的 1.125V/ns，加上根据 IBIS/SPICE 相关性进行的 30% 调整)。有关 CLK，请参阅图 3-13 和图 3-14。有关没有回勾的 DAT/CMD，请参阅图 3-15 和图 3-16。在 VIH/VIL 区域存在回勾时的 DAT/CMD 示意参见图 3-17 和图 3-18。

DCD

根据 JESD84-B51 规范，总 DCD 必须小于 300ps。使用下面描述的仿真策略，根据 IBIS 模型仿真计算系统中的总体裕度。

- G : 总体裕度
 - $G = A - B - C - D - E - F$
 - G 需要大于零才能有裕度
- A : JESD84-B51 规范 (最大占空比失真 tCKDCD : 300ps)
- B : IBIS 仿真的 DCD 测量值
 - 请参阅 JESD84-B51 图 88 — HS400 器件数据输入时序中的 tCKDCD 时序定义
 - 绘制 CLK 信号图，触发点位于中心，触发点左侧有一个正脉冲宽度和一个负脉冲宽度，触发点右侧有一个正脉冲宽度和一个负脉冲宽度。请参阅图 3-19。
 - 测量触发点左侧和右侧的最小和最大 CLK 脉冲宽度 (四次测量)。考虑每一侧的正脉冲和负脉冲。
 - 在 VCC/2 (Vt) 交叉点之间进行测量，其中 VCC/2 已根据所仿真工艺角的 IO 电压进行缩放：
 - 典型值 (TT) : $VCC/2 = 1.8V / 2 = 0.90V$
 - 最小值 (SS) : $VCC/2 = 1.62V / 2 = 0.81V$
 - 最大值 (FF) : $VCC/2 = 1.98V / 2 = 0.99V$
 - 每次测量均从触发点的一端开始，以避免重复计算 CLK 抖动
 - 记录触发点左侧和右侧的最小和最大脉冲宽度 (4 次测量)
 - 从每个最小/最大测量值中减去理想时钟的脉冲宽度 (HS400 的 200MHz CLK 为 2.5ns)
 - 取每个差值的绝对值
 - DCD 是 4 个数字中最大的 (最差的)
 - DCD 测量值示例：
 1. 最小脉冲宽度 (左侧) : $absval(2.387ns - 2.5ns) = 0.113ns$

2. 最大脉冲宽度 (左侧) : $\text{absval}(2.618\text{ns} - 2.5\text{ns}) = 0.118\text{ns}$ (最差)
 3. 最小脉冲宽度 (右侧) : $\text{absval}(2.392\text{ns} - 2.5\text{ns}) = 0.108\text{ns}$
 4. 最大脉冲宽度 (右侧) : $\text{absval}(2.613\text{ns} - 2.5\text{ns}) = 0.113\text{ns}$
 5. $\text{DCD} = \max(0.113\text{ns}, 0.118\text{ns}, 0.108\text{ns}, 0.113\text{ns}) = \mathbf{0.118\text{ns}}$
- C : 根据 IBIS/SPICE 相关性对 DCD 进行调整
 - IBIS 模型的 DCD 计算相对于 SPICE 较为乐观
 - 由于 IBIS 仿真相对于 SPICE 较为乐观, 因此调整值为 39ps
 - 需要从总体裕度计算中减去此调整值
 - D : beta 工艺 (SF/FS) 角的调整值
 - 典型值 (TT)、最小值 (SS) 和最大值 (FF) 器件工艺变化的 IBIS 模型仿真不会仿真 beta 工艺 (SF/FS) 角
 - beta 工艺 (SF/FS) 角的调整值为 8ps
 - 需要从总体裕度计算中减去此调整值
 - E : CLK 树和 PHY 电平移位器的影响
 - IBIS 模型仿真不考虑 AM62Px SoC 内 eMMC 控制器和 PHY 之间时钟树和电平移位器的 DCD 贡献
 - eMMC 控制器和 PHY 之间时钟树和电平移位器的贡献为 42ps
 - 需要从总体裕度计算中减去该值
 - F : PLL 抖动的影响
 - IBIS 模型仿真不考虑 AM62Px SoC 内部 PLL 抖动的 DCD 贡献
 - PLL 抖动的贡献为 61ps
 - 需要从总体裕度计算中减去该值

表 3-4. SK-AM62P-LP (PROC164E2) 的 DCD 总体裕度计算示例

A : JESD84-B51 规范	B : IBIS 仿真的 DCD 测量值	C : 根据 IBIS/SPICE 相关性进行调整	D : beta 工艺 (SF/FS) 角的调整值	E : CLK 树和 PHY 电平移位器的影响	F : PLL 抖动的影响	G : 总体裕度
0.3ns	0.118ns	0.039ns	0.008ns	0.042ns	0.061ns	0.032ns

脉冲宽度

根据 JESD84-B51 规范, 总脉冲宽度必须大于 2.2ns。使用下面描述的仿真策略, 根据 IBIS 模型仿真计算系统中的总体裕度。

- G : 总体裕度
 - $G = B - A - C - D - E - F$
 - G 需要大于零才能有裕度
- A : JESD84-B51 规范 (最小脉冲宽度 tCKMPW : 2.2ns)
- B : IBIS 仿真的最小脉冲宽度测量值
 - 请参阅 JESD84-B51 图 88 — HS400 器件数据输入时序中的 tCKMPW 时序定义。
 - 绘制 CLK 信号图, 触发点位于中心, 触发点左侧有一个正脉冲宽度和一个负脉冲宽度, 触发点右侧有一个正脉冲宽度和一个负脉冲宽度。请参阅 图 3-19。
 - 测量触发点左侧和右侧的最小 CLK 脉冲宽度 (2 次测量)。考虑每一侧的正脉冲和负脉冲。
 - 在 VCC/2 (Vt) 交叉点之间进行测量, 其中 VCC/2 已根据所仿真工艺角的 IO 电压进行缩放:
 - 典型值 (TT) : $VCC/2 = 1.8V / 2 = 0.90V$
 - 最小值 (SS) : $VCC/2 = 1.62V / 2 = 0.81V$
 - 最大值 (FF) : $VCC/2 = 1.98V / 2 = 0.99V$
 - 每次测量均基于触发点的一端, 以避免重复计算 CLK 抖动
 - 最小脉冲宽度是两个测量值中最小的 (最差的)
 - 最小脉冲宽度测量值示例:
 1. 最小脉冲宽度 (左侧) : 2.387ns
 2. 最小脉冲宽度 (右侧) : 2.392ns
 3. 最小脉冲宽度 = $\min(2.387\text{ns}, 2.392\text{ns}) = \mathbf{2.387\text{ns}}$
- C : 根据 IBIS/SPICE 相关性对脉冲宽度进行调整

- IBIS 模型的脉冲宽度计算相对于 SPICE 较为乐观
- 由于 IBIS 仿真相对于 SPICE 较为乐观，因此调整值为 39ps
- 需要从总体裕度计算中减去此调整值
- D : beta 工艺 (SF/FS) 角的调整值
 - 典型值 (TT)、最小值 (SS) 和最大值 (FF) 器件工艺变化的 IBIS 模型仿真不会仿真 beta 工艺 (SF/FS) 角
 - beta 工艺 (SF/FS) 角的调整值为 8ps
 - 需要从总体裕度计算中减去此调整值
- E : CLK 树和 PHY 电平移位器的影响
 - IBIS 模型仿真不考虑 AM62Px SoC 内 eMMC 控制器和 PHY 之间时钟树和电平移位器的 DCD 贡献
 - eMMC 控制器和 PHY 之间时钟树和电平移位器的贡献为 42ps
 - 需要从总体裕度计算中减去该值
- F : PLL 抖动的影响
 - IBIS 模型仿真不考虑 AM62Px SoC 内部 PLL 抖动的 DCD 贡献
 - PLL 抖动的贡献为 61ps
 - 需要从总体裕度计算中减去该值

表 3-5. SK-AM62P-LP (PROC164E2) 的脉冲宽度总体裕度计算示例

B : IBIS 仿真的最小脉冲宽度测量值	A : JESD84-B51 规范	C : 根据 IBIS/SPICE 相关性进行调整	D : beta 工艺 (SF/FS) 角的调整值	E : CLK 树和 PHY 电平移位器的影响	F : PLL 抖动的影响	G : 总体裕度
2.387ns	2.2ns	0.039ns	0.008ns	0.042ns	0.061ns	0.037ns

3.5.5 通过/未通过检查

下面的表 3-6 说明了建立/保持时间、压摆率、DCD 和脉冲宽度检查，以确保符合 JESD84-B51 规范。额外的回勾检查可确保信号满足 VIH/VIL 电压电平要求。单独详细说明了针对 CLK、DATA 和 CMD 的每项检查 (如适用)。有关 JEDEC 检查，请参阅 JESD84-B51 表 212 — HS200 器件输入时序 (JESD84-B51 第 10.8.2 节) 和表 215 — HS400 器件输入时序 (JESD84-B51 第 10.10.1 节)。

表 3-6. 通过/未通过检查

参数	CLK	DATA	CMD
建立/保持时间	不适用	- 在非电源感知模式下使用 IBIS 模型运行仿真并分析结果 - 相对于 CLK 信号, 对 DAT[7:0] 信号应用 1/4 时钟周期延迟 (请参阅图 3-3)。 - 使用数据表开关特性时序表中相应的输出建立时间或输出保持时间。例如, 检查建立时间裕度时使用输出建立时间 (HS4009), 检查保持时间裕度时使用输出保持时间 (HS40011)。 建立时间: 总体裕度 $E = (A - B - C) - D$, 从数据表最小输出建立时间参数 (A) 中减去以下三个值, 以确定是否有足够的裕度满足所连接器件的建立要求: - B: 在所连接 eMMC 器件的 BGA 上测得的最慢仿真 DAT 信号压摆: 上升转换时从 VCC/2 到 VIH (请参阅图 3-5) 或下降转换时从 VCC/2 到 VIL (请参阅图 3-6)。(5) - C: 根据 IBIS/SPICE 相关性进行调整: (3) - FF 角为 80ps - SS 角为 35ps - D: 连接的 eMMC 器件所需的建立时间为 400ps (根据 JESD84-B51 标准⁽¹⁾) - 从数据表最小输出建立时间值中减去这三个值后, 总体裕度 (E) 需要为正才能通过 保持时间: 总体裕度 $E = (A - B - C) - D$, 从数据表最小输出保持时间参数 (A) 中减去以下三个值, 以确定是否有足够的裕度满足所连接器件的保持要求: - B: 在所连接 eMMC 器件的 BGA 上测得的最慢仿真 DAT 信号压摆: 上升转换时从 VIL 到 VCC/2 (请参阅图 3-5) 或下降转换时从 VIH 到 VCC/2 (请参阅图 3-6)。(5) - C: 根据 IBIS/SPICE 相关性进行调整: (3) - FF 角为 80ps - SS 角为 35ps - D: 连接的 eMMC 器件所需的保持时间为 400ps (根据 JESD84-B51 标准⁽¹⁾)	- 在非电源感知模式下使用 IBIS 模型运行仿真并分析结果 - 相对于每次上升 CLK 转换, 对 CMD 信号应用 1/4 时钟周期 + 400ps 延迟 (请参阅图 3-4)。 - 使用数据表开关特性时序表中相应的输出建立时间或输出保持时间。例如, 检查建立时间裕度时使用输出建立时间 (HS4008), 检查保持时间裕度时使用输出保持时间 (HS40010)。 建立时间: 总体裕度 $E = (A - B - C) - D$, 从数据表最小输出建立时间参数中减去以下三个值, 以确定是否有足够的裕度满足所连接器件的建立要求: - B: 在所连接 eMMC 器件的 BGA 上测得的最慢仿真 CMD 信号压摆: 上升转换时从 VCC/2 到 VIH (请参阅图 3-5) 或下降转换时从 VCC/2 到 VIL (请参阅图 3-6)。(5) - C: 根据 IBIS/SPICE 相关性进行调整: (3) - FF 角为 80ps - SS 角为 35ps - D: 连接的 eMMC 器件所需的建立时间为 1400ps (根据 JESD84-B51 标准⁽²⁾) - 从数据表最小输出建立时间值中减去这三个值后, 总体裕度 (E) 需要为正才能通过 保持时间: 总体裕度 $E = (A - B - C) - D$, 从数据表最小输出保持时间参数中减去以下三个值, 以确定是否有足够的裕度满足所连接器件的保持要求: - B: 在所连接 eMMC 器件的 BGA 上测得的最慢仿真 CMD 信号压摆: 上升转换时从 VIL 到 VCC/2 (请参阅图 3-5) 或下降转换时从 VIH 到 VCC/2 (请参阅图 3-6)。(5) - C: 根据 IBIS/SPICE 相关性进行调整: (3) - FF 角为 80ps - SS 角为 35ps - D: 连接的 eMMC 器件所需的保持时间为 800ps (根据 JESD84-B51 标准⁽²⁾)

表 3-6. 通过/未通过检查 (续)

参数	CLK	DATA	CMD
		从数据表最小输出保持时间值中减去这三个值后, 总体裕度 (E) 需要为正才能通过。	从数据表最小输出保持时间值中减去这三个值后, 总体裕度 (E) 需要为正才能通过。
VIH/VIL (回勾)	- 在非电源感知模式下使用 IBIS 模型运行仿真并分析结果 - 保证电压区域在 $(VIL - RBMargin)^{(4)}$ 和 $(VIH + RBMargin)^{(4)}$ 之间时, 仿真 CLK 信号对上升和下降转换均保持单调。 - 此外, 还要保证仿真 CLK 信号上升转换升至高于 $(VIH + RBMargin)^{(4)}$ 并保持高于 $(VIH + RBMargin)^{(4)}$, 直到下一次下降转换; 而下降转换降至低于 $(VIL - RBMargin)^{(4)}$ 并保持低于 $(VIL - RBMargin)^{(4)}$, 直到下一次上升转换。 - 电压区域在 $(VIL - RBMargin)^{(4)}$ 和 $(VIH + RBMargin)^{(4)}$ 范围之外时, CLK 信号可为非单调。存在回勾时的良好 CLK 信号示例参见图 3-7)。 - CLK 信号在 $(VIL - RBMargin)^{(4)}$ 和 $(VIH + RBMargin)^{(4)}$ 之间必须为单调。存在回勾时的不良 CLK 信号示例参见图 3-8)。	- 在非电源感知模式下使用 IBIS 模型运行仿真并分析结果 - 应验证所仿真的 DAT 信号在 CLK 的 VCC/2 交叉点前后 $\pm 400ps$ 范围内, 不得进入 $VIH + RBMargin^{(4)}$ 至 $VIL - RBMargin^{(4)}$ 所界定的区域。存在回勾时的良好 DAT 信号示例参见图 3-9。存在回勾时的不良 DAT 信号示例参见图 3-10 - 如果仿真 DAT 信号有回勾, 则上述建立时间计算中使用的最慢仿真 DAT 信号压摆分量需要从上一次上升沿转换高于 VIH 或下降沿转换低于 VIL 时开始测量。 - 存在回勾的 DAT 信号上升压摆率测量示例参见图 3-11。存在回勾的 DAT 信号下降压摆率测量示例参见图 3-12。	- 在非电源感知模式下使用 IBIS 模型运行仿真并分析结果 - 保证电压区域在 $(VIL - RBMargin)^{(4)}$ 和 $(VIH + RBMargin)^{(4)}$ 之间时, 仿真 CMD 信号对上升和下降转换均保持单调。 - 此外, 还要保证仿真 CMD 信号上升转换升至高于 $(VIH + RBMargin)^{(4)}$ 并保持高于 $(VIH + RBMargin)^{(4)}$, 直到下一次下降转换; 而下降转换降至低于 $(VIL - RBMargin)^{(4)}$ 并保持低于 $(VIL - RBMargin)^{(4)}$, 直到下一次上升转换。 - 电压区域在 $(VIL - RBMargin)^{(4)}$ 和 $(VIH + RBMargin)^{(4)}$ 范围之外时, CMD 信号可为非单调。存在回勾时的良好 CMD 信号示例参见图 3-7)。 - CMD 信号在 $(VIL - RBMargin)^{(4)}$ 和 $(VIH + RBMargin)^{(4)}$ 之间必须为单调。存在回勾时的不良 CMD 信号示例参见图 3-8)。

表 3-6. 通过/未通过检查 (续)

参数	CLK	DATA	CMD
压摆率	- 在非电源感知模式下使用 IBIS 模型运行仿真并分析结果 - 保证在所连接的 eMMC 器件上，仿真 CLK 信号压摆率 (上升转换时从 VIL 到 VIH 测量，下降转换时从 VIH 到 VIL 测量) 大于或等于 1.45V/ns 的最小压摆率要求 (根据 JESD84-B51 中的压摆率 1.125V/ns，加上 IBIS 仿真所需的 30% 额外裕度⁽³⁾) - 请参阅 JESD84-B51 表 215 — HS400 器件输入时序中的“输入 CLK 压摆率”。 - 通过和未通过的压摆率示例如下所示：图 3-13 中为上升 CLK 信号，图 3-14 中为下降 CLK 信号。	- 在非电源感知模式下使用 IBIS 模型运行仿真并分析结果 - 保证在所连接的 eMMC 器件上，仿真 DAT 信号压摆率 (上升转换时从 VIL 到 VIH 测量，下降转换时从 VIH 到 VIL 测量) 大于或等于 1.45V/ns 的最小压摆率要求 (根据 JESD84-B51 中的压摆率 1.125V/ns，加上 IBIS 仿真所需的 30% 额外裕度⁽³⁾) - 如果仿真 DAT 信号有回勾，则应保证在所连接的 eMMC 器件上，仿真 DAT 信号压摆率 (上升转换时从 VIL 到最后一次 VIH 交叉点的测量，下降转换时从 VIH 到最后一次 VIL 交叉点的测量) 大于或等于 1.45V/ns 的最小压摆率要求 (根据 JESD84-B51 中的压摆率 1.125V/ns，加上 IBIS 仿真所需的 30% 额外裕度⁽³⁾) - 请参阅 JESD84-B51 表 215 — HS400 器件输入时序中的“输入 DAT 压摆率”。 - DAT 信号上升压摆率通过与失败示例参见 图 3-15。DAT 信号下降压摆率通过与失败示例参见 图 3-16 - 存在回勾的 DAT 信号上升压摆率通过与失败示例参见 图 3-17。存在回勾的 DAT 信号下降压摆率通过与失败示例参见 图 3-18。	不适用

表 3-6. 通过/未通过检查 (续)

参数	CLK	DATA	CMD
DCD	- 在非电源感知模式下使用 IBIS 模型运行仿真并分析结果 - 总体裕度 $G = A - B - C - D - E - F$，从最差的仿真 CLK 信号占空比失真测量值 (B) 中减去以下值，以确定是否有足够的裕度： - A：JESD84-B51 规范 (tCKDCD 最大值 300ps) - B：IBIS 仿真的 DCD 测量值 — 请参阅 JESD84-B51 图 88 — HS400 器件数据输入时序中的 tCKDCD 时序定义。另请参阅节 3.5.4 - C：根据 IBIS/SPICE 相关性对 DCD 进行调整 (39ps)⁽³⁾ - D：beta 工艺 (SF/FS) 角的调整 (8ps) - E：CLK 树和 PHY 电平移位器的影响 (42ps) - F：PLL 抖动的影响 (61ps) - 从测量的 DCD 中减去这些值后，总体裕度 (G) 需要为正才能通过 - 请参阅 JESD84-B51 表 215 — HS400 器件输入时序和图 88 — HS400 器件数据输入时序中的 tCKDCD 时序。 - 另请参阅 图 3-19。	不适用	不适用

表 3-6. 通过/未通过检查 (续)

参数	CLK	DATA	CMD
脉冲宽度	- 在非电源感知模式下使用 IBIS 模型运行仿真并分析结果 - 总体裕度 $G = B - A - C - D - E - F$，从最差的仿真 CLK 脉冲宽度测量值 (B) 中减去以下值，以确定是否有足够的裕度： - B：IBIS 仿真的脉冲宽度 — 请参阅 JESD84-B51 图 88 — HS400 器件数据输入时序中的 tCKMPW 时序定义。另请参阅节 3.5.4 - A：JESD84-B51 (最小 tCKMPW：2.2ns) - C：根据 IBIS/SPICE 相关性对脉冲宽度进行调整 (39ps) (3) - D：beta 工艺 (SF/FS) 角的调整 (8ps) - E：CLK 树和 PHY 电平移位器的影响 (42ps) - F：PLL 抖动的影响 (61ps) - 从测量的脉冲宽度中减去这些值后，总体裕度 (G) 需要为正才能通过 - 请参阅 JESD84-B51 表 215 — HS400 器件输入时序和图 88 — HS400 器件数据输入时序中的 tCKMPW 时序。 - 另请参阅 图 3-19。	不适用	不适用

- (1) JEDEC HS400 规范请参阅表 215 — HS400 器件输入时序 (eMMC JESD84-B51 第 10.10.1 节)。
- (2) JEDEC HS200 规范请参阅表 212 — HS200 器件输入时序 (eMMC JESD84-B51 第 10.8.2 节)。
- (3) IBIS 仿真的结果需要根据 IBIS/SPICE 相关性进行调整 (与 SPICE 仿真结果相比，IBIS 仿真结果较为乐观)。
- (4) IBIS 仿真结果需要根据 IBIS/硅片相关性进行调整 (与硅片实测数据相比，IBIS 仿真结果较为乐观)。
- (5) 对于建立时间/保持时间计算，需要减去 VCC/2 和 VIL/VIH 之间的最慢信号压摆，因为这些参数的 TI 数据表时序基准是从 DAT 或 CMD 信号转换的 VCC/2 到 CLK 信号转换的 VCC/2，而 JESD84-B51 定义的建立时序基准是从 DAT 或 CMD 信号转换的 VIL 或 VIH 到 CLK 信号转换的 VCC/2。

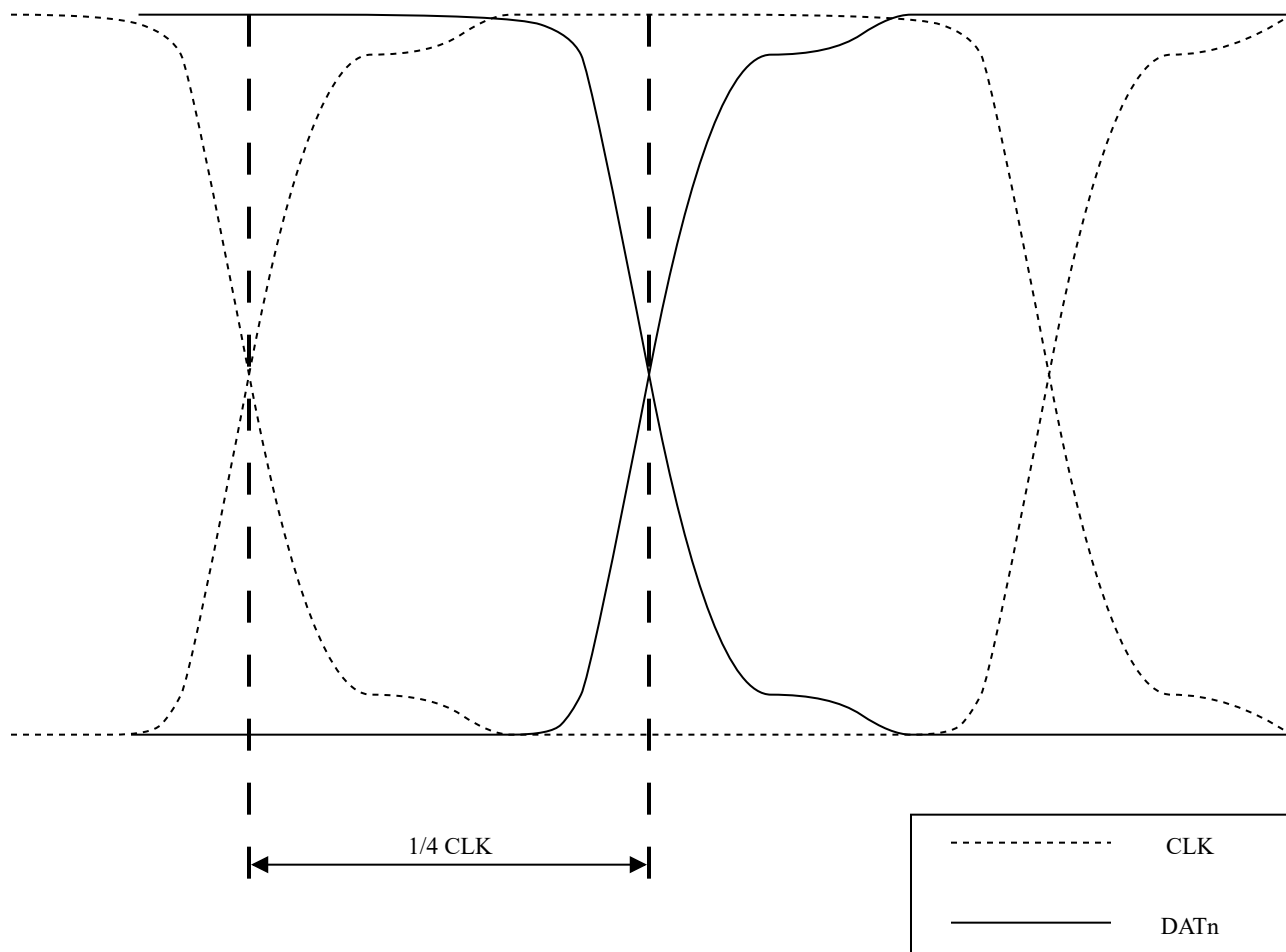


图 3-3. 建立/保持时间：CLK 到 DATA 偏移 $1/4 \text{ CLK}$ 周期延迟

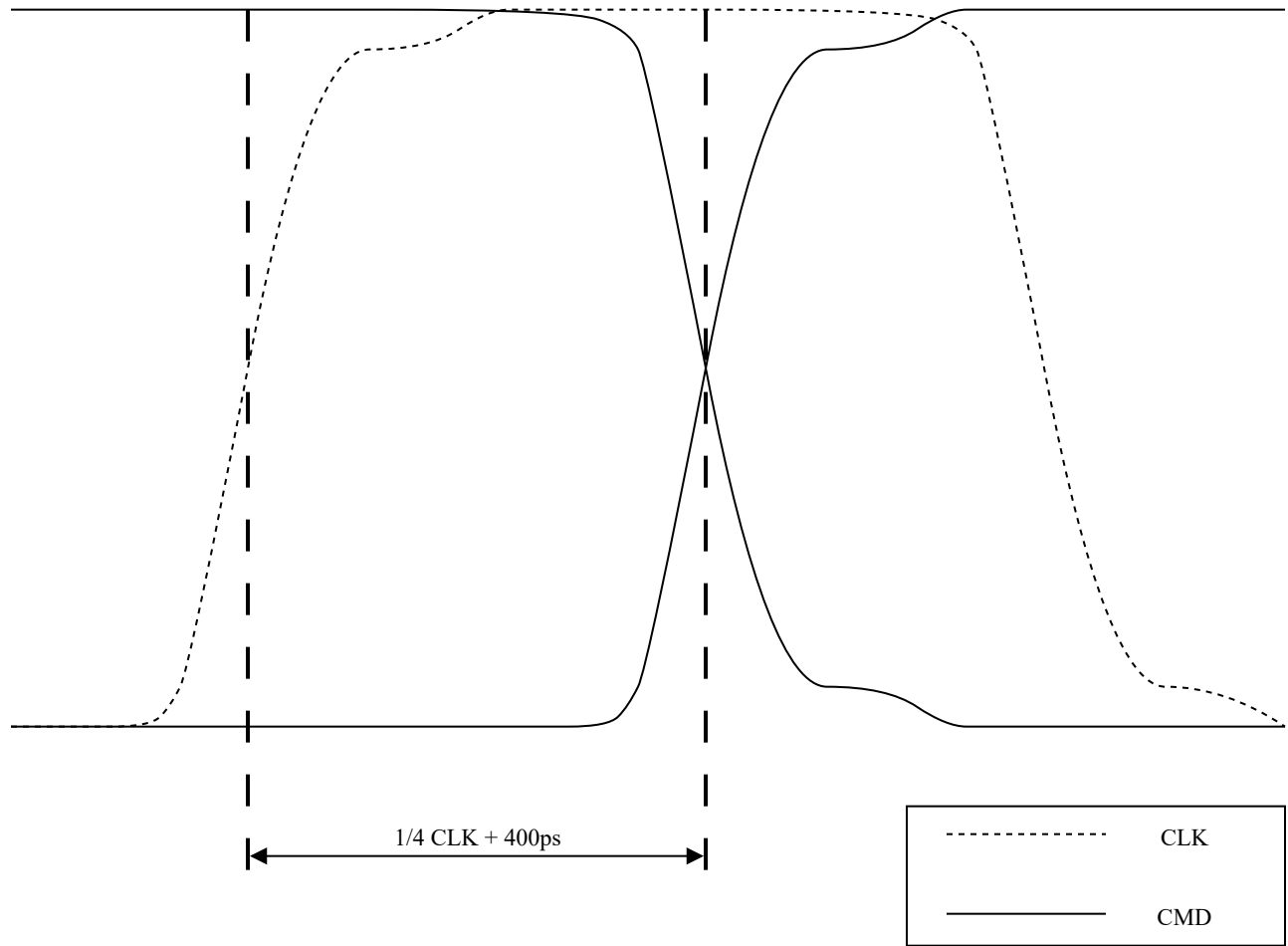


图 3-4. 建立/保持时间 : CLK 到 CMD 偏移 $1/4 \text{ CLK}$ 周期 + 400ps 延迟

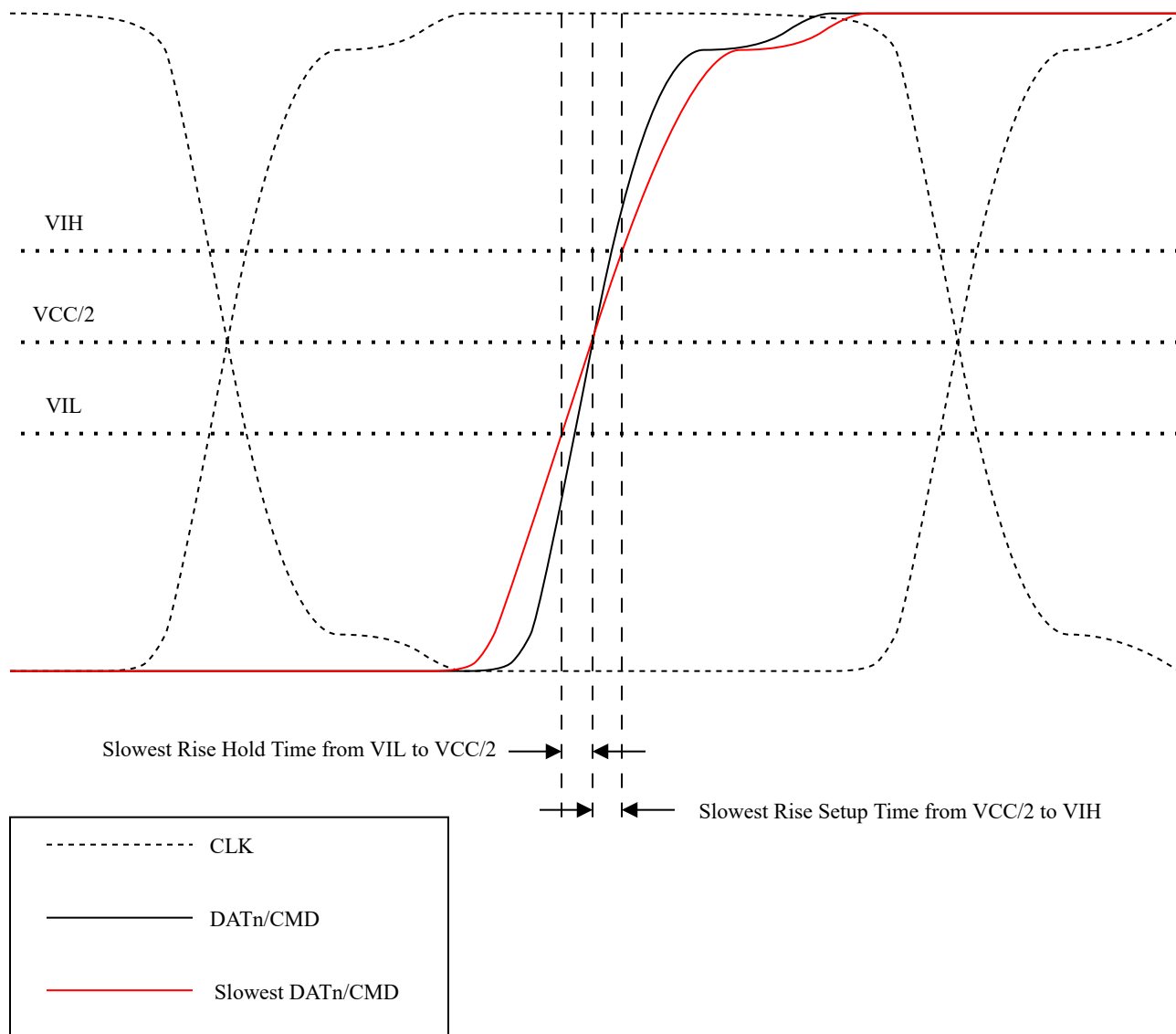


图 3-5. 建立/保持时间：最慢的 DATn/CMD 上升沿压摆 $V_{CC}/2$ 至 V_{IH} (建立) 和 V_{IL} 至 $V_{CC}/2$ (保持)

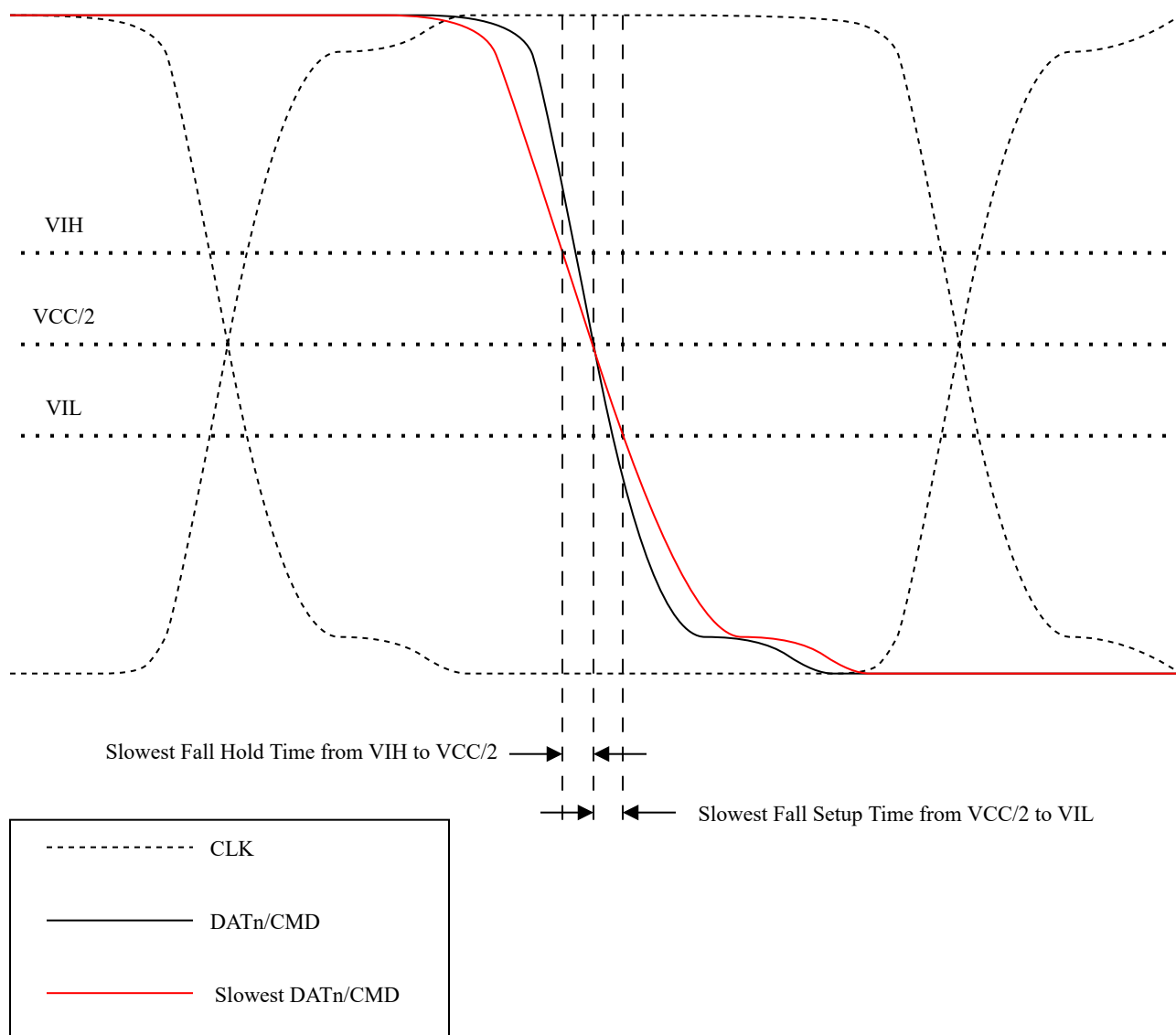


图 3-6. 建立/保持时间：最慢的 DATn/CMD 下降沿压摆 VCC/2 至 VIL (建立) 和 VIH 至 VCC/2 (保持)

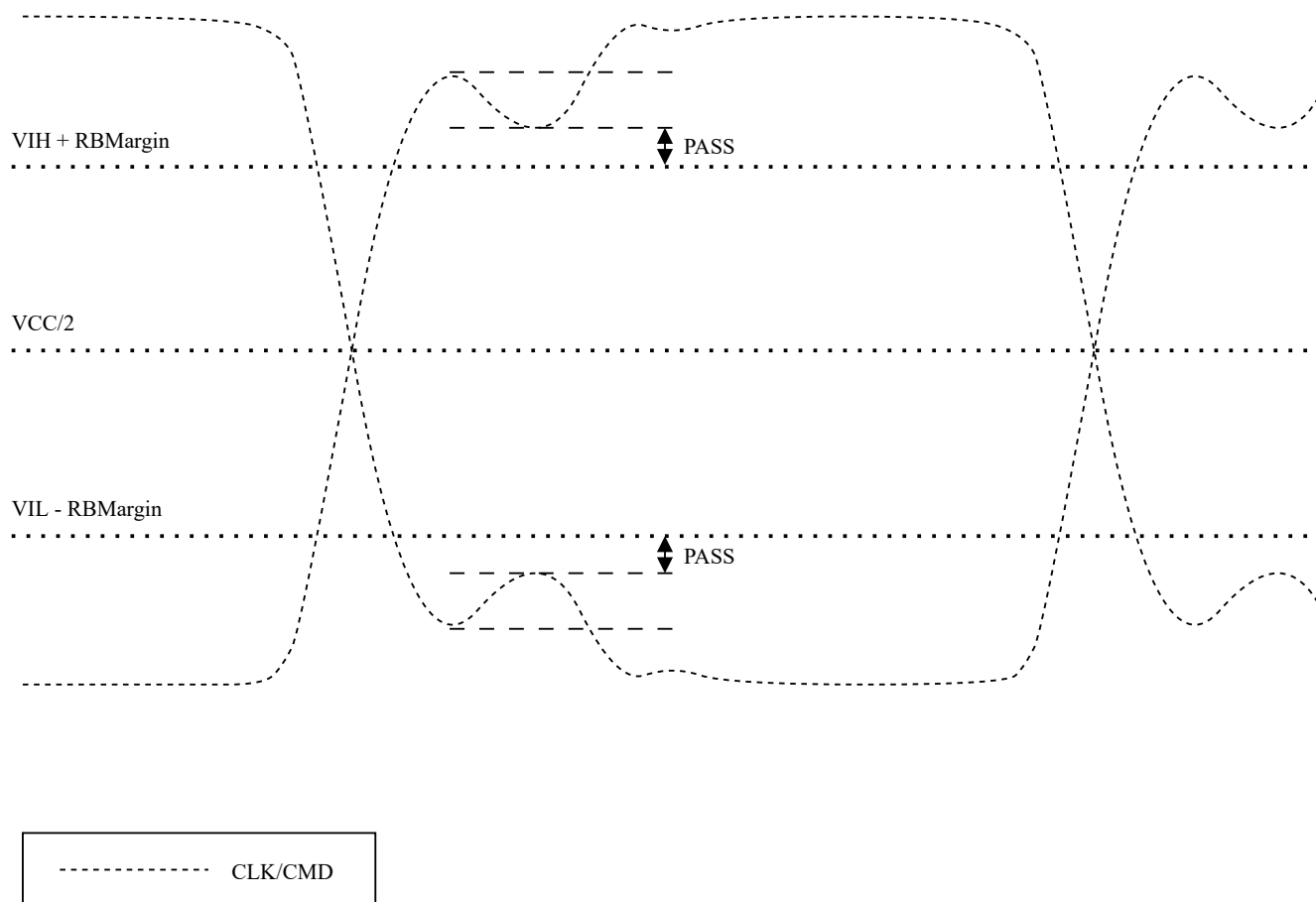


图 3-7. V_{IH}/V_{IL} : 存在回勾的良好 CLK/CMD 信号示例 (在 $V_{IL} - RB_{Margin}$ 至 $V_{IH} + RB_{Margin}$ 范围内保持单调)

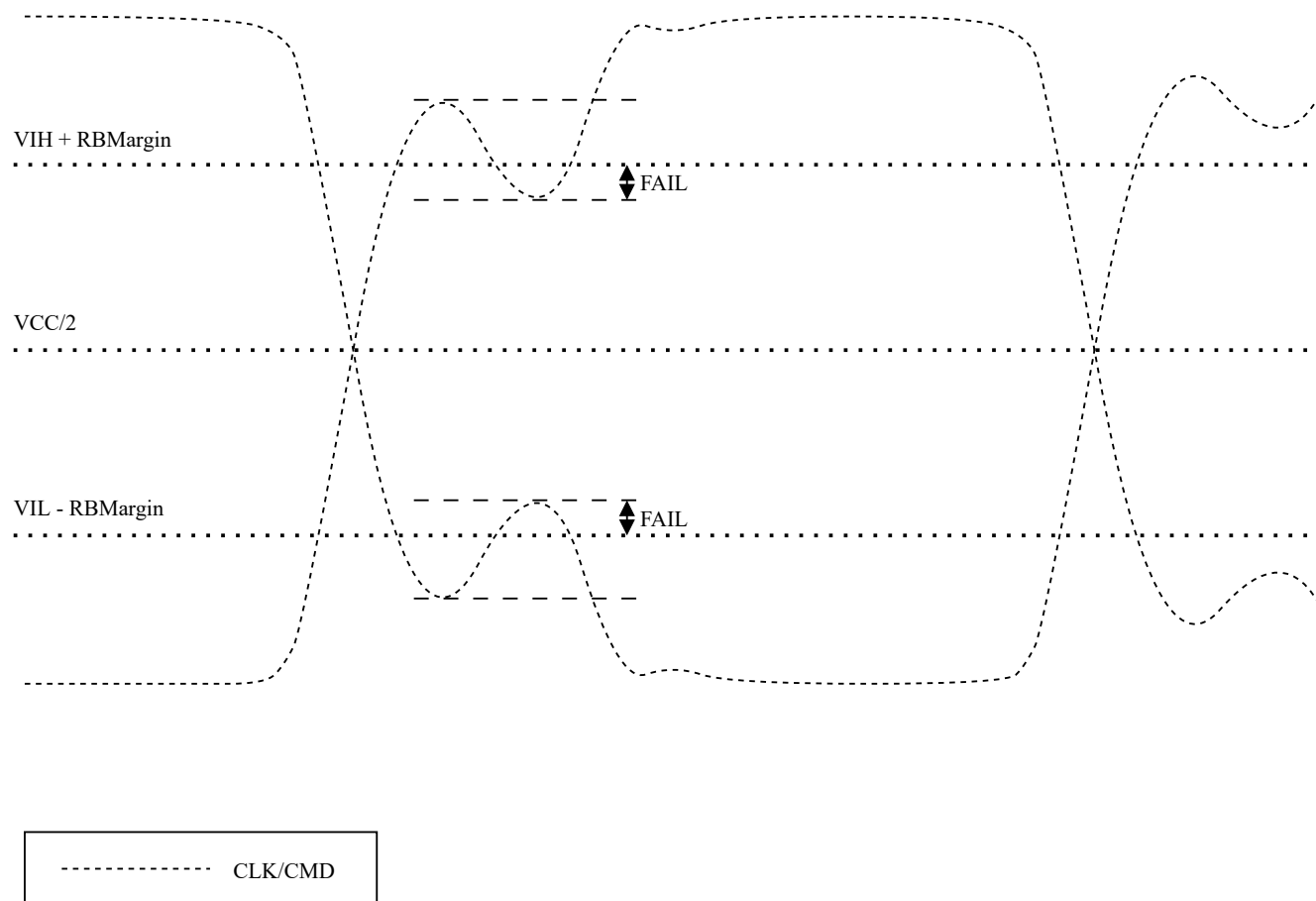


图 3-8. V_{IH}/V_{IL} : 存在回勾的不良 CLK/CMD 信号示例 (在 $V_{IL} - RB_{Margin}$ 至 $V_{IH} + RB_{Margin}$ 范围内非单调)

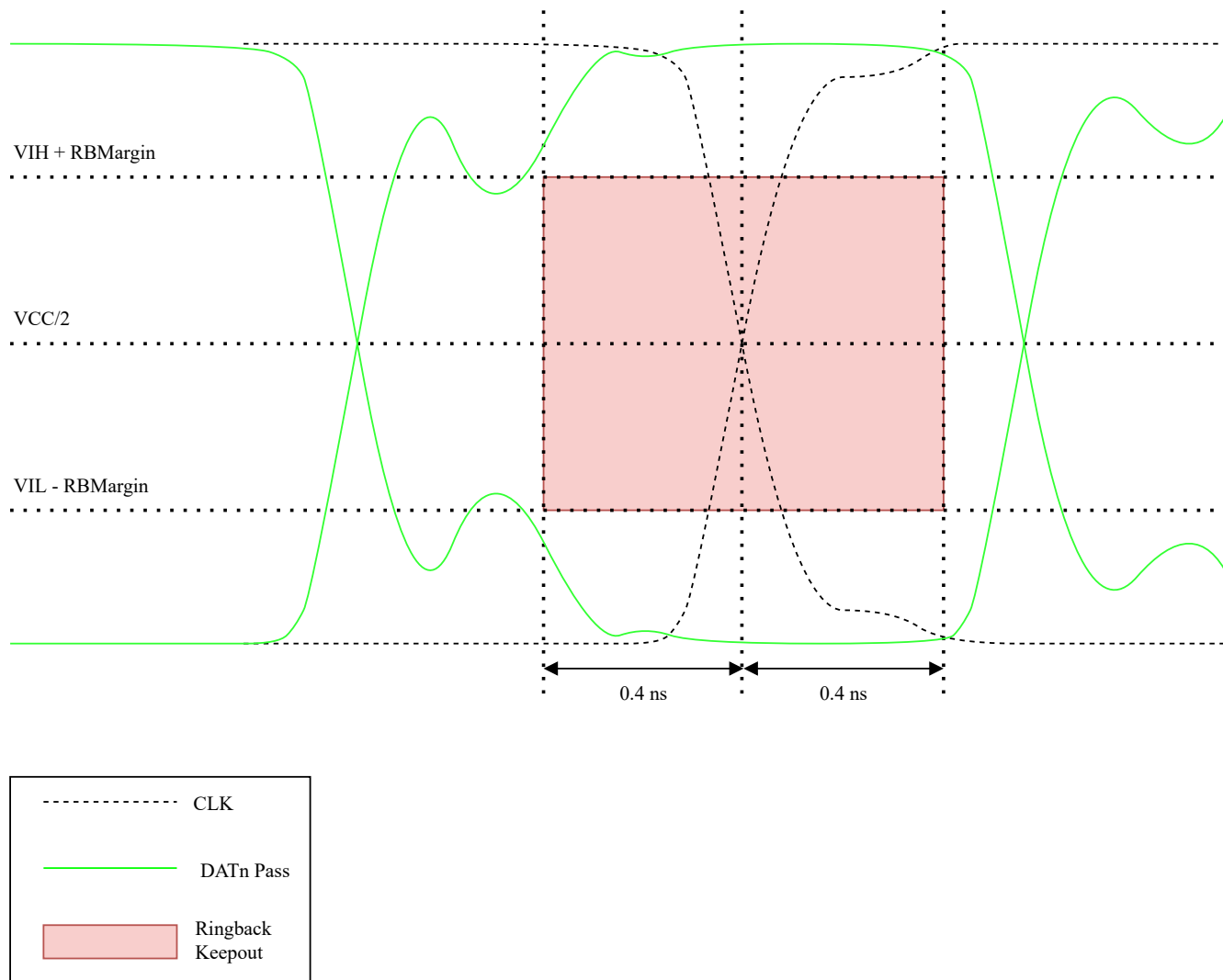


图 3-9. VIH/VIL : 存在回勾的良好 DATn 信号示例

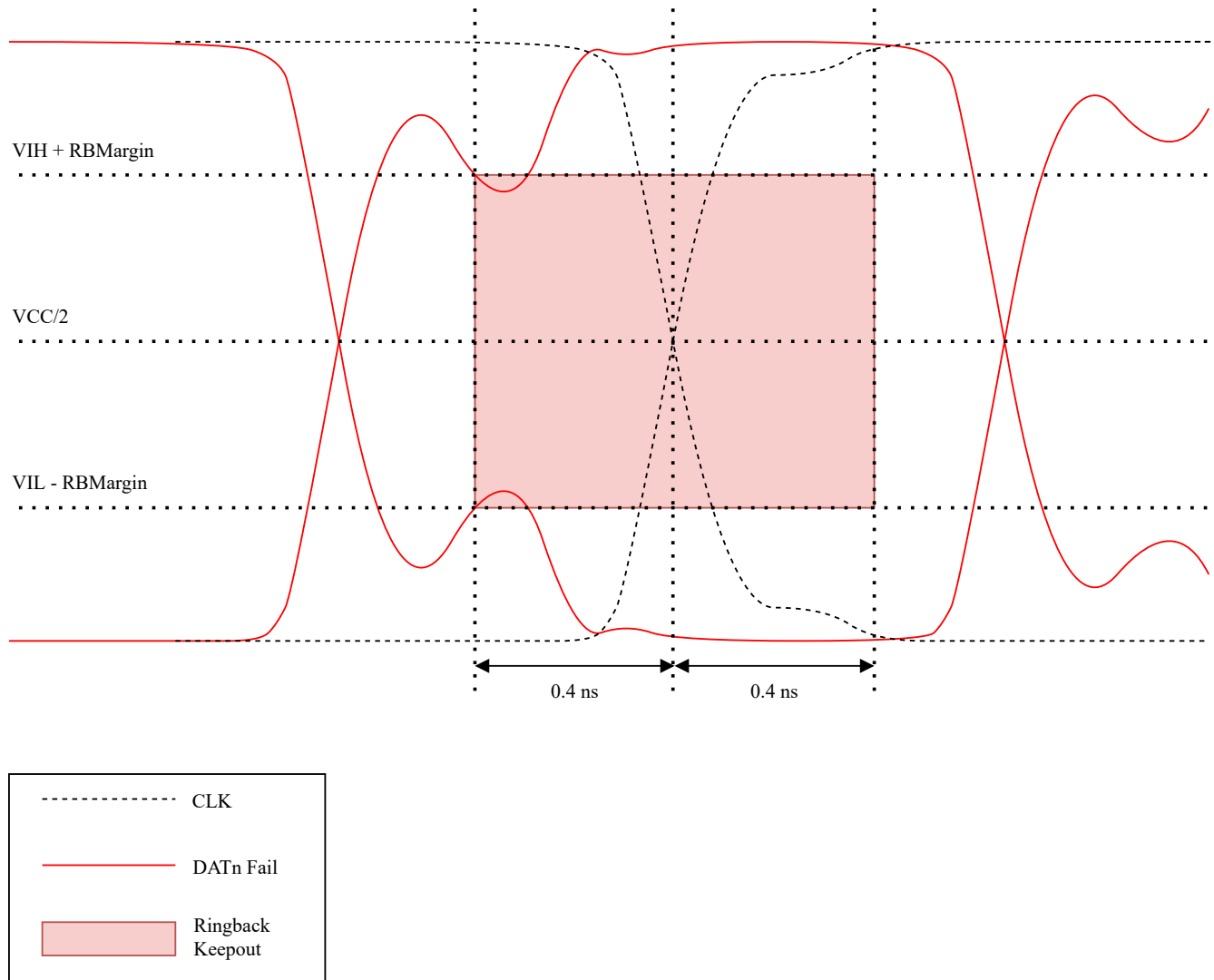


图 3-10. VIH/VIL : 存在回勾的不良 DATn 信号示例

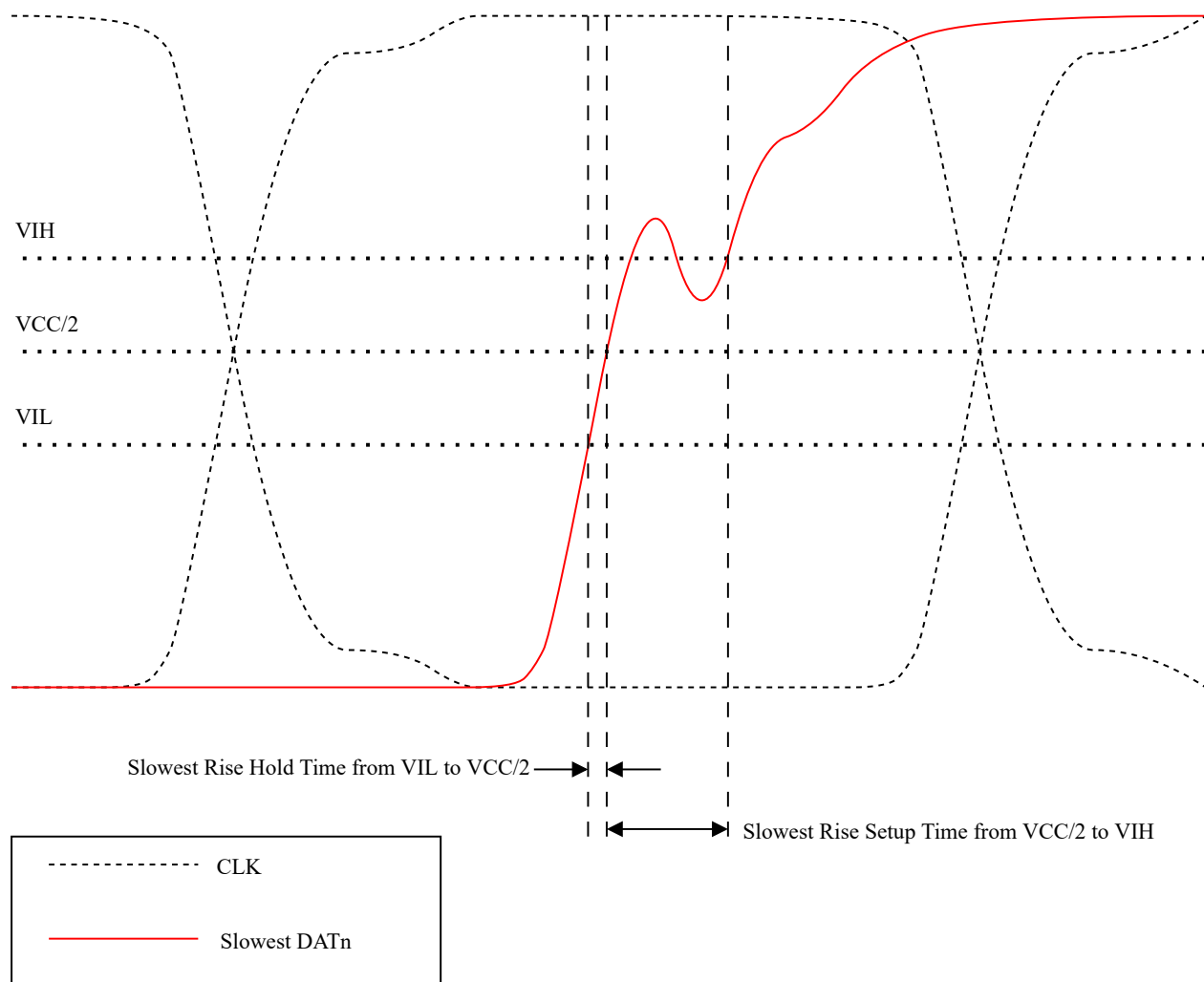


图 3-11. VIH/VIL : 存在回勾时 DATn 最慢上升压摆率 (测量至下一个捕获 CLK 沿之前的最后一次 VIH 交叉点)

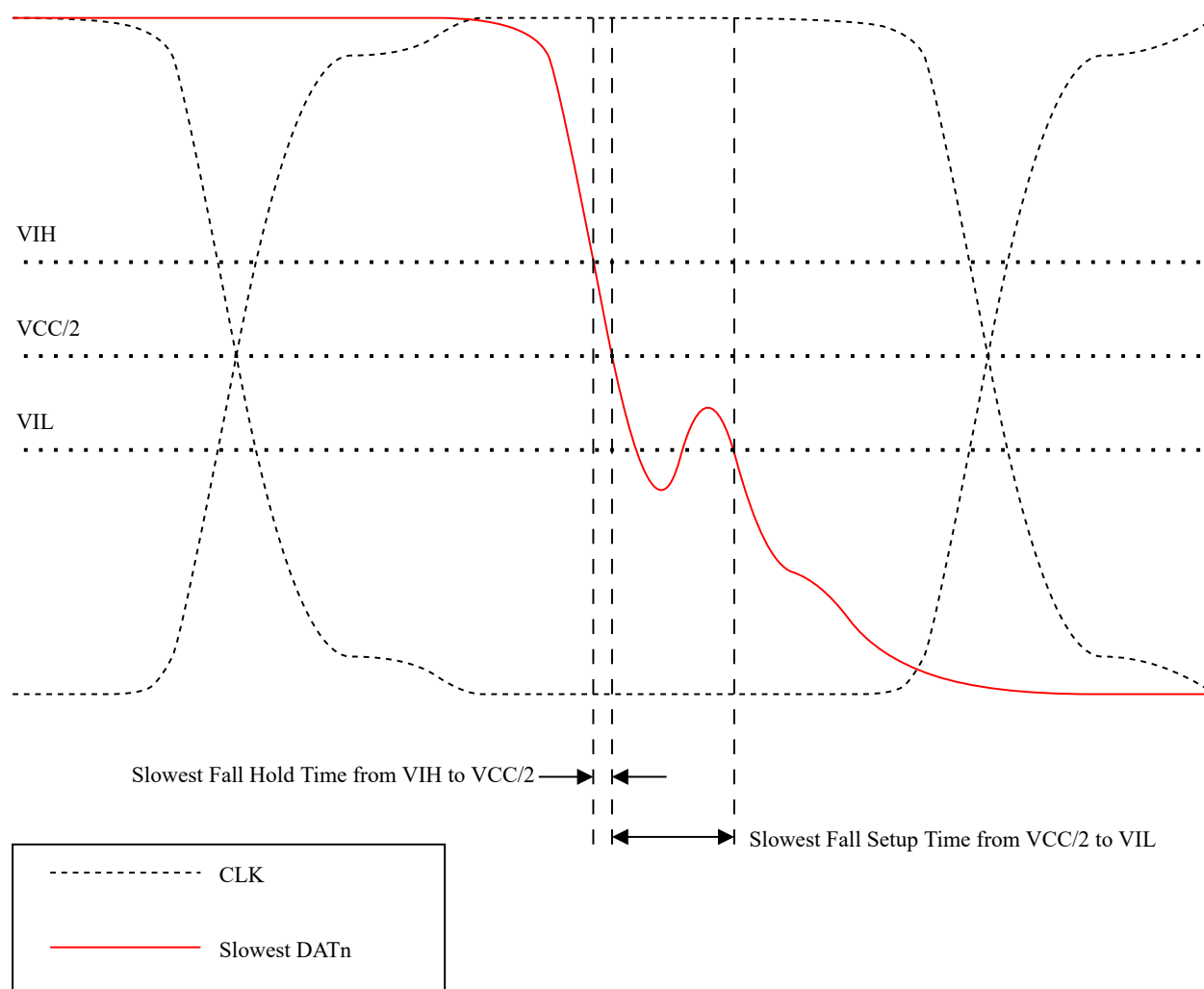


图 3-12. VIH/VIL : 存在回勾时 DATn 最慢下降压摆率 (测量至下一个捕获 CLK 沿之前的最后一次 VIL 交叉点)

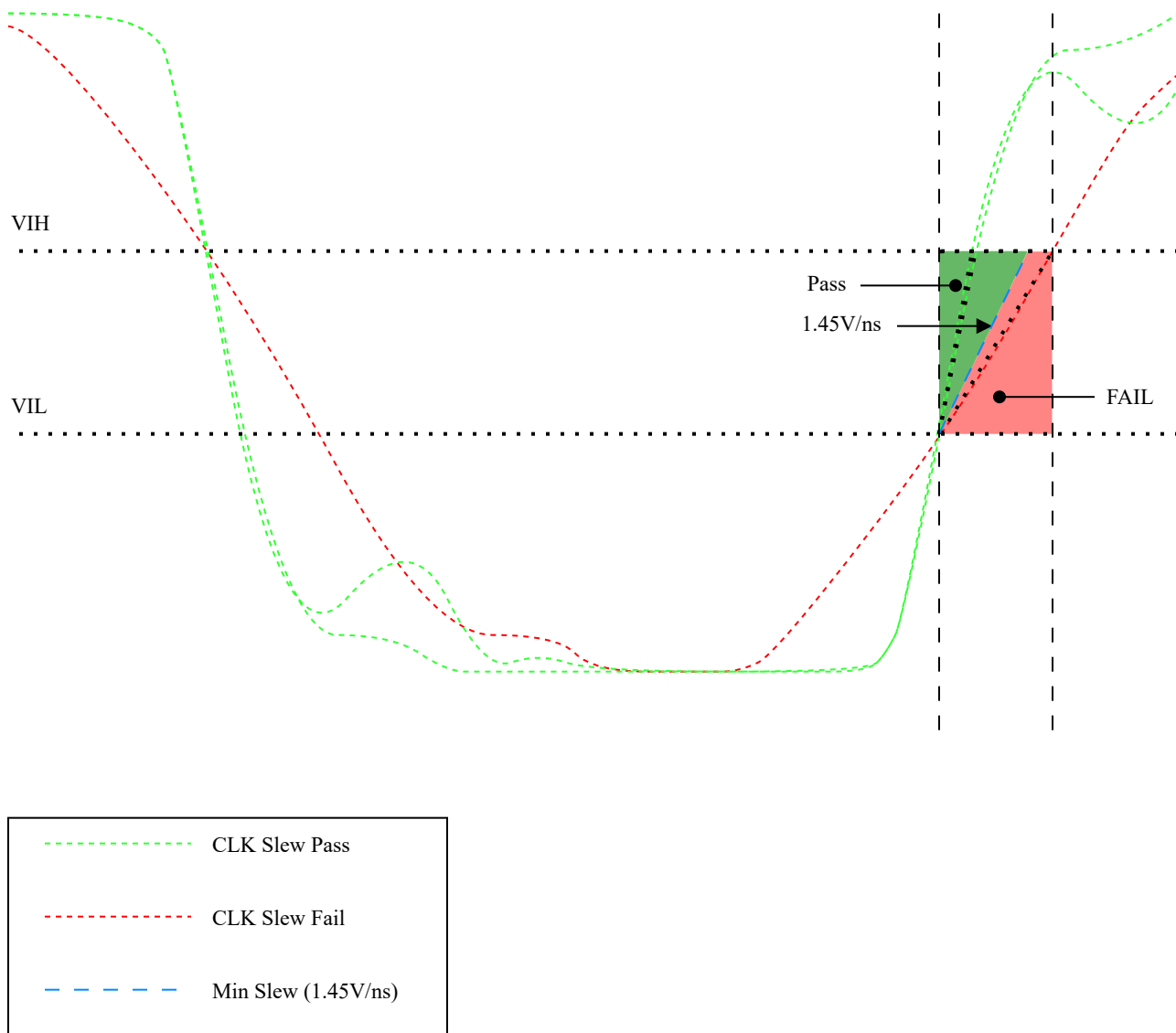


图 3-13. 压摆率：CLK 上升沿 — VIL 和 VIH 之间的压摆率必须大于 1.45V/ns

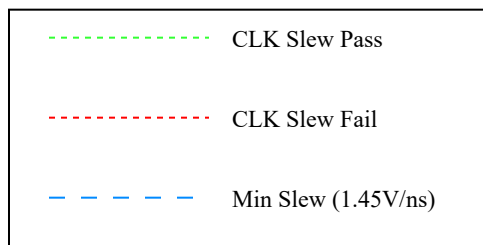
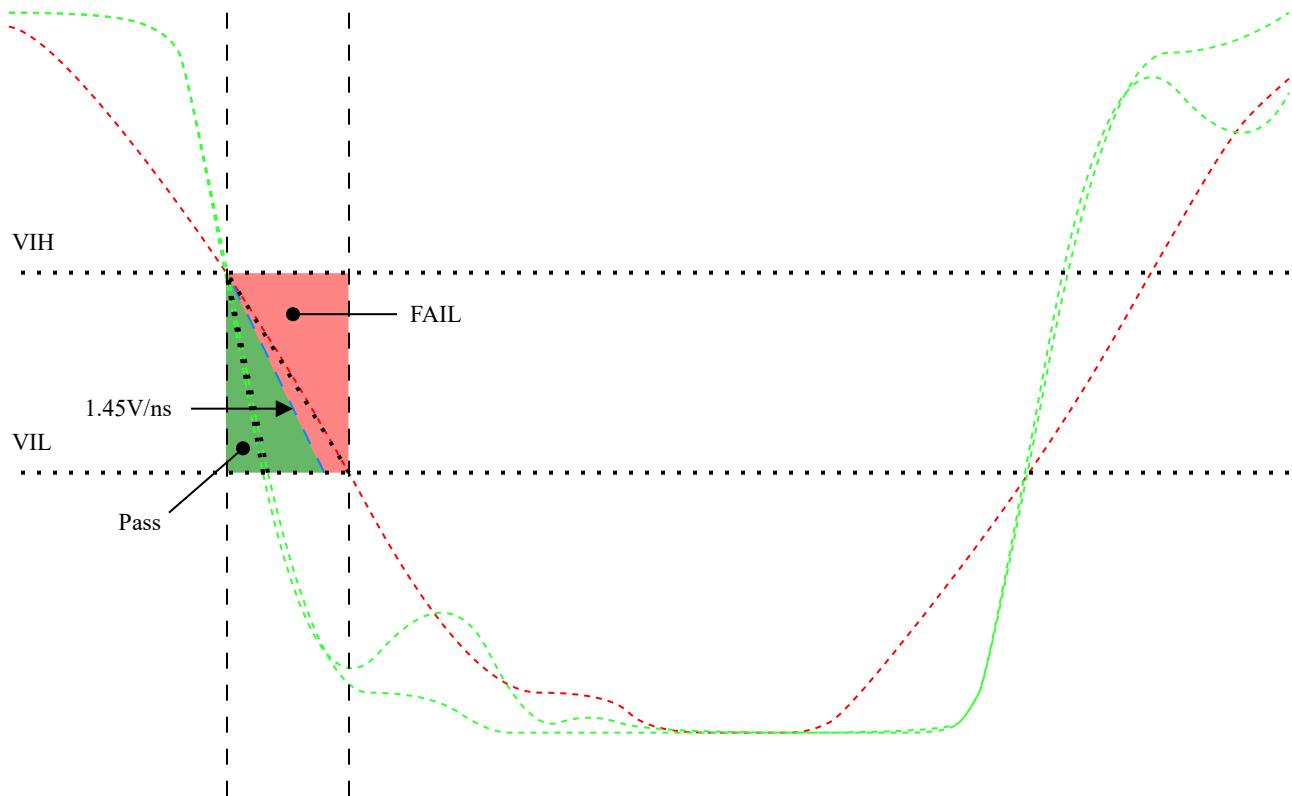


图 3-14. 压摆率：CLK 下降沿 — VIH 和 VIL 之间的压摆率必须大于 1.45V/ns

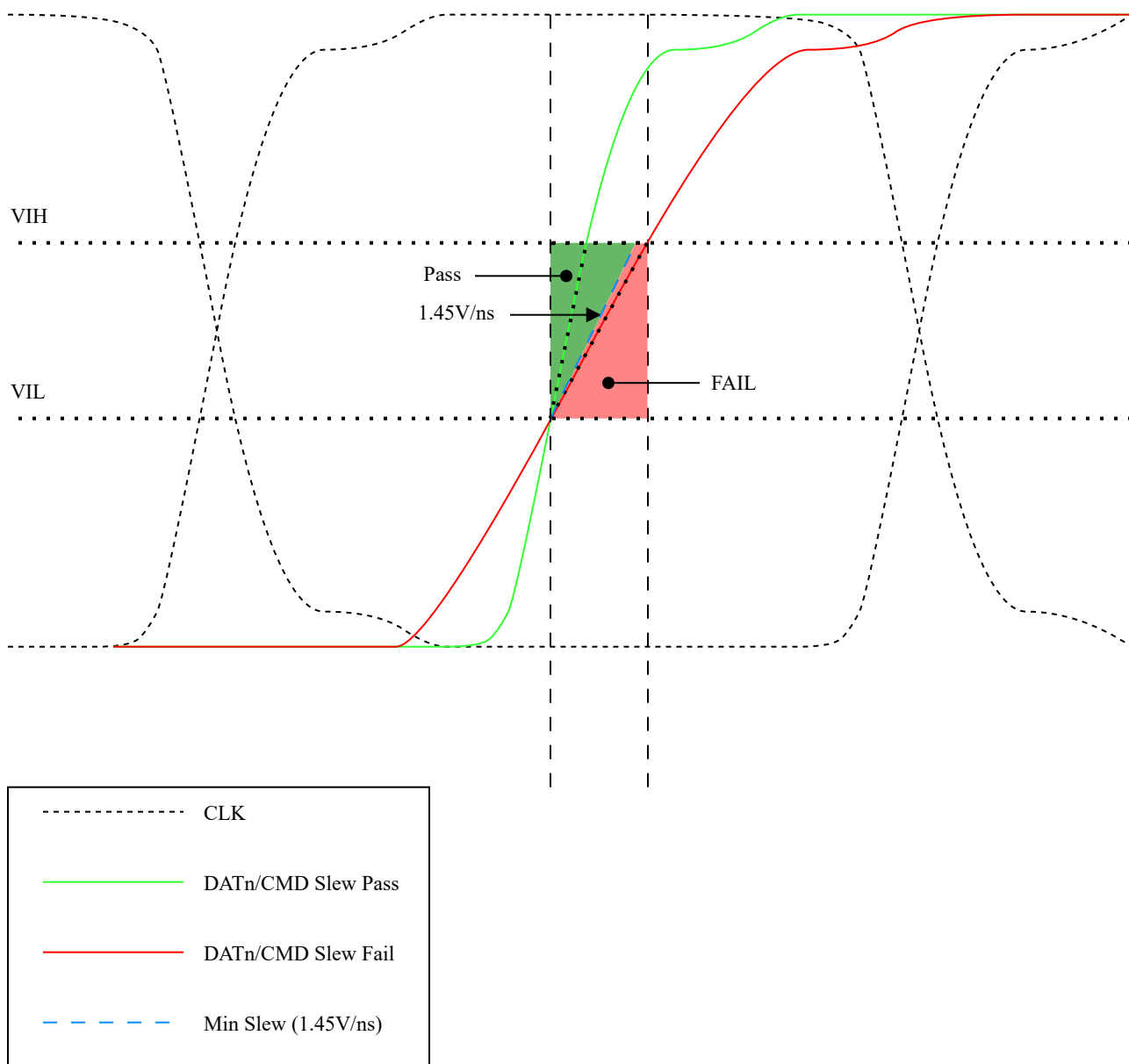


图 3-15. 压摆率：DATn/CMD 上升沿 — VIL 和 VIH 之间的压摆率必须大于 1.45V/ns

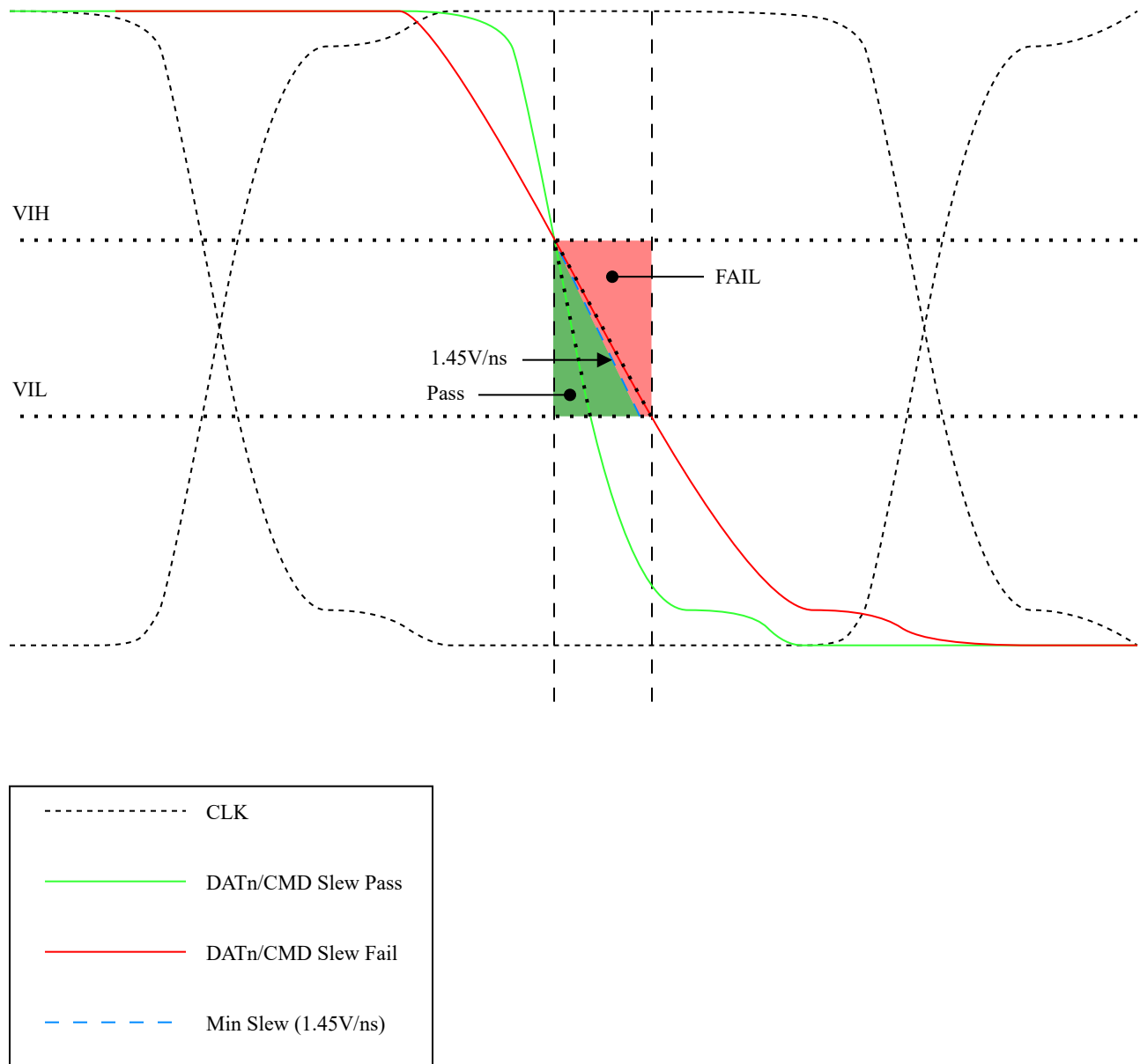


图 3-16. 压摆率：DATn/CMD 下降沿 — VIH 和 VIL 之间的压摆率必须大于 1.45V/ns

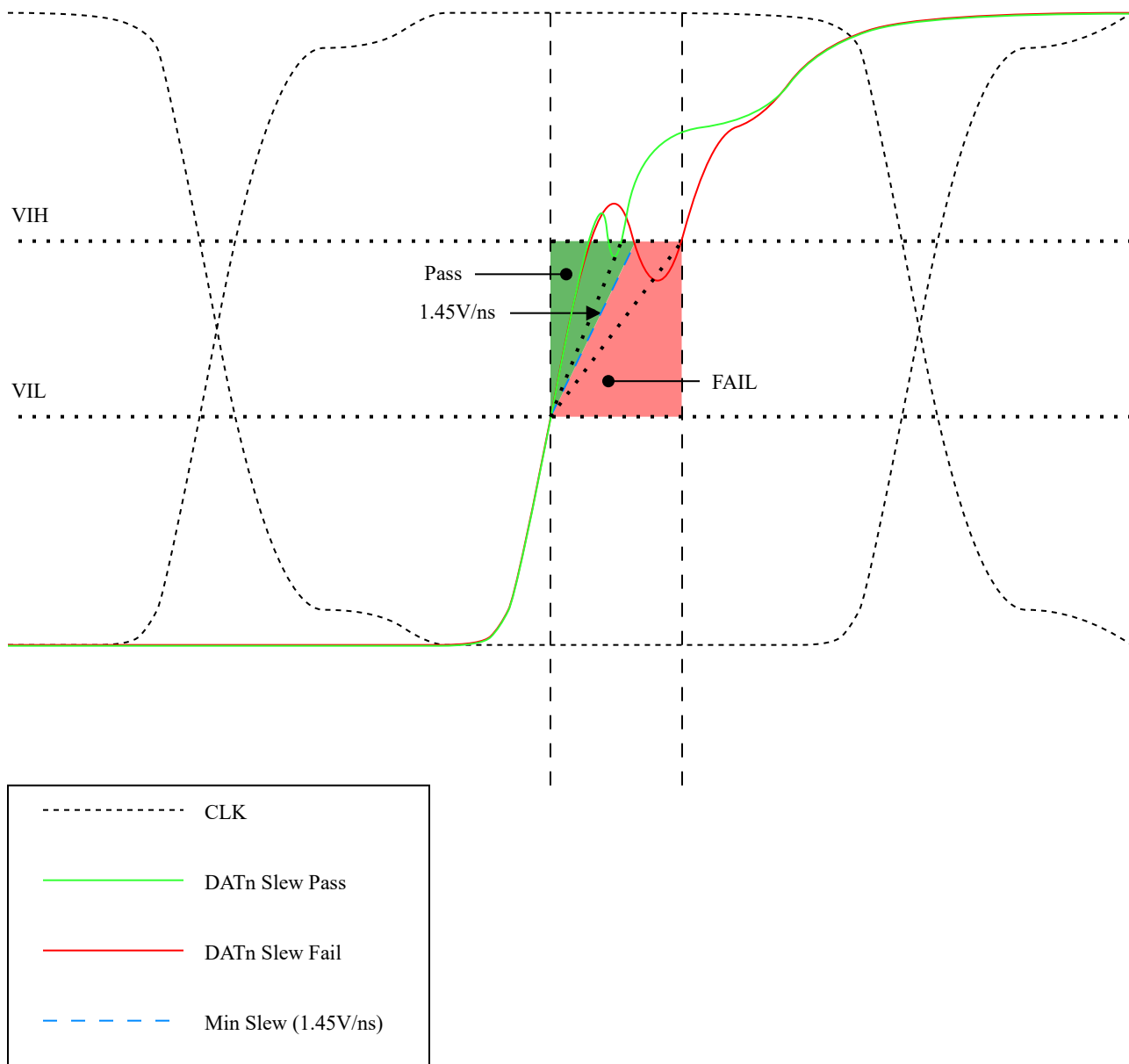


图 3-17. 压摆率：存在回勾的 DATn 上升沿 - VIL 至最后一次 VIH 交叉点之间的压摆率必须快于 1.45V/ns

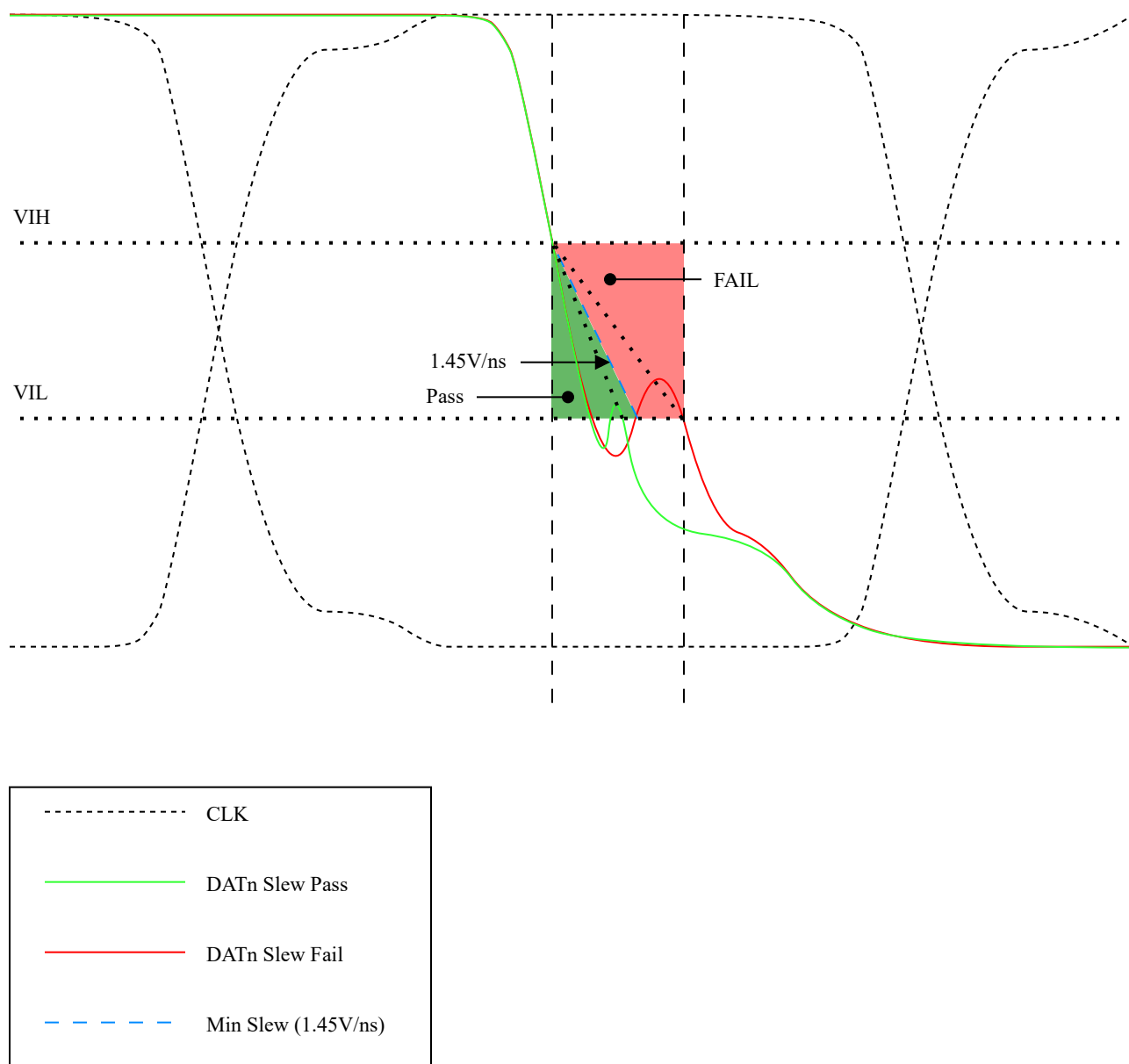


图 3-18. 压摆率：存在回勾的 DATn 下降沿 - VIH 至最后一次 VIL 交叉点之间的压摆率必须快于 1.45V/ns

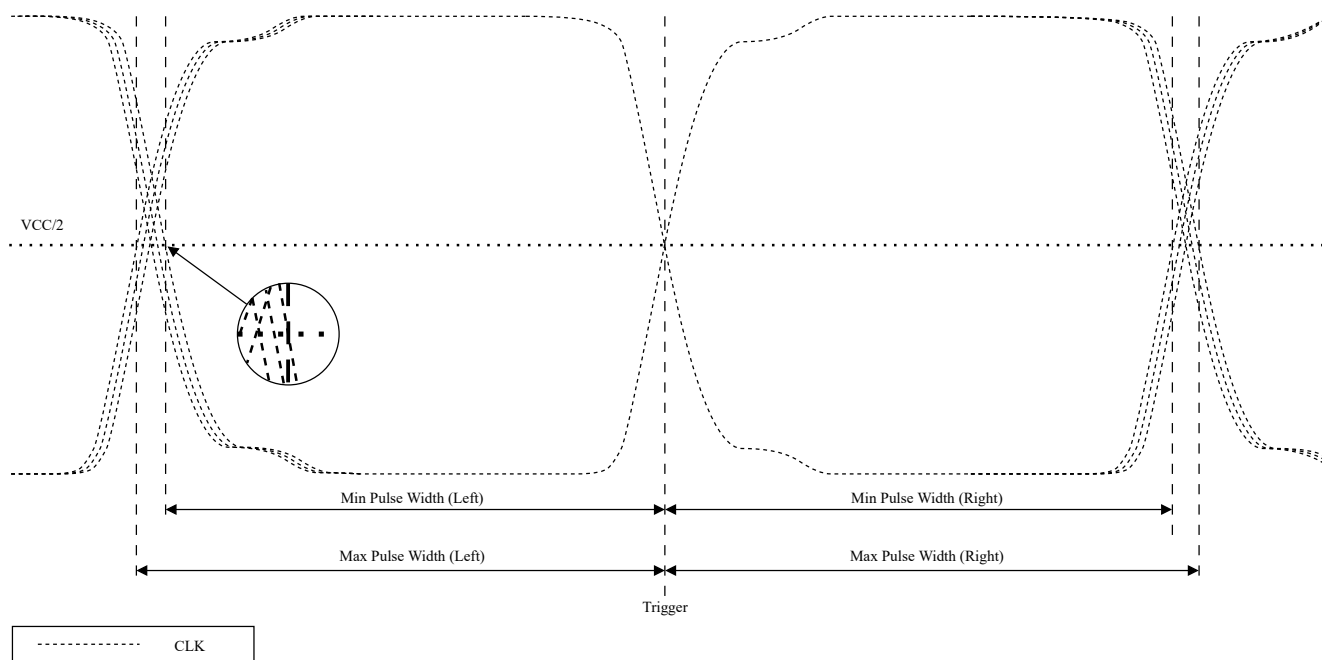


图 3-19. 测量 DCD 的脉冲宽度以及脉冲宽度测量

备注

VCC/2 与所仿真的 TT、SS、FF 角的 IO 电压成正比。

4 设计示例

本节记录了 [SK-AM62P-LP \(PROC164E2\)](#) 中实现的堆叠、电源布线和信号布线。此设计由 TI 进行仿真，并显示根据 [节 3.5.5](#) 中所述的通过/未通过检查具有正裕度。此设计可用作 **AM62Px eMMC** 设计的基准参考。

4.1 堆叠

这些指导原则建议使用 10 层或 12 层 PCB 堆叠方式以实现完整的器件功能。以下是 [SK-AM62P-LP \(PROC164E2\)](#) 使用的 12 层堆叠示例：

表 4-1. 12 层 PCB 堆叠示例

层号	堆叠	布线计划最高优先级和层
	阻焊层	
1	顶部 - PWR/SIG	PMIC、SoC 和 eMMC 器件以及 BGA 引出走线、GND
2	GND	REF
3	PWR/SIG	eMMC 信号、LPDDR4 数据信号、VDDA_1V8、GND、LVCMOS 信号引出端
4	GND	REF
5	SIG/GND	GND、LPDDR 数据信号、LVCMOS 信号引出端
6	GND	REF
7	PWR	VCC1V8_SYS (从 PMIC L4 电感器到 eMMC 器件下方过孔的 eMMC 电源) 、 VDD_CORE、VDD_LPDDR4、DVDD_3V3
8	PWR/GND	DVDD_1V8 (从 SoC 区域到 VDDSD_MMC0 引脚下方过孔的 VDDSD_MMC0 电 源) 、VDD1_LPDDR4_1V8、GND、VDDA_x
9	PWR/GND	DVDD_1V8 (从 PMIC L4 电感器到 SoC 区域的 VDDSD_MMC0 电源) 、GND、 VDDSD_CORE、VDDA_1V8、DVDD_3V3
10	SIG/GND	GND、LPDDR CA 信号、LVCMOS 迂回
11	GND	REF
12	底部 - SIG/PWR	eMMC CLK 串联端接电阻器 (靠近 SoC) 、eMMC DS 串联端接 (靠近 eMMC) 、去耦电容器、LVCMOS 信号引出端、GND
	阻焊层	

4.2 电源布线

[图 4-1](#) 中的 2D 布局和 [图 4-2](#) 中的 3D 布局视图显示了在 [SK-AM62P-LP \(PROC164E2\)](#) 上实现的 VDDSD_MMC0 电源布线。

AM62Px eMMC PHY 电源 VDDSD_MMC0 和 eMMC IO 电源的 1.8V 电源轨均源自 PMIC 开关稳压器的通用电感器。为了测量独立于 eMMC 的 SoC 电源功率，VCC1V8_SYS 电源穿过分流电阻器并变为 SoC_DVDD1V8，然后才到达 VDDSD_MMC0 电源和其他 SoC 电源引脚。

2D 布局指示每个形状使用的层，而 3D 布局视图清晰显示用于转换层的过孔。第 2 层、第 4 层、第 6 层和第 11 层上存在实心 GND 平面。

此布局通过仿真证明能够满足电源噪声要求，从而满足 eMMC JEDEC 规范 (带裕度) 。进一步的改进 (例如 VDDSD_MMC0 电源相邻层上的实心 GND，减少电源的层转换和/或层转换之间的额外过孔) 必须仅有助于提升交流阻抗性能和提高信号完整性裕度。我们鼓励电路板设计人员打造可行的理想 PCB。

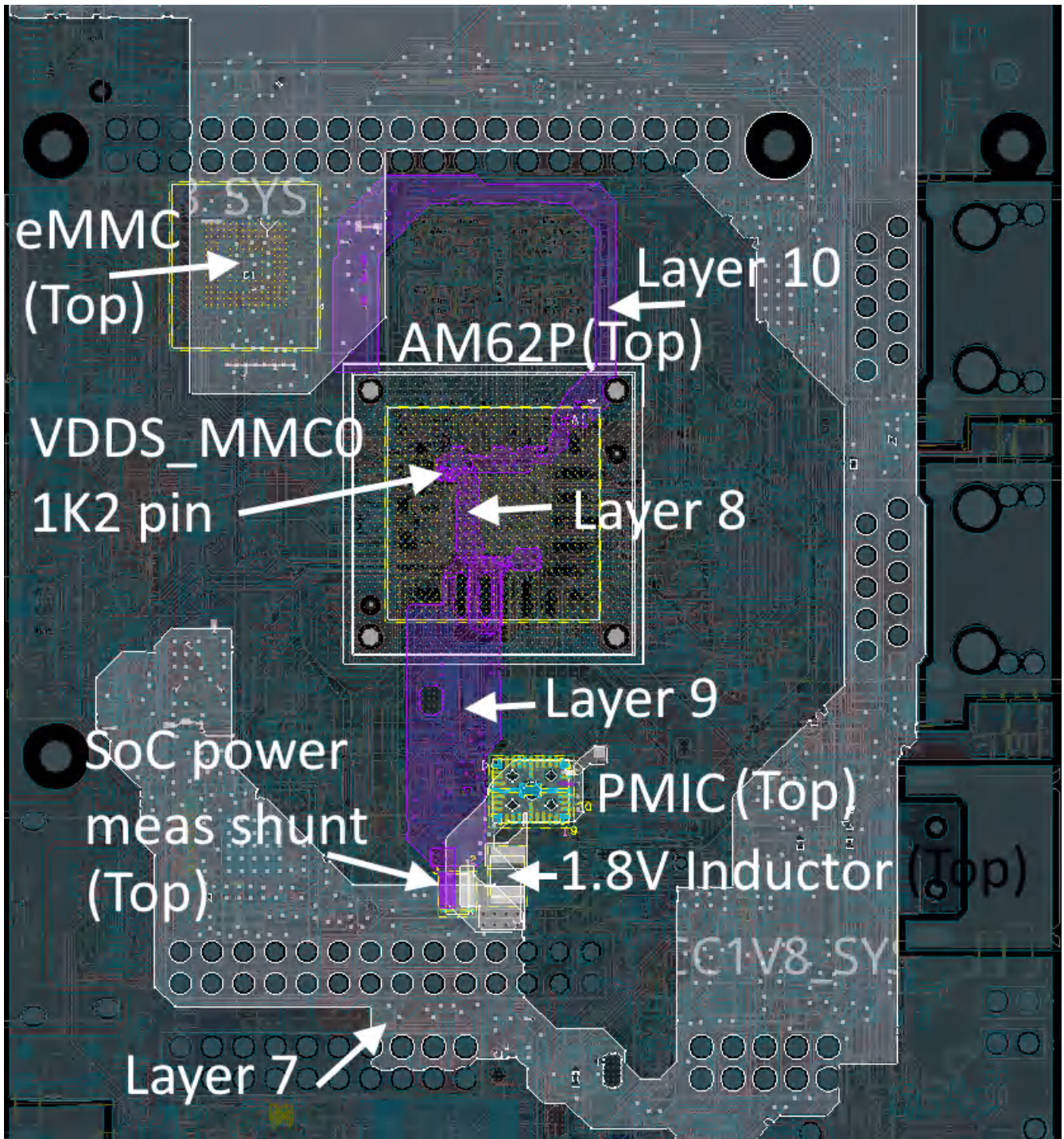


图 4-1. SK-AM62P-LP (PROC164E2) eMMC 电源布线 2D 布局 — VCC1V8_SYS (白色) 和 SoC_DVDD1V8 (紫色)

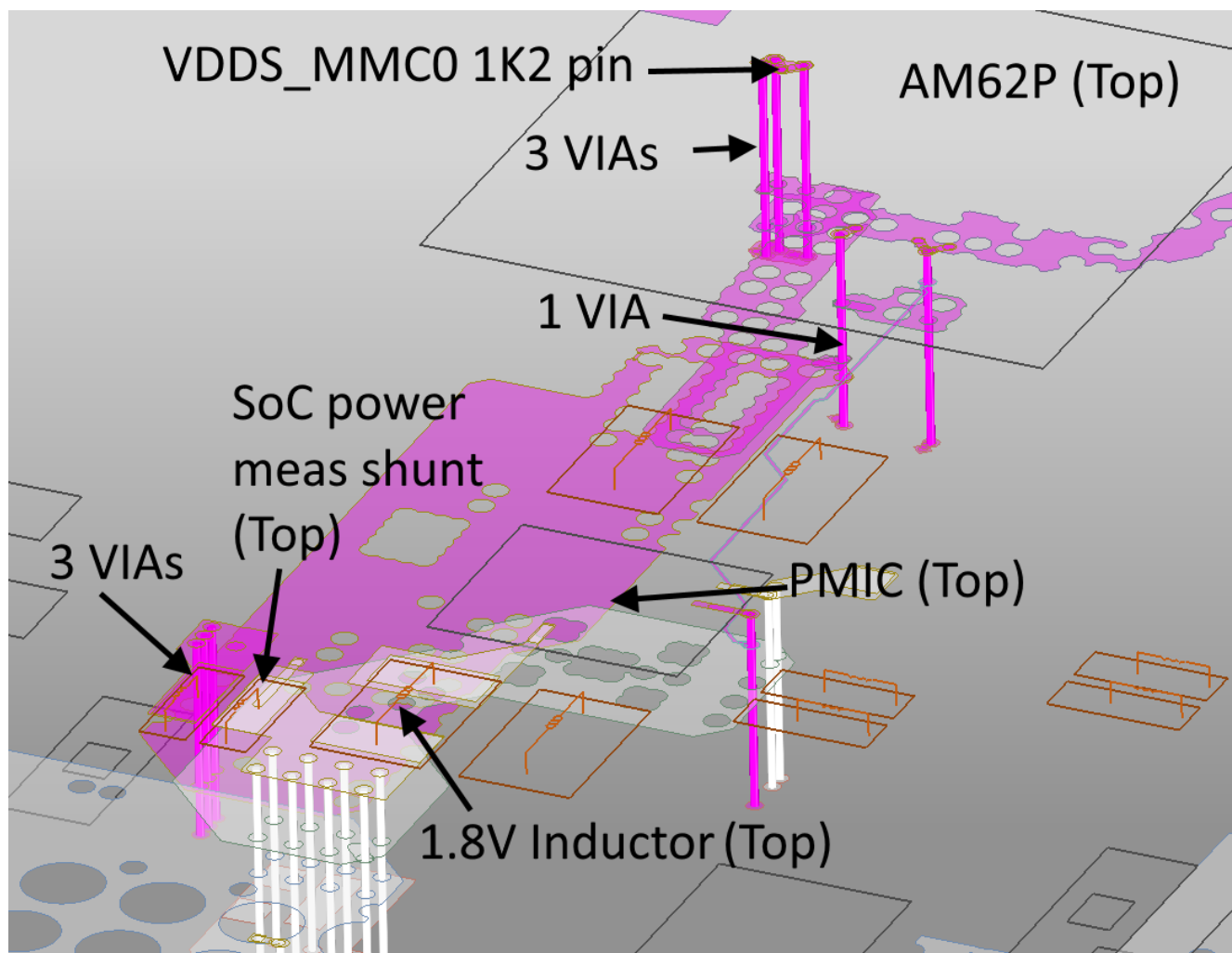


图 4-2. SK-AM62P-LP (PROC164E2) eMMC 电源布线 3D 布局 — VCC1V8_SYS (白色) 和 SoC_DVDD1V8 (紫色)

4.3 信号路由

下面 图 4-3 和 图 4-4 中的示例信号布线显示了 SK-AM62P-LP (PROC164E2) 设计中使用的 eMMC 信号布线。

eMMC 信号 CMD 和 DAT[7:0] 在第 3 层完全以带状线的形式布线，目标阻抗为 $50\ \Omega$ 。

CLK 以 $50\ \Omega$ 的目标阻抗从 SoC 引脚布线到 SoC 下方底层的串联端接电阻器，然后转换到第 3 层 (目标阻抗为 $50\ \Omega$)。

DS 以 $50\ \Omega$ 的目标阻抗从 eMMC 引脚布线到 eMMC 器件下方底层的串联端接电阻器，然后转换到第 3 层 (目标阻抗为 $50\ \Omega$)。

GND 缝合过孔有助于为过孔两侧的 CLK 和 DS 信号提供到底层串联端接电阻器的连续 GND 返回路径。

此布局通过仿真证明能够满足上述通过/未通过检查的裕度，从而表明其符合 JEDEC 规范。

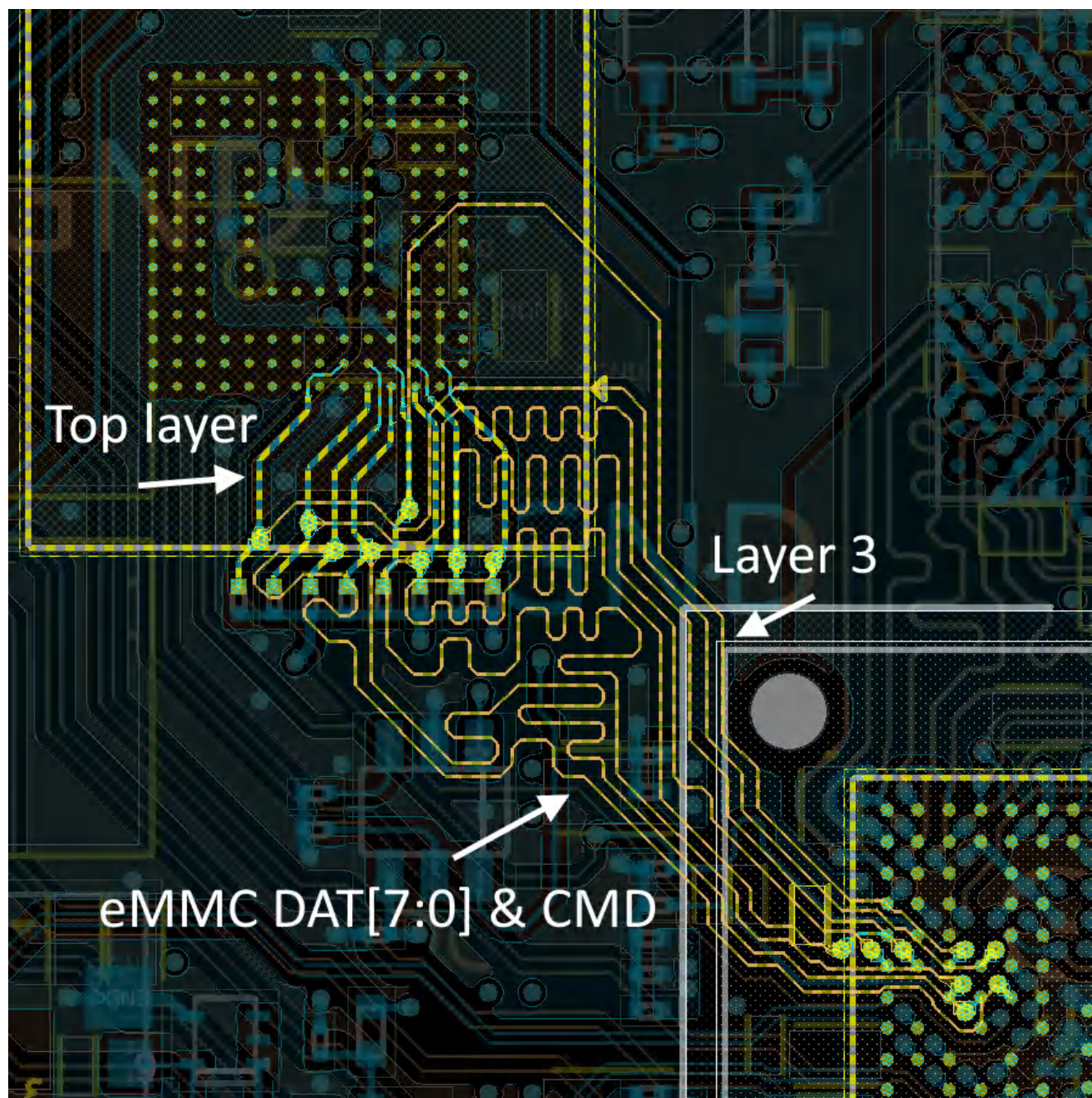


图 4-3. SK-AM62P-LP (PROC164E2) eMMC 信号布线 — CMD 和 DAT[7:0]

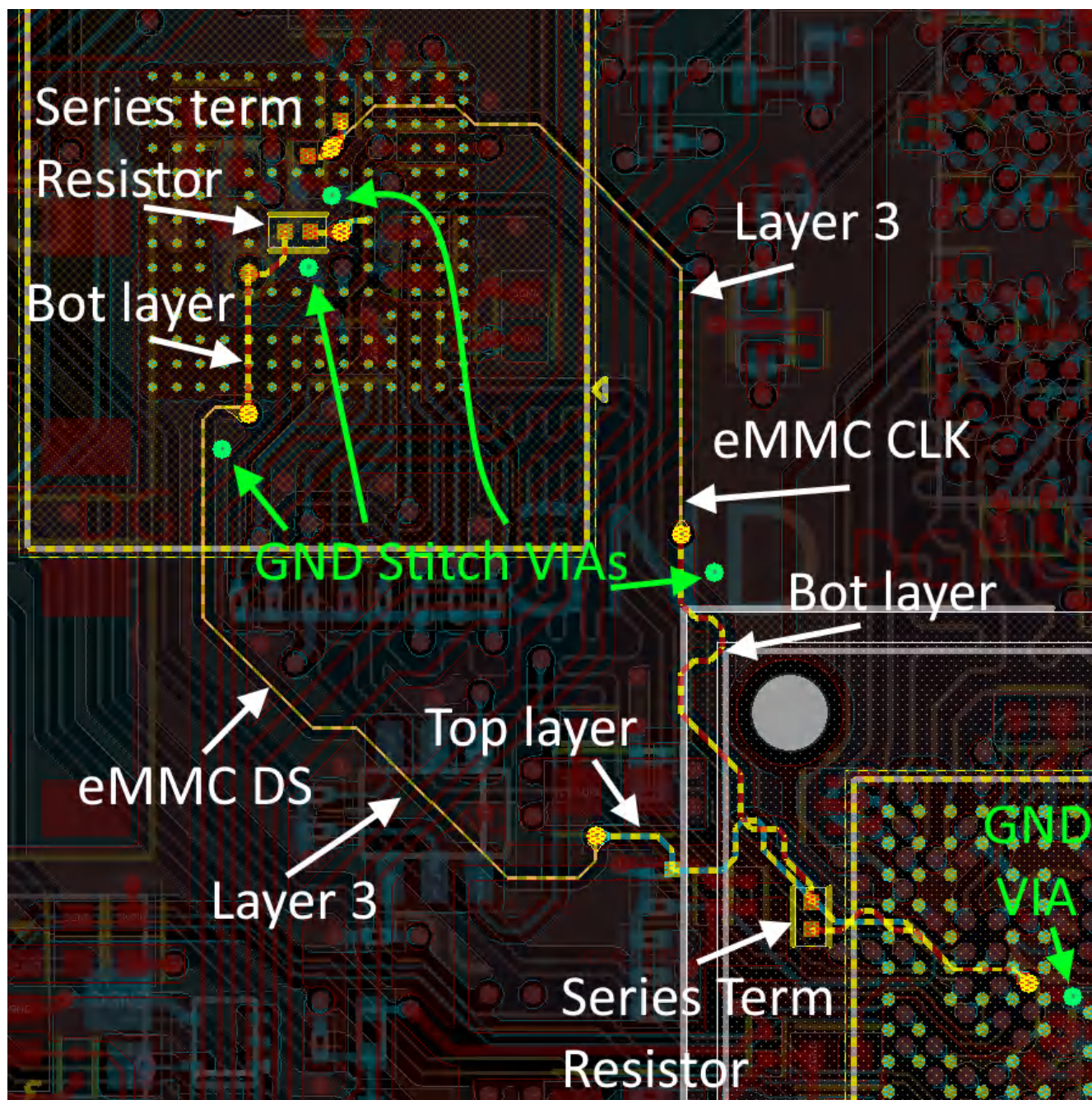


图 4-4. SK-AM62P-LP (PROC164E2) eMMC 信号布线 — CLK 和 DS

表 4-2. 示例 eMMC 布线阻抗汇总

层	信号	单端阻抗 (Ω)
L3	eMMC CLK ⁽¹⁾ 、CMD、DAT[7:0]、DS ⁽¹⁾	49.87
L12	eMMC CLK ⁽¹⁾ 、DS ⁽¹⁾	50.13

(1) CLK 和 DS 转换到 L12 (底层) 连接串联端接电阻器，然后转换回 L3 完成布线的其余部分

5 总结

本应用手册说明了如何针对搭载 AM62Px 处理器的设计方案，规划、布线和仿真 PCB 以实现 eMMC HS400 成功运行。主题包括电路板布局布线指南、电源噪声检查、具有通过/未通过标准的 IBIS 仿真以及实际电路板设计示例。

6 参考资料

- 德州仪器 (TI), [SK-AM62P-LP \(PROC164E2\)](#)
- 德州仪器 (TI), [eMMC 数据攻击位模式](#)
- 德州仪器 (TI), [AM62Px Sitara™ 处理器产品页面](#)
- 德州仪器 (TI), 《[AM62Px Sitara™ 处理器](#)》, 数据表。
- 德州仪器 (TI), [AM62P SK 评估模块](#), EVM 用户指南。
- 德州仪器 (TI), [AM62x、AM62Ax、AM62D-Q1 和 AM62Px 处理器系列原理图设计指南和审阅检查清单](#)

7 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

Changes from Revision * (January 2026) to Revision A (September 2026)	Page
- 将回勾裕量从 $\pm 60\text{mV}$ 更改为分别针对 SS 和 FF 转角指定 RBMargin，并明确 CMD 信号在 VIL 与 VIH 之间必须保持单调。在 <i>仿真策略和示例</i> 一节中，明确了 DAT 信号在 VIL 与 VIH 之间允许非单调的条件。..... - 新增 2 幅图 - VIH/VIL : DATn 非单调的良好示例和不良示例。更新了“通过/失败检查表 - VIH/VIL (回勾)”，新增 RBMargin、CMD 单调性要求以及 DAT 非单调的允许条件。对图题补充了说明性文字。.....	15 19

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 [TI 销售条款](#)、[TI 通用质量指南](#) 或 [ti.com](#) 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2026，德州仪器 (TI) 公司

最后更新日期：2025 年 10 月