

Delta-sigma ADC的延迟来源



Brian Pisani
德州仪器 (TI)
精密模拟

TI POWER

Δ - Σ ADC 会在信号链中引入延迟, 但是所有延迟都可以以合理的精度进行计算, 这样系统设计师便可在时间敏感型应用中将其纳入考虑范围。

在时间敏感型应用(例如电网基础设施电子系统)中, 对电网电压和电流的测量可能需要添加时间戳, 以提供显著的时间精度, 因此在信号链中标记延迟来源就变得非常重要。 Δ - Σ ADC 会在模拟输入信号和数字输出之间引入可计算的延迟时间。本文将深入探讨这些延迟来源。

Δ - Σ ADC 利用过采样来减少目标频带的噪声。在此过程中, 将对数据进行数字滤波, 因此会引入滤波器的线性相位响应。数字滤波器的这种相位响应是 Δ - Σ ADC 延迟的主要来源。

此外, 许多 Δ - Σ ADC 集成了可编程增益放大器 (PGA), 可驱动 Δ - Σ 调制器的输入。与所有其他放大器一样, 这些 PGA 也有相位响应, 其特点是会在输入和输出之间造成延迟。但本文将证明, PGA 引入的延迟对于带宽内的频率可以忽略不计。

最后, 一些 Δ - Σ ADC 具有各种数字信号处理和系统监控功能, 它们也会导致输出延迟。为了消除这方面的顾虑, 本文还将讨论常用功能和相关时序。

Δ - Σ ADC 中的典型功能模块

一个基本的 Δ - Σ ADC 需要使用 Δ - Σ 调制器来实现模拟输入信号数字化, 利用数字抽取滤波器来抑制高频噪声, 还需要通过一个接口来将数据传输到主机。

除了 Δ - Σ 调制器、数字滤波器和数字接口外, Δ - Σ ADC 通常还有一些集成功能。例如, 许多 Δ - Σ ADC 具有集成式放大器前端, 可驱动输入采样结构并提供增益。此模块会对整个系统引入模拟相移, 表现为延迟。此器件还会执行与滤波无关的数字逻辑功能, 每个输出采样都是此接口的一部分, 或其他器件特性的一部分。这种逻辑也可能延迟信号输出。

图 1 展示了 Δ - Σ ADC 的典型功能模块。每个模块都有可能向系统中引入延迟。

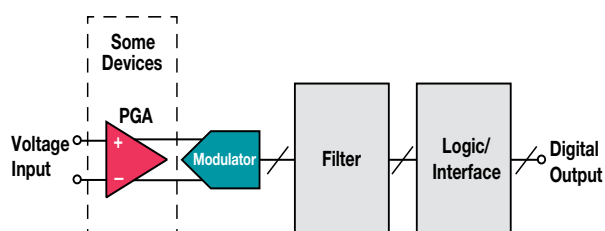


图 1. Δ - Σ ADC 的典型功能模块。

Δ - Σ ADC 中的延迟来源

可编程增益放大器 (PGA)

Δ - Σ ADC 中的可编程增益放大器有三项作用：

1. 驱动 Δ - Σ 调制器的输入
2. 提供模拟增益, 更好地利用数据转换器的满量程范围
3. 提供抗混叠功能(在某些情况下)

与所有放大器一样, Δ - Σ ADC 中的 PGA 由传递函数描述, 主要功能是用于确定给定频率下输入和输出信号之间的相移量。相位响应的定义如公式 1 所示。

$$\phi(\omega) \equiv \arg \{H(\omega)\} \quad (1)$$

其中 $H(\omega)$ 是 PGA 的传递函数, ω 是角频率 $2\pi f$

可以将输入和输出之间的相移想象成延时时间。可以求出, 给定频率的延时时间为相位响应的频率导数。PGA 延迟的定义如公式 2 所示。

$$\text{Delay}(\omega) \equiv -\frac{d\phi(\omega)}{d\omega} \quad (2)$$

定义中的负号说明, 相移的负向变化对应延时时间的正值。

如前所述, PGA 的功能之一是对输入信号进行频带限制, 从而减少混叠。为了在足够低的频率下放置极点以显著衰减带外信号, 需要使用“极点分离”这一策略。实现方法是在放大器的反馈环路中放置补偿电容

器 C_C 。结果是放大器的首个极点与更高位的极点相比, 频率要低得多。

根据公式 3 可以得出, 放大器的第一极点对应 -3dB 频率。

$$\omega_{Cl} = \frac{\beta g_m}{C_C} \quad (3)$$

其中 β 是 PGA 的反馈因数, 放大器直流增益的倒数; g_m 是输入差分晶体管对的小信号跨导。为简单起见, 本文仅讨论 MOSFET 架构。

由于首个极点比其他所有极点的频率低得多, 频率响应与 RC 低通滤波器类似, 其截止频率为 ω_{Cl} 。公式 4 为 PGA 单极模型的延迟计算方法。

$$Delay(\omega) = \frac{\omega_{Cl}}{\omega_{Cl}^2 + \omega^2} \quad (4)$$

通过计算可以清晰地看到, 放大器的延迟在整个频率范围内并不恒定。另外, 由于温度和工艺差异, 放大器的带宽具有一定容差。这种差异可能需要关注, 但通过一些重要观察, 我们发现这种差异相对而言影响不大。

首先, 应将 Δ - Σ ADC 作为一个系统。如果使用 Δ - Σ ADC 对数据进行抽样, 将进行数字滤波和抽取, 得到输出数据速率。因此, 可将 PGA 频率响应的相关讨论限制在奈奎斯特带宽内, 即用户配置的输出速率的一半。

第二, 如果目标频带的延迟很小, 差异也较小, 则可以忽略 PGA 带来的延迟, 或通过简单地估计加以考虑。我们也会考虑“最坏情况”, 当 PGA 的增益最高 (或带宽最低) 且数据速率最高时, 可以观察到最大的延迟变化。

例如, 请考虑 [ADS131E08](#) 中的 PGA, 这是针对电网基础设施应用进行优化的 Δ - Σ ADC, 这种应用通常有严格的时序要求。该器件可能的最高增益为 12, 相应的放大器带宽为 $f_C=32$ kHz。最大数据速率为 64kSPS, 因此奈奎斯特带宽为 32kHz。图 2 展示了 PGA 增益为 12 (最坏情况) 时的延迟与频率。公

式 4 是通过 $\omega_C = 2\pi f_C = 64 \times 10^3 \pi$ rad/s 得出。在直流情况下, $\omega = 0$, 延迟为 4.97 μ s。

$\omega = 2\pi f_{Nyquist} = 64 \times 10^3 \pi$ rad/s 时, 延迟为 2.49 μ s。考虑这些时间时, 应了解对于 64kSPS 的速率, 由数字抽取滤波器引起的延迟接近 22 μ s。我们将在下一节讨论数字滤波器引起的延迟。

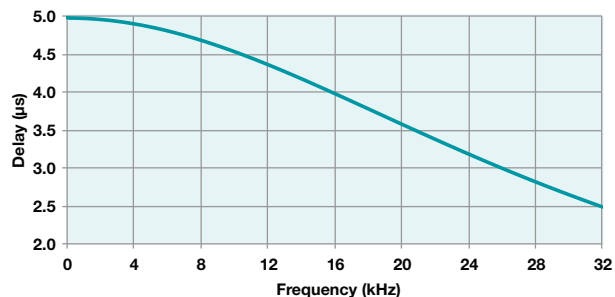


图 2. PGA 增益为 12 (最坏情况) 时的延迟与频率。

通过此分析, 我们可以预期, 要尽量减少 PGA 在延迟总时长中的占比, 其设置是将放大器带宽设为最大 (增益最低), 数据速率设为最慢。对于 ADS131E08 PGA 的理想情况 (增益为 1, 数据速率为 1kSPS), PGA 最高延迟为 672ns, 该数据速率下的数字滤波器延迟为接近 1.5ms。

对于同步采样多通道 ADC, PGA 引入的相移有特殊含义。如果各通道的所有 PGA 增益均相同, 则从输入到输出的总延迟也相同。但如果不同通道使用了不同的 PGA 增益, 则不同通道的延迟将有所不同, 即使所有通道的数据会同时输出给用户。由于 PGA 引发的延迟相对于数字滤波器的群延迟通常较小, 这种通道间的差别不会为设计带来严重挑战。由于各通道的数据速率相同, 因此各通道的数字滤波器群延迟也相同。

由于 PGA 带宽取决于模拟电路元件的公差, 因此延迟也呈现出与温度之间的关系。随着温度升高, 放大器带宽会下降, 从而增加延迟。例如, 如果 PGA 配置的增益为 12, 在非常高的温度下, 我们有理由认为带宽会下降 15%。这样会将 PGA 的延迟从其标称直流值的 4.49 μ s 增加到高温下的 5.85 μ s。

Δ-Σ 调制器

Δ-Σ 调制器是 Δ-Σ ADC 中的电子功能模块,它的作用是将模拟波形转换为 Bit 流。在这里,我们要将此功能的实现分为两步。第一步是使用开关和电容器的网络组成“采样保持”电路,对输入信号进行采样。第二步是转换采样电压。

可以将采样保持电路想象成具有极高带宽的电阻电容 (RC) 网络。在采样发生时,输入电压必须达到稳定状态,因此高带宽是必要的。对于具有集成输入驱动放大器的 ADC,可以通过计算大致估计输入时的 RC 时间常数,因为芯片设计者可能会使放大器非常快速地采样保持电路充电。

即使系统没有集成驱动放大器,采样电路也有可能快速充电,以满足采样时序要求。系统设计师需要选择驱动放大器,其带宽可以满足采样电路的需求。出于简化考虑,将不会针对采样电路的时序规格提供数学论证。

调制器可能有多种不同形式,从输入到输出的延迟量也会有变化。一般来说,Δ-Σ 调制器的架构都是严格保守的行业秘密,但可以进行一些总体概述。首先,采样保持电路和位流输出之间的任何延迟将不会大于调制器的几个时钟周期。调制器的几个时钟周期的延迟显著小于集成数字抽取滤波器的群延迟。

对于有些架构(例如 ADS131E08 中使用的架构),基本上没有延迟。可以想象成当采样保持电路对电压进行采样时,到相应的位输出到数字滤波器时,调制器的一个时钟周期延迟。

数字抽取滤波器

离散系统也会受到延迟影响,这取决于频率。线性非时变 (LTI) 系统呈现与其相位响应相关的延迟。群延迟定义为延迟的样本数量,是频率的函数。数学定义为:

$$\text{Group delay } (\omega) \equiv -\frac{d\phi(\omega)}{d\omega} \quad (5)$$

其中 $\phi(\omega)$ 是系统的相位响应, ω 是以每样本弧度数测量的角频率。

右侧表达式前面的负号说明,相位角的负向变化对应着群延迟的正值。

对于 Δ-Σ ADC,使用抽取法通过加权平均增加精确度。对于 Δ-Σ ADC,数字抽取滤波器的输出将是数据转换器的过采样率 (OSR) 所指定点数的加权平均值。结果是频域中对应 $\text{sinc}(\sin x/x)$ 函数的低通滤波器。(一些 ADC 有附加滤波级,可使通带平坦,但为了简化,将不讨论这些滤波器。)许多器件允许用户在多种 OSR 间做出选择,从而改变器件的频率响应,以及采样输出速率。

sinc 滤波器的一个重要属性是,它们是线性相位滤波器,这意味着它们的相位响应是线性的,为频率的函数。线性相位滤波器的群延迟对于不同频率为常数,因为群延迟与相位对频率的导数成正比。这就意味着,对于已知的线性相位滤波器,无论输入频率是多少,输出的延迟均是相同样本数。

让我们来考察一下 ADS131E08 的数字滤波器。该器件在 1.024MHz 的调制器频率下对数据采样,使数据通过三阶 sinc 滤波器,再对数据降采样,然后以器件的数据速率输出。在此情境中我们选择的 OSR 为 128,提供的输出数据速率为 8kSPS。**图 3** 所示为幅度和相位响应,以及该滤波器的群延迟图。

ADC 输出数据时,OSR 指定每 128 个调制器样本仅输出一个数据点。要获得输出数据速率的延迟,应将数字滤波器样本群延迟除以 128。由于滤波器群延迟为 190.5 个调制器样本,ADC 输出的延迟约为 1.5 个输出样本。

将 1kHz 的模拟输入信号与数字滤波器输出和抽取数据器件输出叠加显示,我们就可以在时间域中看到这种情况。**图 4** 验证了计算出的延迟。

根据滤波器响应计算出的延迟与此图中显示的延迟对应。与输入相比,输出出现了衰减。这是滤波器幅度响应的结果。

表 1 列出了在一些常用 OSR 下, sinc^3 数字滤波器在输出样本中的延迟。

Over-sampling ratio	32	64	128	256	512	1024	2048	4096
Delay (samples)	1.4531	1.4766	1.4883	1.4941	1.4971	1.4985	1.4993	1.4996

表 1. 各种 OSR 下的输出样本中的 Sinc^3 滤波器群延迟 (抽取后)

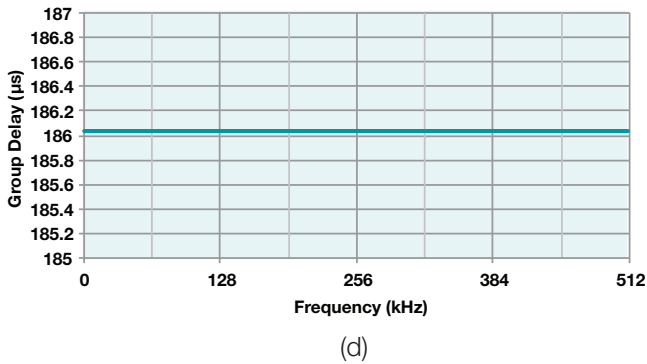
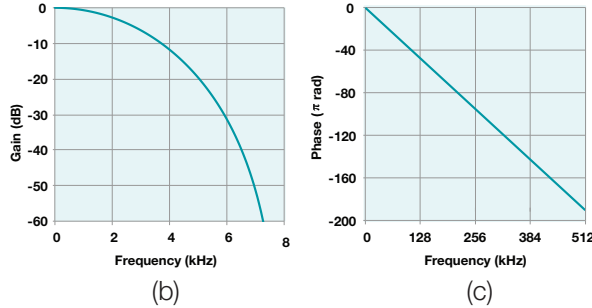
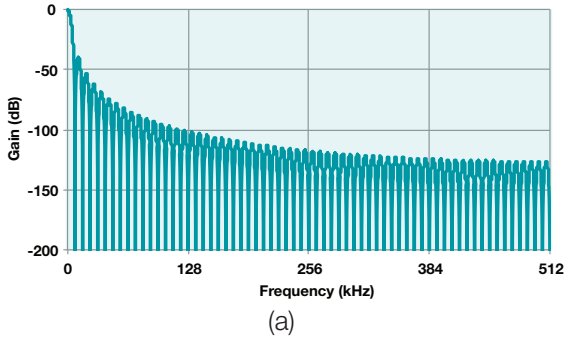


图 3.三阶 *sinc* 响应 ADC 的幅度、相位和群延迟图, *OSR* 配置为 128。图 (a) 和 (c) 通过调制器的奈奎斯特速率分别展示滤波器的幅度和相位响应。图 (b) 展示所选输出数据速率的幅度响应。此滤波器的群延迟为 190.5 调制器样本, 大约为 186 μ s, 如图 (d) 所示。

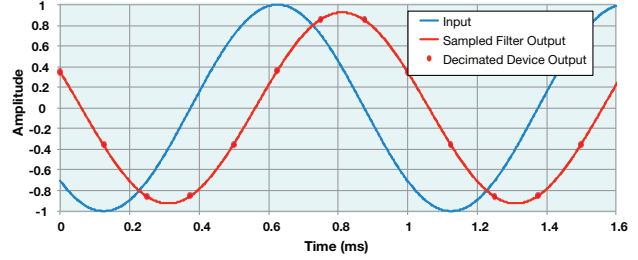


图 4.模拟输入 (蓝色)、采样数字滤波器输出 (红色) 以及抽取器件输出 (红点)。

数字逻辑

主机获得数字滤波器输出之前, 必须出现几个逻辑步骤。例如, 必须执行检查, 将越界滤波输出设为转换器的饱和值。如果器件包含集成的失调和/或增益校准功能, 该逻辑也必须执行。器件可能还会插入一个额外的系统时钟周期, 以防止传播延迟导致的设置或保持时间违例。精密器件可能会有接口集成检查, 要求样本延迟整个转换周期。

例如, 在 ADS131E08 中, 由数字逻辑导致的延迟为四个主时钟周期, 约为 2 μ s。[ADS131A04](#) 为 4 通道同步采样 Δ - Σ ADC, 该器件通过复杂的逻辑确定其转换是否与其他 ADC 同步。在这种情况下, 在输出前数字滤波器输出置于整个转换周期的缓冲区中。

请注意, 这包括主机从器件中检索数据所用的时间。此类延迟取决于用户。

概要

在此白皮书中, 我展示了 Δ - Σ ADC 中的延迟是确定性的且可计算的。对于给定的 PGA 增益、调制器时钟以及输出采样率设置, ADC 的延迟是一致的, 因此可以支持需要精确时间戳的应用。

示例

在示例中, 我使用两种不同器件计算延迟, 这些器件使用 24 位模拟前端监控功率并进行控制和保护。它们的区别在于, ADS131E08 有八个同步采样通道, 每个通道都有前端 PGA, ADS131A04 有四个同步采样通道, 但不包括 PGA 前端。

ADS131A04 没有可编程增益放大器, 但逻辑执行会造成整个转换周期的延迟。此器件的大多数延迟是由 sinc³ 数字滤波器的相位响应造成的。该器件的采样率非常灵活, 表 2 和表 3 只提供了两个调制器频率的延迟。

其他信息

下载这些数据表: [ADS131E08](#)、[ADS131A04](#)。

了解有关 TI [精密 ADC 产品组合](#) 的更多信息。

ADS131E08		PGA Gains									
		1		2		4		8		12	
		Max	Min	Max	Min	Max	Min	Max	Min	Max	Min
Data Rates (kSPS)	1	1,501	1,501	1,502	1,050	1,502	1,502	1,504	1,504	1,506	1,506
	2	751	751	752	752	752	752	754	754	756	756
	4	376	376	377	377	377	377	379	379	381	380
	8	189	189	189	189	190	190	191	191	193	193
	16	95	94	95	95	96	96	98	96	99	99
	32	48	48	49	48	49	49	51	50	52	51
	64	25	25	25	25	26	25	27	26	29	26

表 2. 对于不同数据速率以及直流和奈奎斯特的 PGA 设置, 标称延迟为最接近的微秒数。

ADS131A04		f _{mod} (MHz)	
		2.048	4.096
Oversampling ratio	4096	4,999	2,500
	2048	2,499	1,250
	1024	1,249	625
	800	976	488
	768	937	468
	512	624	312
	400	488	244
	384	468	234
	256	312	156
	200	243	122
	192	234	117
	128	156	78
	96	116	58
	64	77	39
	48	58	29
32	38	19	

表 3. 对于两种可能的调制器频率和所有可能的过采样率, 延迟为最接近的微秒数。

重要声明: 本文所提及德州仪器 (TI) 及其子公司的产品和服务均依照 TI 标准销售条款和条件进行销售。TI 建议用户在下订单前查阅全面的全新产品与服务信息。TI 对应用帮助、客户应用或产品设计、软件性能或侵犯专利不承担任何责任。有关任何其他公司产品或服务的发布信息均不构成 TI 因此对其的批准、担保或认可。

平台标识是德州仪器 (TI) 的商标。所有其他商标均属于其各自所有者。

重要声明和免责声明

TI 提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做任何明示或暗示的担保，包括但不限于对适销性、某特定用途方面的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保或其他要求。这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的应用。严禁对这些资源进行其他复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。您应全额赔偿因在这些资源的使用中对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，TI 对此概不负责。

TI 提供的产品受 TI 的销售条款 (<https://www.ti.com.cn/zh-cn/legal/termsofsale.html>) 或 [ti.com.cn](https://www.ti.com.cn) 上其他适用条款/TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。

邮寄地址：上海市浦东新区世纪大道 1568 号中建大厦 32 楼，邮政编码：200122
Copyright © 2021 德州仪器半导体技术（上海）有限公司