

EVM User's Guide: DAC39RF12EVM

DAC39RF12EVM 评估模块



说明

DAC39RF12EVM 是用于评估德州仪器 (TI) DAC39RF10/DAC39RF12 系列数模转换器 (DAC) 的评估板。DAC39RF10/DAC39RF12 是具有 16 位分辨率的单通道和双通道 DAC 系列。这些器件可用于非内插模式 (实数) 和内插模式 (复数 IQ)。在具有 8 位 DAC 分辨率的双边沿采样模式下, 最大输入速率为 24GSPS。单通道 DAC 还支持 12GSPS 实数数据。此评估板还包括以下特性。

特性

- 每个 DAC 输出具有两个平衡-非平衡变压器耦合输出网络, 可实现单端信号评估。
- 适用于第 1 次奈奎斯特评估的 3MHz 至 6GHz 低频段平衡-非平衡变压器。
- 适用于第 2/3 次奈奎斯特评估的 1.8GHz 至 18GHz 高频带平衡-非平衡变压器。
- LMK04828 时钟分配芯片, 适用于分配 FPGA 基准时钟以及子类 1 操作的 SYSREF。
- 平衡-非平衡变压器耦合时钟输入网络, 用于通过外部低噪声时钟源测试 DAC 性能。
- 具有高速串行数据连接的 FMC+, 可对所有 16 个通道进行完整的 JESD204C 测试。
- 串行芯片的 USB, 可通过简单的 USB 连接对 DAC/LMK 进行编程。
- 可通过 FPGA 使用 FMC+ 连接器对 DAC/LMK 进行编程。¹
- 通过 USB 连接器和 FTDI USB 转 SPI 总线转换器进行器件寄存器编程, 并可选择通过 FMC+ 连接器使用 SPI 从 FPGA 进行编程

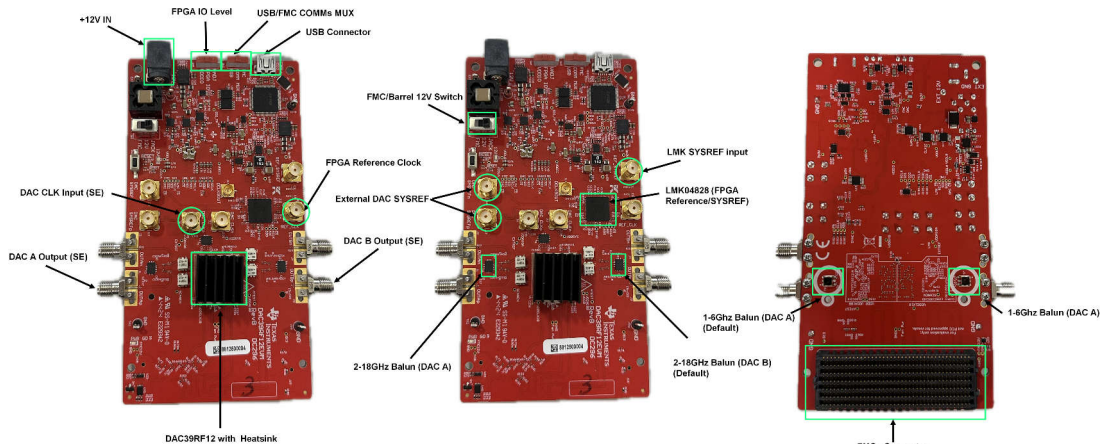


图 1-1. DAC39RF12EVM 主要元件

DAC39RF12EVM 与 TSW14J59EVM 数据采集和模式生成卡配对使用。²

¹ 为了提高信号路由质量, 串行通道极性与标准 FMC VITA-57 信号映射相反。信号映射和极性如节 2.3 所示。

² 如果仅在 DDS 模式下使用 DAC39RF12EVM, 则无需数据采集 EVM。

1 评估模块概述

1.1 简介

以下用户指南深入概述了如何使用 DAC39RF12EVM 评估板硬件以及与 EVM 相关的软件 GUI 来更改、配置和评估处于各种模式和功能下的 DAC。

1.2 套件内容 (所需设备)

DAC39RF12EVM 套件中包含以下设备和文档：

- 评估板 (EVM)
- Mini-USB 电缆
- 电源线

DAC39RF12EVM 套件中不包含以下设备，但评估此产品时需要使用这些设备：

- TSW14J59EVM 数据采集板和相关项目
- 运行 Microsoft® Windows® 10 或更高版本的 PC 计算机
- 适用于 DEVCLK (采样时钟) 的低相噪声信号发生器。
- 适用于 FPGA 参考时钟生成的额外信号发生器。
 - 这两个信号发生器均需 10MHz 参考锁定。
- 两个低噪声电源：12V/5V (TSW14J59EVM) 和 12V/3A (DAC39RF12EVM)
- 三根 SMA 型低损耗电缆

2 硬件

2.1 设置过程

本节描述了如何在工作台上借助正确的设备设置 DAC 和 TSW14J59 EVM，来评估 DAC 器件的性能。

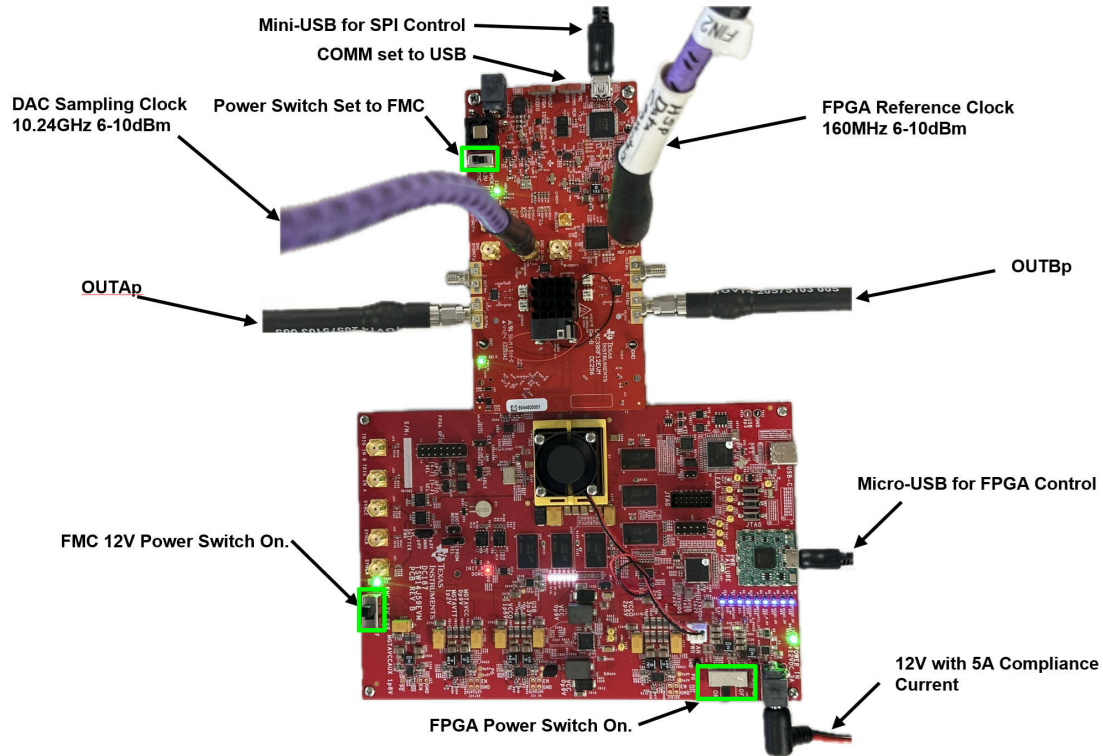


图 2-1. DAC39RF12EVM 测试设置

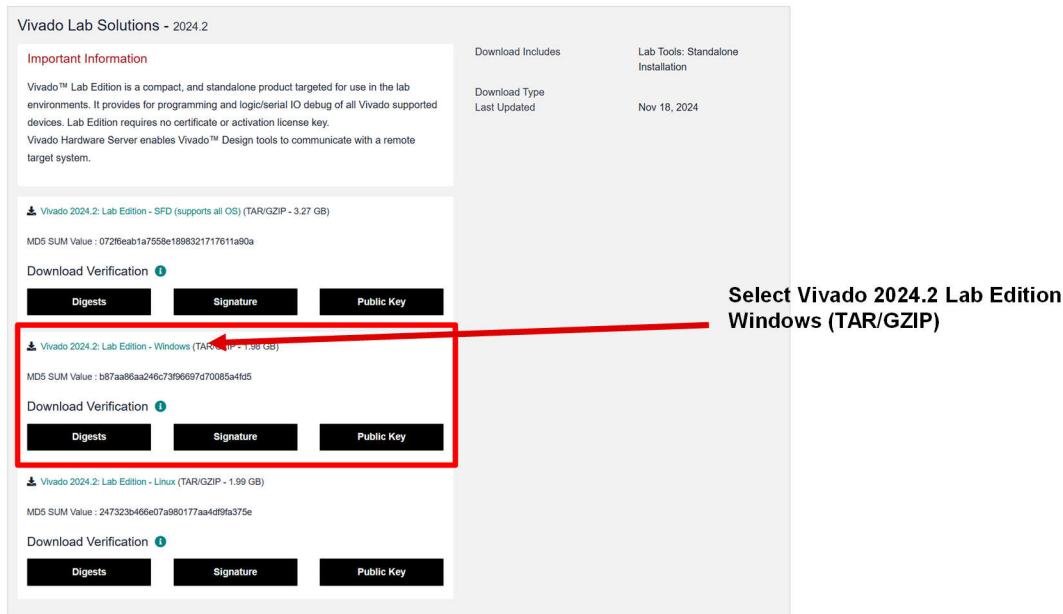
2.1.1 安装 DAC39RF12EVM 配置 GUI 软件

1. 从 [DAC39RF12EVM GUI](#) 的 EVM 工具文件夹下载 DAC39RF12EVM 配置 GUI 软件。
 - a. 注意：GUI 下载包括以下内容：
 - i. DAC39RF12 EVM GUI
 - ii. J59 命令
 1. DAC WaveGen
 - iii. J59 服务器
2. 运行可执行文件 (DAC39RF12EVM_SW_Package_v3.1.2.exe)。
3. 安装 Vivado Lab Tools：<https://www.xilinx.com/support/download.html>
 - a. 有关如何安装 Xilinx 工具和向桌面 PC 添加环境变量路径的说明，请参阅下一节。

2.1.1.1 安装和设置 Vivado Lab Tools

对于 DAC39RF12EVM，需要安装 Vivado Lab Tools。请按照本节中概述的步骤操作。

1. 为 AMD 创建用户帐户并登录。
 - a. 下载前请填写适当的信息。
 - b. 完成后，按下载按钮。
2. 下载文件类型为 .tar 文件。在 Windows 中，您可以打开 .tar 文件并进行浏览。
3. 接下来，在 Vivado_Lab_Win_2024.2_1113_1001 文件夹中查找 <xsetup.exe> 文件
 - a. 右键单击并执行，窗口将要求您"全部解压"。
4. 解压文件后，打开文件夹并找到 "xsetup.exe"。
 - a. 右键单击该文件并安装。Windows 可能会要求权限。
5. 按照下图所示的步骤顺序完成 Xilinx Lab Tools 的安装。



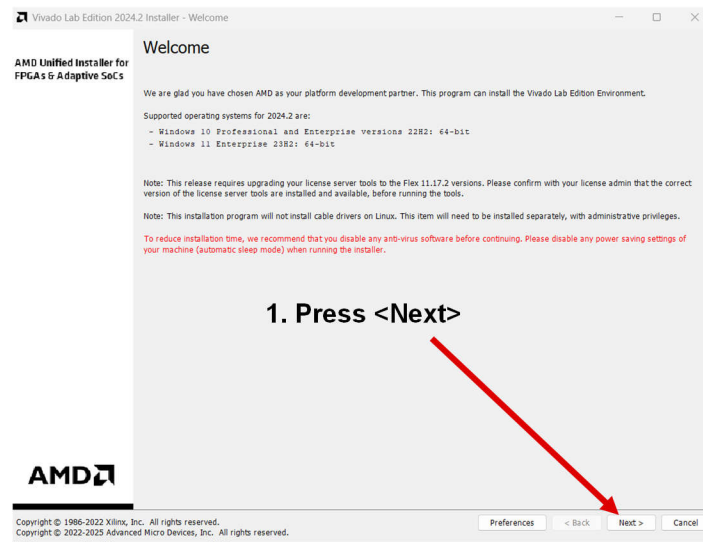
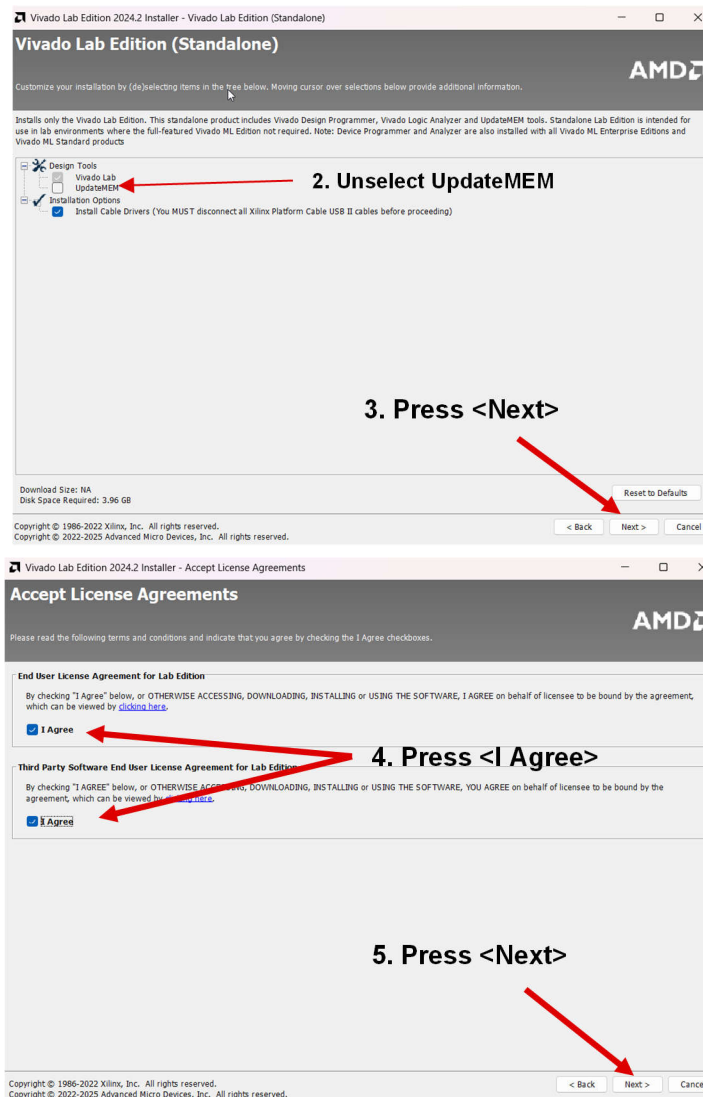


图 2-2. 安装 Vivado Lab Tools





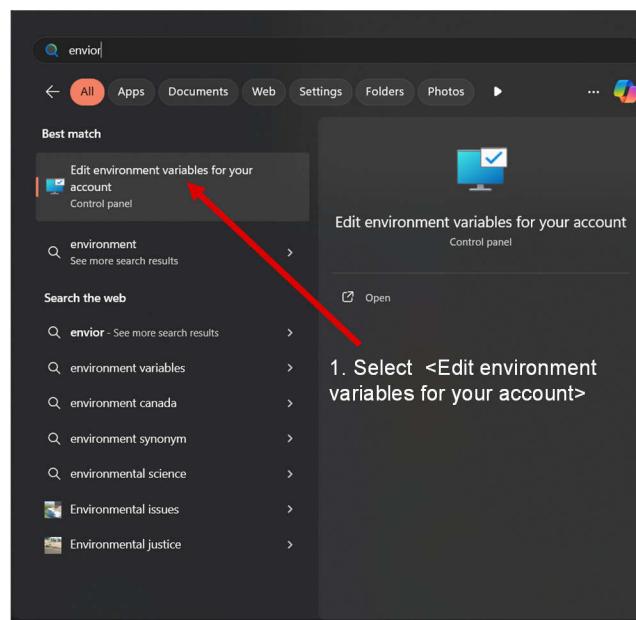
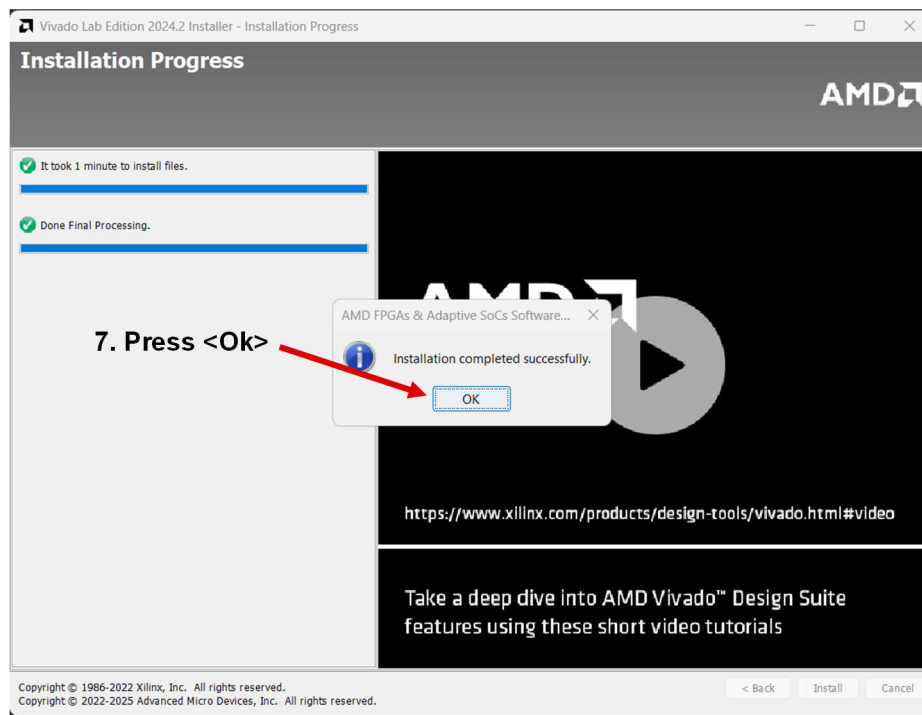
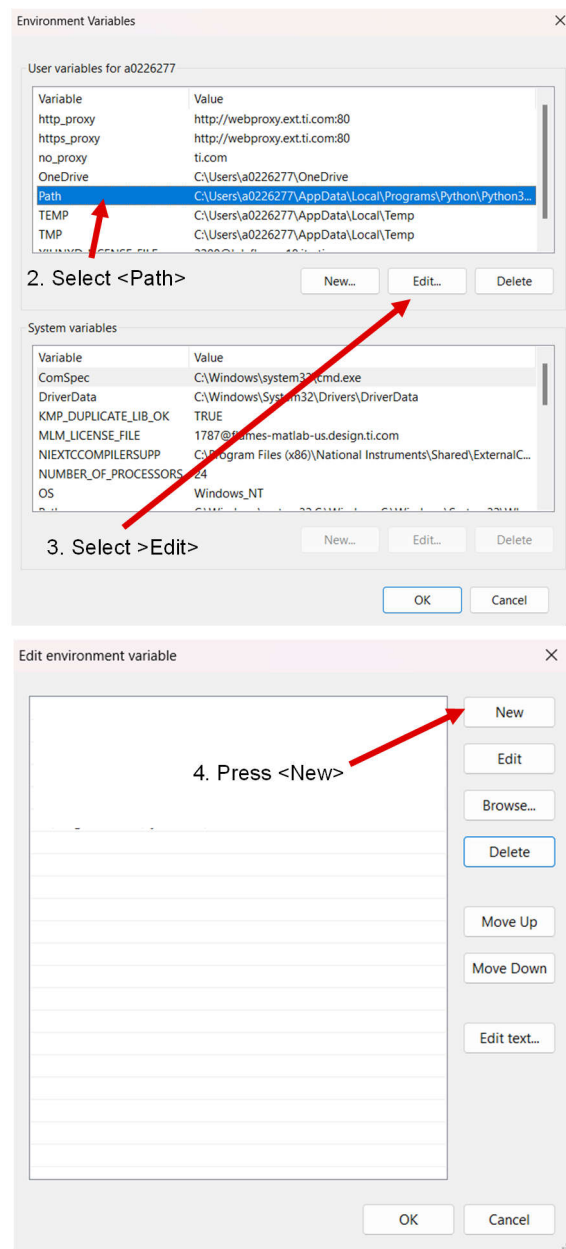
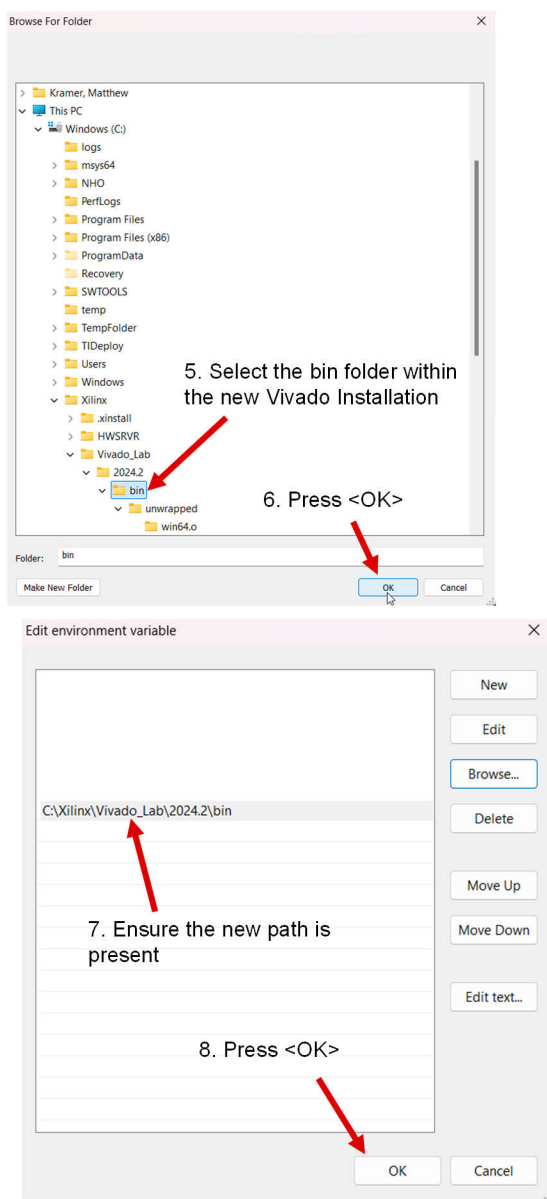


图 2-3. 将 Vivado Lab Tools 添加到 Windows 路径





完成此操作后，可以运行 J59_Server。

2.1.2 连接 DAC39RF12EVM 和 TSW14J59EVM

1. 关闭电源，通过 FMC+ 连接器将 DAC39RF12EVM 连接到 TSW14J59EVM，如 [DAC39RF12EVM 测试设置](#) 所示。

2.1.3 将电源连接到电路板 (关闭)

1. 确认 TSW14J59EVM 上的电源开关处于关闭位置。将电源线连接到 12V 直流 (最小 5A 电流) 电源。确认桶形连接器的外表面已接地, 连接器内部的电压为 12V, 从而确保电源极性正确。将电源线连接到 TSW14J59EVM 电源连接器。
2. DAC39RF12EVM 可通过 DAC39RF12EVM 上的连接器插孔 (J5) 使用 12V 直流 (最小 3A) 供电, 也可通过 FMC+ 连接器从 TSW14J59EVM 为 EVM 供电。有一个开关 (SW1) 可用于从 DAC EVM 上的桶形插孔或通过 FMC+ 连接器从 TSW14J59EVM 选择电源。确认 DAC39RF12EVM 电源的电源开关设置为该器件应从中获取功率的相反位置 (插孔)。如果使用桶形插孔选项, 请将电源线连接到 12V 直流 (最小 3A) 电源。确认桶形连接器的外表面已接地, 连接器内部的电压为 12V, 从而确保电源极性正确。将电源线连接到 EVM 电源连接器。表 2-1 可用作给 DAC EVM 供电的参考。

表 2-1. 为 DAC39RF12EVM 供电

DAC39RF12 电源来自	DAC39RF12 电源开关位置	TSW14J59EVM FMC 开关位置	需要的电源
TSW14J59EVM (通过 FMC+ 连接器)	FMC	打开	对于 TSW14J59EVM 为 12V 5A
DAC39RF12EVM 上带插孔的外部电源	插孔	关闭	对于 TSW14J59 为 12V 3A, 对于 DAC39RF12EVM 为 12V 3A

小心

确保 EVM 的电源连接极性正确。如果极性不正确, 可能会立即导致 EVM 损坏。将电源开关保持在关闭位置, 直至稍后指示。

2.1.4 将频谱分析仪连接到 EVM

将频谱分析仪连接到 DAC39RF12EVM 的 Aoutp (J1) SMA 连接器。

备注

1. 一旦 DAC39RF12EVM GUI 配置为所需的 JMODE 模式和时钟频率，即可从 DAC39RF12EVM GUI 获取 FPGA REF 时钟频率。EVM 所需的参考时钟频率会显示在 GUI 的第一页上，如 [图 1-1](#) 中所示。
 2. 确保使用通用 10MHz 基准对 DEVCLK 和参考时钟源进行频率锁定，以确保功能正常。
 3. 此时请勿打开任何信号发生器的射频输出。
 4. 在所有这些示例中，FPGA REF 时钟 = 160MHz，DAC 采样时钟 = 10.24GHz。
-

2.1.5 打开 TSW14J59EVM 的电源并连接到 PC

1. 打开 TSW14J59EVM 的电源开关。
2. 用 Micro USB 电缆将 PC 与 TSW14J59EVM 连接。

2.1.6 打开 DAC39RF12EVM 的电源并连接到 PC

1. 默认选项使用来自 TSW14J59EVM 上的 FMC+ 连接器的电源。对于此选项，TSW14J59EVM 上的 FMC 电源开关必须设置为开启位置，而 DAC39RF12EVM 上的电源开关必须设置为 FMC (默认)。如果使用外部电源为 DAC EVM 供电，则开启连接到 DAC EVM 上桶形插孔的 12V 电源，并将 DAC39RF12EVM 上的电源开关位置设置为 JACK 位置。

DAC EVM 上的绿色 Power Good LED (D5) 应亮起，表示 DAC EVM 正在通电。

2. 使用连接到 EVM 的 mini-USB 电缆将 DAC EVM 连接到 PC。

2.1.7 打开信号发生器

1. 打开低相位噪声射频信号发生器的输出，并通过 SMA 电缆连接到 DAC CLKp (J6)。将信号发生器设置为 10.24GHz，输出电平为 +6dBm。
2. 打开射频信号发生器的输出，并通过 SMA 电缆连接到 REF_CLK (J8)。
3. 将信号发生器设置为 160MHz，输出电平为 +6dBm。使用另一根 SMA 电缆将其连接到 OUTAp (J1)，即 DAC 至频谱分析仪的输出端。

备注

DAC39RF12EVM 支持的最大时钟速率为 12GHz

2.1.8 启动 DAC39RF12EVM GUI 并对 DAC EVM - JMODE 0 进行编程

DAC39RF12EVM 在 JMODE 0 下的配置示例

- JMODE 0 被视为旁路模式或实数数据模式，内插 x1。
 - 配置详细信息：
 - 10.24GSPS
 - 10.3125Gbps SERDES 速率
 - 16 通道
 - JESD_M = 1
 - CHA 和 CHB 输出相等
- 仅需按照后续图示编号步骤启动 DAC GUI。按照所示步骤来配置 EVM。

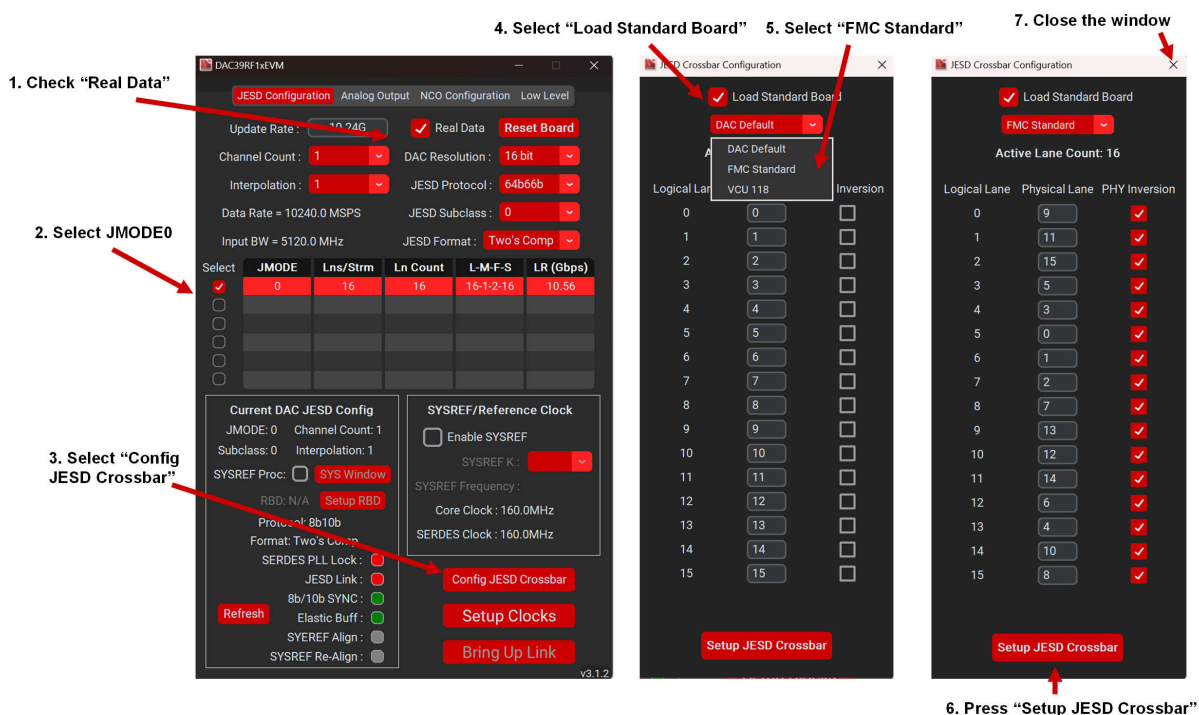


图 2-4. DAC39RF12EVM GUI 配置，第 1 部分

- 然后启动/调出 J59_Server.exe。如图所示。
- 接下来，启动/调出 J59_Commander。将内插值设置为 1，然后打开 DAC Wavegen GUI。

Update Interpolation to 1

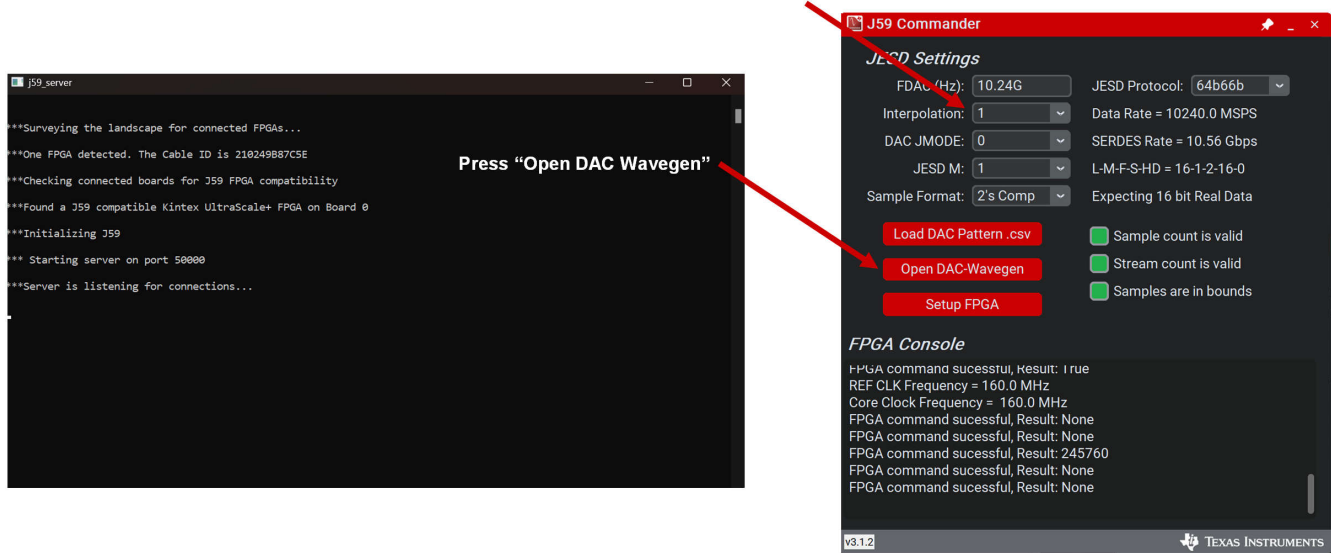


图 2-5. J59 Server.exe 和 J59 Commander，步骤 2

1. 在 DAC Wavegen GUI 中，设置细节如图 图 2-6 所示。

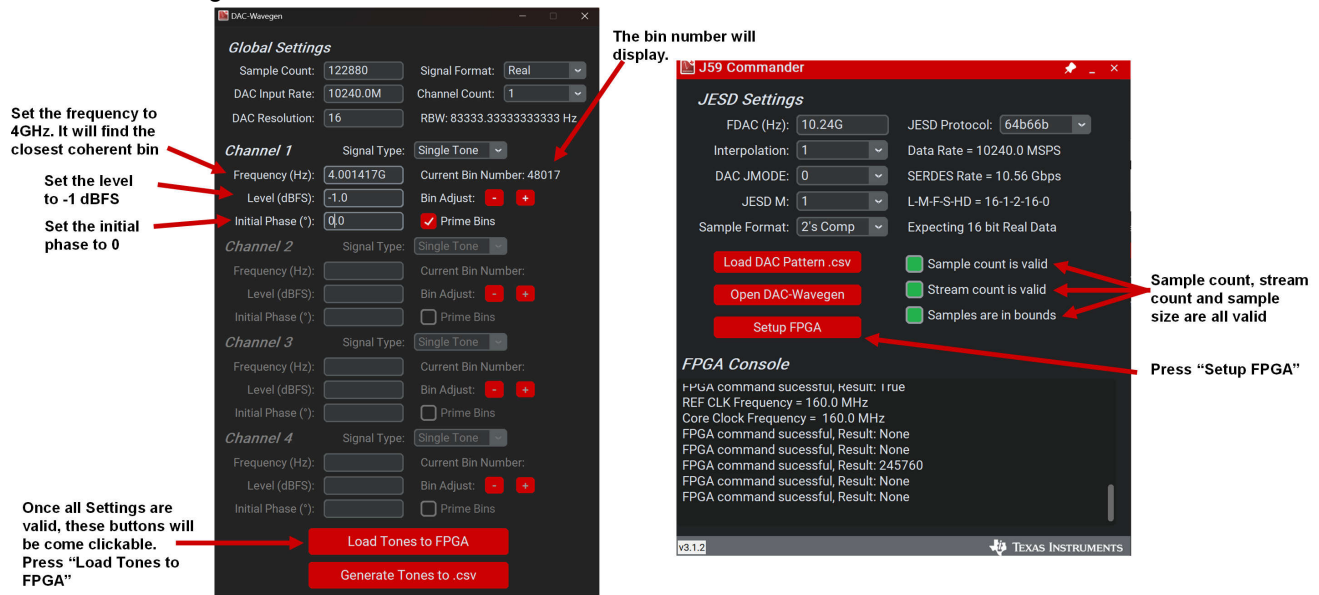


图 2-6. DAC Wavegen GUI 和 J59 命令设置详细信息，步骤 3

2. 设置 FPGA 后，频谱分析仪上应该会有以下输出。图 图 2-8。



图 2-7. DAC39RF12EVM GUI 配置步骤，步骤 4

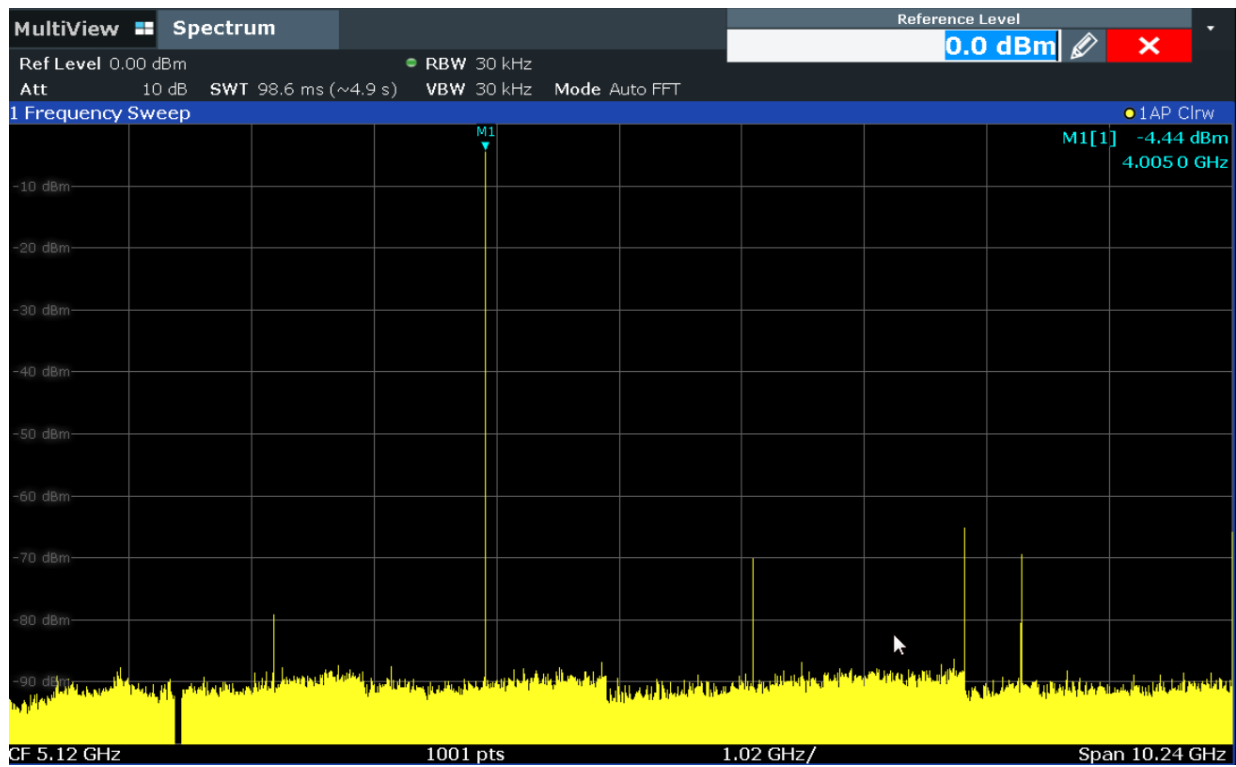


图 2-8. DAC39RF12EVM, JMODE 0、DES2XL 模式下的 CHA 输出频谱

2.1.9 启动 DAC39RF12EVM GUI 并对 DAC EVM - JMODE 1 进行编程

DAC39RF12EVM 在 JMODE 1 下的配置示例

1. JMODE 1：复数数据，内插 x2。

a. 配置详细信息：

- i. 10.24GSPS
- ii. 10.3125Gbps SERDES 速率
- iii. 16 通道
- iv. JESD_M = 2
- v. CHA 和 CHB 输出相等

2. 仅需按照后续图示编号步骤启动 DAC GUI。按照所示步骤来配置 EVM。

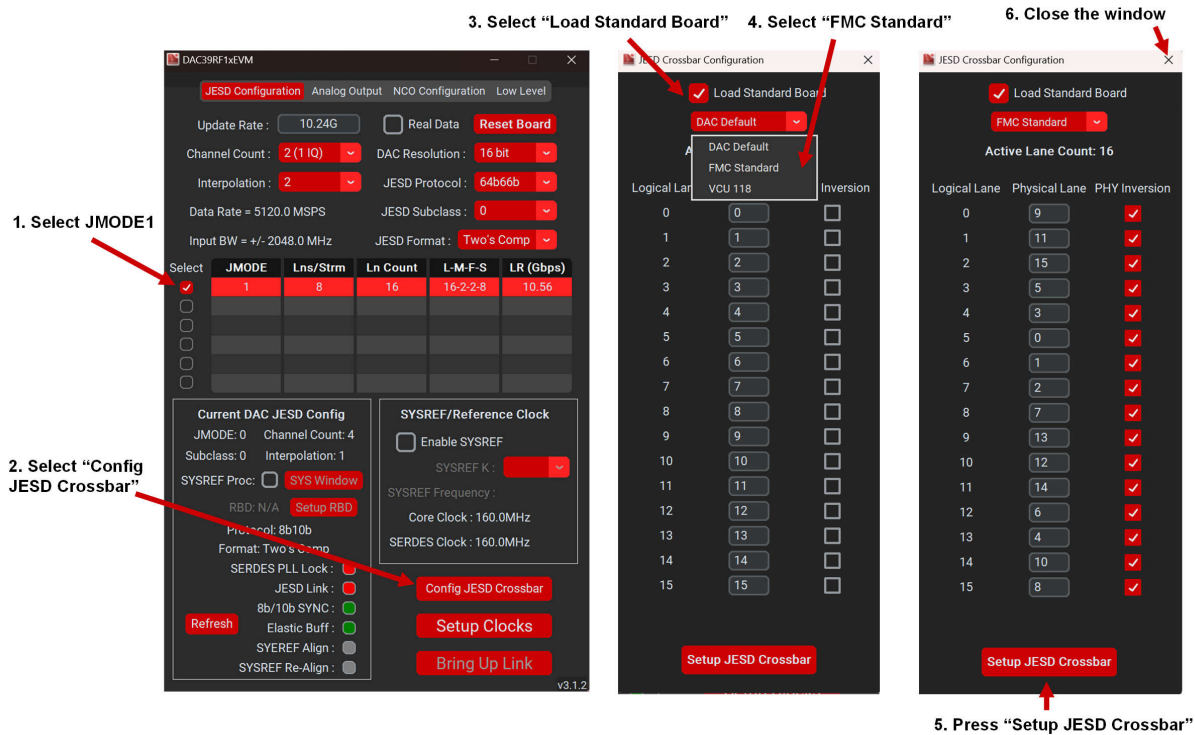


图 2-9. DAC39RF12EVM GUI 配置，步骤 1

1. Launch J59 Server

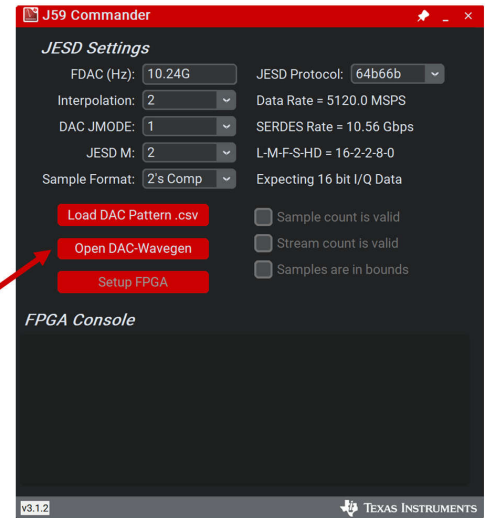
```

j59_server

**Surveying the landscape for connected FPGAs...
**One FPGA detected. The Cable ID is 210249887C5E
**Checking connected boards for J59 FPGA compatibility
**Found a J59 compatible Kintex UltraScale+ FPGA on Board 0
**Initializing J59
*** Starting server on port 50000
***Server is listening for connections...

```

2. Launch J59 Commander



Press "Open DAC Wavegen"
Then see next slide

图 2-10. J59 Server.exe 和 J59 命令设置，步骤 2

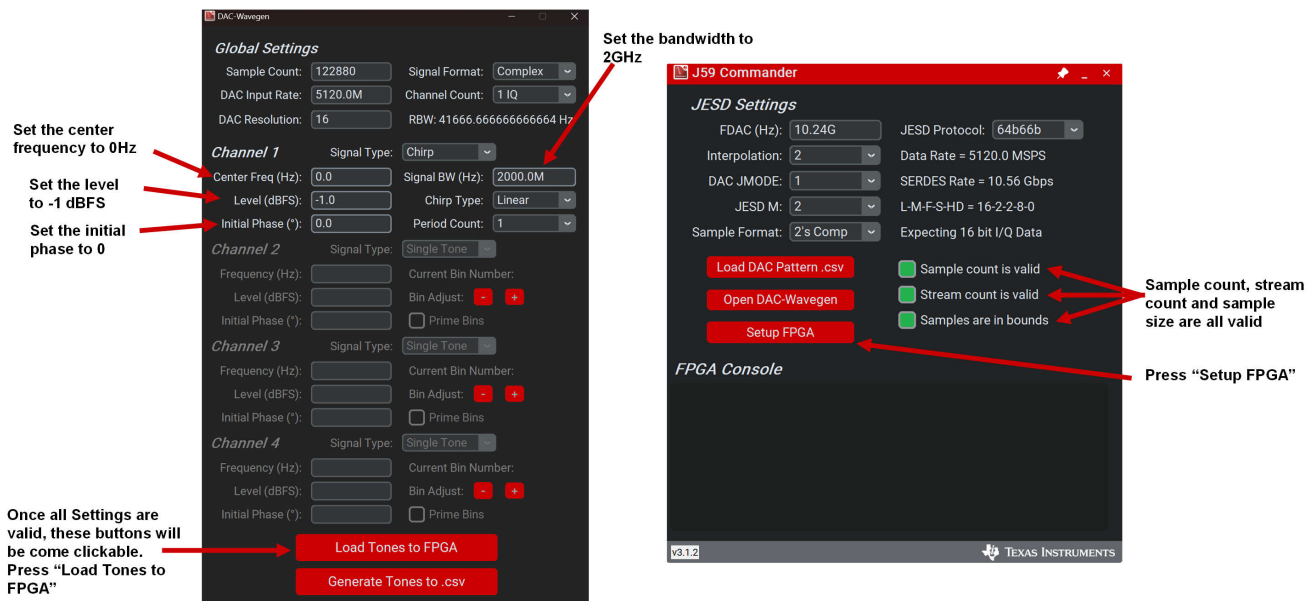


图 2-11. DAC Wavegen GUI 和 J59 命令设置详细信息，步骤 3

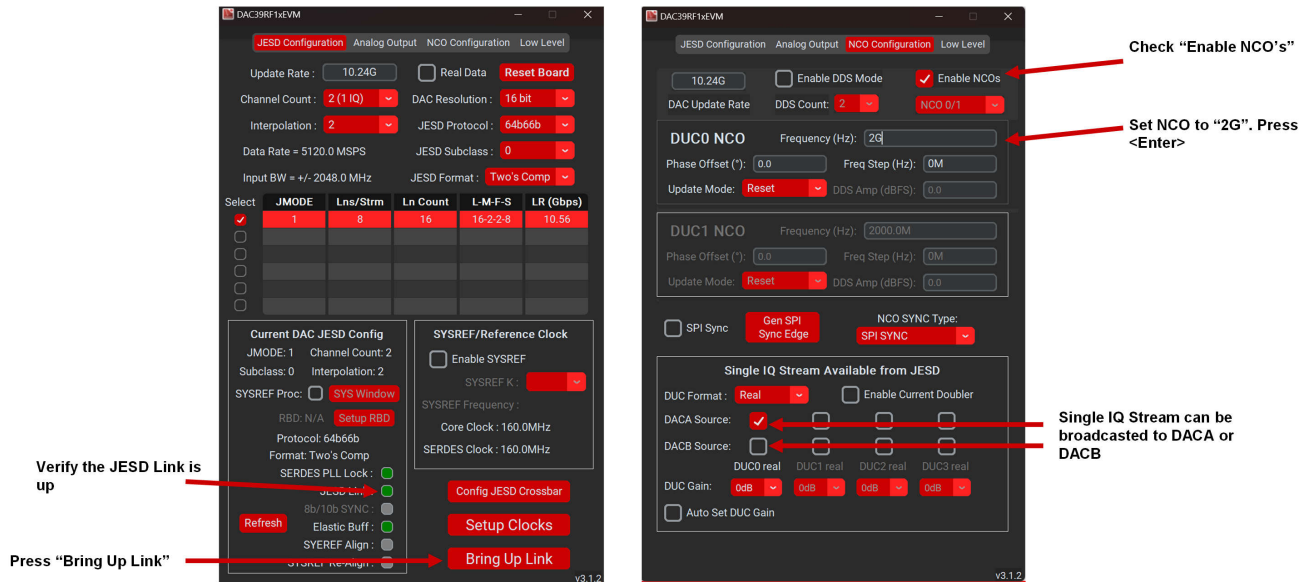


图 2-12. DAC39RF12EVM GUI 配置步骤，步骤 4：将调制波形的频率上移。

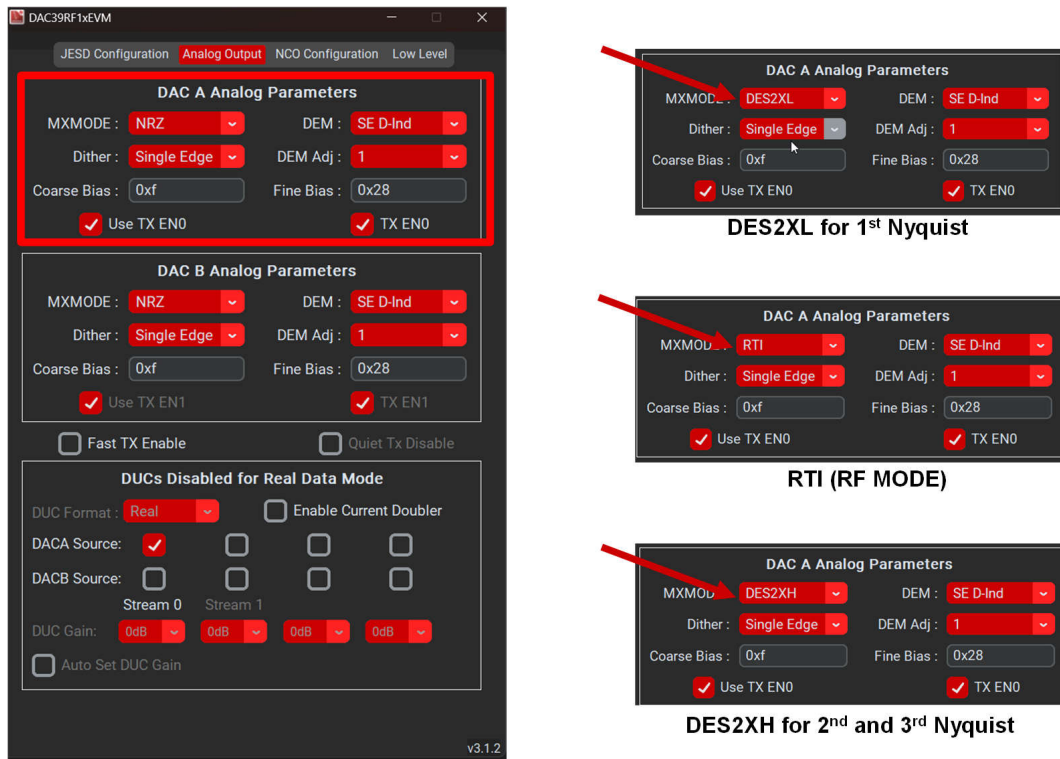


图 2-13. DAC39RF12EVM GUI 配置步骤，步骤 5

备注

每个 DAC 的 MXMODE 均可实时更改。这有助于频率规划。

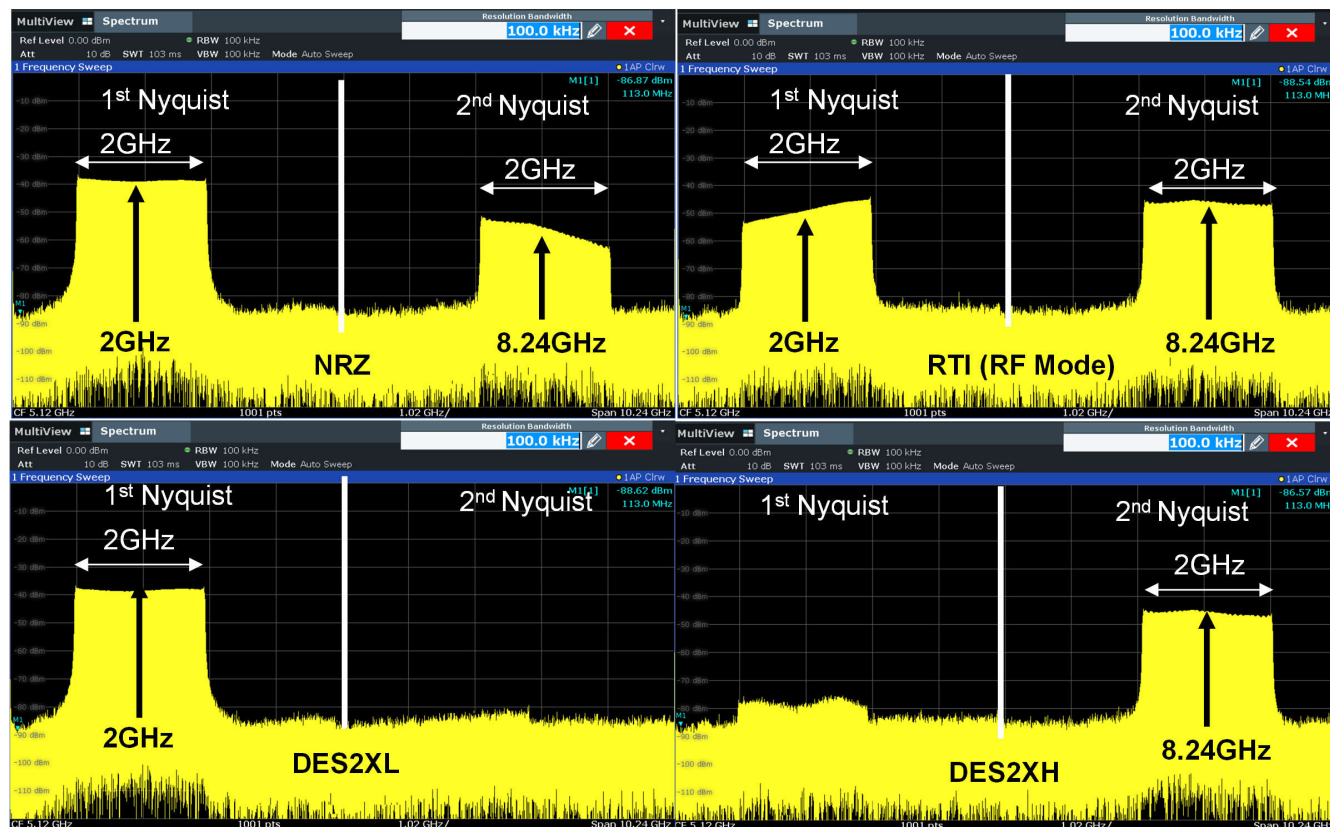


图 2-14. DAC39RF12EVM、JMODE 1 中的 CHA 输出频谱，显示了调制波形与不同输出 DAC 模式间的关系。

2.1.10 启动 DAC39RF12EVM GUI 并对 DAC EVM - JMODE 3 进行编程

DAC39RF12EVM 在 JMODE 3 下的配置示例

1. JMODE 3 被视为复数数据，4 个复数流，内插 x8。
 - a. 配置详细信息：
 - i. 10.24GSPS
 - ii. 10.3125Gbps SERDES 速率
 - iii. 16 通道
 - iv. JESD_M = 8
 - v. CHA 和 CHB 输出相等
2. 仅需按照后续图示编号步骤启动 DAC GUI。按照所示步骤来配置 EVM。

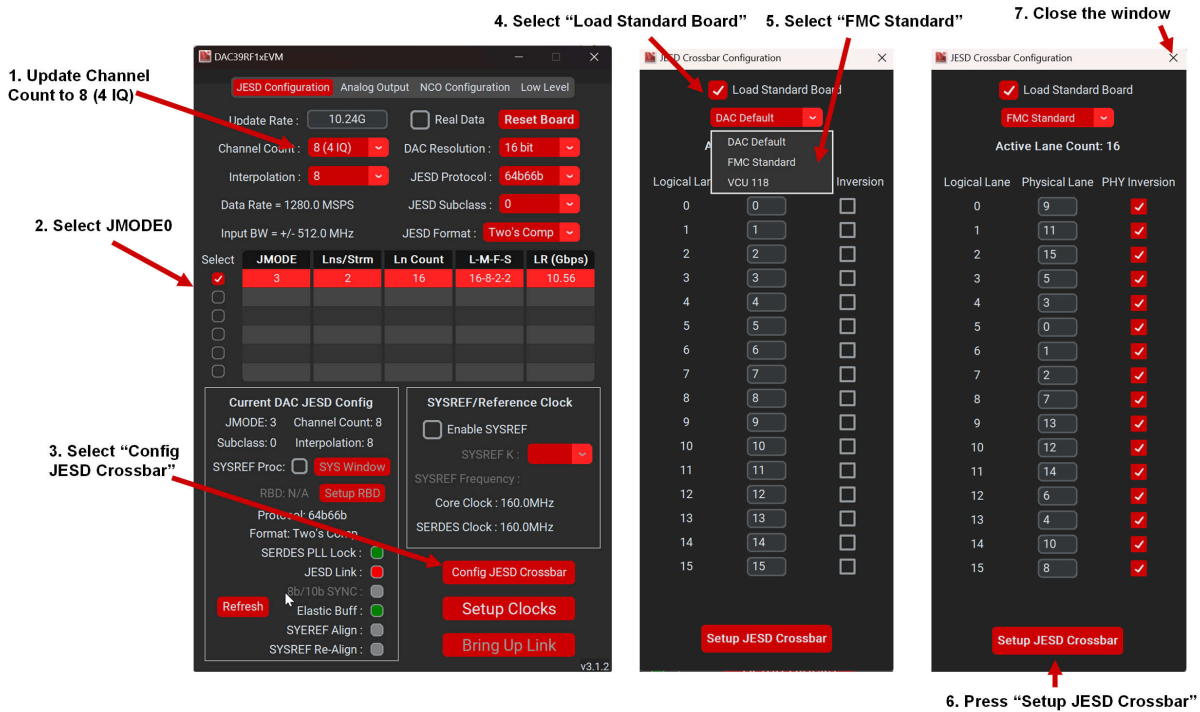


图 2-15. DAC39RF12EVM GUI 配置，步骤 1

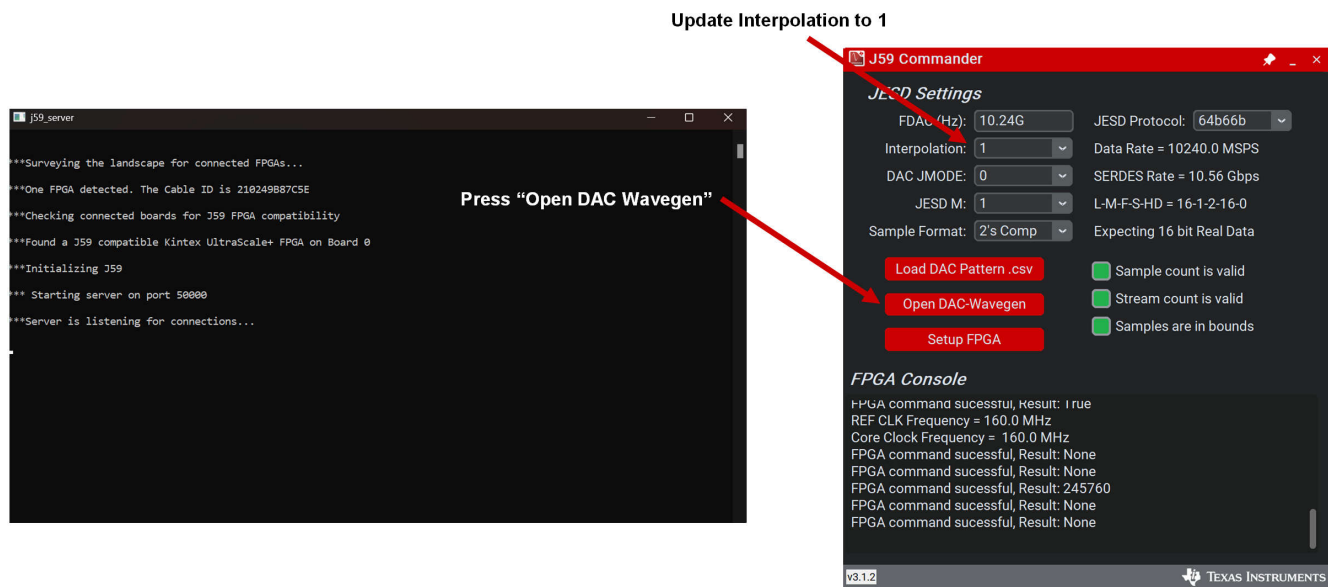


图 2-16. J59 Server.exe 和 J59 命令设置，步骤 2

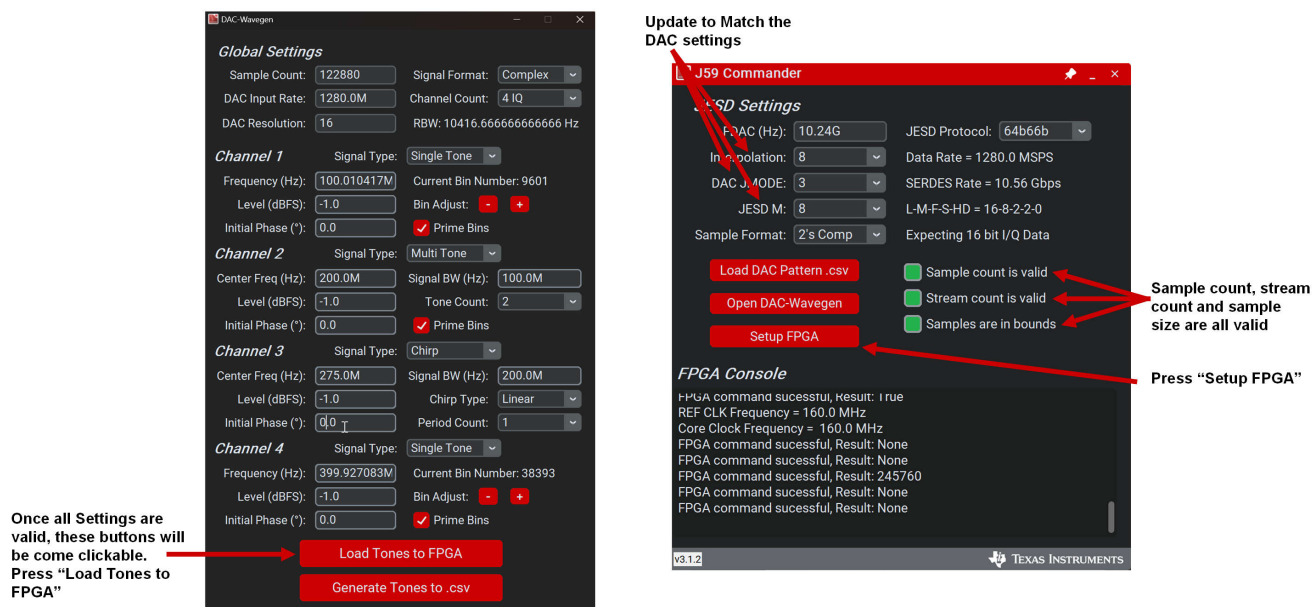


图 2-17. DAC Wavegen GUI 和 J59 命令设置详细信息，步骤 3



图 2-18. DAC39RF12EVM GUI 配置步骤，步骤 4

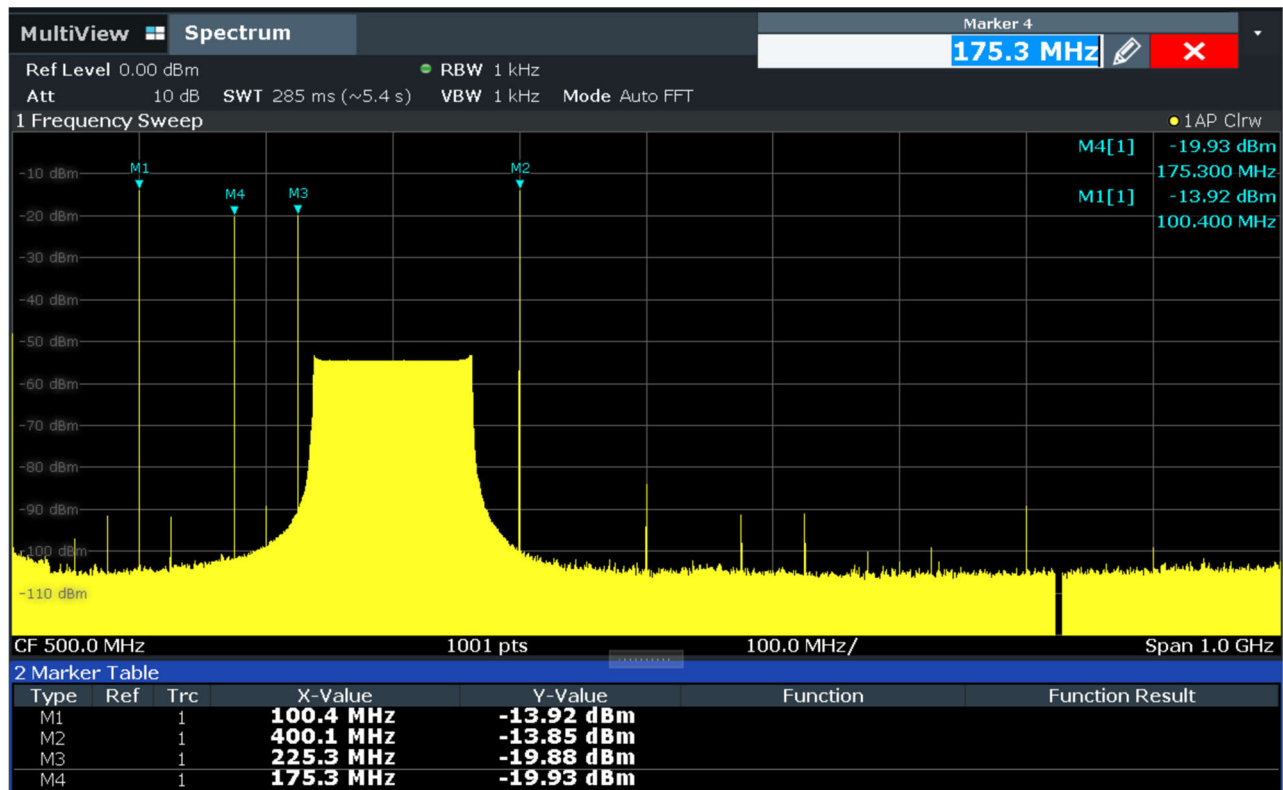


图 2-19. DAC39RF12EVM，JMODE 3 中的 CHA 输出频谱，基带数据

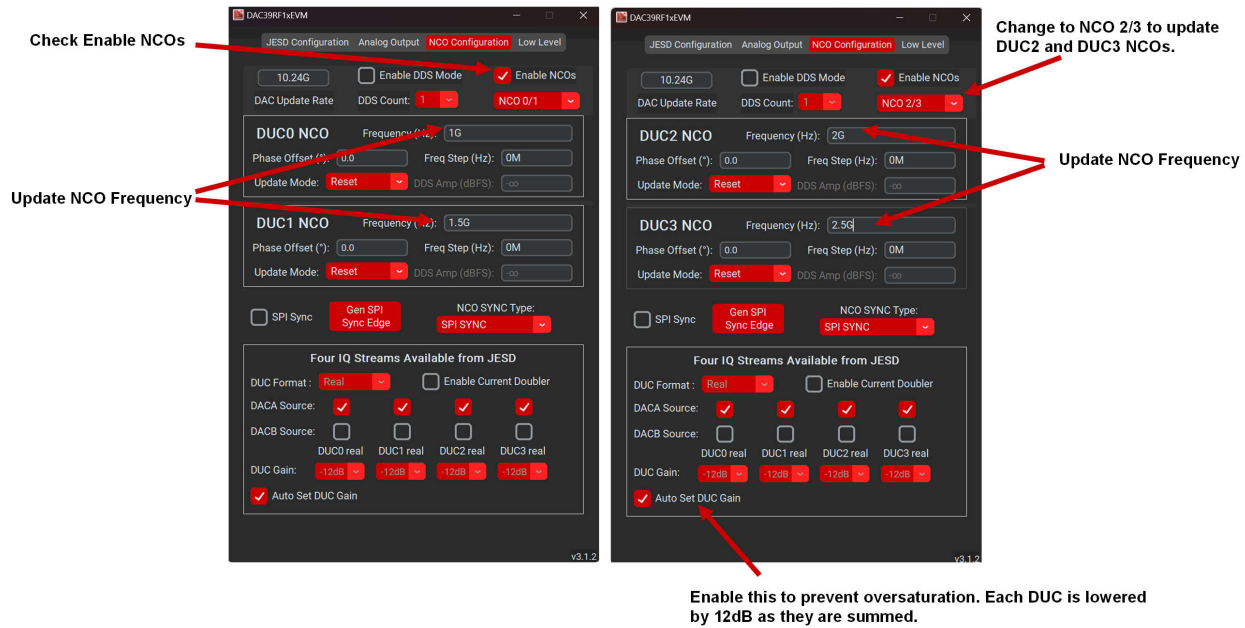


图 2-20. DAC39RF12EVM GUI 配置步骤，第 3 部分，启用 NCO 并设置频率。步骤 5

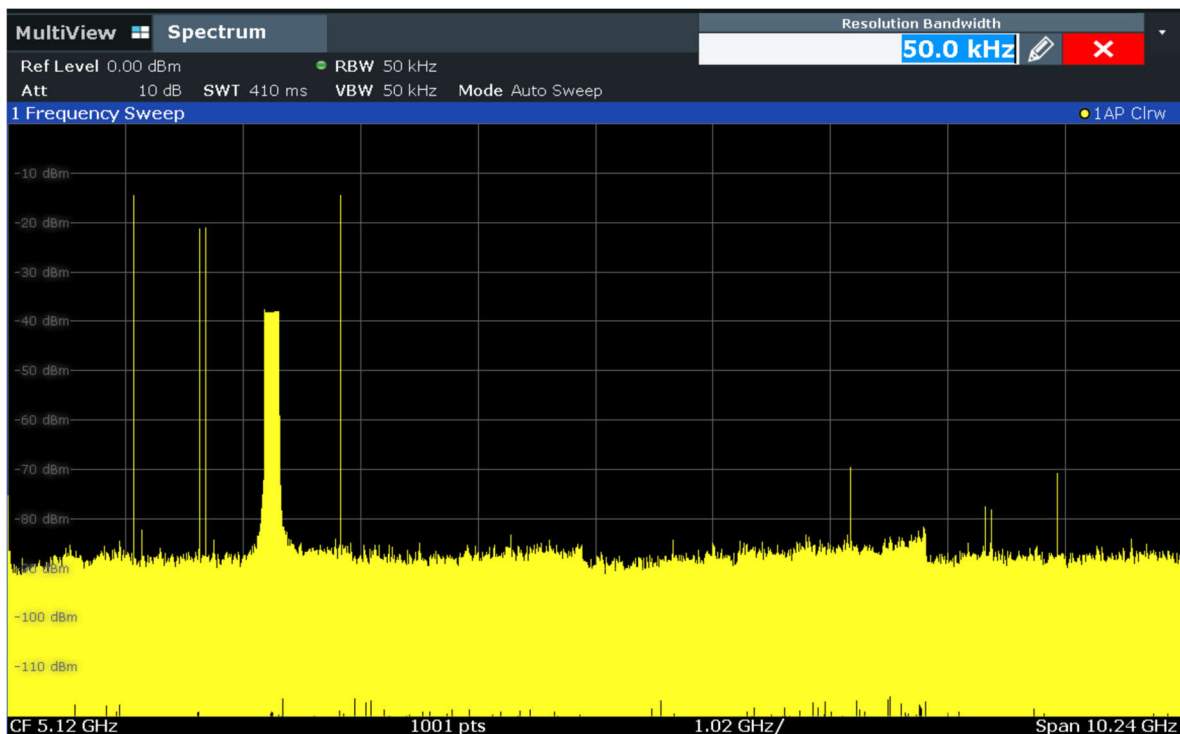


图 2-21. DAC39RF12EVM, JMODE 3 中的 CHA 输出频谱，启用 NCO

DAC39RF12EVM 在 DDS 模式下的配置示例

1. 启用 DDS 模式
 - a. 配置详细信息：
 - i. 10.24GSPS
 - ii. DUC0 映射到 CHA, DUC1 映射到 CHB
2. 启动 DAC GUI 后，仅需按照下图所示编号步骤操作。

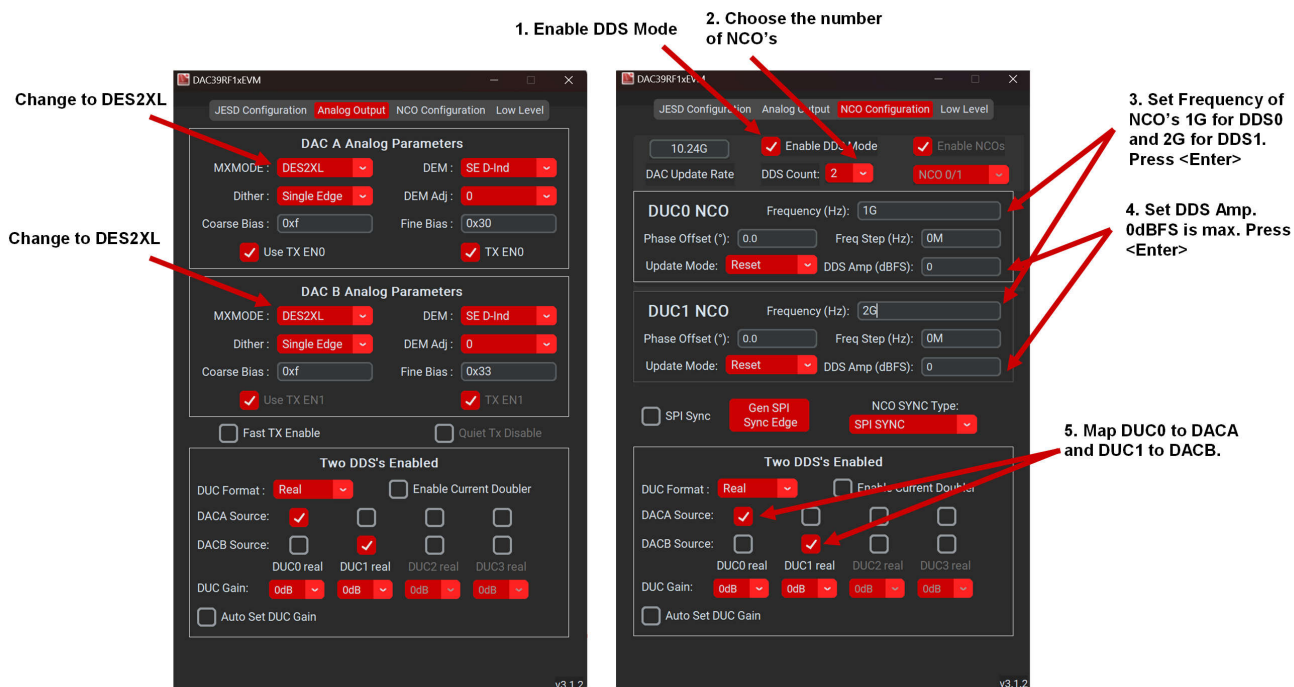
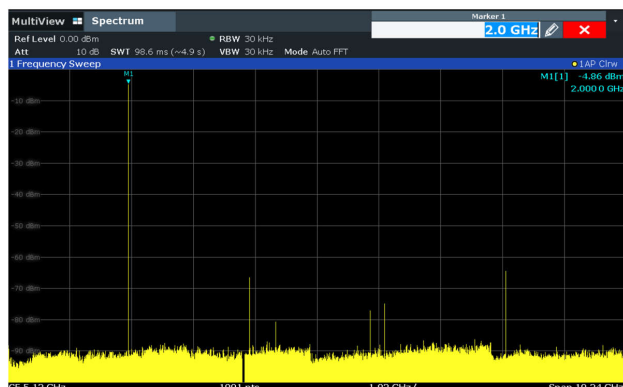


图 2-22. 适用于 DDS 模式的 DAC39RF12EVM GUI 配置



DACA Generating a 1GHz tone in DDS mode. Note the reduced 2nd Nyquist image due to DES2XL output mode



DACB Generating a 2GHz tone in DDS mode. Note the reduced 2nd Nyquist image due to DES2XL output mode

图 2-23. DDS 模式输出频谱

2.2 评估板详细信息：模拟输出

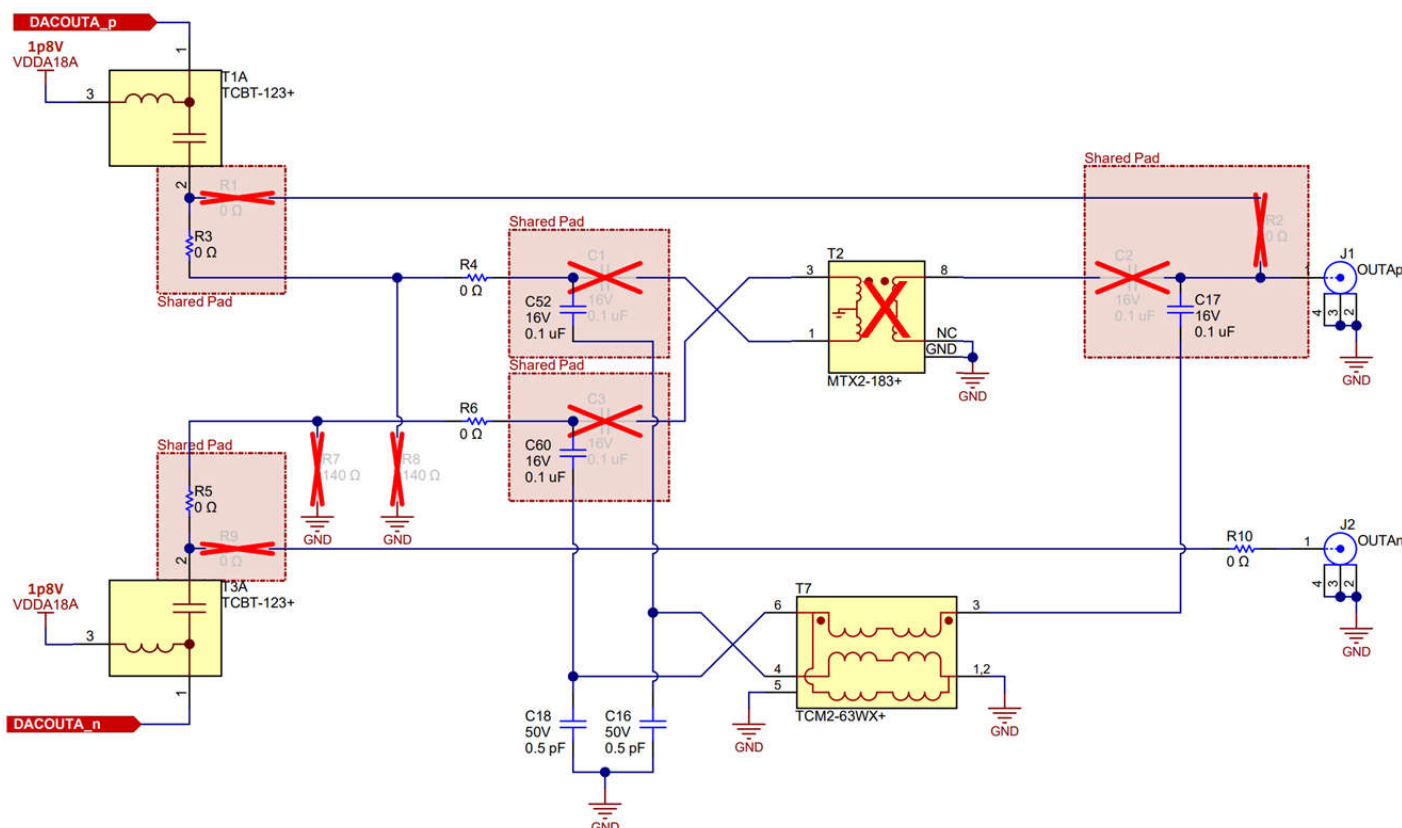
模拟输出路径可配置为高频路径（来自 Mini-Circuits 的 MTX2-183+ 平衡-非平衡变压器），这是 CHB 的默认设置。而低频路径（来自 Mini-Circuits 的 TCM2-63WX+ 平衡-非平衡变压器）默认在 CHA 上。要使用任一平衡-非平衡变压器，必须更改某些元件，以引导适当的输出信号。请参阅表 2-2。

每个模拟输出路径还能够完全旁路两个平衡-非平衡变压器选项，并允许用户以差分方式访问输出。要启用此功能，必须更改某些元件。请参阅表 2-3。

表 2-2. 更改元件以修改 DAC EVM 输出路径

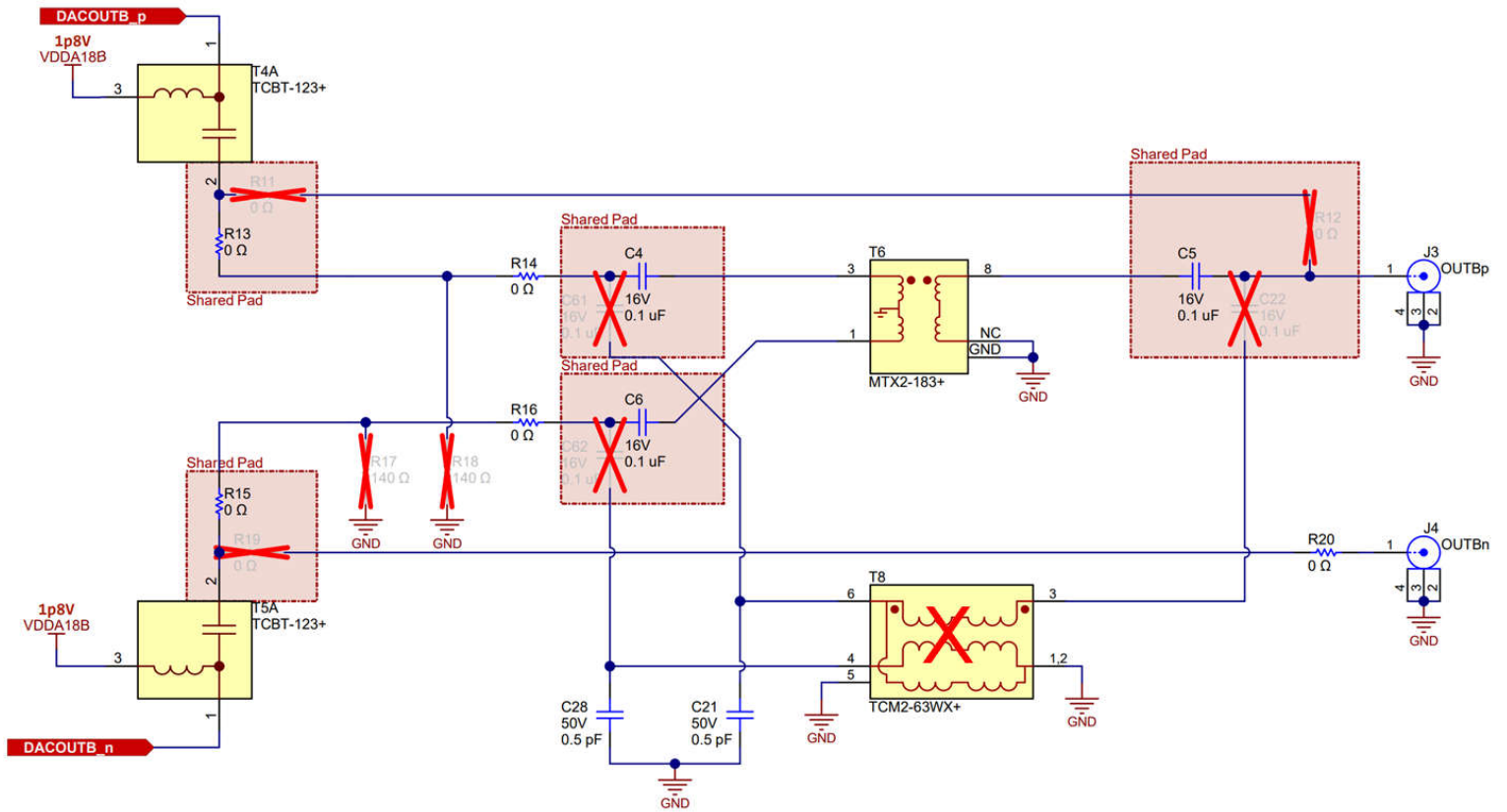
DAC 输出通道	要移除的元件	要安装的元件
CHA - 单端 (MTX2-183+)	C52、C60、C17	C1、C2、C3 = 0.1μF
CHA - 差动 (平衡-非平衡变压器旁路)	R3、R5、C17	R1、R9、R2 = 0Ω
CHB - 单端 (TCM2-63WX+)	C4、C6、C5	C61、C62、C22 = 0.1μF
CHB - 差动 (平衡-非平衡变压器旁路)	R13、R19、C5	R11、R15、R12 = 0Ω

每个模拟输出路径的每个输出 P/N 引脚上都有一个宽带偏置 T，以便在 DAC 支持的带宽范围内对输出进行适当偏置。



A. DACA 输出级。默认情况下，该通道使用 TCM2-63WX+ 平衡-非平衡变压器。(30MHz 至 6GHz)

图 2-24. 模拟输出路径 - CHA



A. DACB 输出级。默认情况下，该通道使用 MTX2-183+ 平衡-非平衡变压器。(2MHz 至 18GHz)

图 2-25. 模拟输出路径 - CHB

2.3 FMC 信号路由

表 2-3 提供了 DAC39RF12EVM 的信号路由详细信息。

所有信号路由均由具有内部 JESD 纵横制功能的 DAC 处理。

DAC39RF12EVM GUI 内的 JESD 纵横制开关对话框也具有该功能。

表 2-3. 信号路由

DAC JESD 资源	反转	FMC 资源	FMC 引脚	TSW14J59 FPGA 资源
通道 9	是	DP0_C2M	C2、C3	Q224 MGTYTXN0
通道 11	是	DP1_C2M	A22、A23	Q224 MGTYTXN1
通道 15	是	DP2_C2M	A26、A27	Q224 MGTYTXN2
通道 5	是	DP3_C2M	A30、A31	Q224 MGTYTXN3
通道 3		DP4_C2M	A34、A35	Q225 MGTYTXN0
通道 0	是	DP5_C2M	A38、A39	Q225 MGTYTXN1
通道 1	是	DP6_C2M	B36、B37	Q225 MGTYTXN2
通道 2	是	DP7_C2M	B32、B33	Q225 MGTYTXN3
通道 7	是	DP8_C2M	B28、B29	Q226 MGTYTXN0
通道 13	是	DP9_C2M	B24、B25	Q226 MGTYTXN1
通道 12	是	DP10_C2M	Z24、Z25	Q226 MGTYTXN2
通道 14	是	DP11_C2M	Y26、Y27	Q226 MGTYTXN3
通道 6	是	DP12_C2M	Z28、Z29	Q227 MGTYTXN0
通道 4	是	DP13_C2M	Y30、Y31	Q227 MGTYTXN1
通道 10	是	DP20_C2M ⁽¹⁾	Z8、Z9	Q227 MGTYTXN2
通道 8	是	DP21_C2M ⁽¹⁾	Y6、Y7	Q227 MGTYTXN3

(1) DP20_C2M 和 DP21_C2M 可重新路由至 DP14_C2M 和 DP15_C2M，以符合其他 FPGA 板的 VITA 标准。

3 参考资料

3.1 商标

Microsoft® and Windows® are registered trademarks of Microsoft Corporation.

所有商标均为其各自所有者的财产。

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做任何明示或暗示的担保，包括但不限于对适销性、某特定用途方面的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他功能安全、信息安全、监管或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。您应全额赔偿因在这些资源的使用中对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，TI 对此概不负责。

TI 提供的产品受 [TI 的销售条款](#) 或 [ti.com](#) 上其他适用条款/TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

邮寄地址：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
版权所有 © 2025，德州仪器 (TI) 公司