



Dylan Hubbard, Jessica M. Torres, Jonathan Cohen, Andy Bui, and Josh Smith

摘要

本文档提供了有关 WLAN 和 蓝牙® 低功耗硬件操作的必要信息，以帮助工程师进行系统设计。本文档回顾了 TI 的 CC33xx 器件集成至最终产品 PCB 的过程。在围绕 TI 芯片组设计系统时，TI 建议遵循本用户指南中概述的指南。

内容

1 简介.....	3
1.1 概述.....	3
2 原理图注意事项 - CC33xx 器件.....	4
2.1 原理图参考设计.....	4
2.2 电源.....	6
2.3 时钟源.....	8
2.4 射频 (RF).....	10
2.5 数字接口.....	11
3 布局注意事项 - CC33xx 器件.....	19
3.1 布局参考设计.....	19
3.2 IC 散热焊盘.....	24
3.3 射频 (RF).....	24
3.4 XTAL.....	27
3.5 电源.....	28
3.6 SDIO.....	29
4 原理图注意事项 - CC33xxMOD	31
4.1 原理图参考设计 - CC33xxMOD	31
4.2 电源.....	31
5 布局注意事项 - CC33xxMOD	32
5.1 CC33xxMOD 射频布局建议.....	32
6 CC33xxMOD 法规遵从性.....	33
6.1 CC33xxMOD OEM 集成手册.....	33
7 修订历史记录.....	36

插图清单

图 2-1. CC33xx 参考原理图.....	4
图 2-2. CC335x 参考原理图.....	5
图 2-3. CC33xx 启动序列.....	7
图 2-4. BG 频带参考原理图.....	10
图 2-5. 双频带射频参考原理图.....	10
图 2-6. 天线分集参考原理图.....	11
图 2-7. SDIO 默认输入时序.....	11
图 2-8. SDIO 默认输出时序.....	12
图 2-9. SDIO HS 输入时序.....	13
图 2-10. SDIO HS 输出时序.....	13
图 2-11. SPI 时序图.....	14
图 2-12. UART 时序图.....	16
图 2-13. CC33xx 与双天线共存.....	18

图 2-14. CC33xx 与单天线共存.....	18
图 3-1. CC330x 参考设计，顶层（第 1 层）.....	20
图 3-2. CC330x 参考设计，接地（第 2 层）.....	20
图 3-3. CC335x 参考设计，顶层（第 1 层）.....	21
图 3-4. CC335x 参考设计，接地（第 2 层）.....	21
图 3-5. BP-CC3351 布局，顶层（第 1 层）.....	22
图 3-6. BP-CC3351 布局，接地（第 2 层）.....	22
图 3-7. M2-CC3351 布局，顶层（第 1 层）.....	23
图 3-8. M2-CC3351 布局，接地（第 2 层）.....	23
图 3-9. 参考设计散热焊盘.....	24
图 3-10. CC330x 参考设计射频路径.....	24
图 3-11. CC335x 参考设计射频路径.....	25
图 3-12. 进行 RF 布线测量的示例.....	26
图 3-13. 计算布线阻抗的示例.....	26
图 3-14. 来自 BP-CC3351 的 40MHz XTAL.....	27
图 3-15. XTAL 切口下的层的参考布局.....	28
图 3-16. CC33xx 电源的参考布局.....	29
图 3-17. 电源层的参考布局.....	29
图 3-18. SDIO 信号的参考布局.....	30
图 4-1. CC33xxMOD 参考原理图.....	31
图 5-1. 射频部分布局.....	32
图 6-1. CC330xMOD 终端产品标示.....	35
图 6-2. CC335xMOD 终端产品标示.....	35

表格清单

表 1-1. CC33xx 配套 IC 器件比较.....	3
表 1-2. CC33xx 配套模块比较.....	3
表 2-1. 物料清单.....	6
表 2-2. 所需器件电源.....	6
表 2-3. 外部快速时钟 XTAL 规格.....	9
表 2-4. 外部慢速时钟要求.....	9
表 2-5. SDIO 时序参数：默认速度.....	13
表 2-6. SDIO 时序参数：高速.....	14
表 2-7. SPI 时序参数.....	15
表 2-8. UART 时序参数.....	16
表 3-1. 所有 CC33xx EVM 中使用的堆叠（从上到下）.....	25
表 4-1. 所需器件电源.....	32
表 6-1. CC330xMOD 认证.....	33
表 6-2. CC335xMOD 认证.....	33
表 6-3. CC330xMOD 经认证天线列表.....	34
表 6-4. CC335xMOD 经认证天线列表.....	34

商标

SimpleLink™ is a trademark of Texas Instruments.

Wi-Fi™ is a trademark of Wi-Fi Alliance.

蓝牙® is a registered trademark of Bluetooth SIG, Inc.

所有商标均为其各自所有者的财产。

1 简介

1.1 概述

SimpleLink™ Wi-Fi™ CC33xx 系列器件是潜在的可以兼顾成本节约与可靠性的产品，使工程师能够自信地连接更多的应用程序。CC33xx 器件可以采用集成了 Wi-Fi 6 和低功耗蓝牙 (BLE) 5.4 的单芯片或预认证模块。以下器件在相关封装系列内也引脚对引脚兼容（例如，IC 至 IC 或模块至模块）：

表 1-1. CC33xx 配套 IC 器件比较

器件	特性		
	WLAN 2.4GHz	低功耗蓝牙 5.4	WLAN 5GHz
CC3300	✓		
CC3301	✓	✓	
CC3350	✓		✓
CC3351	✓	✓	✓

表 1-2. CC33xx 配套模块比较

器件	特性		
	WLAN 2.4GHz	低功耗蓝牙 5.4	WLAN 5GHz
CC3300MOD	✓		
CC3301MOD	✓	✓	
CC3350MOD	✓		✓
CC3351MOD	✓	✓	✓

本指南解释了集成 CC33xx 器件的硬件要求和建议。

2 原理图注意事项 - CC33xx 器件

CC33xx 器件设计为可以轻松地集成到任何系统中，并且只需要很少的外部元件。根据最终应用，连接主机处理器 (MPU 或 MCU) 的数字接口具有高度灵活性。用户可以决定使用安全数字输入输出 (SDIO)、串行外设接口 (SPI) 或通用异步接收器/发送器 (UART) 的任意组合进行共享 Wi-Fi 及低功耗蓝牙通信。

本节介绍优化引擎区域原理图的最低要求。

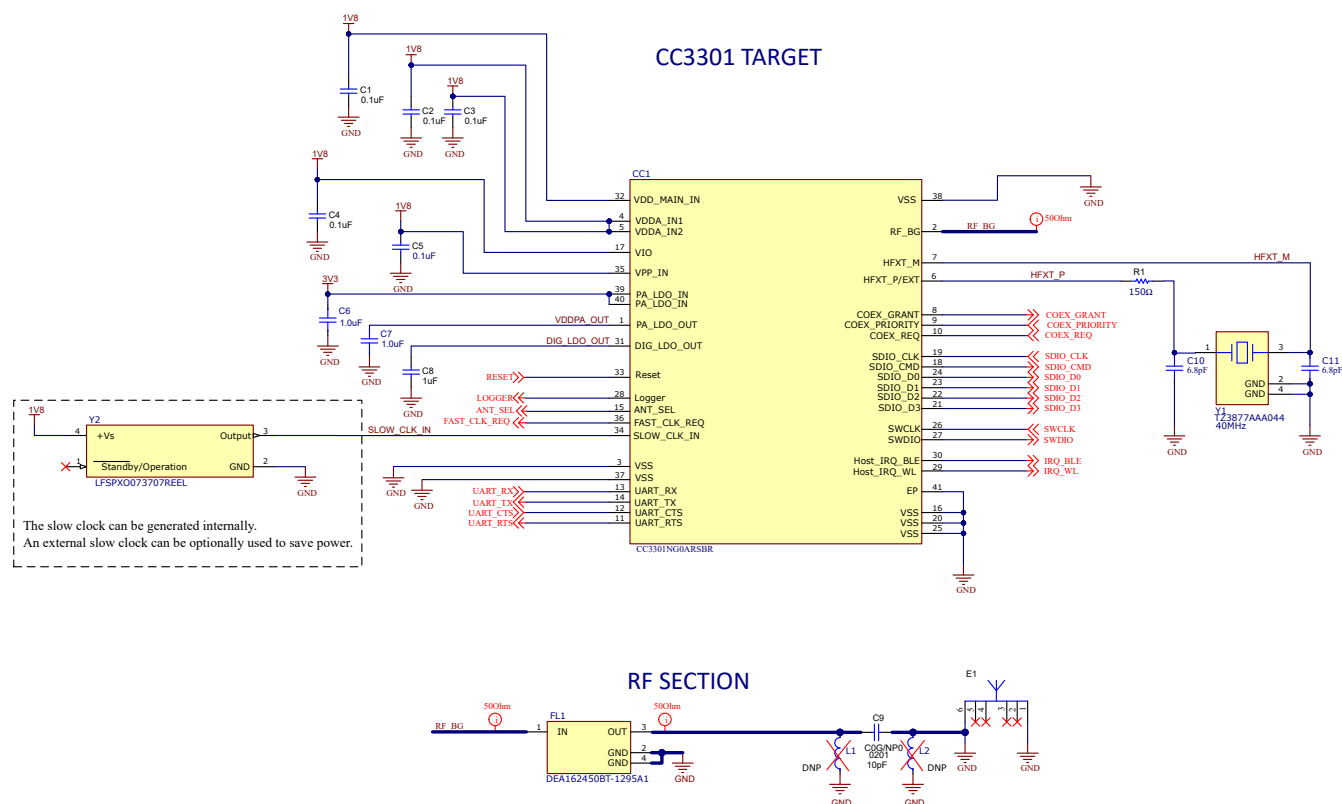
2.1 原理图参考设计

TI 建议尽可能遵循 CC33xx 器件的参考设计和指南，从而实现 CC33xx 器件的全部功能 (如器件特定的数据表中所示) 并通过认证。请在此处访问为 CC33xx 及 CC335x 器件推荐的原理图设计：

[CC330x 参考设计文件](#)

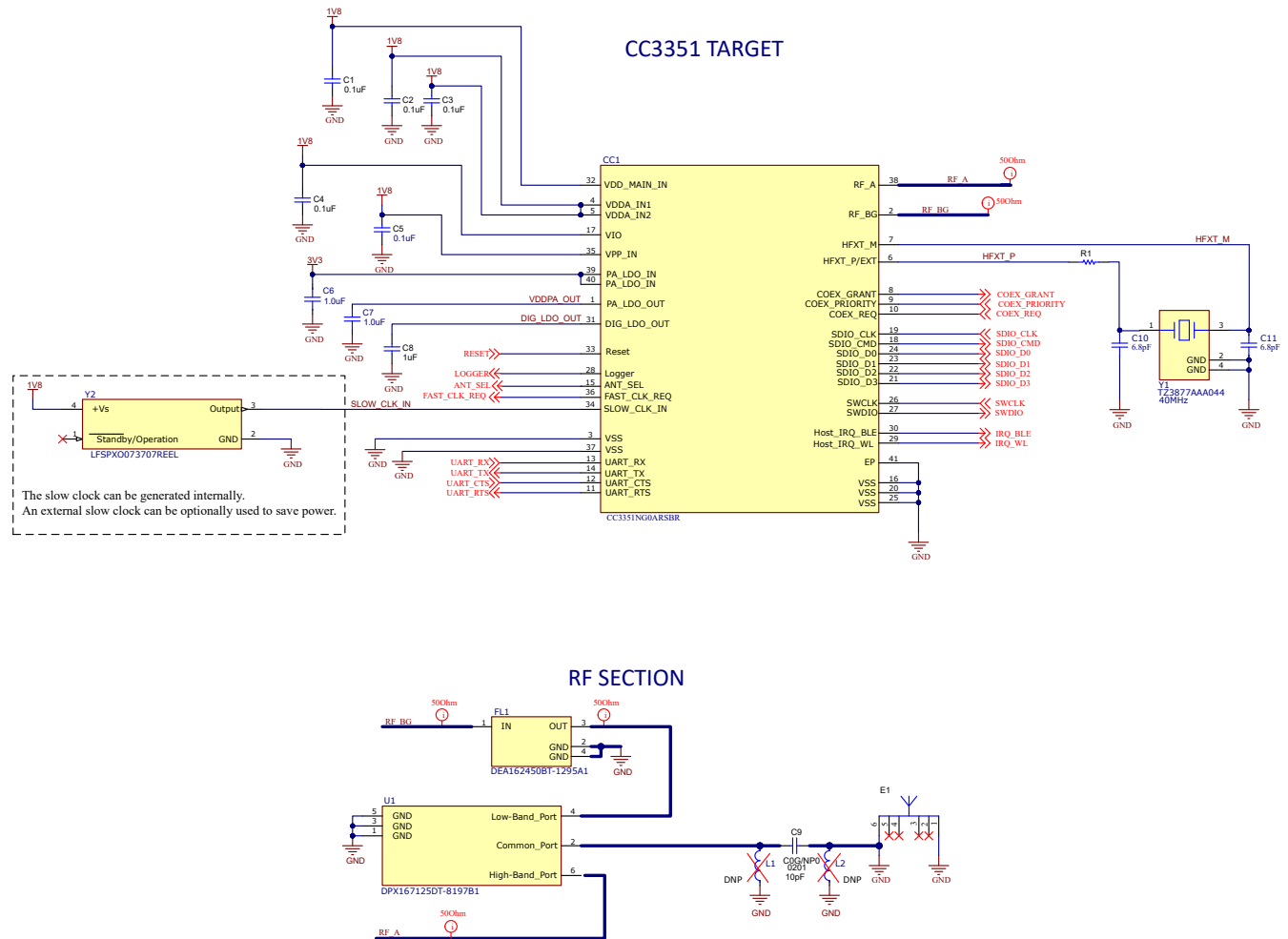
[CC335x 参考设计文件](#)

图 2-1 和图 2-2 显示了 CC330x 和 CC335x 器件的参考原理图。



A. TI 建议使用 RF 屏蔽来获得最佳法规遵从性。

图 2-1. CC33xx 参考原理图



A. TI 建议使用 RF 屏蔽来获得最佳法规遵从性。

图 2-2. CC335x 参考原理图

CC33xx 及 CC335x 器件原理图之间的唯一区别是 CC335x 器件中添加了支持 5GHz 的双工器 U1。有关原理图射频部分的更多信息，请参见节 2.4。

表 2-1. 物料清单

条目	参考编号	数量	值	器件型号	制造商	说明	封装参考
1	C ₁ 、C ₂ 、C ₃ 、C ₄ 、C ₅	5	0.1 μ F	GRM033C71A104KE14D	Murata	电容, 陶瓷, 0.1 μ F, 10V, $\pm$ 10%, X7S, 0201 匹配元件: 电容, 陶瓷, 10pF, 50V, $\pm$ 5%, C0G/NP0, 0201	0201
2	C ₆ 、C ₇	2	1 μ F	GRM033D70J105ME01D	Murata	通用片状多层陶瓷电容器, 0201, 1.0 μ F, X7T, +22%/-33%, 20%, 6.3V	0201
3	C ₈	1	1 μ F	GRM155R70J105MA12D	Murata	电容, 陶瓷, 1 μ F, 6.3V, $\pm$ 20%, X7R, 0402	0402
4	C ₉	1	10pF	GJM0335C1E100JB01D	Murata	电容, 陶瓷, 10pF, 25V, $\pm$ 5%, C0G/NP0, 0201	0201
5	C ₁₀ 、C ₁₁	2	6.8pF	GJM0335C1H6R8BB01	Murata	通用片状多层陶瓷电容器, 0201, 6.8pF, C0G, 30ppm/°C, 0.25pF, 50V	0201
6	R1	1	150 Ω	RC0201FR-7D150RL	YAGEO	电阻, 150, 1%, 0.05W, 0201	0201
7	CC1	1		CC33x1NG0ARSBR	德州仪器 (TI)	CC33x1NG0ARSBR Wi-Fi 6 和低功耗蓝牙 5.2 组合收发器	WQFN40
8	Y2	1		TZ3877AAAO44	Tia-Saw 技术	晶体单元 SMD 2.0 x 1.6 40.0MHz	SMT4_2MM05_1MM65
9	FL1	1		DEA162450BT-1295A1	TDK	2.45GHz 中心频带通射频滤波器, 100MHz 带宽, 1.8dB 0603, 3 PC 焊盘	SMT_FILTER_1MM60_0MM80
10	仅适用于 CC335x : U1	1		DPX167125DT-8197B1	TDK	用于 2.4-2.5GHz W-LAN 和蓝牙/5-7GHz W-LAN 的多层双工器	SMD6
11	可选: Y1 ⁽¹⁾	1		LFSPX0073707REEL	IQD 频率产品	可选: 32.768kHz XO (标准) CMOS 振荡器 1.8V 启用/禁用 4-SMD, 无引线	SMT4_2MM0_1MM6

(1) 可在内部生成慢速时钟。与在内部提供慢速时钟相比, 可以选择使用外部慢速时钟, 从而降低能耗。

2.2 电源

有两个电源轨必须路由到 CC33xx 器件:

- 1.8V : VDD_MAIN_IN、VDDA_IN1、VDDA_IN2、VIO 和 VPP_IN
- 3.3V : PA_LDO_IN

CC33xx 器件具有内部 LDO, 用于调节数字内核、存储器和功率放大器电源。可通过 DIG_LDO_OUT 和 PA_LDO_OUT 信号测量 LDO 的输出。

备注

在将固件加载到器件之前, 不会启用 PA_LDO_OUT 信号的输出。

有关电源引脚工作条件的详细信息, 请参阅表 2-2。

表 2-2. 所需器件电源

引脚	信号	方向 (I/O)	所需电压 (典型值)
1	PA_LDO_OUT	O	不适用
31	DIG_LDO_OUT	O	不适用
17	VIO	I	1.8V
32	VDD_MAIN_IN	I	1.8V
4	VDDA_IN1	I	1.8V
5	VDDA_IN2	I	1.8V
35	VPP_IN	I	1.8V
39	PA_LDO_IN	I	3.3V
40			

2.2.1 电源输入/输出要求

下面按重要性降序列出了电源连接：

- PA_LDO_OUT (引脚 1)：提供去耦电容器 (1.0 μ F)
- VDDA_IN1 (引脚 4)：提供去耦电容器 (0.1 μ F)
- VDDA_IN2 (引脚 5)：提供去耦电容器 (0.1 μ F)
- DIG_LDO_OUT (引脚 31)：提供去耦电容器 (1.0 μ F)
- VPP_IN (引脚 35)：提供去耦电容器 (0.1 μ F)。
- VIO (引脚 17)：提供去耦电容器 (0.1 μ F)
- VDD_MAIN_IN (引脚 32)：提供去耦电容器 (0.1 μ F)

按关键性顺序对旁路电容器的放置进行优先排序，从而更大限度地提高射频性能。

2.2.2 引导序列

为了使 CC33xx 器件正常工作，必须遵循正确的启动序列。通常，对于 CC33xx 器件和主机之间的接口，此引导序列由主机驱动程序管理。

图 2-3 显示了使用 SDIO (安全数字输入输出) 进行主机处理器通信的默认设置时，CC33xx 器件的顶层启动序列。

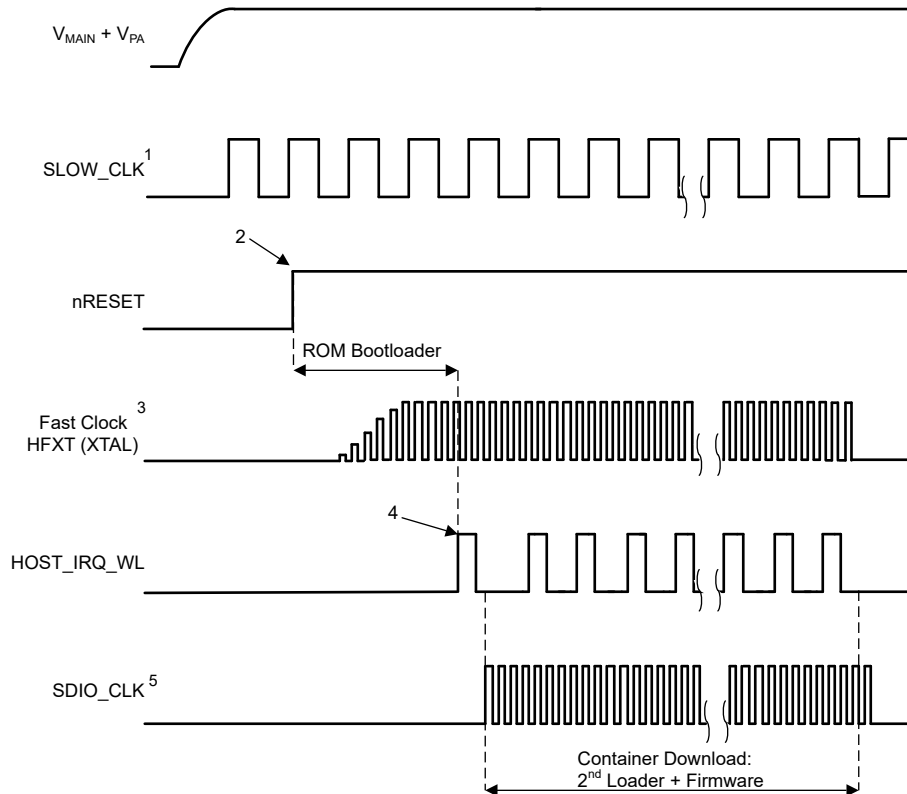


图 2-3. CC33xx 启动序列

备注

- 对于外部慢速时钟，在将 nReset 置为无效（高电平）之前确认时钟稳定。
- 在取消置位 nReset 引脚之前，所有电源（VDD_MAIN_IN、VDDA、V_{IO} 和 V_{PA}）必须至少在 10μs 内保持稳定。
 - VDD_MAIN_IN 和 V_{IO} 电源必须由同一电源供电，从而防止加电期间 I/O 出现干扰。
 - VDDA_IN1/IN2 和 PA_LDO_IN 电源可独立于所有其他电源来供电。
- 外部快速时钟 (HFXT) 在 ROM 引导加载程序期间保持稳定。在 CC33xx 器件进入睡眠模式（启动完成后）之前，时钟一直处于活动状态。
- ROM 引导加载程序是 CC33xx 器件的第一个引导阶段，当 nReset 引脚置为无效（器件使能）时开始引导，当 HOST_IRQ_WL 线路指示器件输出为高电平时结束，向主机发送信号，指明引导阶段已完成。
- ROM 引导加载程序完成后，CC33xx 器件准备好通过 SDIO 或 SPI 线路从主机处理器接收两个二进制容器（次级引导加载程序 + 固件）。这些容器以内存块的形式下载。在每个块结束时，CC33xx 器件通过将 HOST_IRQ_WL 线路升高到高电平来向主机发送确认、向主机发出信号表明存储器块已成功接收，以及表明器件现在可以处理下一个块。SDIO_CLK 由主机驱动，仅在 SDIO 总线处于运行状态时有效。
- 将容器下载到 CC33xx 器件后，器件完成初始化并进入睡眠模式。

2.2.2.1 SOP 模式

记录器（引脚 28）和 Host_IRQ_WL（引脚 29）信号被认为是 **电源检测 (SOP)** 引脚。将这些引脚连接到主机时，验证 Host_IRQ_WL 引脚（引脚 29）在通电期间保持在低逻辑电平，记录器引脚（引脚 28）在加电期间保持高逻辑电平。

如果 SOP 引脚连接到可能影响这些线路逻辑电平的主机，请考虑添加一个可选的下拉/上拉电阻器（或多个）。

2.2.3 断电序列

为了提高可靠性并在断电序列后正确启动，请遵循 CC33xx 器件的正确断电序列。

要执行正确的关断序列，请执行以下操作：

- 当慢速时钟（如果来自外部）和器件的所有电源（VDD_MAIN_IN、VDDA、V_{IO} 和 V_{PA}）仍然稳定且可用时，将 nRESET 引脚置为无效（低电平）。
- 只有在 nRESET 信号取消置位（低电平）后，才会将芯片的电源置为无效。

如果关断序列成功，则 1 μs 需要在 nRESET 引脚为低电平之后完成。如果电源保持稳定，则两个连续器件使能之间的最短时间为 1 μs。

2.3 时钟源

CC33xx 器件使用两个时钟来运行：

- 在 40MHz 下运行的快速时钟，用于 WLAN/BLE 功能
- 在 32.768kHz 下运行的慢速时钟，用于低功耗模式

必须从外部生成快速时钟。慢速时钟可以由器件在内部生成，也可以由振荡器在外部生成。

备注

时钟频率偏差会造成射频偏差，

有关如何根据特定电路板布局仔细选择外部负载电容器 (C_L) 以完成频率调谐的更多信息，请参阅 [Simplelink 频率调谐](#)。

2.3.1 快速时钟

CC33xx 器件支持基于晶体的快速时钟 (XTAL)。使用适当的负载电容器和 150 Ω 电阻器，在 HFXT_P 和 HFXT_M 引脚之间直接馈送晶体。下面列出了设计要求：

1. 在靠近器件的 HFXT_P (引脚 6) 上且在 XTAL 之前提供 150 Ω 电阻器。
2. 在 HFXT_P (引脚 6) 与 HFXT_M (引脚 7) 引脚之间连接 XTAL。
3. 在 XTAL 的两个引脚上提供负载电容器 (6.8pF)。

备注

推荐的 6.8pF 负载电容器基于 TI 电路板布局布线。

4. 根据需要调整负载电容。

备注

此步骤的要求基于客户实施的电路板布局。电路板并非总是需要此步骤。有关此主题的进一步指导，请参阅 [Simplelink 频率调优](#)。

快速时钟元件必须满足表 2-3 中所示的要求。

表 2-3. 外部快速时钟 XTAL 规格

参数	测试条件	最小值	典型值	最大值	单位
支持的频率			40		MHz
频率精度	初始值 + 温度 + 老化			±25 ±20 ⁽²⁾	ppm
负载电容, C_L ⁽¹⁾		5		13	pF
等效串联电阻, ESR				40	Ω
驱动电平			100		μW

- (1) 负载电容 $C_L = [C1 \times C2] / [C1 + C2] + C_p$ ，其中 C1、C2 分别是连接在 HFXT_P 和 HFXT_M 引脚上的电容器， C_p 是寄生电容 (通常为 1pF 至 2pF)。例如，对于 $C1 = C2 = 6.2pF$ 且 $C_p = 2pF$ ，则 $C_L = 5pF$ 。
- (2) 在为实现 CC330x 器件的设计选择 XTAL 时，频率的精度要求为 ±25ppm。在为实现 CC335x 器件的设计选择 XTAL 时，频率的精度要求为 ±20ppm。

2.3.2 慢速时钟

慢速时钟由器件的内部振荡器生成，但也可以使用外部振荡器。

2.3.2.1 内部生成的慢速时钟

为了更大限度地减少外部元件，可通过内部振荡器生成慢速时钟。但是，使用此时钟不如从外部提供慢速时钟那么精确，并且消耗更多的电能。对于这种情况，SLOW_CLK_IN 引脚必须保持未连接状态。

2.3.2.2 采用外部振荡器的慢速时钟

为了实现出色功耗，慢速时钟可以由振荡器在外部生成，也可以从系统中的其他地方获得。外部源必须满足表 2-4 中所示的要求。此时钟能够馈送到 CC335xMOD 的引脚 SLOW_CLK_IN，并且必须在 nReset 置为无效并启用器件之前保持稳定。

表 2-4. 外部慢速时钟要求

参数	说明	最小值	典型值	最大值	单位
输入慢时钟频率	方波		32768		Hz
频率精度	初始值 + 温度 + 老化			±250	ppm
输入占空比		30%	50%	70%	
T_r/T_f	上升和下降时间			100	ns
V_{IL}	输入低电平	0		$0.35 \times V_{IO}$	V
V_{IH}	输入高电平	$0.65 \times V_{IO}$		1.95	V
	输入阻抗	1			MΩ

表 2-4. 外部慢速时钟要求 (续)

参数	说明	最小值	典型值	最大值	单位
输入电容				5	pF

2.4 射频 (RF)

在单频带 2.4GHz 配置中实现 CC330x 器件时, 射频 (RF) 功能需要布线 RF_BG 引脚 (引脚 2)。在双频带 5GHz 配置中实现 CC335x 器件时, 将 RF_A 引脚 (引脚 38) 布线是射频 (RF) 功能的一项附加要求。

在 RF_BG 迹线上, 在到达任何辐射或传导元件之前, 需要在这条路径上放置一个带通滤波器 (BPF)。有关推荐的 BPF, 请参阅表 2-1。TI 还建议在天线之前实施阻抗匹配网络 (如 PI 或 L 网络), 以获得更好的 RF 性能。图 2-4 是设计单频带 2.4GHz 配置 (CC330x) 时射频路径原理图设计的示例。在这种单频带 2.4GHz 用例中, 将 RF_A 引脚 (引脚 38) 接地以实现更好的降噪。

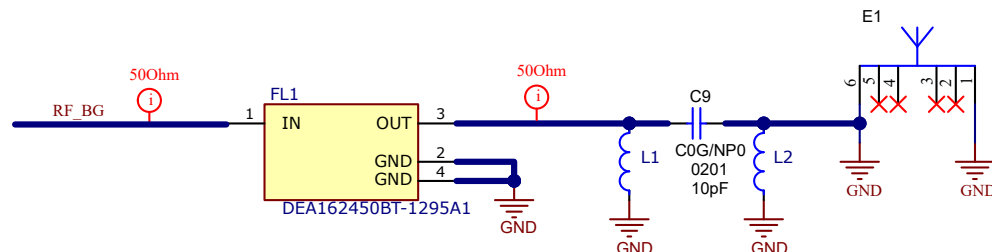


图 2-4. BG 频带参考原理图

使用 CC335x 器件进行设计时, 需要为 RF_A (引脚 38) 引脚提供额外的布线, 以实现具有 2.4GHz 射频频带的 5GHz 射频。要使用这两个射频频带, 需要一个双工器。RF_A 引脚必须直接连接到双工器的高频带端口, 而 RF_BG 引脚必须通过 BPF (如前所述) 进行布线, 然后连接到双工器的 Low_Band 端口。有关推荐的双工器, 请参阅表 2-1。图 2-5 是为双频带 2.4GHz + 5GHz 配置设计时射频路径原理图设计的示例 (CC335x)。

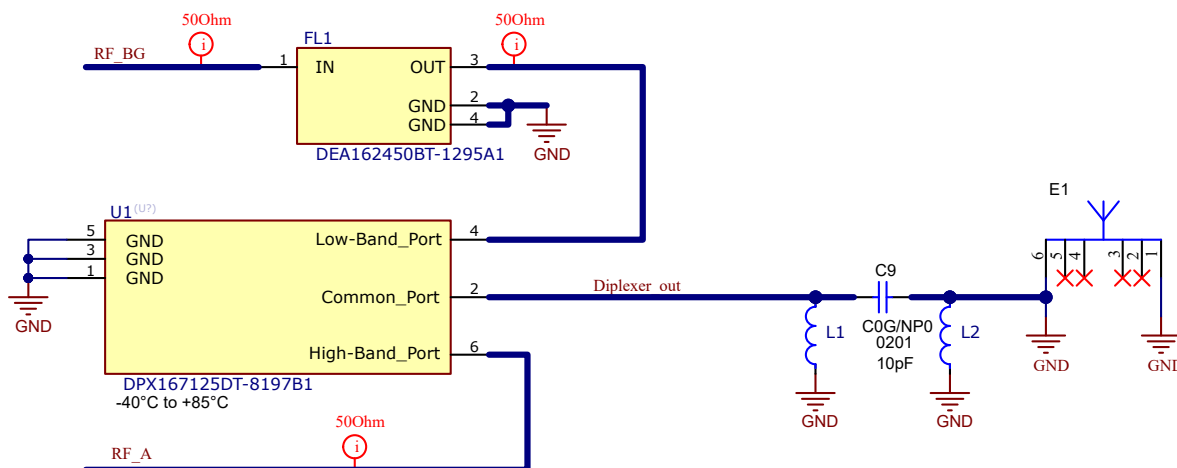


图 2-5. 双频带射频参考原理图

如果不遵循这些建议, 可能导致性能与数据表中的规格存在差异。

如果实施射频开关 (用于利用天线分集), 请将射频开关的输入设置为来自 CC33xx 器件的最终滤波信号。具体而言, 在设计采用 CC335x 器件的双频带射频器件时, 应将射频开关的输入路由到双工器的公共端口。在设计实现 CC330x 器件的单频带射频器件时, 射频开关的输入必须连接到 BPF 的输出。可以对 ANT_SEL 引脚 (引脚 15) 进行路由并将其用作开关信号。在设计单频带设备 (使用 CC330x) 时, RF_IN 信号必须连接到 BPF 的输出端, 而在设计双频带器件 (使用 CC335x) 时, RF_IN 信号必须连接到双工器的公共端口, 如图 2-6 所示。

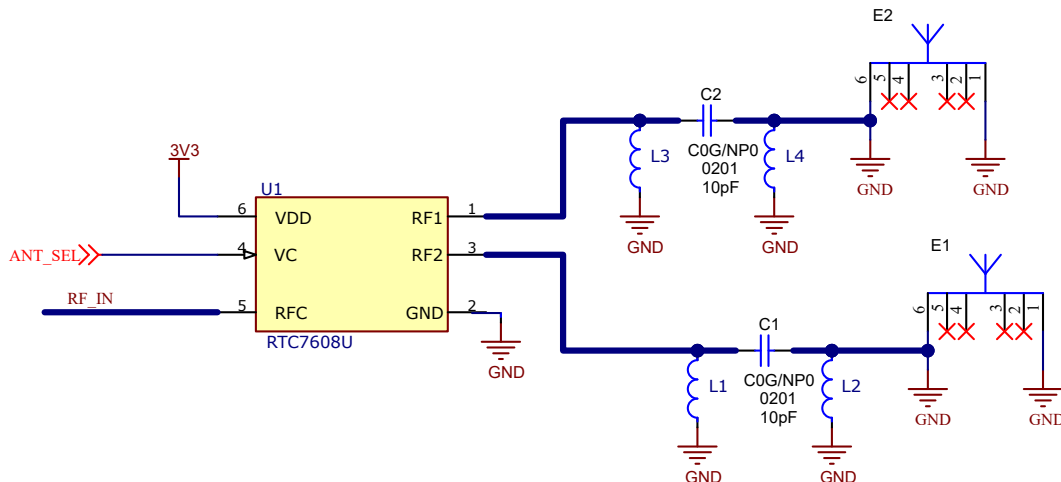


图 2-6. 天线分集参考原理图

2.5 数字接口

CC33xx 器件上的所有 I/O 信号均在 1.8V (典型值) 下运行。如果在系统中使用更高电压，则必须考虑使用电平转换器。

2.5.1 复位

主机必须连接并控制一个低电平有效信号，即 nReset 引脚 (引脚 33) 信号。如果使用没有主机的设置，则必须在电源稳定后将重置拉高。

当复位引脚为低电平时，器件进入有效关断模式。重新启用器件后，必须重新下载固件以确保正常运行。

2.5.2 安全数字输入输出 (SDIO)

SDIO 是用于无线通信的主要主机接口。CC33xx 器件支持适用于 Wi-Fi 和低功耗蓝牙协议的共享 SDIO 接口。

根据 SDIO 规范，主机希望上拉这些数据线 (SDIO_D0、SDIO_D1、SDIO_D2、SDIO_D3 和 SDIO_CMD)。请注意，SDIO 数据线路上的元件 (例如电平转换器) 不会将这些数据线路的状态更改为低逻辑电平。

2.5.2.1 SDIO 计时示意图：默认速度

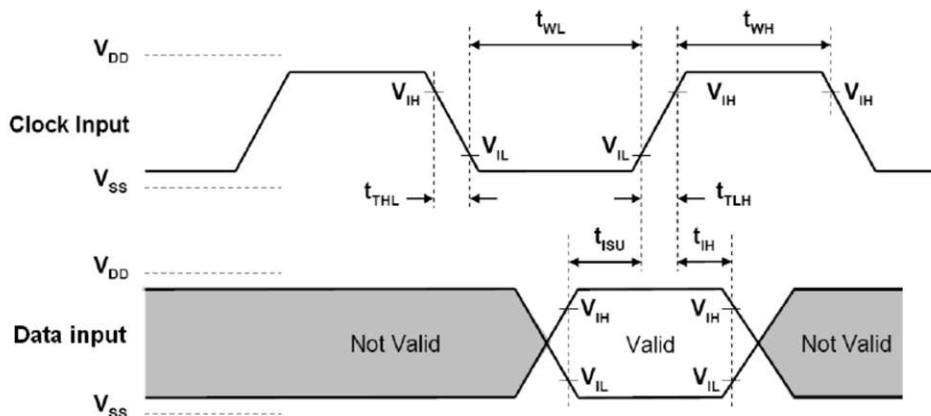


图 2-7. SDIO 默认输入时序

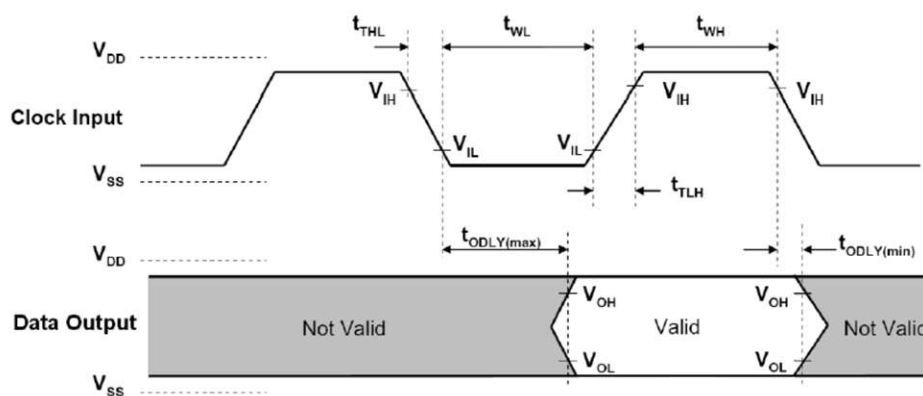


图 2-8. SDIO 默认输出时序

表 2-5. SDIO 时序参数：默认速度

参数	说明	最小值	最大值	单位
f_{clock}	时钟频率，CLK		26	MHz
t_{High}	高电平周期	10		ns
t_{Low}	低电平周期	10		
t_{TLH}	上升时间，CLK		10	
t_{THL}	下降时间，CLK		10	
t_{ISU}	建立时间，在 CLK ↑ 前输入有效	5		
t_{IH}	保持时间，在 CLK ↑ 后输入有效	5		
t_{ODLY}	延迟时间，CLK ↓ 到输出有效	2	14	pF
C_L	输出中的容性负载	15	40	

2.5.2.2 SDIO 计时示意图：高速

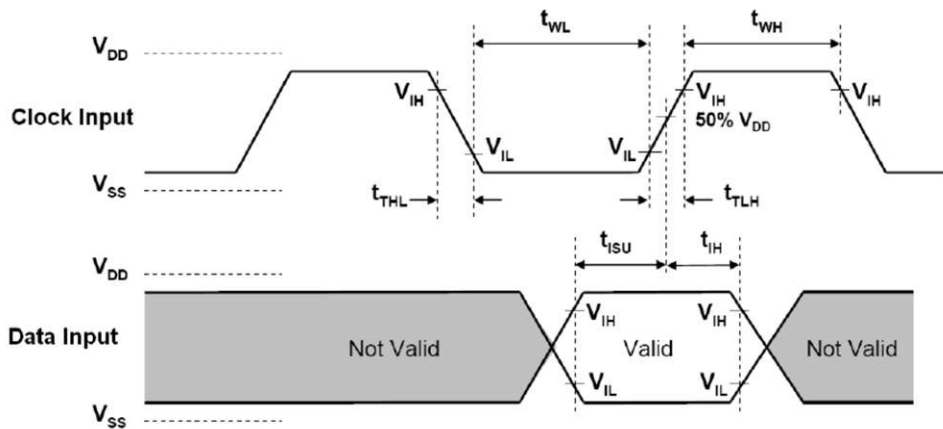


图 2-9. SDIO HS 输入时序

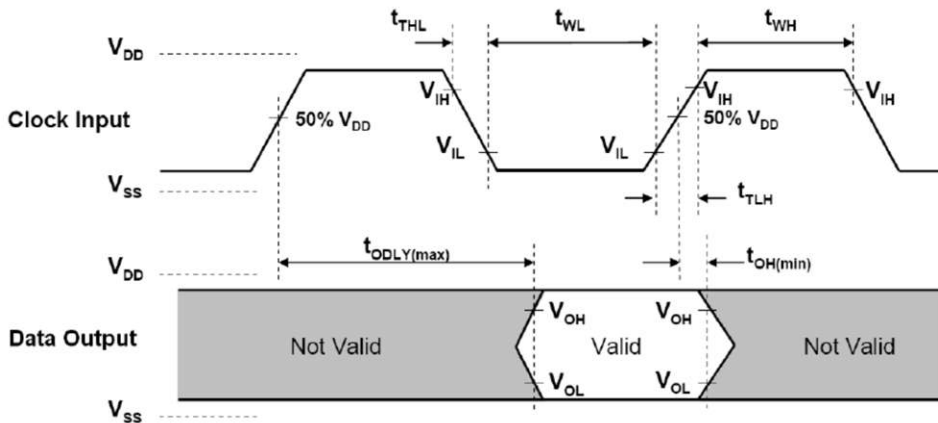


图 2-10. SDIO HS 输出时序

表 2-6. SDIO 时序参数：高速

参数	说明	最小值	最大值	单位
f_{clock}	时钟频率, CLK		52	MHz
t_{High}	高电平周期	7		ns
t_{Low}	低电平周期	7		
t_{TLH}	上升时间, CLK		3	
t_{THL}	下降时间, CLK		3	
t_{ISU}	建立时间, 在 CLK ↑ 前输入有效	6		
t_{IH}	保持时间, 在 CLK ↑ 后输入有效	2		
t_{ODLY}	延迟时间, CLK ↑ 到输出有效	2	14	pF
C_L	输出中的容性负载	15	40	

2.5.3 串行外设接口 (SPI)

SPI 信号线路可以用作无线通信的主机接口。CC33xx 器件还支持 BLE 和 WLAN 的共享 SPI。CC33xx 上的 SPI 线路包括：

- SDIO_CMD (SPI PICO)
- SDIO_CLK (SPI 时钟)
- SDIO_D3 (SPI CS)
- SDIO_D0 (SPI POCI)

2.5.3.1 SPI 时序图

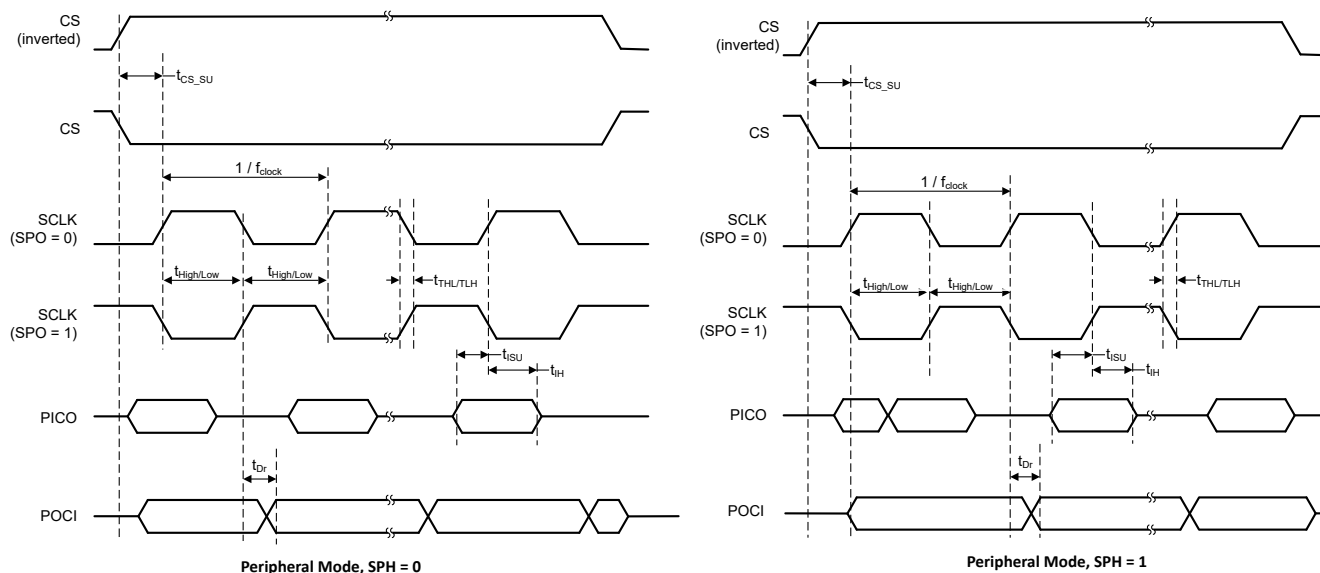


图 2-11. SPI 时序图

表 2-7. SPI 时序参数

参数	说明	最小值	最大值	单位
f_{clock}	时钟频率, CLK		26	MHz
t_{High}	高电平周期	10		ns
t_{Low}	低电平周期	10		
t_{TLH}	上升时间, CLK		3	
t_{THL}	下降时间, CLK		3	
t_{CSsu}	CS 建立时间, CS 在 CLK ↑ 前有效	3		
t_{ISU}	PICO, 输入在 CLK ↑ 前有效	3		
t_{IH}	PICO 保持时间, 输入在 CLK ↑ 后有效	3		
$t_{\text{Dr}}, t_{\text{Df}}$ - 有效	延迟时间, CLK ↑/↓ 到输出有效	2	10	
$t_{\text{Dr}}, t_{\text{Df}}$ - 睡眠	延迟时间, CLK ↑/↓ 到输出有效		12	
C_L	输出中的容性负载	15	40	pF

2.5.4 通用异步接收器/发送器 (UART)

UART 是 BLE 的中心主机接口, 支持主机控制器接口 (HCI) 传输层。当 UART 与主机一起使用时, 请注意正确连接 UART :

- 引脚 14 是器件的 UART_TX, 必须连接到 RX 的主机侧。
- 引脚 13 是器件的 UART_RX, 必须连接到 TX 的主机侧。
- 引脚 12 是器件的 UART_CTS, 必须连接到 RTS 的主机侧。
- 引脚 13 是器件的 UART_RTS, 必须连接到 CTS 的主机侧。

2.5.4.1 UART 时序图

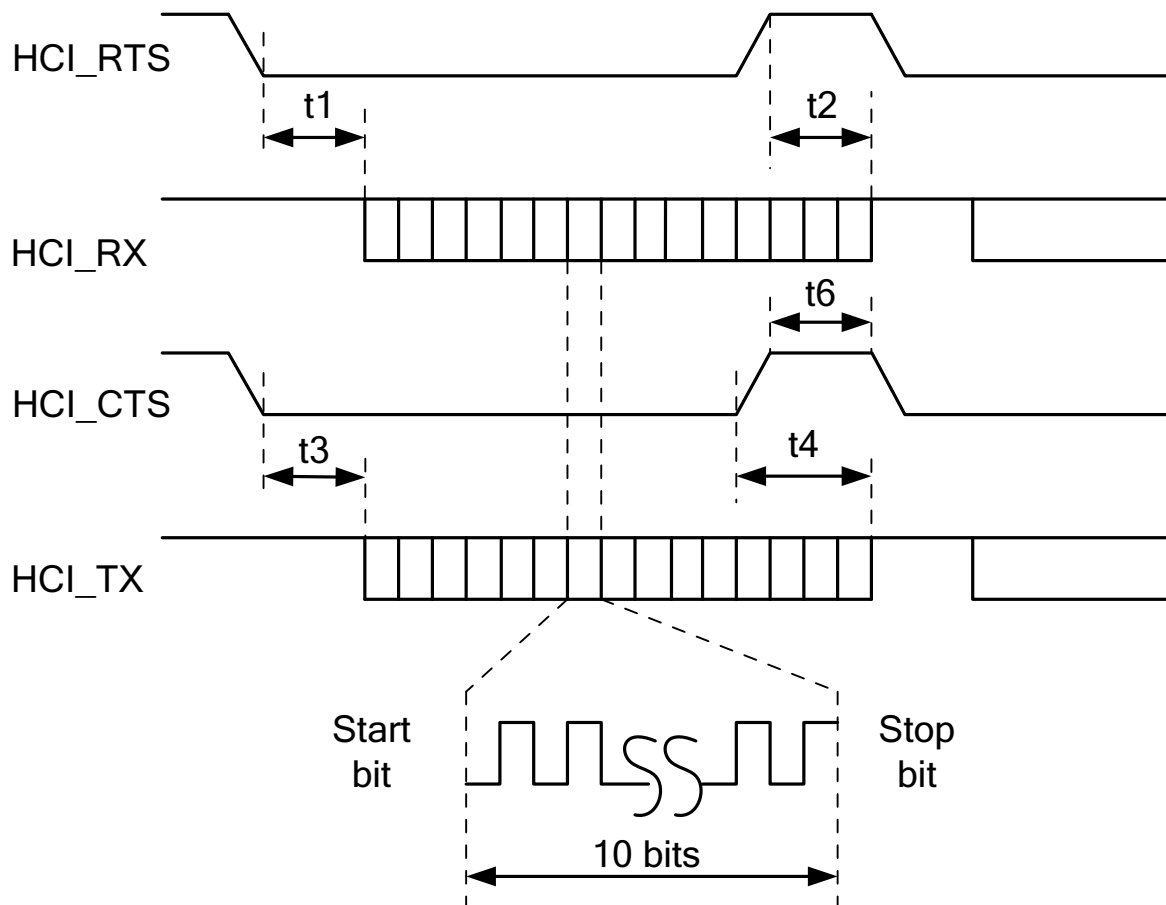


图 2-12. UART 时序图

表 2-8. UART 时序参数

参数	条件	最小值	典型值	最大值	单位
波特率		37.5		4364	kbps
每字节波特率精度	接收 发送	-2.5		+1.5	%
每位波特率精度	接收 发送	-12.5		+12.5	%
CTS 低电平至 TX_DATA 开启		0	2		ms
CTS 高电平至 TX_DATA 关闭	硬件流控制			1	字节
CTS 高电平脉冲宽度		1			位
RTS 低电平至 RX_DATA 开启		0	2		ms
RTS 高电平至 RX_DATA 关闭	中断设置为 1/4 FIFO			16	字节

2.5.5 串行线调试 (SWD)

CC33xx 器件上的两个串行线路调试引脚包括 SWCLK (引脚 26) 和 SWDIO 引脚 (引脚 27)。这些信号用于各种类型的调试 (如射频测试)，必须路由到测试点来进行故障排除。

2.5.6 WLAN 中断请求 (HOST_IRQ_WL)

除了串行主机接口 (SDIO、SPI 或 UART) 之外。CC33xx 器件还需要在各个器件和主机之间连接一条中断请求 (IRQ) 线路。此 IRQ 线路对于主机驱动器的正常运转很重要；其中，每当器件试图在主机接口上发送某些内容时，主机都会从 CC33xx 器件接收信号，并且当从主机接收到消息时，CC33xx 会向主机发出确认信号。

默认情况下，该 IRQ 线路是主机和 CC33xx 器件之间单独的专用 GPIO。还存在使用 SDIO 带内中断的选项；其中通过 SDIO 总线启用了中断，从而减少了与主机连接所需的引脚总数。

2.5.7 记录器

CC33xx 器件的记录器引脚（引脚 28）是用于固件日志的输出跟踪器。该引脚可以用于对 CC33xx 器件上运行的固件进行深入调试。TI 提供了有关如何在 CC33xx 驱动程序版本中读取这些日志的解析器及文档。除非正在对 TI 进行深度调试，否则通常不需要固件日志，因为驱动程序中包含其他调试工具。如果需要这些日志，则可以将记录器引脚连接到测试点来进行访问。

2.5.8 兼容性

共存特性是一种方法，用于组织在相同频段运行的通信协议的无线数据包流量。CC33xx 器件充当共存主设备，并与共存辅助器件通信。CC33xx 器件支持三线数据表流量仲裁 (PTA) 接口以实现共存。CC33xx 器件上的共存信号包括：

- COEX_GRANT (引脚 8) - 由共存主器件控制的输入信号。表示 PTA 决策的响应。
- COEX_PRIORITY (引脚 9) - 由共存辅助器件控制的输出信号。表示请求信号的优先级。
- COEX_REQ (引脚 10) - 由共存辅助器件控制的输出信号。表示使用共享频段的请求。

CC33xx 器件上的这三个信号必须路由到共存辅助设备上的匹配共存引脚。默认情况下启用共存，并且可以在 INI 文件中配置为内部和外部。可以通过为每个器件使用一根天线（同时针对主器件和辅助器件）或两根天线来实施共存。图 2-13 和图 2-14 提供了在低功耗蓝牙器件中使用共存功能的直观示例。

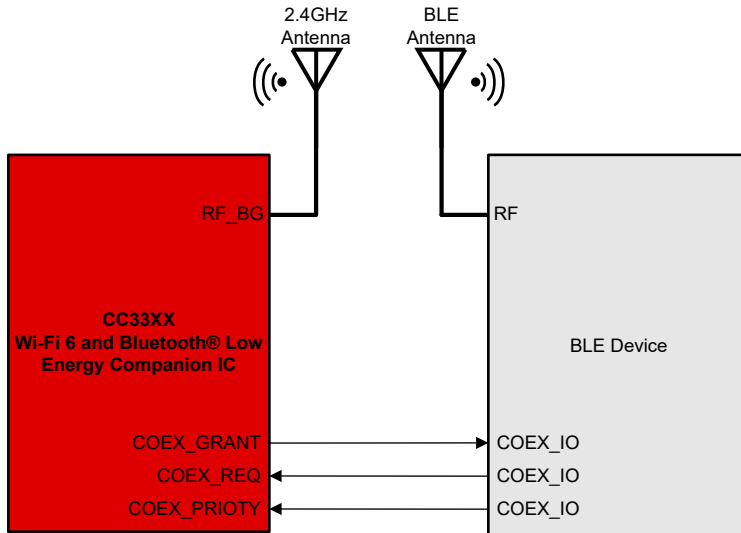


图 2-13. CC33xx 与双天线共存

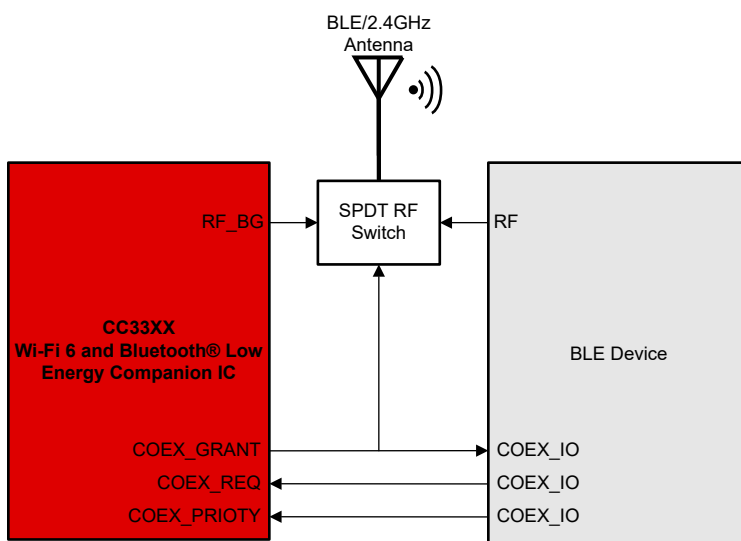


图 2-14. CC33xx 与单天线共存

3 布局注意事项 - CC33xx 器件

CC33xx 器件设计为可以轻松地集成到任何系统中，并且只需要很少的外部元件。根据最终应用，连接主机处理器（MPU 或 MCU）的数字接口具有高度灵活性。用户可以决定使用 SDIO、SPI 或 UART 的任意组合来进行共享 Wi-Fi 和低功耗蓝牙通信。

本节介绍优化引擎区域布局的最低要求。

3.1 布局参考设计

TI 建议尽可能遵循 CC33xx 器件的参考设计和指南，从而实现 CC33xx 器件的全部功能（如器件特定的数据表中所示）并通过认证。在包括敏感 RF 元件和布线在内的引擎区域，这些布局指导原则尤其重要。

以下设计列表采用了本文档中给出的布局指导原则。请将以下资源作为参考源：

- [CC330x 参考设计文件](#)
- [CC335x 参考设计文件](#)
- [BP-CC3351](#)
- [M2-CC3351](#)

下图包括所有三种设计的顶层（第 1 层）和接地层（第 2 层）上的 CC33xx 器件引擎区域。

备注

在继续进行涉及 CC33xx 器件的任何硬件构建之前，TI 建议在提交设计以供[审查](#)之前仔细查看 [CC33x1 设计检查清单](#)。

此外，根据设计要求，引擎区域（如参考设计中所示）可以旋转。

3.1.1 参考设计 - CC330x 单频带布局

图 3-1 是从 CC330x 参考设计文件中提取的样图。

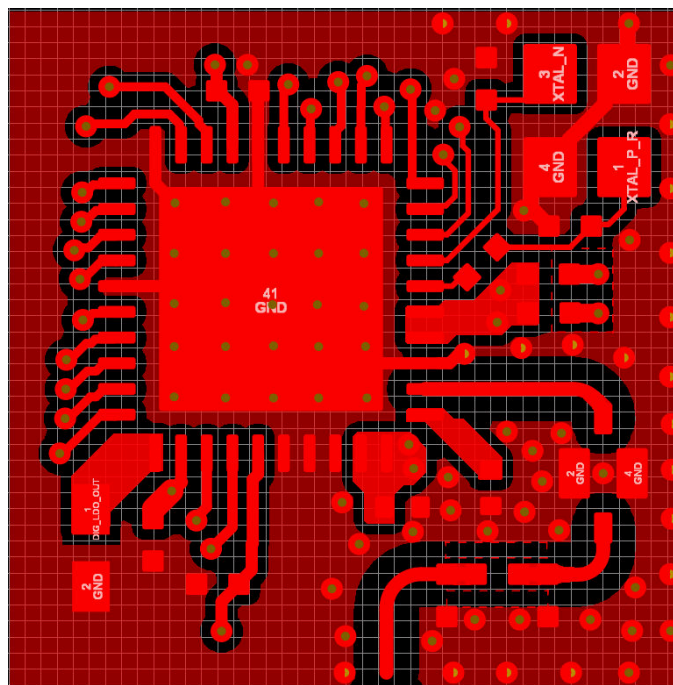


图 3-1. CC330x 参考设计，顶层（第 1 层）

图 3-2 是从 CC330x 参考设计文件中提取的样图。

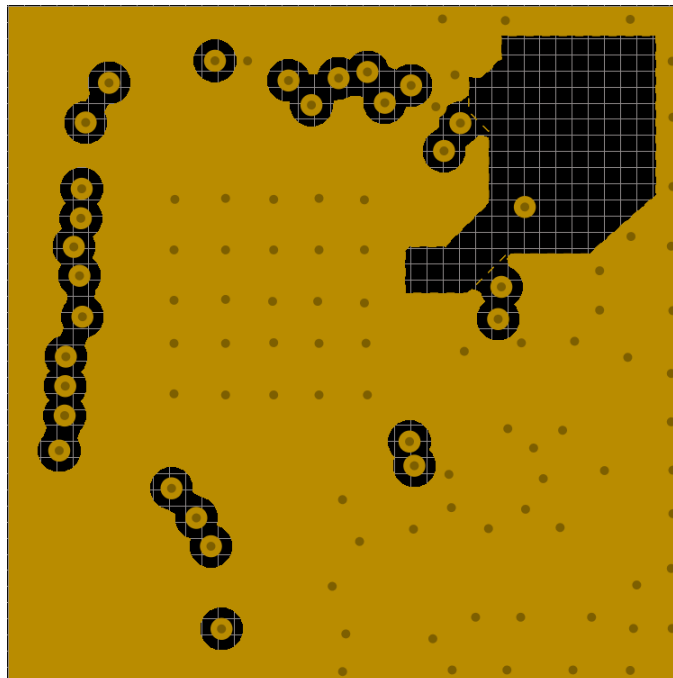


图 3-2. CC330x 参考设计，接地（第 2 层）

3.1.2 参考设计 - CC335x 双频带布局

图 3-3 是从 CC335x 参考设计文件中提取的样图。

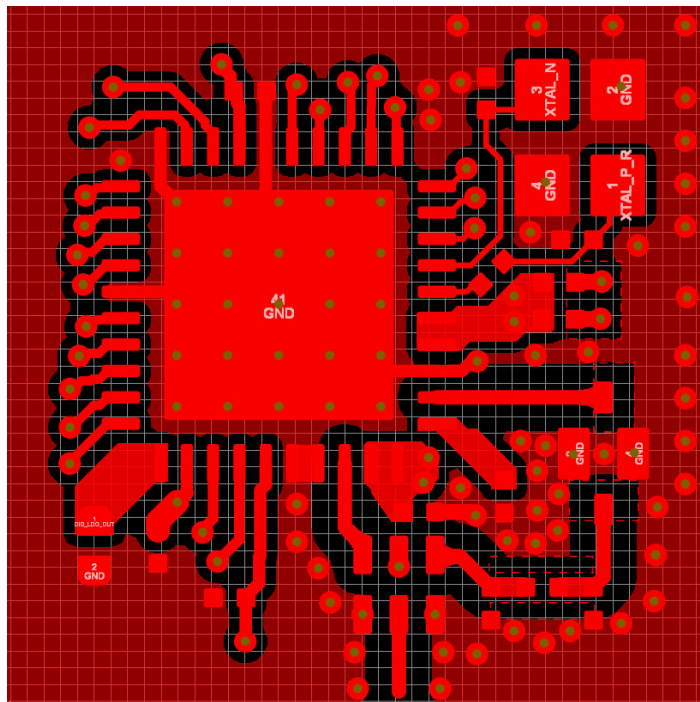


图 3-3. CC335x 参考设计，顶层 (第 1 层)

图 3-4 是从 CC335x 参考设计文件中提取的样图。

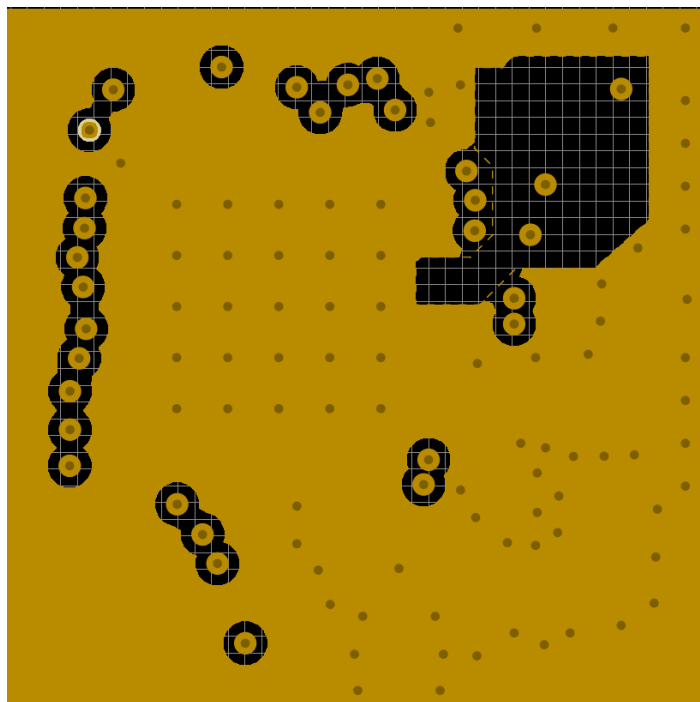


图 3-4. CC335x 参考设计，接地 (第 2 层)

3.1.3 BP-CC3351 设计布局

图 3-5 是从 BP-CC3351 设计文件中提取的样图。

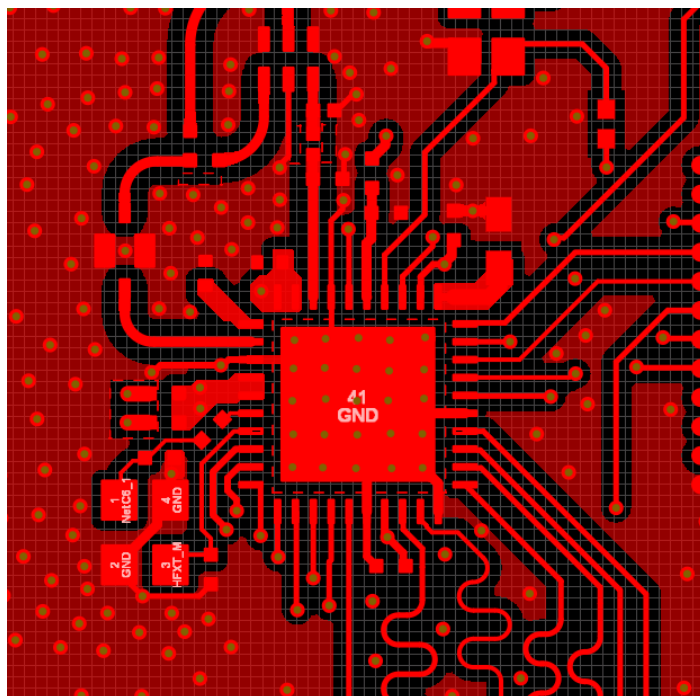


图 3-5. BP-CC3351 布局，顶层 (第 1 层)

图 3-6 是从 BP-CC3351 设计文件中提取的样图。

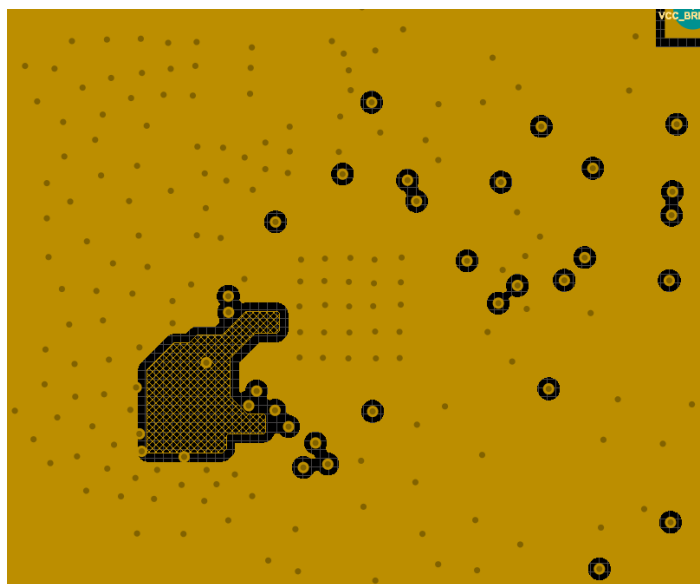


图 3-6. BP-CC3351 布局，接地 (第 2 层)

3.1.4 M2-CC3351 设计布局

图 3-7 是从 M2-CC3351 设计文件中提取的样图。

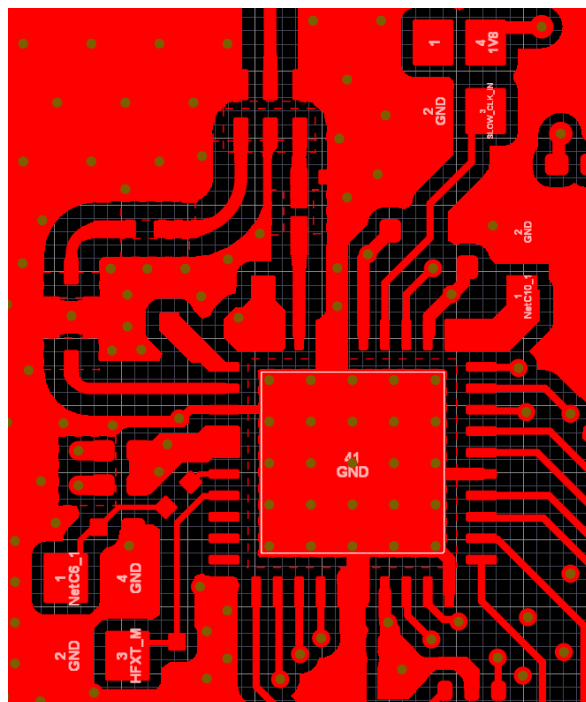


图 3-7. M2-CC3351 布局，顶层 (第 1 层)

图 3-8 是从 M2-CC3351 设计文件中提取的样图。

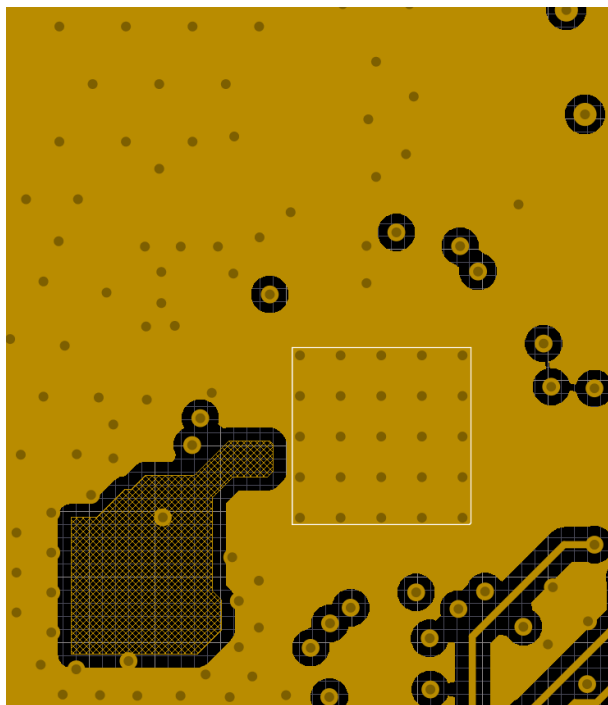


图 3-8. M2-CC3351 布局，接地 (第 2 层)

图 3-11 是从 CC335x 参考设计文件中提取的样图。

在图 3-11 中，蓝色迹线是 RF_BG 迹线 (2.4GHz)，米色迹线是 RF_A 迹线 (5GHz)，绿色迹线是连接到双工器公共端口 (路由至天线) 的组合射频迹线。

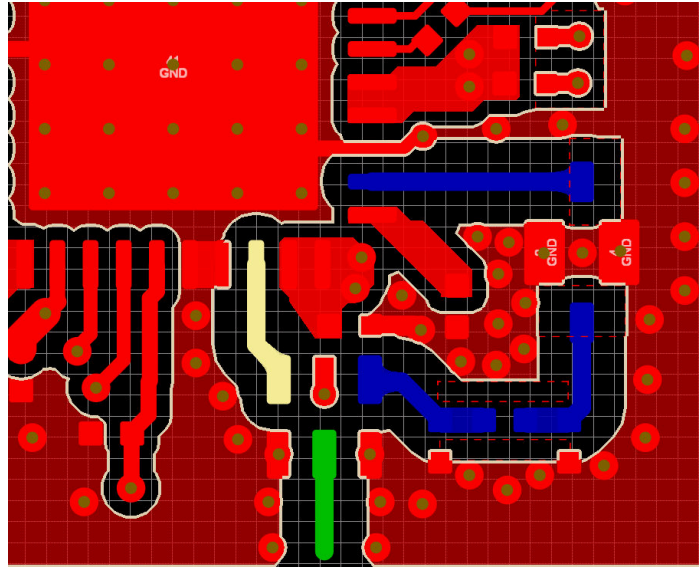


图 3-11. CC335x 参考设计射频路径

尽可能密切地遵循参考设计，并遵守以下指南列表：

备注

除非另有说明，否则下面列出的射频布局指南适用于 CC330x 和 CC335x 器件的设计。

- 射频布线具有恒定的 $50\ \Omega$ 特性阻抗。通过根据电介质、层堆叠、接地屏幕间距和布线厚度来匹配 CPWG，从而实现此值。这些参数在整个布线长度上必须保持一致。
- 整个射频布线只应位于 PCB 的顶层，并且紧挨着下面的层应是一个恒定的接地平面 (XTAL 切口除外) 作为布线参考。
- 射频轨迹尽可能干净笔直，天线前、带通滤波器和匹配滤波器旁没有任何元件。该操作可避免不必要的元件与元件耦合。如果不能使用直 RF 布线，则可接受圆形曲线。
- 射频布线要尽可能与其他元件隔离来减少噪声。接地平面环绕射频布线，且接地过孔拼接之间的距离小于最小波长的 $1/8$ 。
- 带通滤波器要尽可能远离 RF_BG 引脚 (引脚 2) 以及引脚 4 和 5 上的 VDDA 去耦电容器 (在设计空间限制范围内)。
- 在带通滤波器 (BPF) 的两个接地焊盘之间放置一个接地过孔。连接 BPF 两侧的接地平面，以便为整个区域启用一个公共接地平面。在 BPF 和 PA_LDO_OUT 去耦电容器 (引脚 1) 之间的接地平面中，增加接地过孔拼接。
- 射频布线附近不要有高频信号布线或测试点。
- **仅 CC335x**：双工器的放置方式应使 RF_A 布线尽可能短 (将 RF_A 引脚 (引脚 38) 连接到双工器高端口的布线)。布线时，RF_A 布线比 RF_BG 布线具有更高布局优先级。
- **仅 CC335x**：双工器布局必须尽可能遵循制造商参考设计 (见产品数据表)，包括接地焊盘之间的接地过孔，以实现出色的双工器性能。

射频性能的另一个影响因素是堆叠。例如，表 3-1 包含 BP-CC3351 设计中使用的堆叠 (从上到下)。

表 3-1. 所有 CC33xx EVM 中使用的堆叠 (从上到下)

层	名称	厚度	ϵ_r
	顶部阻焊层		
	顶部焊锡层	1.00mil	3.5

表 3-1. 所有 CC33xx EVM 中使用的堆叠 (从上到下) (续)

层	名称	厚度	ϵ_r
1	顶层	1.85mil	
	电介质 1	5.48mil	4.2
2	L02_GND	1.26mil	
	电介质 2	42.82mil	4.2
3	L03_PWR	1.26mil	
	电介质 3	5.48mil	4.2
4	底层	1.85mil	
	底部焊锡层	1.00mil	3.5
	底部阻焊层		

来自器件的射频信号使用共面波导 (CPW-G) 结构路由到天线。此结构为滤波器间隙实现更大程度的隔离，为射频线路提供屏蔽。为了实现 50Ω 的阻抗，必须考虑堆叠及布线测量。图 3-12 和图 3-13 以 BP-CC3351 EVM 为例展示了计算布线阻抗的示例。

此图像来自 BP-CC3351 设计文件。

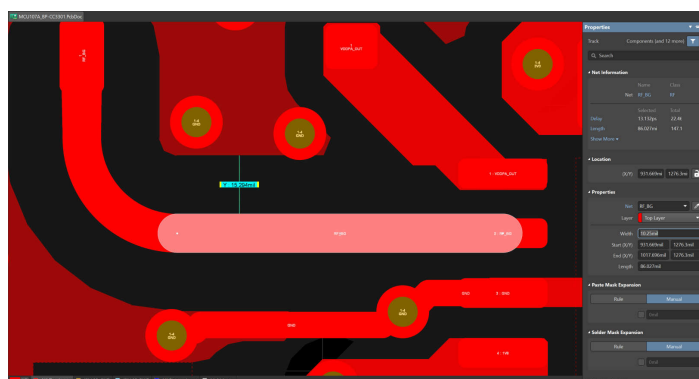


图 3-12. 进行 RF 布线测量的示例

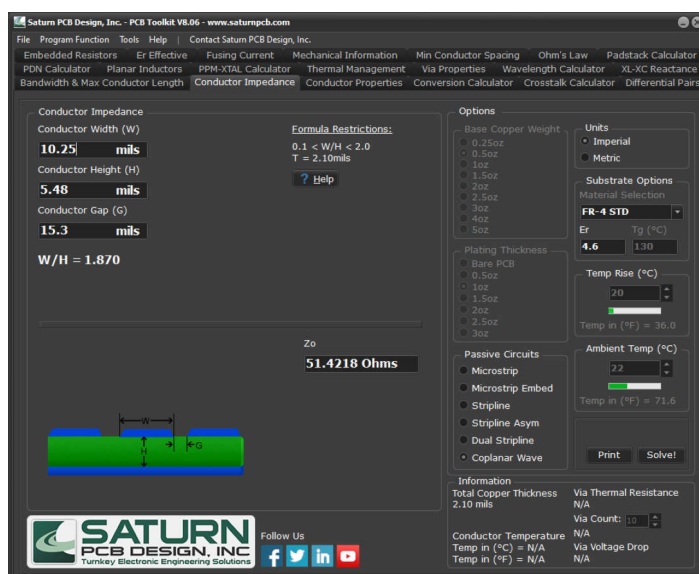


图 3-13. 计算布线阻抗的示例

3.4 XTAL

图 3-14 显示了 40MHz XTAL 的放置和布局及其与 CC33xx 器件的连接。

图 3-14 是从 BP-CC3351 设计文件中提取的样图。



图 3-14. 来自 BP-CC3351 的 40MHz XTAL

集成 XTAL 时，请遵循指南列表：

- 将 XTAL 连接到 CC3351 器件 (XTAL_P 和 XTAL_M) 的布线应尽可能短且布线长度一致。
- 在 XTAL_P 引脚上尽可能靠近 CC33xx 器件的位置放置一个 150 Ω 电阻器。
- 两个负载电容器必须与 XTAL 的边沿平行。
- 在晶体下方的一层 (第 2 层) 上，在 XTAL 和负载电容器区域下方放置一个切口。检查第 2 层下方的层 (第 3 层) 在同一区域下方是否有良好的接地。有关可视化表示，请参阅图 3-15。
- 在可能的情况下，通过在 XTAL 周围缝合来增加接地，以实现更好的隔离。

图 3-15 是从 M2-CC3351 设计文件的第 3 层提取的样图。

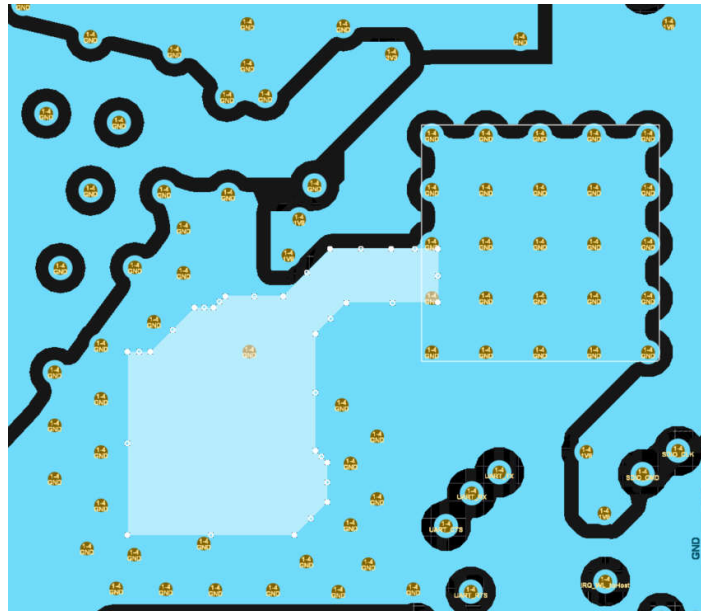


图 3-15. XTAL 切口下的层的参考布局

3.5 电源

电源、接地布线和去耦电容器对于改进布局非常重要。因为去耦电容器会靠近器件和电源的射频引脚和布线，因此布线必须足够粗才能支持器件所需的电流。

- **PA_LDO_OUT (引脚 1)** : TI 建议将去耦电容器放置在靠近器件引脚的位置，并使用足够粗的布线来实现到电容器的低阻抗路径。有关可视化表示，请参阅图 3-16。
- **VDDA_IN1 和 VDDA_IN2 (引脚 4 和 5)** : 去耦电容器的电源侧必须与一个带有两个电源过孔 (每个去耦电容器一个) 的多边形区域短接在一起。每个电容器的接地侧必须通过单独的过孔直接接地 (不要短接在一起)，并与顶层接地平面的其余部分隔离。
- 对于 1.8V 电源传输，必须使用粗布线或电源平面来承载 VDD_MAIN_IN、VIO、VDDA_IN1、VDDA_IN2 和 VPP_IN 引脚中所需的总电流消耗量。请参阅表 2-2 了解最大电流消耗。
- 1.8V 路径必须位于器件周围的一层上，不能是顶层或接地层 (将路径放置在第 3 层或第 4 层)。这样，电源路径不能中断顶层 (第 1 层) 或连续接地层 (第 2 层) 上的射频布线。每个 1.8V 电源仅使用一个过孔。1.8V 电源电流不得在器件下方流动。
- 对于 3.3V 电源传输，必须使用粗布线或电源平面来承载 PA_LDO_IN 引脚所需的电流消耗量。有关更多信息，请参阅表 2-2。电源传输也必须置于一个非顶层或接地层的层上 (第 3 层或第 4 层)。
- **PA_LDO_IN (引脚 39 和 40)** : 这两个引脚必须与一个实心区域短接在一起。去耦电容器必须靠近器件放置。如果可能，使用两个过孔来提供 3.3V 电源轨。
- 引脚 37 和 38 的接地端必须与一个实心区域短接在一起。这个实心区域必须连接至器件的散热接地焊盘。
- 引脚 3 的接地端必须短接到器件下方的散热焊盘以及短接到与 RF 布线相邻的接地平面。

图 3-16 是从 BP-CC3351 设计文件中提取的样图。

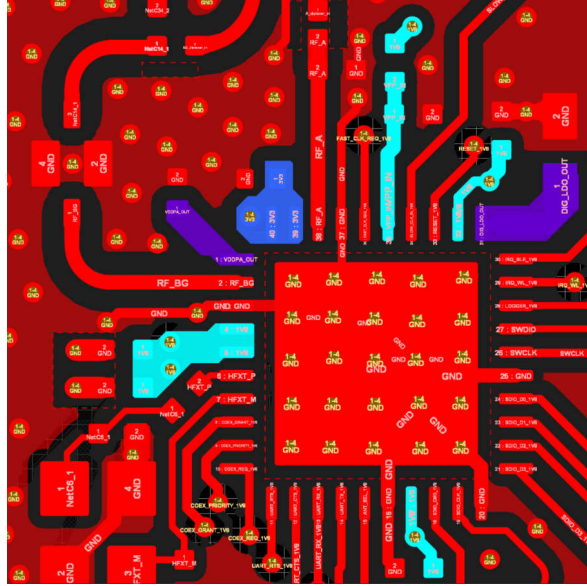


图 3-16. CC33xx 电源的参考布局

图 3-17 是从 M2-CC3351 设计文件中提取的样图。

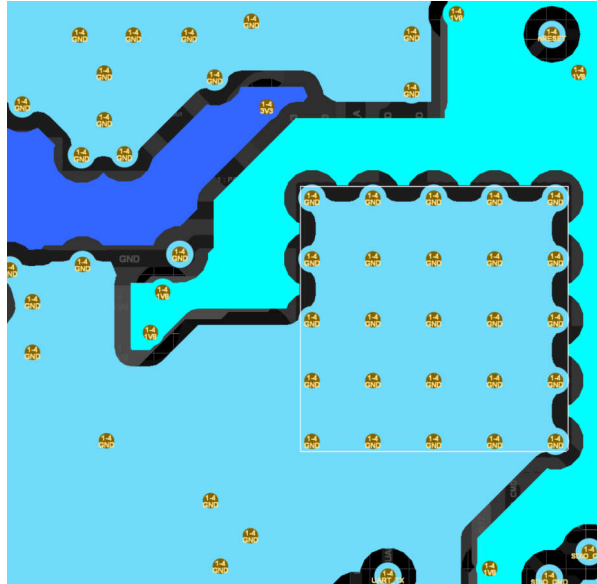


图 3-17. 电源层的参考布局

3.6 SDIO

SDIO 是与主机处理器连接用于实现 WLAN 功能的主要通信接口，也可用于共享 SDIO 协议中的 BLE 功能。由于时钟原因，这些信号特别敏感，因此必须按原样设计。

SDIO 线路包括 SDIO_CLK、SDIO_CMD、SDIO_D0、SDIO_D1、SDIO_D2 和 SDIO_D3。特别是 SDIO_CLK 信号非常敏感，必须特别关注。为了保持可靠的 SDIO 通信，请考虑以下布局注意事项：

- TI 建议 SDIO 线路的宽度至少为 5mil。
- SDIO 布线要尽可能远离其他数字或模拟信号布线。
- TI 建议在 SDIO 总线周围添加接地屏蔽。

- **SDIO_CLK** 必须通过接地过孔（拼接过孔）和相邻的接地平面与所有其他信号隔离。信号布线的间隙至少为其他 **SDIO** 信号布线宽度的两倍。
- 将 **SDIO** 线路相互平行布线，长度要尽可能短（以便减少传播延迟），其间隙为布线宽度的 **1.5** 倍。
- **SDIO** 布线的长度必须在 **100mil** 容差范围内进行匹配，以便在所有布线上同时提供采样数据。有关长度调优的直观示例，请参阅图 3-18。

图 3-18 是从 BP-CC3351 设计文件中提取的样图。

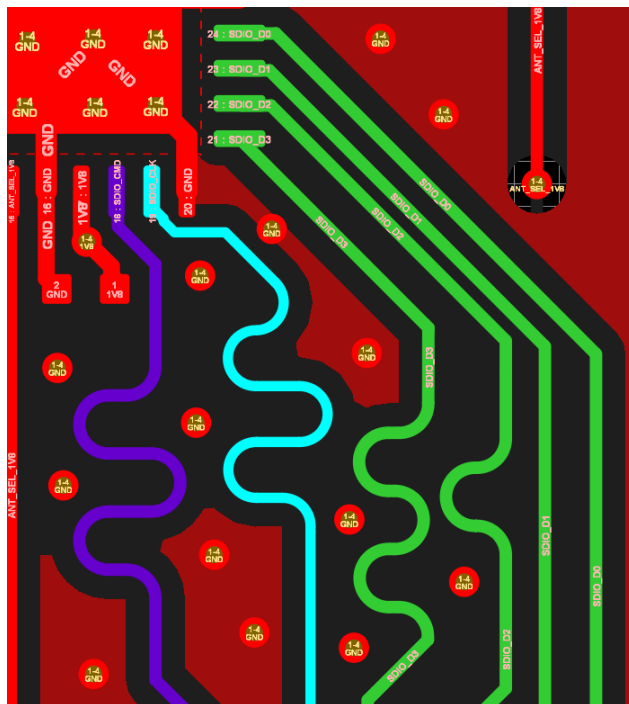


图 3-18. SDIO 信号的参考布局

4 原理图注意事项 - CC33xxMOD

CC33xxMOD 器件设计为可以轻松地集成到任何系统中，并且只需要很少的外部元件。根据最终应用，连接主机处理器 (MPU 或 MCU) 的数字接口具有高度灵活性。用户可以决定使用 SDIO、SPI 或 UART 的任意组合来进行共享 Wi-Fi 和低功耗蓝牙通信。

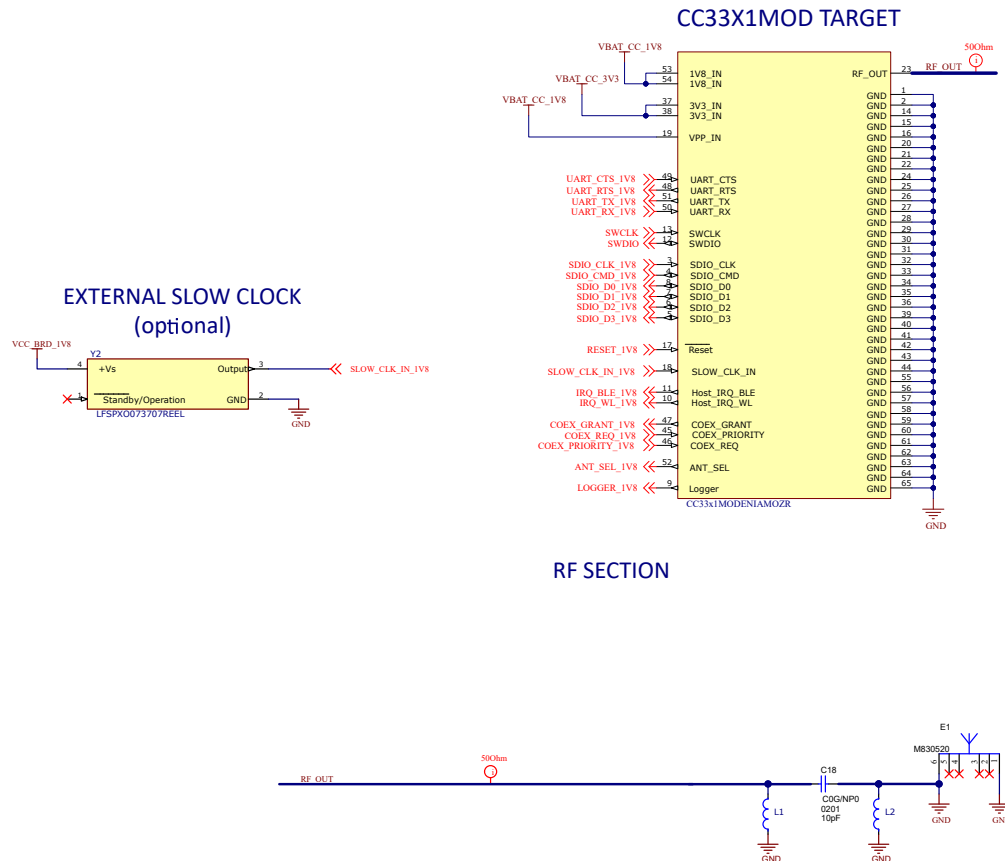
本节介绍了 CC33xx 单芯片与 CC33xxMOD 预认证模块的原理图要求之间的差异。CC33xxMOD 原理图的所有其他指南与 CC33xx 器件类似，可以相应地遵循。

4.1 原理图参考设计 - CC33xxMOD

TI 建议尽可能遵循 CC33xxMOD 器件的参考设计和指南，以实现 CC33xxMOD 器件的全部功能 (如器件特定数据表中所列) 并通过认证。在此处访问为 CC33xxMOD 器件所推荐的原理图设计：

[CC33xxMOD 参考设计文件](#)

图 4-1 显示了 CC33xxMOD 器件的参考原理图。



A. 可在内部生成慢速时钟。与在内部提供慢速时钟相比，可以选择使用外部慢速时钟，从而降低能耗。

图 4-1. CC33xxMOD 参考原理图

4.2 电源

有两个电源轨必须路由到 CC33xxMOD 器件：

- 1.8V : 1V8_IN、VPP_IN
- 3.3V : 3V3_IN

有关电源引脚工作条件的详细信息，请参阅[节 4.2](#)。

表 4-1. 所需器件电源

引脚	信号	方向 (I/O)	所需电压 (典型值)
19	VPP_IN	I	1.8V
53	1V8_IN	I	1.8V
54	1V8_IN	I	1.8V
37	3V3_IN	I	3.3V
38	3V3_IN	I	3.3V

5 布局注意事项 - CC33xxMOD

CC33xxMOD 器件设计为可以轻松地集成到任何系统中，并且只需要很少的外部元件。根据最终应用，连接主机处理器 (MPU 或 MCU) 的数字接口具有高度灵活性。用户可以决定使用 SDIO、SPI 或 UART 的任意组合来进行共享 Wi-Fi 和低功耗蓝牙通信。

本节介绍了 CC33xx 单芯片与 CC33xxMOD 预认证模块的原理图要求之间的差异。CC33xxMOD 布局的所有其他指南与 CC33xx 器件类似，可以相应地遵循。

备注

在继续进行涉及 CC33xxMOD 器件的任何硬件构建之前，TI 建议在提交设计以供审查之前仔细查看 [CC33x1 设计检查清单](#)

5.1 CC33xxMOD 射频布局建议

就布局而言，该无线模块的射频部分具有最高优先级。重要的是，射频部分必须正确布局，以保持模块的最佳性能。糟糕的布局可能会导致低输出功率、EVM 劣化、灵敏度下降和遮罩违规。

图 5-1 展示了带有外部天线的 CC33xxMOD 模块的射频布局和布线。

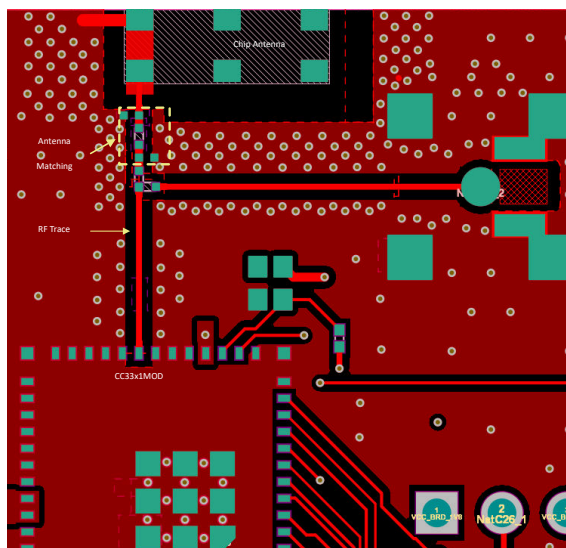


图 5-1. 射频部分布局

请遵循以下针对 CC33xxMOD 器件的射频布局建议：

- 射频布线必须具有 $50\ \Omega$ 阻抗，且不应短于 9.24mm。
- 射频布线弯曲部分必须采用渐变曲线，必须避免 90 度弯曲。
- 射频布线不得有尖角。
- 天线部分下方不得有引线或接地端。
- 射频布线必须在接地平面上在射频布线两侧都有过孔拼接。
- 射频布线必须尽量短。考虑到产品外壳材料和距离，天线、射频引线和模块必须位于 PCB 产品的边缘。

遵循一般布局建议列表：

- 在模块下方布置一个实心接地层和多个接地过孔，用于系统稳定和散热。
- 请勿在模块下方的模块安装层上放置信号迹线。

6 CC33xxMOD 法规遵从性

CC33xxMOD 系列器件易于使用，并可缩短客户的产品上市时间。

请按照以下概括性步骤完成集成：

- 按照以下步骤设计您的载体 PCB：
 - 针对 [OEM 集成商的重要通告](#) 中列出的设计指南。
 - 使用 [天线安装指南](#) 中的天线。
- 评估您计划配送产品的地区并确定相应的监管机构：
 - 对于已有 TI 认证的地区：
 - TI 模块专门为轻松重复使用认证而设计。
 - 完全集成步骤取决于地区，但在大多数用例中，集成仅限于文书工作或合规性抽查。
 - 对于其他地区：
 - 与相应的监管机构合作，确定合规步骤。

CC33xxMOD 的报告可在 [SIMPLELINK-CC33XX-REPORTS](#) 页面上找到。

ID 在 [表 6-1](#) 和 [表 6-2](#) 中列出：

表 6-1. CC330xMOD 认证

模型名称	监管机构	ID
CC33MOD	FCC	Z64-CC33SBMOD
	ISED	451I-CC33SBMOD
	CE / ETSI	不适用
	日本 / TELEC	201-250389 (测试等级：01， CC3301MOD)
	日本 / TELEC	201-250390 (测试等级：00， CC3300MOD)

表 6-2. CC335xMOD 认证

模型名称	监管机构	ID
CC33MOD-DB	FCC	Z64-CC33DBMOD
	ISED	451I-CC33DBMOD
	CE / ETSI	不适用
	日本 / TELEC	201-250530 (测试等级：51， CC3351MOD)
	日本 / TELEC	201-250531 (测试等级：50， CC3350MOD)

要利用 [表 6-1](#) 和 [表 6-2](#) 中监管测试机构的 ID，TI 建议提交 [模块认证申请表](#)，并获取 TI 针对 FCC 和 ISED 的授权书。

6.1 CC33xxMOD OEM 集成手册

针对 OEM 集成商的重要通告

- 此模块仅限于 OEM 安装。
- 根据第 2.1091 (b) 部分，此模块仅限于在移动或固定应用中安装。

3. 有关跟踪设计说明，请参阅器件的数据表。作为使用布线设计的模块，该模块依靠主机产品制造商来准备天线连接器。必须在主机产品中使用的第 15 部分授权发送器上采用唯一的天线连接器。模块制造商提供了可接受的唯一连接器列表（请参阅表 6-4）。
4. 所有其他操作配置都需要单独批准，包括与第 2.1093 部分相关的便携式配置和不同的天线配置。
5. 对于 FCC 第 15.31 (h) 及 (k) 部分：主机产品的制造商负责进行额外的测试，以验证复合系统的合规性。在测试主机器件是否符合第 15 部分 B 子部分时，主机产品制造商需要在发送器模块（或多个模块）的安装和运行期间显示符合第 15 部分 B 子部分的要求。模块必须正在发送，并且评估必须确认模块的有意发射（例如，基本发射和带外发射）符合要求。主机产品的制造商必须确认除了第 15 部分 B 子部分允许的辐射之外没有其他非故意发射，或者发射符合发送器（或多个发送器）的规则。

天线安装

- (1) 安装天线时必须确保天线和用户之间保持 20cm 的距离。
- (2) 发射器模块不得与任何其他发射器或天线并置。
- (3) 此模块只能使用相同类型且增益相等或更小的天线（请参阅表 6-4）。其他类型的天线及增益更高的天线可能需要额外的操作授权。

表 6-3. CC330xMOD 经认证天线列表

品牌	器件型号	天线类型
Kyocera AVX	M830520	芯片天线

表 6-4. CC335xMOD 经认证天线列表

品牌	器件型号	天线类型
Kyocera AVX	M830520	芯片天线
Kyocera AVX	W4P42X8W04-U100D3B0A	外部 PCB 天线
TDK	ANT162442DT-2001A2	芯片天线
Yageo/Pulse	ANT3216A063R2455A	芯片天线
Yageo/Pulse	W5028T	偶极（棒）天线
Yageo/Pulse	W3078T	单极（陶瓷）天线
Yageo/Pulse	W3917B0100T	偶极（柔性 PC）天线
Molex	204281-1100	外部 PCB 天线
Molex	146153-1100	外部 PCB 天线
Molex	204281-0100	外部 PCB 天线
Molex	146153-0100	FPC
Unictron	H2B1PD1A1C385L	外部 PCB 天线
Unictron	H2B1PC1A1C095L	外部 PCB 天线
Laird	WTS2450	鞭状天线
TEConnectivity	001-0012	鞭状天线
Chang Hong	DA-2458-02	鞭状天线
Ezurio	001-0016	柔性 PIFA

备注

CC330xMOD 仅通过了 M830520 天线认证。CC335xMOD 支持表 6-4 中的所有天线。

终端产品标示

为遵守在加拿大和美国使用的 CC330xMOD 或 CC335xMOD 模块化批准要求，OEM/主机制造商必须在终端产品和用户手册中包含图 6-1 和图 6-2 所示的以下示例标签：

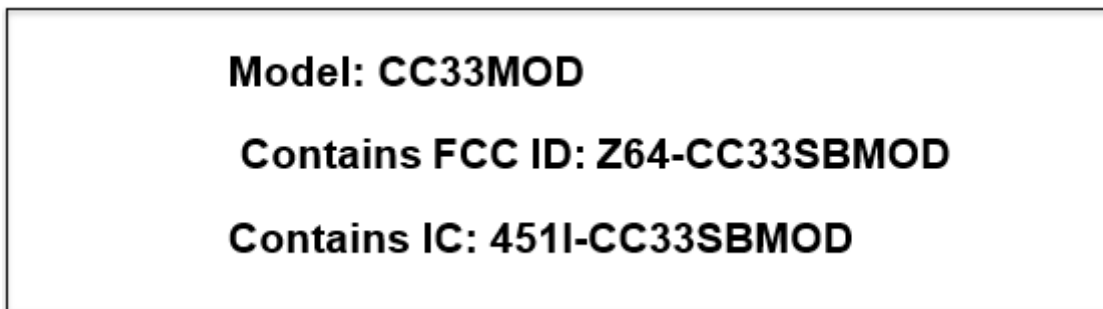


图 6-1. CC330xMOD 终端产品标示

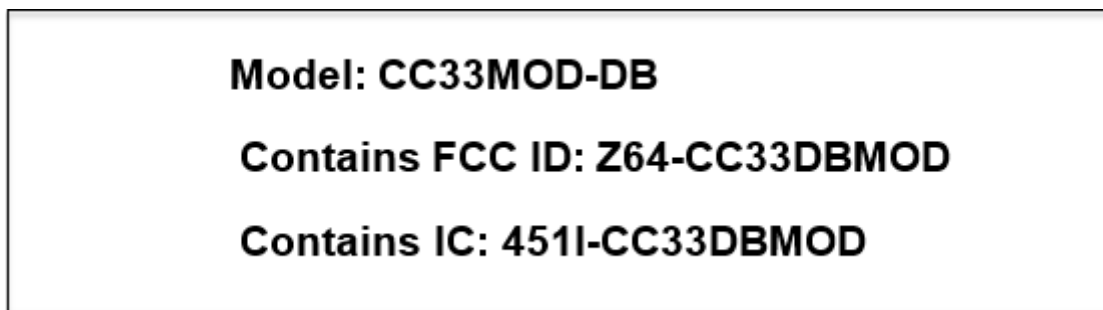


图 6-2. CC335xMOD 终端产品标示

EMI 注意事项

有关主机器件合规性的指导，请参阅 KDB 996369 D04 和 D02。

要进行更改的信息

仅允许受许可方进行许可的变更。如果主机集成商期望的模块使用方式与授权使用方式不同，请联系 TI：
connectivity-wifi-cert@list.ti.com

7 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

Changes from JANUARY 9, 2026 to JUNE 17, 2026 (from Revision A (January 2026) to Revision B (June 2026))

	Page
• 添加了原理图注释.....	4
• 更新了布局注意事项.....	19
• 添加了额外的仅 CC335x 项目符号.....	24
• 更新了布局注意事项.....	32
• 将 ISED ID 从 461I-CC33DBMOD 更改为 451I-CC33DBMOD。更新了“法规遵从性”部分。.....	33
• 添加了 OEM 集成指南.....	33

Changes from DECEMBER 14, 2023 to JANUARY 8, 2026 (from Revision * (December 2023) to Revision A (January 2026))

	Page
• 更新了模块信息.....	3
• 删除了链接并添加了表格.....	3
• 添加了额外的原理图信息.....	4
• 删除了 加电顺序 部分.....	7
• 增加了 启动序列 部分.....	7
• 添加了适用于双频带配置的其他内容.....	10
• 新增了 WLAN 中断请求 (HOST_IRQ_WL) 部分.....	16
• 添加了 记录器 部分.....	17
• 添加了 原理图注意事项 - CC33xxMOD 部分和子部分.....	31
• 添加了 布局注意事项 - CC33xxMOD 部分和子部分.....	32
• 添加了 CC33xxMOD 法规遵从性 部分和子部分.....	33
• 添加了模块信息.....	33

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 [TI 销售条款](#)、[TI 通用质量指南](#) 或 [ti.com](#) 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2026，德州仪器 (TI) 公司

最后更新日期：2025 年 10 月