User's Guide

适用于 AM65 Sitara™ 处理器的 TPS65941319-Q1 PMIC 用户指南

摘要

本用户指南可用于指导将 TPS6594-Q1 电源管理集成电路 (PMIC) 集成到为工业 AM65x Sitara™ 处理器供电的系统中。

内容

1 简介....2
2 器件版本....2
3 处理器连接....2
3.1 电源映射....2
3.2 控制映射....6
4 支持功能安全系统....8
5 静态 NVM 设置....9
5.1 基于应用程序的配置设置....9
5.2 器件标识设置....9
5.3 BUCK 设置....10
5.4 LDO 设置....12
5.5 VCCA 设置....13
5.6 GPIO 设置....13
5.7 有限状态机 (FSM) 设置....15
5.8 中断设置....16
5.9 POWERGOOD 设置....18
5.10 其他设置....19
5.11 接口设置....20
5.12 看门狗设置....20
6 可预配置的有限状态机 (PFSM) 设置....20
6.1 配置的状态....21
6.2 PFSM 触发条件....23
6.3 电源序列....24
7 应用示例....39
7.1 在不同状态之间切换：运行、仅 MCU 和保持....39
7.2 进入和退出待机状态....40
7.3 进入和退出 LP_STANDBY 状态....41
7.4 运行时定制....41
8 参考资料....41
9 修订历史记录....41

商标

Sitara™ is a trademark of Texas Instruments.
所有商标均为其各自所有者的财产。

English Document: SLVUCI5
Copyright © 2025 Texas Instruments Incorporated

1 简介

本用户指南介绍了一种配电网络 (PDN)，它使用 TPS6594-Q1 器件为具有独立 MCU 和主电源轨的 AM65x 处理器供电。这个 PDN 可根据需要实现 MCU 安全岛和主电压源的板级隔离，从而实现处理器所需的两个功能：

- MCU 处理器充当主处理资源上的独立安全监控器（MCU 安全岛），保持系统安全运行。
- MCU 处理器使系统保持最低运行模式（仅 MCU），这显著降低了处理器功耗，从而延长待机使用情况下的电池寿命并能降低元件温度。

以下主题旨在说明平台系统运行：

- PDN 电源连接
- PDN 数字控制连接
- 主辅 PMIC 的静态 NVM 设置
- 支持高级处理器系统不同 PDN 电源状态转换的 PMIC 时序设置

PMIC 和处理器数据手册提供了建议的运行条件、电气特性、建议的外部元件、封装详情、寄存器映射和整体元件功能。如果任何用户指南、应用报告或其他参考资料之间存在任何不一致的地方，应以数据表规格为准。

2 器件版本

TPS6594-Q1 器件有多个不同的可订购器件型号 (OPN)，具有独特的 NVM 设置，以支持不同的最终产品用例和处理器类型。每个 PMIC 器件的独特 NVM 设置根据 PDN 设计进行了优化，以支持不同的处理器、处理负载、SDRAM 类型、系统功能安全级别和最终产品特性（如低功耗模式、处理器电压和内存子系统）。NVM_ID 和 NVM_REV 这两个寄存器均可识别 NVM 设置。每个 PMIC 器件可通过表 2-1 中列出的器件型号、NVM_ID 和 NVM_REV 值进行区分。

表 2-1. TPS6594-Q1 适用于 AM65x 处理器的可订购器件型号

支持的功能	可订购器件型号	TI_NVM_ID	TI_NVM_REV
• 具有 1.1GHz (Turbo) 时钟和峰值功率估算的 AM65Superset 用例 • 支持高达 105°C 的 AM65x 结温 (Tj)。 • 在监控 SoC 电源轨的情况下，功能安全最高可达 SIL - 3 级。 • （可选）系统低功耗模式：仅 MCU、挂起至 RAM (S2R) • 支持 DDR3L、DDR4 和 LPDDR4 存储器类型 • （可选）提供低频时钟源 (32KHz) • 支持 UHS - I SD 卡（双电压 IO） • 支持 3.3V 和 1.8V IO	TPS65941319RWERQ1	0x19	0x01
• IO 电源轨上能够支持各种外设（八通道 SPI、eMMC 等） • （可选）支持电子保险丝系统内编程 • （可选）外部组件（降压转换器、LDO 等）可以用客户自己选择的器件替换	TPS65941319RWERQ1	0x19	0x01

3 处理器连接

本部分详细介绍了 TPS6594-Q1 电源和 GPIO 信号如何连接到处理器和其他外设元件。

3.1 电源映射

图 3-1 显示了支持独立 MCU 和主电源轨所需的 TPS6594-Q1 PMIC 电源器件与处理器电压域之间的电源映射。在该配置中，PMIC 使用 3.3V 输入电压。对于安全应用，在 VCCA 之前有一个保护 FET 连接到主 PMIC 的 OVPGDRV 引脚，允许对 PMIC 的输入电源进行电压监测和控制。

English Document: SLVUCI5
Copyright © 2025 Texas Instruments Incorporated

此 PDN 使用五个分立式电源组件，其中四个是必需的，一个是可选的，具体取决于是否需要电子保险丝特性。三个负载开关与 BUCK4 稳压器产生了多个独立的 IO 电源轨，具有以下优势：

- 通过使用 PMIC GPIO 控制信号以及所需的启动和关断时序延迟，按照所需的顺序对 SoC 电源域进行时序控制，如节 6.3 部分所示。
- 通过对 VCCA 过压进行 PMIC 监控（请参阅节 5.5），PMIC GPIO 可以在检测到 OV 时从 SoC 上断开这些 3.3V 电源轨。
- 需要低功耗模式（仅 MCU 和 S2R 保持），因为需要独立禁用/监控 SoC 的 IO 域。

备注

所选的负载开关 (TPS22919) 适用于轻负载 (< 500mA)。对于更大的负载，建议使用 TPS22965 或类似器件。

第四个分立式器件为 TPS628502 降压转换器，该转换器负责为 LPDDR4 SDRAM 组件提供所需的 1.1V 电源。最后一个分立式电源元件是可选的 TLV70018-Q1 LDO，如果最终产品使用高安全处理器类型并希望能够在板上对 Efuse 值进行编程，则可以使用该元件。如果不需要此特性，则可以省略此 LDO，并按照数据手册中的建议端接处理器引脚。

备注

该处理器支持多种 DDR 存储器类型，包括 DDR3L、DDR4 和 LPDDR4。这些存储器技术各自需要不同的电压才能工作。因此，PMIC 中故意未包含 DDR 电压的稳压器。PMIC 确实包含控制信号，以按照正确的顺序启用/禁用外部 DDR 稳压器。

Copyright © 2025 Texas Instruments Incorporated

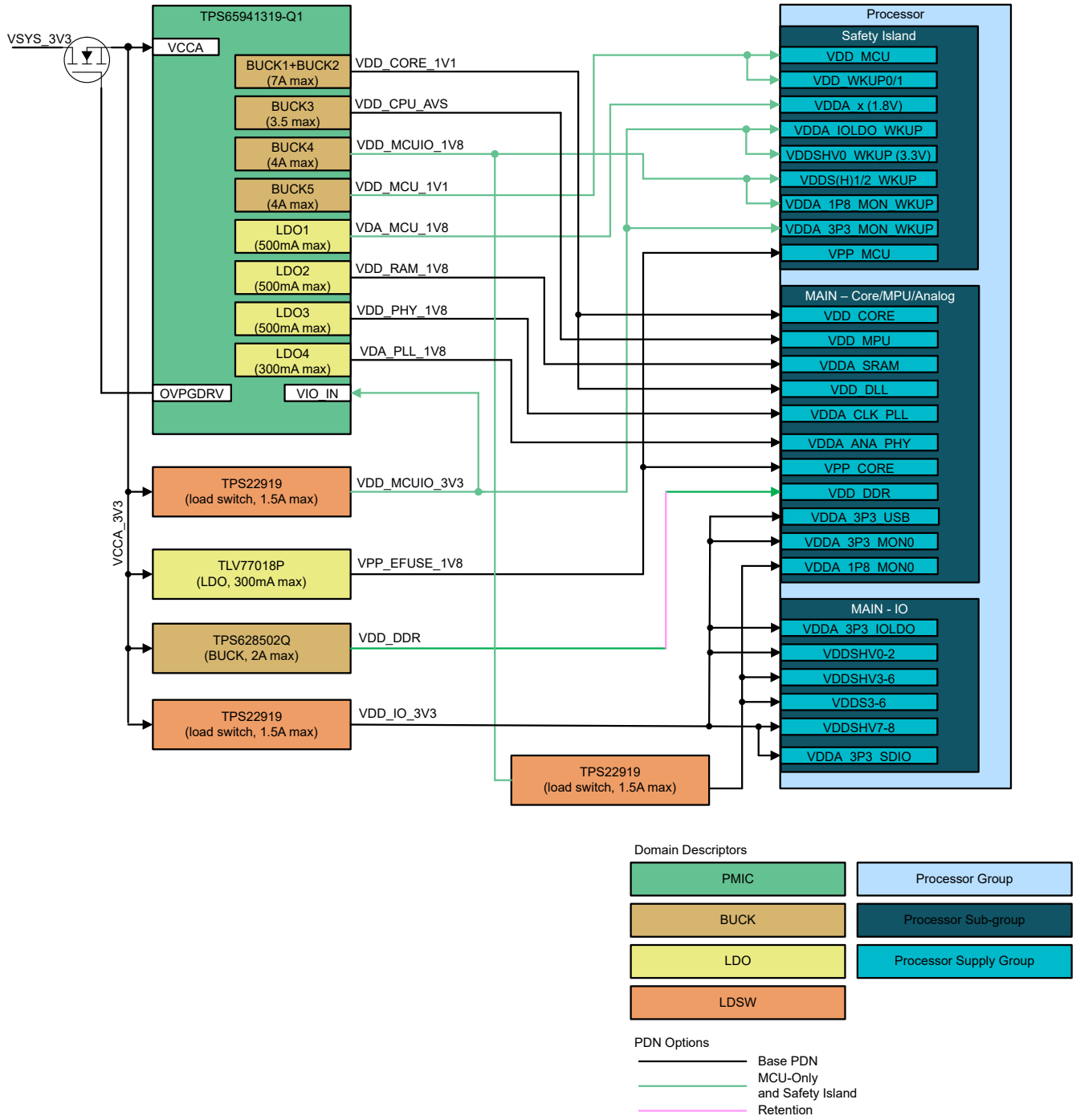


图 3-1. 电源连接

- VDD_CPU_AVS，启动电压为 1.1V，然后软件设置器件专用 AVS。

English Document: SLVUCI5
Copyright © 2025 Texas Instruments Incorporated

表 3-1 确定了需要哪些电源来支持不同的系统特性。“有源 SoC”列中有一个额外的选项来包含或排除 VPP_x(EFUSE) 电源轨。

表 3-1. PDN 电源映射和系统特性

电源映射				系统特性(1)		
器件	电源	电源轨	处理器和存储器域	有源 SoC	仅 MCU	DDR 保持
TPS65941319-Q1	BUCK12	VDD_CORE_1V1	VDD_CORE、VDD_DLL_MMC0/1	R		
	BUCK3	VDD_CPU	VDD_MPU0/1	R		
	BUCK4	VDD_MCUIO_1V8	VDDS1/2_WKUP、VCCSHV1/2_WKUP、VDDA_1P8_MON_WKUP	R	R	
	BUCK5	VDD_MCU_1V1	VDD_MCU、VDD_WKUP0/1	R	R	
	LDO1	VDA_MCU_1V8	VDDA_LDO_WKUP、VDDA_MCU/WKUP、VDDA_ADC_MCU、VDDA_POR_WKUP	R	R	
	LDO2	VDD_RAM_1V8	VDDA_SRAM_CORE0/1、VDDA_SRAM_MPU0/1、VDDA_1P8_OLDI0	R		
	LDO3	VDD_PHY_1V8	VDDA_1P8_CSI0、VDDA_1P8_SERDES0	R		
	LDO4	VDA_PLL_1V8	VDDA_PLL_CORE、VDDA_PLL0/1_DDR、VDDA_PLL_MPU0/1、VDDA_PLL_DSS、VDDA_PLL_PER0、VDDS_OSC1	R		
TPS22919	负载开关	VDD_MCUIO_3V3	VDDA_3P3_IOLDO_WKUP、VDDSHV0_WKUP、VDDA_3P3_MON_WKUP	R(2)	R	
TPS22919	负载开关	VDD_IO_3V3	VDDA_3P3_USB、VDDA_3P3_MON0、VDDA_3P3_IOLDO0/1、VDDSHV0-2、VDDSHV7-8、VDDA_3P3_SDIO	R(3)		
TPS22919	负载开关	VDD_IO_1V8	VDDA_1P8_MON0、VDDS3-6、VDDSHV3-6、	R(4)		
TLV70018	LDO	VPP_EFUSE_1V8	VPP_x(EFUSE)	O		
TPS628502Q	BUCK	VDD_DDR	VDDS_DDR	R	R(5)	

(1) “R”是必需的，而“O”是可选的。如果保留“空白”，则在该模式期间不会启用稳压器。
(2) 为 VDD_MCUIO_3V3 供电的 TPS22919 由 TPS65941319-Q1 GPIO3 控制。
(3) 为 VDD_IO_3V3 供电的 TPS22919 由 TPS65941319-Q1 GPIO5 控制。
(4) 为 VDD_IO_1V8 供电的 TPS22919 由 TPS65941319-Q1 GPIO6 控制。
(5) TPS628502Q 由 TPS65941319-Q1 GPIO4 进行控制，并会在 FSM_I2C_TRIGGERS 中的 TRIGGER_I2C_7 置位期间保持运行。

Copyright © 2025 Texas Instruments Incorporated

3.2 控制映射

图 3-2 展示了处理器和 PMIC 器件之间的数字控制信号映射。从 TPS6594-Q1 PMIC 到处理器的连接提供错误监控、处理器复位、处理器唤醒和系统低功耗模式。

图 3-2 所示的数字连接可实现一些系统特性，包括“仅 MCU 的 MCU 安全岛”和保持模式以及性能高达 SIL-3 的功能安全。

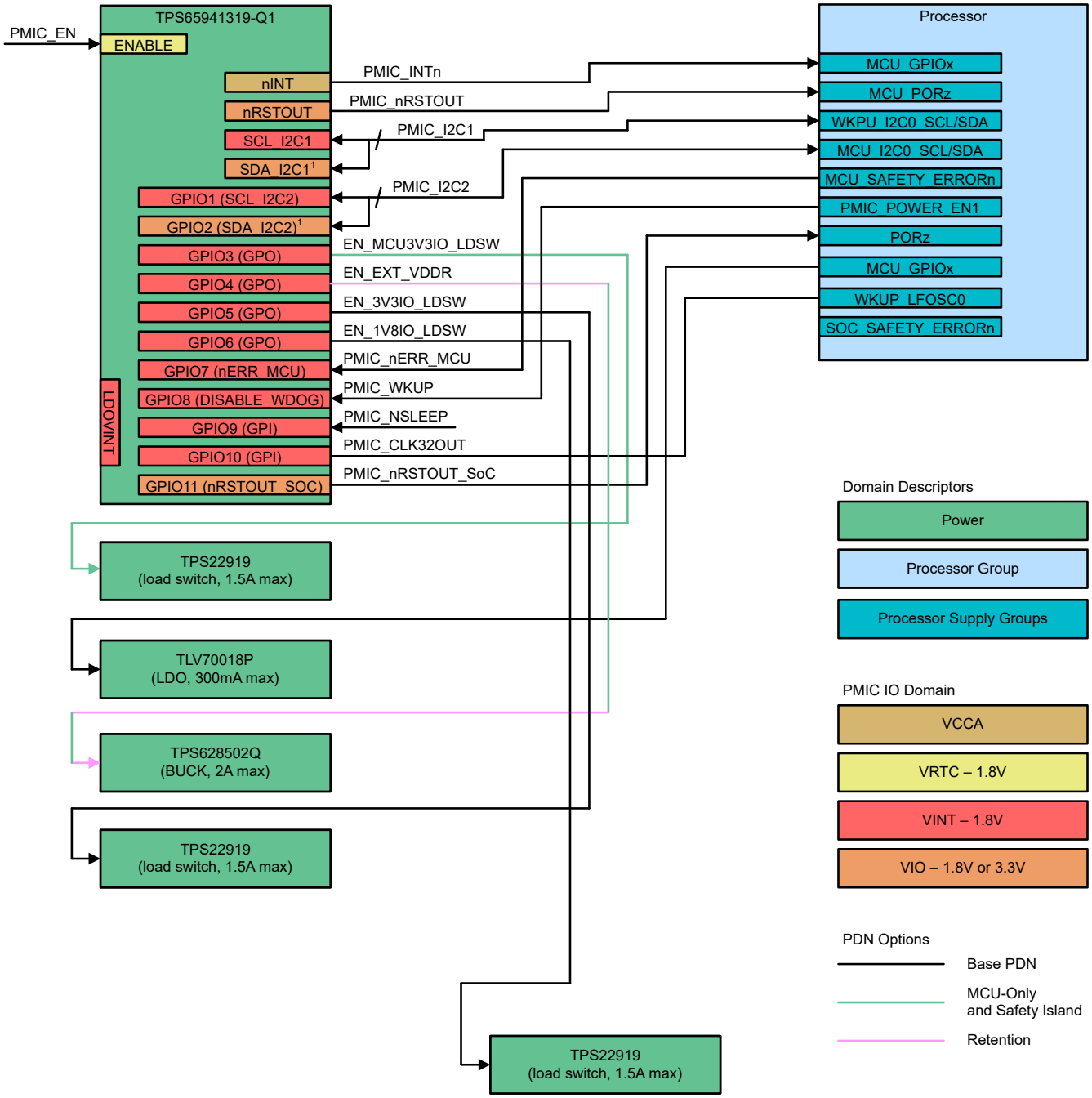


图 3-2. TPS6594-Q1 数字连接

English Document: SLVUCI5
Copyright © 2025 Texas Instruments Incorporated

1. PMIC IO 可以针对输入和输出功能使用不同的电源域。I2C1 和 I2C2 的 SDA 功能使用 VINT 电压域作为输入，并使用 VIO 电压域作为输出。有关完整说明，请参阅器件数据表。
2. GPIO8 配置为 DISABLE_WDOG 引脚。当 PMIC 设置 nRSTOUT 时，GPIO8 的逻辑电平会锁存到 WD_PWRHOLD 位中。如果为低电平，则看门狗进入长窗口，处理器必须在长窗口到期或 PMIC 执行处理器热复位之前为 WDOG 提供服务。为 WDOG 提供服务后，可以通过 I2C2 保持对 WDOG 的控制，并且可以将 GPIO8 重新用于 WKUP1 或 WKUP2。WKUP1 和 WKUP2 在 LP_STANDBY 中不起作用。
3. GPIO9、NSLEEP1 或 NSLEEP2 未连接到处理器且不属于 PDN。如果客户选择使用此 GPIO，则必须在运行时定义该功能。

备注

IO 的 PMIC 电压域可以根据配置的不同而不同。当配置为输入时，GPIO3 和 GPIO4 均在 VRTC 域中。当配置为输出时，GPIO3 和 GPIO4 均在 VINT 域中。

备注

除 I2C 信号外，还有四个附加信号为开漏输出，需要上拉至特定电源轨。有关信号和特定电源轨的列表，请参阅 表 3-2。

表 3-2. 开漏信号和电源轨

PDN 信号	上拉电源轨
PMIC_INTn	VDD_MCUIO_3V3
PMIC_nRSTOUT	VDA_MCU_1V8
PMIC_nRSTOUT_SOC	VDA_MCU_1V8
PMIC_I2C1	VDD_MCUIO_3V3
PMIC_I2C2	VDD_MCUIO_3V3

Copyright © 2025 Texas Instruments Incorporated

使用 表 3-3 指导如何分配每个 PDN 系统特性所需的 GPIO。如果不需要所列出的特性，可以删除数字连接；但是，GPIO 引脚仍会按照显示的由 NVM 定义的默认功能进行配置。启动后，处理器可以重新配置未使用的 GPIO 以支持新功能。只要该功能仅在启动后才需要且默认功能不与正常操作产生任何冲突（例如，两个输出驱动同一网络），就可以重新配置 GPIO 功能。

表 3-3. 按系统特性划分的数字连接

器件	GPIO 映射			系统特性(1)			
	PMIC 引脚	NVM 功能	PDN 信号	功能安全	有源 SoC	MCU - 仅 MCU 安全岛	保持
TPS65941319-Q1	nPWRON/ ENABLE	启用	PMIC_ENABLE		R		R
	INT	INT	PMIC_INTn	R			
	nRSTOUT	nRSTOUT	PMIC_nRSTOUT	R	R	R	
	SCL_I2C1	SCL_I2C1	PMIC_I2C1(2)	R			
	SDA_I2C1	SDA_I2C1					
	GPIO_1	SCL_I2C2	PMIC_I2C2	R			
	GPIO_2	SDA_I2C2					
	GPIO_3	GPO	EN_MCU3V3IO_LDSW		R		
	GPIO_4	GPO	EN_EXT_VDDR		R	O	
	GPIO_5	GPO	EN_3V3IO_LDSW		R		
	GPIO_6	GPO	EN_1V8IO_LDSW		R		
	GPIO_7	nERR_MCU	PMIC_nERR_MCU	R			
	GPIO_8	DISABLE_WDOG(3)	PMIC_WKUP	R			
	GPIO_9	GPI	PMIC_nSLEEP				
	GPIO_10	GPI	PMIC_CLK32OUT				
	GPIO_11	nRSTOUT_SOC	PMIC_nRSTOUT_SoC	R			

(1) R 是必需项。O 是可选项。如果留空，则资源不用于支持该功能。
(2) I2C1 是主要的 I^2C 通信，是功能安全所必需的。此通信通道用于查询和清除中断，以及与错误信号监控器 (ESM) 连接。I^2C 还用于在运行、仅 MCU 和保持状态之间转换。此外，GPIO9、PMIC_nSLEEP 用于在状态之间转换。
(3) 如果期望通过硬件禁用看门狗，则需要 GPIO_8，并且必须在 nRSTOUT 变为高电平时将其设置为高电平。nRSTOUT 变为高电平后，看门狗状态被锁定，可以通过软件将该引脚配置为用于其他功能。

4 支持功能安全系统

TPS65941319 提供以下功能安全特性：

- MCU 和主电源轨的独立电源控制
- MCU (nRSTOUT) 和主电源轨 (nRSTOUT_SOC) 的独立监控和重置
- 输入电源监控
- 输出电压和电流监控
- 看门狗相关问答
- 故障报告中断
- 提供独立路径以禁用系统执行器的使能驱动引脚
- 错误引脚监控
- 内部诊断，包括电压监控、温度监控和内置自检

有关 PMIC 功能安全特性的完整说明和分析，请参阅 TPS6594-Q1 器件的安全手册。这些功能安全特性可以帮助系统达到 ASIL-D 等级。此外，这些特性有助于实现处理器为达到 ASIL-D 等级所使用的功能安全假设。

Copyright © 2025 Texas Instruments Incorporated

5 静态 NVM 设置

TPS6594-Q1 器件包含用户寄存器空间和一个 NVM。本部分介绍了 NVM 中的设置，这些设置会在器件从 INIT 转换到 BOOT BIST 期间载入用户寄存器。注意：用户寄存器可以在状态转换（例如从待机模式切换到运行模式）期间发生更改。TPS6594-Q1 数据表中说明了用户寄存器映射。

5.1 基于应用程序的配置设置

根据 TPS6594-Q1 数据表，每个降压稳压器可从七种基于应用程序的配置中选择一种来运行。以下列表包括可用的不同配置：

- 用于 DDR 终端的 2.2MHz 单相
- 4.4MHz VOUT 低于 1.9V，多相或高 COUT 单相
- 4.4MHz VOUT 低于 1.9V，低 COUT，仅单相
- 4.4MHz VOUT 高于 1.7V，仅单相
- 2.2MHz VOUT 低于 1.9V，多相或单相
- 2.2MHz 全 VOUT 范围且 VIN 高于 4.5V，仅单相
- 2.2MHz 全 VOUT 范围且全 VIN 范围，仅单相

这七种配置还具有最佳输出电感值，可在各种条件下优化每个降压稳压器的性能。表 5-1 显示了各个降压稳压器的默认配置。这些设置在器件启动后不能更改。

表 5-1. 应用程序用例设置

器件	BUCK 轨	默认应用程序用例	建议的电感器值
TPS65941319-Q1	BUCK1	2.2MHz VOUT 低于 1.9V，多相或单相	470nH
	BUCK2	2.2MHz VOUT 低于 1.9V，多相或单相	470nH
	BUCK3	4.4MHz VOUT 低于 1.9V，多相或高 COUT 单相	220nH
	BUCK4	4.4MHz VOUT 低于 1.9V，多相或高 COUT 单相	220nH
	BUCK5	4.4MHz VOUT 低于 1.9V，多相或高 COUT 单相	220nH

5.2 器件标识设置

这些设置用于区分在系统中检测到哪个器件。这些设置在器件启动后不能更改。

表 5-2. 器件标识 NVM 设置

寄存器名称	字段名称	TPS65941319-Q1	
		值	说明
DEV_REV	DEVICE_ID	0x2	
NVM_CODE_1	TI_NVM_ID	0x19	
NVM_CODE_2	TI_NVM_REV	0x1	
PHASE_CONFIG	MP_CONFIG	0x2	2+1+1+1

English Document: SLVUCI5
Copyright © 2025 Texas Instruments Incorporated

5.3 BUCK 设置

这些设置详细说明了 NVM 中存储的 BUCK 电源轨电压、配置和监控。所有这些设置都可以在启动后通过 I2C 进行更改。一些设置（通常为使能位）也通过 PFSM 进行更改，如节 6.3 中所述。

节 6.3.8 序列完成后，BUCKx_EN 位会针对 BUCK1、BUCK3、BUCK4 和 BUCK5 进行设置。BUCKx_VMON_EN 位会针对 BUCK1、BUCK3、BUCK4 和 BUCK5 进行设置。BUCKx_RV_SEL 位会针对所有 BUCK 进行清零。其他位保持不变，但仍可通过 I2C 进行访问。

表 5-3. BUCK NVM 设置

		TPS65941319-Q1	
寄存器名称	字段名称	值	说明
BUCK1_CTRL	BUCK1_EN	0x0	禁用；BUCK1 稳压器
	BUCK1_FPWM	0x0	PFM 和 PWM 操作（自动模式）。
	BUCK1_FPWM_MP	0x0	自动增相和切相。
	BUCK1_VMON_EN	0x0	禁用；OV、UV、SC 和 ILIM 比较器。
	BUCK1_VSEL	0x0	BUCK1_VOUT_1
	BUCK1_PLDN	0x1	启用；下拉电阻
	BUCK1_RV_SEL	0x1	启用
BUCK1_CONF	BUCK1_SLEW_RATE	0x3	5.0 mV/µs
	BUCK1_ILIM	0x5	5.5A
BUCK2_CTRL	BUCK2_EN	0x0	禁用；BUCK2 稳压器
	BUCK2_FPWM	0x0	PFM 和 PWM 操作（自动模式）。
	BUCK2_VMON_EN	0x0	禁用；OV、UV、SC 和 ILIM 比较器。
	BUCK2_VSEL	0x0	BUCK2_VOUT_1
	BUCK2_PLDN	0x1	启用；下拉电阻
	BUCK2_RV_SEL	0x1	启用
BUCK2_CONF	BUCK2_SLEW_RATE	0x3	5.0 mV/µs
	BUCK2_ILIM	0x5	5.5A
BUCK3_CTRL	BUCK3_EN	0x0	禁用；BUCK3 稳压器
	BUCK3_FPWM	0x0	PFM 和 PWM 操作（自动模式）。
	BUCK3_FPWM_MP	0x0	自动增相和切相。
	BUCK3_VMON_EN	0x0	禁用；OV、UV、SC 和 ILIM 比较器。
	BUCK3_VSEL	0x0	BUCK3_VOUT_1
	BUCK3_PLDN	0x1	启用；下拉电阻
	BUCK3_RV_SEL	0x1	启用
BUCK3_CONF	BUCK3_SLEW_RATE	0x3	5.0 mV/µs
	BUCK3_ILIM	0x5	5.5A
BUCK4_CTRL	BUCK4_EN	0x0	禁用；BUCK4 稳压器
	BUCK4_FPWM	0x0	PFM 和 PWM 操作（自动模式）。
	BUCK4_VMON_EN	0x0	禁用；OV、UV、SC 和 ILIM 比较器。
	BUCK4_VSEL	0x0	BUCK4_VOUT_1
	BUCK4_PLDN	0x1	启用；下拉电阻
	BUCK4_RV_SEL	0x1	启用
BUCK4_CONF	BUCK4_SLEW_RATE	0x3	5.0 mV/µs
	BUCK4_ILIM	0x5	5.5A

English Document: SLVUCI5
Copyright © 2025 Texas Instruments Incorporated

表 5-3. BUCK NVM 设置（续）

寄存器名称	字段名称	TPS65941319-Q1	
		值	说明
BUCK5_CTRL	BUCK5_EN	0x0	禁用；BUCK5 稳压器
	BUCK5_FPWM	0x0	PFM 和 PWM 操作（自动模式）。
	BUCK5_VMON_EN	0x0	禁用；OV、UV、SC 和 ILIM 比较器。
	BUCK5_VSEL	0x0	BUCK5_VOUT_1
	BUCK5_PLDN	0x1	启用下拉电阻
	BUCK5_RV_SEL	0x1	启用
BUCK5_CONF	BUCK5_SLEW_RATE	0x3	5.0 mV/µs
	BUCK5_ILIM	0x3	3.5A
BUCK1_VOUT_1	BUCK1_VSET1	0x73	1.10V
BUCK1_VOUT_2	BUCK1_VSET2	0x0	0.3V
BUCK2_VOUT_1	BUCK2_VSET1	0x73	1.10V
BUCK2_VOUT_2	BUCK2_VSET2	0x0	0.3V
BUCK3_VOUT_1	BUCK3_VSET1	0x73	1.10V
BUCK3_VOUT_2	BUCK3_VSET2	0x0	0.3V
BUCK4_VOUT_1	BUCK4_VSET1	0xb2	1.80V
BUCK4_VOUT_2	BUCK4_VSET2	0x0	0.3V
BUCK5_VOUT_1	BUCK5_VSET1	0x73	1.10V
BUCK5_VOUT_2	BUCK5_VSET2	0x0	0.3V
BUCK1_PG_WINDOW	BUCK1_OV_THR	0x3	+5% / +50mV
	BUCK1_UV_THR	0x3	-5% / -50mV
BUCK2_PG_WINDOW	BUCK2_OV_THR	0x3	+5% / +50mV
	BUCK2_UV_THR	0x3	-5% / -50mV
BUCK3_PG_WINDOW	BUCK3_OV_THR	0x3	+5% / +50mV
	BUCK3_UV_THR	0x3	-5% / -50mV
BUCK4_PG_WINDOW	BUCK4_OV_THR	0x3	+5% / +50mV
	BUCK4_UV_THR	0x3	-5% / -50mV
BUCK5_PG_WINDOW	BUCK5_OV_THR	0x3	+5% / +50mV
	BUCK5_UV_THR	0x3	-5% / -50mV

English Document: SLVUCI5
Copyright © 2025 Texas Instruments Incorporated

5.4 LDO 设置

这些设置详细说明了 NVM 中存储的 LDO 电源轨电压、配置和监控。所有这些设置都可以在启动后通过 I²C 进行更改。一些设置（通常为使能位）也通过 PFSM 进行更改，如节 6.3 中所述。

在 节 6.3.8 序列完成后，对于所有 LDO，将 LDOx_EN 和 LDOx_VMON_EN 位置位，并将 LDOx_RV_SEL 位清零。其他位保持不变，但仍可通过 I²C 进行访问。

表 5-4. LDO NVM 设置

寄存器名称	字段名称	TPS65941319-Q1	
		值	说明
LDO1_CTRL	LDO1_EN	0x0	禁用；LDO1 稳压器。
	LDO1_SLOW_RAMP	0x0	LDO 输出从 0.3V 到 LDOn_VSET 的 90% 时的最大斜升转换率为 25mV/us
	LDO1_PLDN	0x1	125Ω
	LDO1_VMON_EN	0x0	禁用 OV 和 UV 比较器。
	LDO1_RV_SEL	0x1	启用
LDO2_CTRL	LDO2_EN	0x0	禁用；LDO2 稳压器。
	LDO2_SLOW_RAMP	0x0	LDO 输出从 0.3V 到 LDOn_VSET 的 90% 时的最大斜升转换率为 25mV/us
	LDO2_PLDN	0x1	125Ω
	LDO2_VMON_EN	0x0	禁用；OV 和 UV 比较器。
	LDO2_RV_SEL	0x1	启用
LDO3_CTRL	LDO3_EN	0x0	禁用；LDO3 稳压器。
	LDO3_SLOW_RAMP	0x0	LDO 输出从 0.3V 到 LDOn_VSET 的 90% 时的最大斜升转换率为 25mV/us
	LDO3_PLDN	0x1	125Ω
	LDO3_VMON_EN	0x0	禁用；OV 和 UV 比较器。
	LDO3_RV_SEL	0x1	启用
LDO4_CTRL	LDO4_EN	0x0	禁用；LDO4 稳压器。
	LDO4_SLOW_RAMP	0x0	LDO 输出从 0.3V 到 LDOn_VSET 的 90% 时的最大斜升转换率为 25mV/us
	LDO4_PLDN	0x1	125Ω
	LDO4_VMON_EN	0x0	禁用；OV 和 UV 比较器。
	LDO4_RV_SEL	0x1	启用
LDO1_VOUT	LDO1_VSET	0x1c	1.80V
	LDO1_BYPASS	0x0	线性稳压器模式。
LDO2_VOUT	LDO2_VSET	0x1c	1.80V
	LDO2_BYPASS	0x0	线性稳压器模式。
LDO3_VOUT	LDO3_VSET	0x1c	1.80V
	LDO3_BYPASS	0x0	线性稳压器模式。
LDO4_VOUT	LDO4_VSET	0x38	1.800 V
LDO1_PG_WINDOW	LDO1_OV_THR	0x3	+5% / +50mV
	LDO1_UV_THR	0x3	-5% / -50mV
LDO2_PG_WINDOW	LDO2_OV_THR	0x3	+5% / +50mV
	LDO2_UV_THR	0x3	-5% / -50mV
LDO3_PG_WINDOW	LDO3_OV_THR	0x3	+5% / +50mV
	LDO3_UV_THR	0x3	-5% / -50mV
LDO4_PG_WINDOW	LDO4_OV_THR	0x3	+5% / +50mV
	LDO4_UV_THR	0x3	-5% / -50mV

Copyright © 2025 Texas Instruments Incorporated

5.5 VCCA 设置

这些设置详细说明了在 VCCA 上启用的默认监控。所有这些设置都可以在启动后通过 I²C 进行更改。

表 5-5. VCCA NVM 设置

寄存器名称	字段名称	TPS65941319-Q1	
		值	说明
VCCA_VMON_CTRL	VMON_DEGLITCH_SEL	0x1	20us
	VCCA_VMON_EN	0x1	启用；OV 和 UV 比较器。
VCCA_PG_WINDOW	VCCA_OV_THR	0x7	+10%
	VCCA_UV_THR	0x7	-10%
	VCCA_PG_SET	0x0	3.3V
GENERAL_REG_1	FAST_VCCA_OVP	0x0	慢，已启用 4µs 抗尖峰脉冲滤波器
GENERAL_REG_3	LPM_EN_DISABLES_VCCA_VMON	0x1	如果 VCCA_VMON_EN=1 且 LPM_EN=0，则启用 VCCA_VMON

5.6 GPIO 设置

这些设置详细说明了 GPIO 电源轨的默认配置。所有这些设置都可以在启动后通过 I²C 进行更改。请注意，GPIOx_SEL 字段的内容决定了 GPIOx_CONF 和 GPIO_OUT_x 寄存器中的哪些其他字段是适用的。若要了解适用于每个 GPIOx_SEL 选项的 NVM 字段，请参阅 TPS6594-Q1 数据表中的*数字信号说明*部分。

表 5-6. GPIO NVM 设置

寄存器名称	字段名称	TPS65941319-Q1	
		值	说明
GPIO1_CONF	GPIO1_OD	0x0	推挽式输出
	GPIO1_DIR	0x0	输入
	GPIO1_SEL	0x1	SCL_I2C2/CS_SPI
	GPIO1_PU_SEL	0x0	选择下拉电阻
	GPIO1_PU_PD_EN	0x0	禁用；上拉/下拉电阻。
	GPIO1_DEGLITCH_EN	0x0	无抗尖峰脉冲，仅同步。
GPIO2_CONF	GPIO2_OD	0x0	推挽式输出
	GPIO2_DIR	0x0	输入
	GPIO2_SEL	0x2	SDA_I2C2/SDO_SPI
	GPIO2_PU_SEL	0x0	选择下拉电阻
	GPIO2_PU_PD_EN	0x0	禁用；上拉/下拉电阻。
	GPIO2_DEGLITCH_EN	0x0	无抗尖峰脉冲，仅同步。
GPIO3_CONF	GPIO3_OD	0x0	推挽式输出
	GPIO3_DIR	0x1	输出
	GPIO3_SEL	0x0	GPIO3
	GPIO3_PU_SEL	0x0	选择下拉电阻
	GPIO3_PU_PD_EN	0x0	禁用；上拉/下拉电阻。
	GPIO3_DEGLITCH_EN	0x0	无抗尖峰脉冲，仅同步。
GPIO4_CONF	GPIO4_OD	0x0	推挽式输出
	GPIO4_DIR	0x1	输出
	GPIO4_SEL	0x0	GPIO4
	GPIO4_PU_SEL	0x0	选择下拉电阻
	GPIO4_PU_PD_EN	0x0	禁用；上拉/下拉电阻。
	GPIO4_DEGLITCH_EN	0x0	无抗尖峰脉冲，仅同步。

English Document: SLVUCI5
Copyright © 2025 Texas Instruments Incorporated

表 5-6. GPIO NVM 设置（续）

寄存器名称	字段名称	TPS65941319-Q1	
		值	说明
GPIO5_CONF	GPIO5_OD	0x0	推挽式输出
	GPIO5_DIR	0x1	输出
	GPIO5_SEL	0x0	GPIO5
	GPIO5_PU_SEL	0x0	选择下拉电阻
	GPIO5_PU_PD_EN	0x0	禁用；上拉/下拉电阻。
	GPIO5_DEGLITCH_EN	0x0	无抗尖峰脉冲，仅同步。
GPIO6_CONF	GPIO6_OD	0x0	推挽式输出
	GPIO6_DIR	0x1	输出
	GPIO6_SEL	0x0	GPIO6
	GPIO6_PU_SEL	0x0	选择下拉电阻
	GPIO6_PU_PD_EN	0x0	禁用；上拉/下拉电阻。
	GPIO6_DEGLITCH_EN	0x0	无抗尖峰脉冲，仅同步。
GPIO7_CONF	GPIO7_OD	0x0	推挽式输出
	GPIO7_DIR	0x0	输入
	GPIO7_SEL	0x1	NERR_MCU
	GPIO7_PU_SEL	0x0	选择下拉电阻
	GPIO7_PU_PD_EN	0x1	启用；上拉/下拉电阻。
	GPIO7_DEGLITCH_EN	0x1	8µs 抗尖峰脉冲时间。
GPIO8_CONF	GPIO8_OD	0x0	推挽式输出
	GPIO8_DIR	0x0	输入
	GPIO8_SEL	0x3	DISABLE_WDOG
	GPIO8_PU_SEL	0x0	选择下拉电阻
	GPIO8_PU_PD_EN	0x1	启用；上拉/下拉电阻。
	GPIO8_DEGLITCH_EN	0x1	8µs 抗尖峰脉冲时间。
GPIO9_CONF	GPIO9_OD	0x0	推挽式输出
	GPIO9_DIR	0x0	输入
	GPIO9_SEL	0x0	GPIO9
	GPIO9_PU_SEL	0x0	选择下拉电阻
	GPIO9_PU_PD_EN	0x1	启用；上拉/下拉电阻。
	GPIO9_DEGLITCH_EN	0x1	8µs 抗尖峰脉冲时间。
GPIO10_CONF	GPIO10_OD	0x0	推挽式输出
	GPIO10_DIR	0x0	输入
	GPIO10_SEL	0x0	GPIO10
	GPIO10_PU_SEL	0x0	选择下拉电阻
	GPIO10_PU_PD_EN	0x1	启用；上拉/下拉电阻。
	GPIO10_DEGLITCH_EN	0x0	无抗尖峰脉冲，仅同步。
GPIO11_CONF	GPIO11_OD	0x1	开漏输出
	GPIO11_DIR	0x1	输出
	GPIO11_SEL	0x2	NRSTOUT_SOC
	GPIO11_PU_SEL	0x0	选择下拉电阻
	GPIO11_PU_PD_EN	0x0	禁用；上拉/下拉电阻。
	GPIO11_DEGLITCH_EN	0x0	无抗尖峰脉冲，仅同步。

English Document: SLVUCI5
Copyright © 2025 Texas Instruments Incorporated

表 5-6. GPIO NVM 设置（续）

寄存器名称	字段名称	TPS65941319-Q1	
		值	说明
NPWRON_CONF	NPWRON_SEL	0x0	启用
	ENABLE_PU_SEL	0x0	选择下拉电阻
	ENABLE_PU_PD_EN	0x1	启用；上拉/下拉电阻。
	ENABLE_DEGLITCH_EN	0x1	启用时抗尖峰脉冲时间为 8µs，NPWRON 时抗尖峰脉冲时间为 50ms。
	ENABLE_POL	0x0	高电平有效
	NRSTOUT_OD	0x1	开漏输出
GPIO_OUT_1	GPIO1_OUT	0x0	低
	GPIO2_OUT	0x0	低
	GPIO3_OUT	0x0	低
	GPIO4_OUT	0x0	低
	GPIO5_OUT	0x0	低
	GPIO6_OUT	0x0	低
	GPIO7_OUT	0x0	低
	GPIO8_OUT	0x0	低
GPIO_OUT_2	GPIO9_OUT	0x0	低
	GPIO10_OUT	0x0	低
	GPIO11_OUT	0x0	低

5.7 有限状态机 (FSM) 设置

这些设置描述了如何为 PMIC 输出轨分配各种系统级状态。此外，还描述了每个系统级状态的默认触发条件。所有这些设置都可以在启动后通过 I^2C 进行更改。

表 5-7. FSM NVM 设置

寄存器名称	字段名称	TPS65941319-Q1	
		值	说明
RAIL_SEL_1	BUCK1_GRP_SEL	0x2	SOC 电源轨组
	BUCK2_GRP_SEL	0x2	SOC 电源轨组
	BUCK3_GRP_SEL	0x2	SOC 电源轨组
	BUCK4_GRP_SEL	0x1	MCU 电源轨组
RAIL_SEL_2	BUCK5_GRP_SEL	0x1	MCU 电源轨组
	LDO1_GRP_SEL	0x1	MCU 电源轨组
	LDO2_GRP_SEL	0x2	SOC 电源轨组
	LDO3_GRP_SEL	0x2	SOC 电源轨组
RAIL_SEL_3	LDO4_GRP_SEL	0x2	SOC 电源轨组
	VCCA_GRP_SEL	0x1	MCU 电源轨组
FSM_TRIG_SEL_1	MCU_RAIL_TRIG	0x2	MCU 电源错误
	SOC_RAIL_TRIG	0x3	SOC 电源错误
	OTHER_RAIL_TRIG	0x1	有序关断
	SEVERE_ERR_TRIG	0x0	立即关断
FSM_TRIG_SEL_2	MODERATE_ERR_TRIG	0x1	有序关断

English Document: SLVUCI5
Copyright © 2025 Texas Instruments Incorporated

5.8 中断设置

这些设置详细说明了由 nINT 引脚监控的项目的默认配置。所有这些设置都可以在启动后通过 I2C 进行更改。

表 5-8. 中断 NVM 设置

寄存器名称	字段名称	TPS65941319-Q1	
		值	说明
FSM_TRIG_MASK_1	GPIO1_FSM_MASK	0x1	已屏蔽
	GPIO1_FSM_MASK_POL	0x0	低；屏蔽层将信号值设置为“0”
	GPIO2_FSM_MASK	0x1	已屏蔽
	GPIO2_FSM_MASK_POL	0x0	低；屏蔽层将信号值设置为“0”
	GPIO3_FSM_MASK	0x1	已屏蔽
	GPIO3_FSM_MASK_POL	0x0	低；屏蔽层将信号值设置为“0”
	GPIO4_FSM_MASK	0x1	已屏蔽
	GPIO4_FSM_MASK_POL	0x0	低；屏蔽层将信号值设置为“0”
FSM_TRIG_MASK_2	GPIO5_FSM_MASK	0x1	已屏蔽
	GPIO5_FSM_MASK_POL	0x0	低；屏蔽层将信号值设置为“0”
	GPIO6_FSM_MASK	0x1	已屏蔽
	GPIO6_FSM_MASK_POL	0x0	低；屏蔽层将信号值设置为“0”
	GPIO7_FSM_MASK	0x1	已屏蔽
	GPIO7_FSM_MASK_POL	0x0	低；屏蔽层将信号值设置为“0”
	GPIO8_FSM_MASK	0x1	已屏蔽
	GPIO8_FSM_MASK_POL	0x0	低；屏蔽层将信号值设置为“0”
FSM_TRIG_MASK_3	GPIO9_FSM_MASK	0x1	已屏蔽
	GPIO9_FSM_MASK_POL	0x0	低；屏蔽层将信号值设置为“0”
	GPIO10_FSM_MASK	0x1	已屏蔽
	GPIO10_FSM_MASK_POL	0x0	低；屏蔽层将信号值设置为“0”
	GPIO11_FSM_MASK	0x1	已屏蔽
	GPIO11_FSM_MASK_POL	0x0	低；屏蔽层将信号值设置为“0”
MASK_BUCK1_2	BUCK1_ILIM_MASK	0x0	发生中断
	BUCK1_OV_MASK	0x0	发生中断
	BUCK1_UV_MASK	0x0	发生中断
	BUCK2_ILIM_MASK	0x0	发生中断
	BUCK2_OV_MASK	0x0	发生中断
	BUCK2_UV_MASK	0x0	发生中断
MASK_BUCK3_4	BUCK3_ILIM_MASK	0x0	发生中断
	BUCK3_OV_MASK	0x0	发生中断
	BUCK3_UV_MASK	0x0	发生中断
	BUCK4_OV_MASK	0x0	发生中断
	BUCK4_UV_MASK	0x0	发生中断
	BUCK4_ILIM_MASK	0x0	发生中断
MASK_BUCK5	BUCK5_ILIM_MASK	0x0	发生中断
	BUCK5_OV_MASK	0x0	发生中断
	BUCK5_UV_MASK	0x0	发生中断

English Document: SLVUCI5
Copyright © 2025 Texas Instruments Incorporated

表 5-8. 中断 NVM 设置（续）

寄存器名称	字段名称	TPS65941319-Q1	
		值	说明
MASK_LDO1_2	LDO1_OV_MASK	0x0	发生中断
	LDO1_UV_MASK	0x0	发生中断
	LDO2_OV_MASK	0x0	发生中断
	LDO2_UV_MASK	0x0	发生中断
	LDO1_ILIM_MASK	0x0	发生中断
	LDO2_ILIM_MASK	0x0	发生中断
MASK_LDO3_4	LDO3_OV_MASK	0x0	发生中断
	LDO3_UV_MASK	0x0	发生中断
	LDO4_OV_MASK	0x0	发生中断
	LDO4_UV_MASK	0x0	发生中断
	LDO3_ILIM_MASK	0x0	发生中断
	LDO4_ILIM_MASK	0x0	发生中断
MASK_VMON	VCCA_OV_MASK	0x1	未发生中断。
	VCCA_UV_MASK	0x1	未发生中断。
MASK_GPIO1_8_FALL	GPIO1_FALL_MASK	0x1	未发生中断。
	GPIO2_FALL_MASK	0x1	未发生中断。
	GPIO3_FALL_MASK	0x1	未发生中断。
	GPIO4_FALL_MASK	0x1	未发生中断。
	GPIO5_FALL_MASK	0x1	未发生中断。
	GPIO6_FALL_MASK	0x1	未发生中断。
	GPIO7_FALL_MASK	0x1	未发生中断。
	GPIO8_FALL_MASK	0x1	未发生中断。
MASK_GPIO1_8_RISE	GPIO1_RISE_MASK	0x1	未发生中断。
	GPIO2_RISE_MASK	0x1	未发生中断。
	GPIO3_RISE_MASK	0x1	未发生中断。
	GPIO4_RISE_MASK	0x1	未发生中断。
	GPIO5_RISE_MASK	0x1	未发生中断。
	GPIO6_RISE_MASK	0x1	未发生中断。
	GPIO7_RISE_MASK	0x1	未发生中断。
	GPIO8_RISE_MASK	0x1	未发生中断。
MASK_GPIO9_11/ MASK_GPIO9_10	GPIO9_FALL_MASK	0x0	发生中断
	GPIO9_RISE_MASK	0x0	发生中断
	GPIO10_FALL_MASK	0x1	未发生中断。
	GPIO11_FALL_MASK	0x1	未发生中断。
	GPIO10_RISE_MASK	0x1	未发生中断。
	GPIO11_RISE_MASK	0x1	未发生中断。
MASK_STARTUP	NPWRON_START_MASK	0x1	未发生中断。
	ENABLE_MASK	0x0	发生中断
	FSD_MASK	0x1	未发生中断。
	SOFT_REBOOT_MASK	0x0	发生中断
MASK_MISC	TWARN_MASK	0x0	发生中断
	BIST_PASS_MASK	0x0	发生中断
	EXT_CLK_MASK	0x1	未发生中断。

English Document: SLVUCI5
Copyright © 2025 Texas Instruments Incorporated

表 5-8. 中断 NVM 设置（续）

寄存器名称	字段名称	TPS65941319-Q1	
		值	说明
MASK_MODERATE_ERR	BIST_FAIL_MASK	0x0	发生中断
	REG_CRC_ERR_MASK	0x0	发生中断
	SPMI_ERR_MASK	0x1	未发生中断。
	NPWRON_LONG_MASK	0x1	未发生中断。
	NINT_READBACK_MASK	0x0	发生中断
	NRSTOUT_READBACK_ MASK	0x0	发生中断
MASK_FSM_ERR	IMM_SHUTDOWN_MASK	0x0	发生中断
	MCU_PWR_ERR_MASK	0x0	发生中断
	SOC_PWR_ERR_MASK	0x0	发生中断
	ORD_SHUTDOWN_MASK	0x0	发生中断
MASK_COMM_ERR	COMM_FRM_ERR_MASK	0x0	发生中断
	COMM_CRC_ERR_MASK	0x0	发生中断
	COMM_ADR_ERR_MASK	0x0	发生中断
	I2C2_CRC_ERR_MASK	0x0	发生中断
	I2C2_ADR_ERR_MASK	0x0	发生中断
MASK_READBACK_ERR	EN_DRV_READBACK_ MASK	0x0	发生中断
	NRSTOUT_SOC_ READBACK_MASK	0x0	发生中断
MASK_ESM	ESM_SOC_PIN_MASK	0x0	发生中断
	ESM_SOC_RST_MASK	0x0	发生中断
	ESM_SOC_FAIL_MASK	0x0	发生中断
	ESM_MCU_PIN_MASK	0x0	发生中断
	ESM_MCU_RST_MASK	0x0	发生中断
	ESM_MCU_FAIL_MASK	0x0	发生中断
GENERAL_REG_1	PFSM_ERR_MASK	0x0	发生中断

1. 在完成 BOOT_BIST 后，但在启动序列 节 6.3.8 之前，两个 PMIC 中的 VCCA_OV_MASK 和 VCCA_UV_MASK 都会被清零。

5.9 POWERGOOD 设置

这些设置详细说明了由 PGOOD 引脚监控的项目的默认配置。所有这些设置都可以在启动后通过 I^2C 进行更改。

表 5-9. POWERGOOD NVM 设置

寄存器名称	字段名称	TPS65941319-Q1	
		值	说明
PGOOD_SEL_1	PGOOD_SEL_BUCK1	0x0	已屏蔽
	PGOOD_SEL_BUCK2	0x0	已屏蔽
	PGOOD_SEL_BUCK3	0x0	已屏蔽
	PGOOD_SEL_BUCK4	0x0	已屏蔽
PGOOD_SEL_2	PGOOD_SEL_BUCK5	0x0	已屏蔽
PGOOD_SEL_3	PGOOD_SEL_LDO1	0x0	已屏蔽
	PGOOD_SEL_LDO2	0x0	已屏蔽
	PGOOD_SEL_LDO3	0x0	已屏蔽
	PGOOD_SEL_LDO4	0x0	已屏蔽

English Document: SLVUCI5
Copyright © 2025 Texas Instruments Incorporated

表 5-9. POWERGOOD NVM 设置（续）

寄存器名称	字段名称	TPS65941319-Q1	
		值	说明
PGOOD_SEL_4	PGOOD_SEL_VCCA	0x0	已屏蔽
	PGOOD_SEL_TDIE_WARN	0x0	已屏蔽
	PGOOD_SEL_NRSTOUT	0x0	已屏蔽
	PGOOD_SEL_NRSTOUT_ SOC	0x0	已屏蔽
	PGOOD_POL	0x0	当受监控输入有效时，PGOOD 信号为高电平
	PGOOD_WINDOW	0x0	仅监控欠压

5.10 其他设置

这些设置详细说明了附加设置的默认配置，例如展频、BUCK 频率和 LDO 超时。所有这些设置都可以在启动后通过 I^2C 进行更改。

表 5-10. 其他 NVM 设置

寄存器名称	字段名称	TPS65941319-Q1	
		值	说明
PLL_CTRL	EXT_CLK_FREQ	0x0	1.1MHz
CONFIG_1	TWARN_LEVEL	0x0	130C
	I2C1_HS	0x0	可通过 Hs 模式主代码设置为 Hs 模式，默认为标准、快速或快速+。
	I2C2_HS	0x0	可通过 Hs 模式主代码设置为 Hs 模式，默认为标准、快速或快速+。
	EN_ILIM_FSM_CTRL	0x0	降压/LDO 稳压器 ILIM 中断不会影响 FSM 触发条件。
	NSLEEP1_MASK	0x0	NSLEEP1(B) 会影响 FSM 状态转换。
	NSLEEP2_MASK	0x0	NSLEEP2(B) 会影响 FSM 状态转换。
CONFIG_2	BB_CHARGER_EN	0x0	禁用
	BB_VEOC	0x0	2.5V
	BB_ICHR	0x0	100uA
RECOV_CNT_REG_2	RECOV_CNT_THR	0xf	0xf
BUCK_RESET_REG	BUCK1_RESET	0x0	0x0
	BUCK2_RESET	0x0	0x0
	BUCK3_RESET	0x0	0x0
	BUCK4_RESET	0x0	0x0
	BUCK5_RESET	0x0	0x0
SPREAD_SPECTRUM_1	SS_EN	0x0	禁用展频
	SS_MODE	0x1	混合暂停
	SS_DEPTH	0x0	无调制
SPREAD_SPECTRUM_2	SS_PARAM1	0x7	0x7
	SS_PARAM2	0xc	0xc
FREQ_SEL	BUCK1_FREQ_SEL	0x0	2.2 MHz
	BUCK2_FREQ_SEL	0x0	2.2 MHz
	BUCK3_FREQ_SEL	0x1	4.4 MHz
	BUCK4_FREQ_SEL	0x1	4.4 MHz
	BUCK5_FREQ_SEL	0x1	4.4 MHz
FSM_STEP_SIZE	PFSM_DELAY_STEP	0xb	0xb
LDO_RV_TIMEOUT_ REG_1	LDO1_RV_TIMEOUT	0xf	16ms
	LDO2_RV_TIMEOUT	0xf	16ms

English Document: SLVUCI5
Copyright © 2025 Texas Instruments Incorporated

表 5-10. 其他 NVM 设置（续）

寄存器名称	字段名称	TPS65941319-Q1	
		值	说明
LDO_RV_TIMEOUT_ REG_2	LDO3_RV_TIMEOUT	0xf	16ms
	LDO4_RV_TIMEOUT	0xf	16ms
USER_SPARE_REGS	USER_SPARE_1	0x0	0x0
	USER_SPARE_2	0x0	0x0
	USER_SPARE_3	0x0	0x0
	USER_SPARE_4	0x0	0x0
ESM_MCU_MODE_ CFG	ESM_MCU_EN	0x0	禁用 ESM_MCU 。
ESM_SOC_MODE_ CFG	ESM_SOC_EN	0x0	禁用 ESM_SoC 。
CUSTOMER_NVM_ID_REG	CUSTOMER_NVM_ID	0x0	0x0
RTC_CTRL_2	XTAL_EN	0x1	启用晶体振荡器
	LP_STANDBY_SEL	0x1	低功耗待机状态用作待机状态（禁用 LDOINT）。
	FAST_BIST	0x0	逻辑和模拟 BIST 在 BOOT BIST 上运行。
	STARTUP_DEST	0x3	运行中
	XTAL_SEL	0x1	9pF
PFSM_DELAY_REG_1	PFSM_DELAY1	0x58	0x58
PFSM_DELAY_REG_2	PFSM_DELAY2	0x9d	0x9d
PFSM_DELAY_REG_3	PFSM_DELAY3	0x0	0x0
PFSM_DELAY_REG_4	PFSM_DELAY4	0x0	0x0
GENERAL_REG_0	FAST_BOOT_BIST	0x0	LBIST 在引导 BIST 期间运行
GENERAL_REG_1	REG_CRC_EN	0x1	启用寄存器 CRC

5.11 接口设置

这些设置详细说明了默认接口、接口配置和器件地址。这些设置在器件启动后不能更改。

表 5-11. 接口 NVM 设置

寄存器名称	字段名称	TPS65941319-Q1	
		值	说明
SERIAL_IF_CONFIG	I2C_SPI_SEL	0x0	I2C
	I2C1_SPI_CRC_EN	0x0	禁用 CRC
	I2C2_CRC_EN	0x0	禁用 CRC
I2C1_ID_REG	I2C1_ID	0x48	0x48
I2C2_ID_REG	I2C2_ID	0x12	0x12

5.12 看门狗设置

这些设置详细说明了默认的看门狗地址。这些设置可以在启动后通过 I^2C 进行更改。

表 5-12. 看门狗 NVM 设置

寄存器名称	字段名称	TPS65941319-Q1	
		值	说明
WD_LONGWIN_CFG	WD_LONGWIN	0xff	0xff
WD_THR_CFG	WD_EN	0x1	启用看门狗

6 可预配置的有限状态机 (PFSM) 设置

本部分介绍了 TPS6594-Q1 器件的默认 PFSM 设置。这些设置在器件启动后不能更改。

English Document: SLVUCI5
Copyright © 2025 Texas Instruments Incorporated

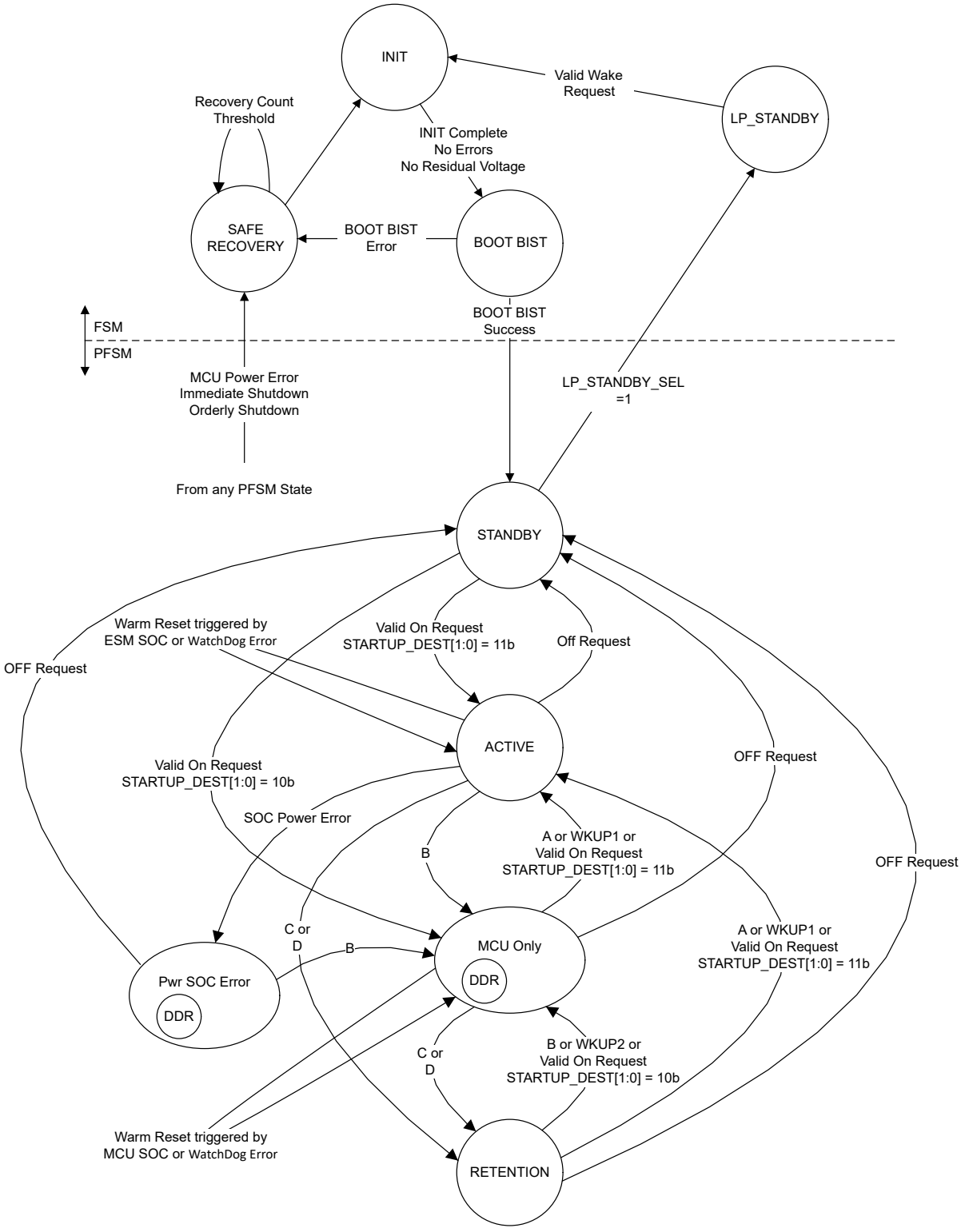
6.1 配置的状态

在此 PDN 中，PMIC 器件具有以下几种配置的电源状态：

- 待机
- 有效
- 仅 MCU
- Pwr SoC 错误
- 保持

图 6-1 展示了配置的 PDN 电源状态以及在状态之间变化所需的转换条件。此外，还显示了向硬件状态 (如 SAFE RECOVERY 和 LP_STANDBY) 的转换。硬件状态是固定器件电源有限状态机 (FSM) 的一部分，且在 *TPS6594-Q1 具有 5 个 Buck 和 4 个 LDO 且适用于安全相关汽车级应用的电源管理 IC (PMIC) 数据表*中进行了描述，请参阅 节 8。

English Document: SLVUCI5
Copyright © 2025 Texas Instruments Incorporated



Trigger	NSLEEP2	NSLEEP1
A	1	1
B	1	0
C	0	1
D	0	0

图 6-1. 可预配置有限状态机 (PFSM) 的任务状态和转换

English Document: SLVUCI5
Copyright © 2025 Texas Instruments Incorporated

当 PMIC 从 FSM 转换到 PFSM 时，将执行若干条初始化指令，以禁用 BUCK 和 LDO 稳压器上的残余电压检查、设置 FIRST_STARTUP_DONE 位并清除静态配置中设置的 VCCA OV 和 UV 掩码，表 5-8。执行这些指令后，PMIC 等待有效的开启请求，然后会进入运行状态。各电源状态定义如下：

STANDBY PMIC 由系统电源轨上的有效电源供电 (VCCA > VCCA_UV)。所有器件资源在待机状态下都会断电。在此状态下，EN_DRV 被强制为低电平。处理器处于关闭状态，没有电压域通电。请参阅节 6.3.2 序列说明。

当出现错误且 PMIC 从 PFSM 任务状态退出并进入 FSM 状态时，也会进入待机状态。当该器件从 FSM 状态返回到 PFSM 时，第一个状态会是待机状态，这时所有其他资源全部断电并且 EN_DRV 被强制为低电平。在 PMIC 退出 PFSM 并进入 FSM 状态 SAFE_RECOVERY 之前，会执行节 6.3.1 中的序列。

运行 PMIC 由有效电源供电。PMIC 功能齐全，可为所有的 PDN 负载供电。处理器已完成推荐的上电序列，MCU 和主处理器内的所有电压域均已通电。请参阅节 6.3.8 序列说明。

MCU_ONLY PMIC 由有效电源供电。只有分配给 MCU 安全岛的电源资源处于开启状态。通过 GPIO4 启用的 VDD_DDR 会在触发条件 I2C_7 为高电平时保持开启状态，并在 I2C_7 为低电平时转换到 MCU_ONLY 状态期间关闭。请参阅节 6.3.7 序列说明。

Pwr SoC 错误 PMIC 由有效电源供电。只有分配给 MCU 安全岛的电源资源处于开启状态。请参阅节 6.3.5 序列说明。唯一的主动触发条件是 B，需要 PMIC 返回到 MCU_ONLY 模式。仅在导致 SOC_PWR_ERROR 的中断清除后，才建议返回到 MCU_ONLY 模式并最终返回到运行模式。

保持 PMIC 由有效电源供电。只有 GPIO4 保持高电平，从而使能 VDD_DDR，所有其他域都关闭，以尽可能地降低系统总功耗。在此状态下，EN_DRV 被强制为低电平。请参阅节 6.3.9 序列说明。

6.2 PFSM 触发条件

如图 6-1 所示，存在各种可以在所配置的状态之间实现状态转换的触发条件。表 6-1 按照从最高优先级 (立即关断) 到最低优先级 (I2C_3) 的顺序，描述了每个触发条件及其相关的状态转换。优先级较高的主动触发条件会阻止优先级较低的触发条件和相关序列。

表 6-1. 状态转换触发条件

触发条件	优先级 (ID)	立即 (IMM)	可重入	PFSM 当前状态	PFSM 目标状态	执行的电源序列或功能
立即关断	0	是	假	待机、运行、仅 MCU、挂起至 RAM	安全(1)	TO_SAFE_SEVERE
MCU 电源错误	1	是	假	待机、运行、仅 MCU、挂起至 RAM	安全(1)	TO_SAFE
有序关断	2	是	假	待机、运行、仅 MCU、挂起至 RAM	安全(1)	TO_SAFE_ORDERLY
关闭请求	4(9)	假	假	待机、运行、仅 MCU、挂起至 RAM	待机(2)	TO_STANDBY
WDOG 误差	5	假	是	运行	运行	ACTIVE_TO_WARM
ESM MCU 错误	6	假	是	运行	运行	
ESM SOC 错误	7	假	是	运行	Pwr SOC 错误	ESM_SOC_ERROR
WDOG 误差	8	假	是	仅 MCU	仅 MCU	MCU_TO_WARM
ESM MCU 错误	9	假	是	仅 MCU	仅 MCU	
SOC 电源错误	10	假	假	运行	仅 MCU	PWR_SOC_ERR
I2C_1 位为高电平 (3)	11	假	是	运行、仅 MCU	无状态变化	执行 RUNTIME BIST
I2C_2 位为高电平 (3)	12	假	是	运行、仅 MCU	无状态变化	在所有器件上，对 I²C1 和 I²C2 启用 I²C CRC。(4)

English Document: SLVUCI5
Copyright © 2025 Texas Instruments Incorporated

表 6-1. 状态转换触发条件（续）

触发条件	优先级 (ID)	立即 (IMM)	可重入	PFSM 当前状态	PFSM 目标状态	执行的电源序列或功能
开启请求	13	假	假	待机、运行、仅 MCU、挂起至 RAM	运行	TO_ACTIVE
WKUP1 变为高电平	14	假	假	待机、运行、仅 MCU、挂起至 RAM	运行	
NSLEEP1 和 NSLEEP2 为高电平(5)	15	假	假	待机、运行、仅 MCU、挂起至 RAM	运行	
MCU 开启请求	16	假	假	待机、运行(7)、仅 MCU、挂起至 RAM	仅 MCU	TO_MCU
WKUP2 变为高电平	17	假	假	待机、运行、仅 MCU、挂起至 RAM	仅 MCU	
NSLEEP1 变为低电平，而 NSLEEP2 变为高电平(5)	18	假	假	运行、仅 MCU、挂起至 RAM	仅 MCU	
NSLEEP1 变为低电平，且 NSLEEP2 变为低电平(5)	19	假	假	运行、仅 MCU	挂起至 RAM	TO_RETENTION
NSLEEP1 变为高电平，而 NSLEEP2 变为低电平(5)	20	假	假	运行、仅 MCU	挂起至 RAM	
I2C_0 位变为高电平(3)	21(8)	假	假	待机、运行、仅 MCU	LP_STANDBY(2)	TO_STANDBY
I2C_3 位变为高电平(3)	22(8)	假	假	运行、仅 MCU	无状态变化	器件已准备好进行 OTA NVM 更新。(6)

(1) PFSM 从安全状态自动转换到 SAFE_RECOVERY 的硬件 FSM 状态。从 SAFE_RECOVERY 状态开始，恢复计数器递增，并与恢复计数阈值进行比较（请参阅 表 5-10 中的 RECOV_CNT_REG_2）。如果达到恢复计数阈值，则 PMIC 停止尝试恢复，并需要重新启动电源。有关更多详细信息，请参阅数据表。
(2) 如果设置了 LP_STANDBY_SEL 位（请参阅表 5-10 中的 RTC_CTRL_2），则 PFSM 会转换到硬件 FSM 状态 LP_STANDBY。当进入 LP_STANDBY 状态时，请根据具体的进入方式，使用适当的机制来唤醒器件。有关更多详细信息，请参阅数据表。
(3) I2C_0、I2C_1、I2C_2 和 I2C_3 是自清除触发条件。
(4) 启用 I^2C CRC 会同时对 I2C1 和 I2C2 启用 CRC，但在启用 CRC 之后，I2C2 会被禁用 2ms。在启用 I^2C CRC 之前，应谨慎使用问答看门狗。建议先启用 I^2C CRC，然后在 2ms 之后再启动问答看门狗。
(5) 可通过 GPIO 引脚或寄存器位访问主 PMIC 的 NSLEEP1 和 NSLEEP2。如果寄存器位或 GPIO 引脚被上拉为高电平，NSLEEPx 值将读取为*高*逻辑电平。
(6) 完成 OTA 更新后，处理器需要启动 PMIC 重置，以应用新的 NVM 设置。
(7) 在运行模式下，在其他较高优先级触发条件（例如 NSLEEP1=NSLEEP2=高电平）仍有效期间，无法访问仅 MCU 触发条件的开启请求。
(8) 在 NSLEEP 位被屏蔽之前，ID 为 21 和 22 的触发条件不可用：NSLEEP2_MASK=NSLEEP1_MASK=1。
(9) 电源序列会启用并激活 ID 为 3、23 和 24 的触发条件，这里未显示这些触发条件。这些触发条件用于管理 PFSM 和 FSM 之间的转换。

6.3 电源序列

6.3.1 TO_SAFE_SEVERE 和 TO_SAFE

TO_SAFE_SEVERE 和 TO_SAFE 是在向安全状态转换时发生的不同序列。这两个序列都会毫无延迟地关断所有电源轨。TO_SAFE_SEVERE 序列立即停止 BUCK 开关，并启用 BUCK 和 LDO 的下拉电阻。停止 BUCK 开关会在发生 VCCA 过压或热关断时防止 PMIC 出现任何损坏。如图 6-2 中所示进行计时。在降压稳压器关闭之前，TO_SAFE 序列不会将这些稳压器复位。

English Document: SLVUCI5
Copyright © 2025 Texas Instruments Incorporated

Resource Name	Device	Delay Diagram	Total Delay	Rail Name
ENDRV	TPS65941319		0 us	PMIC_EN_DRV
nRSTOUT	TPS65941319		0 us	PMIC_nRSTOUT
nRSTOUT_SOC	TPS65941319		0 us	PMIC_nRSTOUT_SoC
BUCK3	TPS65941319		0 us	VDD_CPU
BUCK1_2	TPS65941319		0 us	VDD_CORE_1V1
BUCK5	TPS65941319		0 us	VDD_MCU_1V1
GPIO4	TPS65941319		0 us	EN_EXT_VDDR
LDO4	TPS65941319		0 us	VDA_PLL_1V8
LDO3	TPS65941319		0 us	VDD_PHY_1V8
LDO2	TPS65941319		0 us	VDD_RAM_1V8
LDO1	TPS65941319		0 us	VDA_MCU_1V8
GPIO6	TPS65941319		0 us	EN_1V8IO_LDSW
BUCK4	TPS65941319		0 us	VDD_MCUIO_1V8
GPIO5	TPS65941319		0 us	EN_3V3IO_LDSW
GPIO3	TPS65941319		0 us	EN_MCU3V3IO_LDSW

图 6-2. TO_SAFE_SEVERE 和 TO_SAFE 电源序列

English Document: SLVUCI5
Copyright © 2025 Texas Instruments Incorporated

TO_SAFE 序列会在图 6-2 中显示的电源序列之后将序列延迟 16ms：在这个延迟之后，将执行以下指令：

```
// Clear AMUXOUT_EN, CLKMON_EN, set LPM_EN
REG_WRITE_MASK_IMM ADDR=0x81 DATA=0x04 MASK=0xE3
// Reset all BUCK regulators
REG_WRITE_MASK_IMM ADDR=0x87 DATA=0x1F MASK=0xE0
// Make GPIO9 an input with pulldown enabled
REG_WRITE_MASK_IMM ADDR=0x39 DATA=0x18 MASK=0x00
// Make GPIO10 an input with pulldown enabled
REG_WRITE_MASK_IMM ADDR=0x3A DATA=0x08 MASK=0x00
```

TO_SAFE_SEVERE 序列会在电源序列之后执行以下指令：

```
// Clear AMUXOUT_EN, CLKMON_EN, set LPM_EN
REG_WRITE_MASK_IMM ADDR=0x81 DATA=0x04 MASK=0xE3
// Make GPIO9 an input with pulldown enabled
REG_WRITE_MASK_IMM ADDR=0x39 DATA=0x18 MASK=0x00
// Make GPIO10 an input with pulldown enabled
REG_WRITE_MASK_IMM ADDR=0x3A DATA=0x08 MASK=0x00
```

TO_SAFE_SEVERE 序列结束时会有 500ms 的延迟。在序列延迟完成之前，不会尝试恢复。

6.3.2 TO_SAFE_ORDERLY 和 TO_STANDBY

如果出现中等程度的错误，则会形成有序关断触发条件。此触发条件使用建议的断电序列来关断 PMIC 输出，并进入 SAFE (安全) 状态。

如果发生关闭请求，例如 ENABLE 引脚被拉低，则会发生相同的断电序列，但 PMIC 会进入 STANDBY (待机) (LP_STANDBY_SEL=0) 或 LP_STANDBY (LP_STANDBY_SEL=1) 状态，而不是进入 SAFE (安全) 状态。这两个事件的电源序列如图 6-3 所示。

TO_SAFE_ORDERLY 序列和 TO_STANDBY 序列都会设置 FORCE_EN_DRV_LOW 位。

English Document: SLVUCI5
Copyright © 2025 Texas Instruments Incorporated

Resource Name	Device	Delay Diagram	Total Delay	Rail Name
ENDRV	TPS65941319		0 us	PMIC_EN_DRV
nRSTOUT	TPS65941319		0 us	nRSTOUT, _SOC
nRSTOUT_SOC	TPS65941319		0 us	nRSTOUT_SoC
BUCK3	TPS65941319		500 us	VDD_CPU
BUCK1_2	TPS65941319		500 us	VDD_CORE_1V1
BUCK5	TPS65941319		500 us	VDD_MCU_1V1
GPIO4	TPS65941319		1000 us	EN_EXT_VDDR
LDO4	TPS65941319		1000 us	VDA_PLL_1V8
LDO3	TPS65941319		1000 us	VDD_PHY_1V8
LDO2	TPS65941319		1000 us	VDD_RAM_1V8
LDO1	TPS65941319		1000 us	VDA_MCU_1V8
GPIO6	TPS65941319		1000 us	EN_1V8IO_LDSW
BUCK4	TPS65941319		1000 us	VDD_MCUIO_1V8
GPIO5	TPS65941319		2000 us	EN_3V3IO_LDSW
GPIO3	TPS65941319		2000 us	EN_MCU3V3IO_LDSW

图 6-3. TO_SAFE_ORDERLY 和 TO_STANDBY 电源序列

English Document: SLVUCI5
Copyright © 2025 Texas Instruments Incorporated

在 TO_SAFE_ORDERLY 结束时，这两个 PMIC 都会等待大概 16ms，然后执行以下指令：

```
// Clear AMUXOUT_EN and CLKMON_EN and set LPM_EN
REG_WRITE_MASK_IMM ADDR=0x81 DATA=0x04 MASK=0xE3
// Reset all BUCKs (not performed in the TO_STANDBY sequence)
REG_WRITE_MASK_IMM ADDR=0x87 DATA=0x1F MASK=0xE0
// Make GPIO9 an input with pulldown enabled
REG_WRITE_MASK_IMM ADDR=0x39 DATA=0x18 MASK=0x00
// Make GPIO10 an input with pulldown enabled
REG_WRITE_MASK_IMM ADDR=0x3A DATA=0x08 MASK=0x00
```

对降压稳压器进行复位是为转换到 SAFE_RECOVERY 状态做好准备，这意味着 PMIC 会离开任务状态。在 SAFE_RECOVERY 状态下，恢复机制会使恢复计数器递增，并确定在尝试恢复之前是否已达到恢复计数阈值（请参阅表 5-10）。

在 TO_STANDBY 序列结束时，除了 BUCK_RESET 之外，会出现相同的 16ms 延迟和指令。在这些指令之后，PMIC 会执行附加检查，以确定 LP_STANDBY_SEL（请参阅表 5-10）是否为 true。如果为真，则 PMIC 会进入 LP_STANDBY 状态并退出任务状态。如果 LP_STANDBY_SEL 为假，则 PMIC 会保持在由 节 6.1 中 STANDBY 定义的任务状态中。

6.3.3 ACTIVE_TO_WARM

ACTIVE_TO_WARM 序列可由看门狗或 ESM_MCU 错误触发。在触发的情况下，nRSTOUT 和 nRSTOUT_SOC 信号被驱动为低电平，并且恢复计数器（寄存器 RECOV_CNT_REG_1）会递增。然后，所有 BUCK 和 LDO 都被重置为其默认电压。PMIC 保持运行状态。

备注

GPIO 在该序列期间不会复位，如图 6-4 所示。

序列开始时，执行以下指令：

```
// Set FORCE_EN_DRV_LOW
REG_WRITE_MASK_IMM ADDR=0x82 DATA=0x08 MASK=0xF7
// Clear nRSTOUT and nRSTOUT_SOC
REG_WRITE_MASK_IMM ADDR=0x81 DATA=0x00 MASK=0xFC
// Increment the recovery counter
REG_WRITE_MASK_IMM ADDR=0xa5 DATA=0x01 MASK=0xFE
```

备注

看门狗或 ESM 错误表明在 PMIC 之外出现了重大错误。PMIC 实际上并不像 MCU_POWER_ERR 那样通过安全恢复进行转换，但是，为了保持一致性，所有调节器都返回到 NVM 中存储的值，并且恢复计数器也会递增。如果恢复计数器超过恢复计数阈值，PMIC 将保持安全恢复状态。

备注

在 ACTIVE_TO_WARM 序列后，MCU 负责管理 EN_DRV 和恢复计数器。在该序列结束时，FORCE_EN_DRV_LOW 位会被清零，以便 MCU 可以设置 ENABLE_DRV 位。

Copyright © 2025 Texas Instruments Incorporated

Resource Name	Device	Delay Diagram	Total Delay	Rail Name
ENDRV	TPS65941319		0 us	PMIC_EN_DRV
nRSTOUT	TPS65941319		0 us	PMIC_nRSTOUT
nRSTOUT_SOC	TPS65941319		0 us	PMIC_nRSTOUT_SoC
BUCK4	TPS65941319		0 us	VDD_MCUIO_1V8
LDO1	TPS65941319		0 us	VDA_MCU_1V8
LDO2	TPS65941319		0 us	VDD_RAM_1V8
LDO3	TPS65941319		0 us	VDD_PHY_1V8
LDO4	TPS65941319		0 us	VDA_PLL_1V8
BUCK5	TPS65941319		0 us	VDD_MCU_1V1
BUCK1_2	TPS65941319		0 us	VDD_CORE_1V1
BUCK3	TPS65941319		0 us	VDD_CPU
ENDRV	TPS65941319		2000 us	PMIC_EN_DRV
nRSTOUT	TPS65941319		2000 us	PMIC_nRSTOUT
nRSTOUT_SOC	TPS65941319		2000 us	PMIC_nRSTOUT_SoC

图 6-4. ACTIVE_TO_WARM 电源序列

备注

稳压器的转换并不表示稳压器的启用，而是表示电压恢复到其默认值的时间。该序列源于运行状态，表示所有稳压器均开启。

English Document: SLVUCI5
Copyright © 2025 Texas Instruments Incorporated

6.3.4 ESM_SOC_ERROR

如果出现 ESM_SOC 错误，nRSTOUT_SOC 信号将被驱动为低电平，然后在 200µs 后再次被驱动为高电平。电源轨不会发生任何变化。图 6-5 展示了该序列。

Resource Name	Device	Delay Diagram	Total Delay	Rail Name
nRSTOUT_SOC	TPS65941319		0 us	PMIC_nRSTOUT_SoC
nRSTOUT_SOC	TPS65941319		200 us	PMIC_nRSTOUT_SoC

图 6-5. ESM_SOC_ERROR 序列

6.3.5 PWR_SOC_ERROR

如果作为 SOC 电源轨组一部分的任何电源轨出现错误，则执行 PWR_SOC_ERROR 序列。nRSTOUT_SOC 引脚被下拉至低电平，SOC 电源轨执行正常的处理器断电序列，但 MCU 电源组将保持通电状态，如图 6-6 所示。I2C_7 触发条件的状态决定控制信号 GPIO4 是保持通电 (I2C_7=1) 还是禁用 (I2C_7=0)，如图 6-7 所示。

在序列开始时，执行以下指令：

```
// Set AMUXOUT_EN and CLKMON_EN, clear LPM_EN and nRSTOUT_SOC
REG_WRITE_MASK_IMM ADDR=0x81 DATA=0x18 MASK=0xE1
// Clear SPMI_LPM_EN
REG_WRITE_MASK_IMM ADDR=0x82 DATA=0x00 MASK=0xEF
```

Resource Name	Device	Delay Diagram	Total Delay	Rail Name
BUCK3	TPS65941319		500 us	VDD_CPU
BUCK1_2	TPS65941319		500 us	VDD_CORE_1V1
LDO4	TPS65941319		1000 us	VDA_PLL_1V8
LDO3	TPS65941319		1000 us	VDD_PHY_1V8
LDO2	TPS65941319		1000 us	VDD_RAM_1V8
GPIO6	TPS65941319		1000 us	EN_1V8IO_LDSW
GPIO5	TPS65941319		2000 us	EN_3V3IO_LDSW

图 6-6. 两个 PMIC 上的 I2C_7 均为高电平时的 PWR_SOC_ERROR

English Document: SLVUCI5
Copyright © 2025 Texas Instruments Incorporated

Resource Name	Device	Delay Diagram	Total Delay	Rail Name
BUCK3	TPS65941319		500 us	VDD_CPU
BUCK1_2	TPS65941319		500 us	VDD_CORE_1V1
GPIO4	TPS65941319		1000 us	EN_EXT_VDDR
LDO4	TPS65941319		1000 us	VDA_PLL_1V8
LDO3	TPS65941319		1000 us	VDD_PHY_1V8
LDO2	TPS65941319		1000 us	VDD_RAM_1V8
GPIO6	TPS65941319		1000 us	EN_1V8IO_LDSW
GPIO5	TPS65941319		2000 us	EN_3V3IO_LDSW

图 6-7. 两个 PMIC 上的 I2C_7 均为低电平时的 PWR_SOC_ERROR

备注

NRSTOUT_SOC 未显示在图中，但会在 0us 时间变为低电平。

6.3.6 MCU_TO_WARM

MCU_TO_WARM 序列由看门狗或 ESM_MCU 错误触发。与 ACTIVE_TO_WARM 序列相类似的 MCU_TO_WARM 序列不会导致状态更改。事件和序列源于 MCU_ONLY 状态，并保持在 MCU_ONLY 状态。在此序列中，恢复计数器 (在寄存器 RECOV_CNT_REG_1 中找到) 递增，nRSTOUT (MCU_PORz) 信号被驱动为低电平。与 MCU 相关的 BUCK 和 LDO 在图 6-8 所示的时间重置为其默认电压，最终，MCU_PORz 信号会在 2ms 后设置为高电平。

备注

在 MCU 热复位事件期间，GPIO 不会复位。

此外，在序列开始时，执行以下指令以递增恢复计数器并配置 PMIC：

```
//
                                                    Set FORCE_EN_DRV_LOW REG_WRITE_MASK_IMM ADDR=0x82
                                                    DATA=0x08 MASK=0xF7 // Clear nRSTOUT
                                                    REG_WRITE_MASK_IMM ADDR=0x81 DATA=0x00 MASK=0xFE
                                                    // Increment Recovery Counter REG_WRITE_MASK_IMM
                                                    ADDR=0xa5 DATA=0x01 MASK=0xFE
```


English Document: SLVUCI5
Copyright © 2025 Texas Instruments Incorporated

备注

看门狗或 MCU 错误表明在 PMIC 之外出现了重大错误。PMIC 实际上并不像 MCU_POWER_ERR 那样通过安全恢复进行转换，但是，为了保持一致性，所有调节器都返回到 NVM 中存储的值，并且恢复计数器也会递增。如果恢复计数器超过恢复计数阈值，PMIC 将保持安全恢复状态。

备注

在 MCU_TO_WARM 序列后，MCU 负责管理 EN_DRV 和恢复计数器。在该序列结束时，FORCE_EN_DRV_LOW 位会被清零，以便 MCU 可以设置 ENABLE_DRV 位。

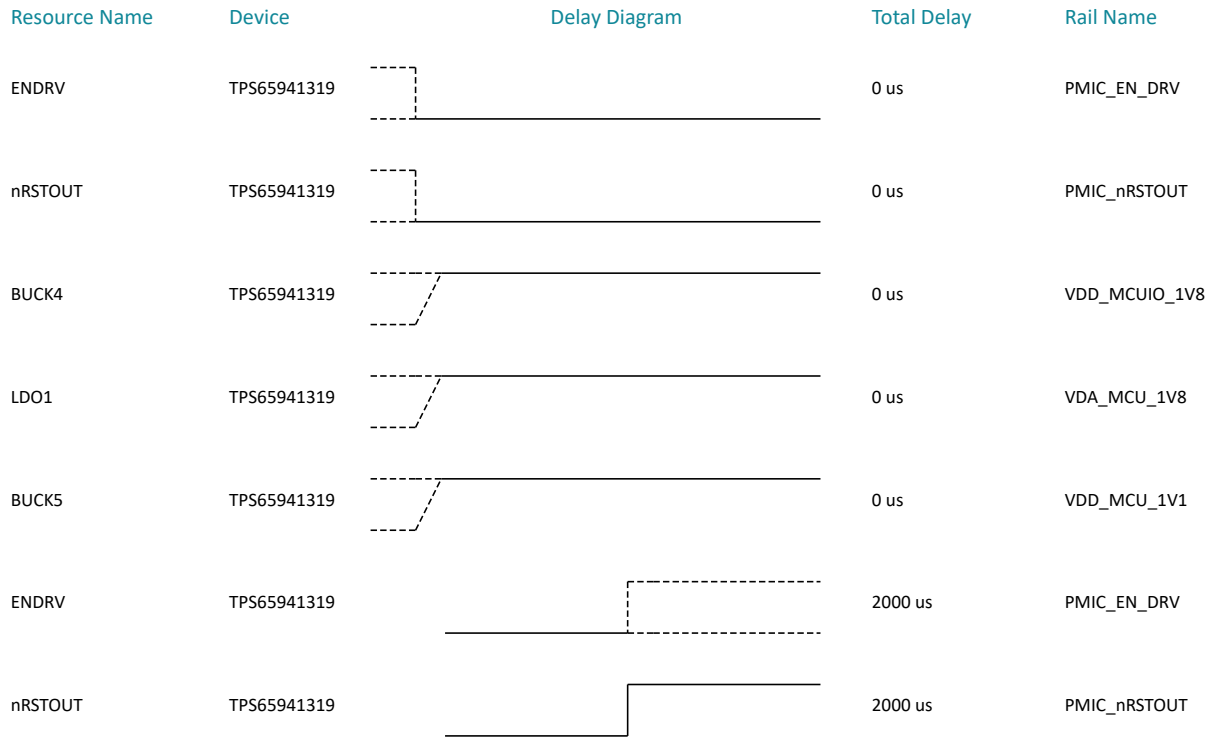


图 6-8. MCU_TO_WARM 序列

备注

稳压器的转换并不表示稳压器的启用，而是表示电压恢复到其默认值的时间。该序列源于 MCU_ONLY 状态，表示这些稳压器均开启。

6.3.7 TO_MCU

TO_MCU 序列首先关闭分配给 SOC 电源组的电源轨和 GPIO。如果 MCU 电源轨尚未处于运行状态（例如，从待机状态转换到 MCU_ONLY 时），该序列随后会启用 MCU 电源轨。根据存储在 I2C_7 寄存器位中的值，该序列有两种情况。在触发该序列之前，每个 PMIC 中的 I2C_7 设置必须相同。如果该位为低电平，则禁用 EN_EXT_VDDR；图 6-10。如果 I2C_7 位处于高电平，则启用 EN_EXT_VDDR；图 6-9。

TO_MCU 序列的第一条指令执行对 MISC_CTRL 和 ENABLE_DRV_STAT 寄存器的写入操作。

```
// Set AMUXOUT_EN, CLKMON_EN
// Clear LPM_EN, NRSTOUT_SOC
REG_WRITE_MASK_IMM ADDR=0x81 DATA=0x18 MASK=0xE1
// Clear SPMI_LP_EN
REG_WRITE_MASK_IMM ADDR=0x82 DATA=0x00 MASK=0xEF
```


English Document: SLVUCI5
Copyright © 2025 Texas Instruments Incorporated

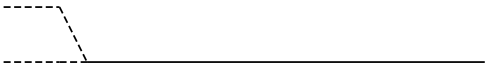
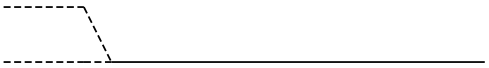
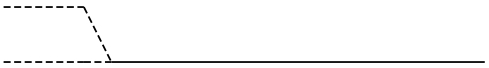
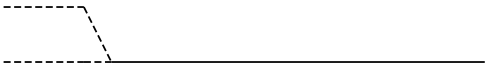
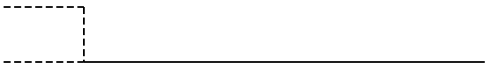
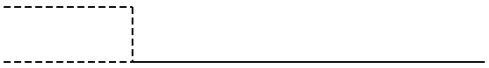
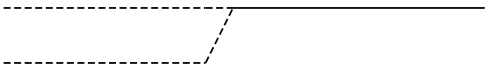
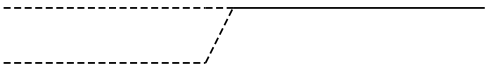
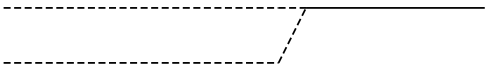
Resource Name	Device	Delay Diagram	Total Delay	Rail Name
nRSTOUT_SOC	TPS65941319		0 us	PMIC_nRSTOUT_SoC
BUCK3	TPS65941319		500 us	VDD_CPU
BUCK1_2	TPS65941319		500 us	VDD_CORE_1V1
LDO4	TPS65941319		1000 us	VDA_PLL_1V8
LDO3	TPS65941319		1000 us	VDD_PHY_1V8
LDO2	TPS65941319		1000 us	VDD_RAM_1V8
GPIO6	TPS65941319		1000 us	EN_1V8IO_LDSW
GPIO5	TPS65941319		2000 us	EN_3V3IO_LDSW
GPIO3	TPS65941319		2000 us	EN_MCU3V3IO_LDSW
BUCK4	TPS65941319		3500 us	VDD_MCUIO_1V8
LDO1	TPS65941319		3500 us	VDA_MCU_1V8
GPIO4	TPS65941319		3500 us	EN_EXT_VDDR
BUCK5	TPS65941319		5000 us	VDD_MCU_1V1
ENDRV	TPS65941319		Variable 14000 us (default)	PMIC_EN_DRV
nRSTOUT	TPS65941319		Variable 14000 us (default)	PMIC_nRSTOUT

图 6-9. 两个 PMIC 上的 I2C_7 均为高电平时的 TO_MCU

English Document: SLVUCI5
Copyright © 2025 Texas Instruments Incorporated

Resource Name	Device	Delay Diagram	Total Delay	Rail Name
nRSTOUT_SOC	TPS65941319		0 us	PMIC_nRSTOUT_SoC
BUCK3	TPS65941319		500 us	VDD_CPU
BUCK1_2	TPS65941319		500 us	VDD_CORE_1V1
GPIO4	TPS65941319		1000 us	EN_EXT_VDDR
LDO4	TPS65941319		1000 us	VDA_PLL_1V8
LDO3	TPS65941319		1000 us	VDD_PHY_1V8
LDO2	TPS65941319		1000 us	VDD_RAM_1V8
GPIO6	TPS65941319		1000 us	EN_1V8IO_LDSW
GPIO5	TPS65941319		2000 us	EN_3V3IO_LDSW
GPIO3	TPS65941319		2000 us	EN_MCU3V3IO_LDSW
BUCK4	TPS65941319		3500 us	VDD_MCUIO_1V8
LDO1	TPS65941319		3500 us	VDA_MCU_1V8
BUCK5	TPS65941319		5000 us	VDD_MCU_1V1
ENDRV	TPS65941319		Variable 14000 us (default)	PMIC_EN_DRV
nRSTOUT	TPS65941319		Variable 14000 us (default)	PMIC_nRSTOUT

图 6-10. 两个 PMIC 上的 I2C_7 均为低电平时的 TO_MCU 序列

English Document: SLVUCI5
Copyright © 2025 Texas Instruments Incorporated

在 PFSM_DELAY_REG_1 中定义的延迟之后，TO_MCU 序列的最后一条指令也执行对 MISC_CTRL 和 ENABLE_DRV_STAT 寄存器的写入操作。

```
SREG_READ_REG ADDR=0xCD REG=R1
DELAY_SREG R1
// Clear SPMI_LPM_EN and FORCE_EN_DRV_LOW
REG_WRITE_MASK_IMM ADDR=0x82 DATA=0x00 MASK=0xE7
// Set NRSTOUT (MCU_PORZ)
REG_WRITE_MASK_IMM ADDR=0x81 DATA=0x01 MASK=0xFE
```

备注

在 TO_MCU 序列后，MCU 负责管理 EN_DRV。

6.3.8 TO_ACTIVE

当触发条件导致 TO_ACTIVE 序列被执行时，所有电源轨都会按照建议的加电序列进行加电，如图 6-11 所示。

在 TO_ACTIVE 序列开始时，PMIC 会清除 SPMI_LP_EN 和 LPM_EN，并设置 AMUXOUT_EN 和 CLKMON_EN。

English Document: SLVUCI5
Copyright © 2025 Texas Instruments Incorporated

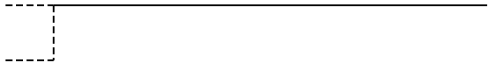
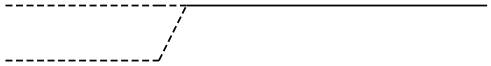
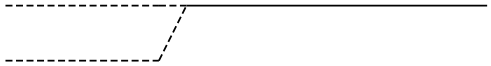
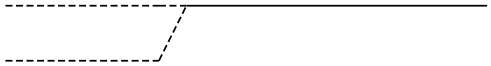
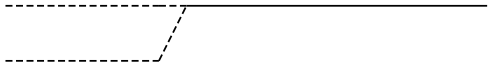
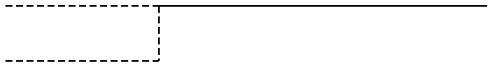
Resource Name	Device	Delay Diagram	Total Delay	Rail Name
GPIO5	TPS65941319		0 us	EN_3V3IO_LDSW
GPIO3	TPS65941319		0 us	EN_MCU3V3IO_LDSW
BUCK4	TPS65941319		1500 us	VDD_MCUIO_1V8
GPIO6	TPS65941319		1500 us	EN_1V8IO_LDSW
LDO1	TPS65941319		1500 us	VDA_MCU_1V8
LDO2	TPS65941319		1500 us	VDD_RAM_1V8
LDO3	TPS65941319		1500 us	VDD_PHY_1V8
LDO4	TPS65941319		1500 us	VDA_PLL_1V8
GPIO4	TPS65941319		1500 us	EN_EXT_VDDR
BUCK5	TPS65941319		3000 us	VDD_MCU_1V1
BUCK1_2	TPS65941319		3000 us	VDD_CORE_1V1
BUCK3	TPS65941319		3000 us	VDD_CPU
ENDRV	TPS65941319		Variable 12000 us (default)	PMIC_EN_DRV
nRSTOUT	TPS65941319		Variable 12000 us (default)	PMIC_nRSTOUT
nRSTOUT_SOC	TPS65941319		Variable 12000 us (default)	PMIC_nRSTOUT_SoC

图 6-11. TO_ACTIVE 序列

English Document: SLVUCI5
Copyright © 2025 Texas Instruments Incorporated

在 TO_ACTIVE 序列结束时，FORCE_EN_DRV_LOW 位会被清零。此外，nRSTOUT 和 nRSTOUT_SOC 信号会延迟 PFSM_DELAY_REG_1 中的值。

备注

在 TO_ACTIVE 序列后，MCU 负责管理 EN_DRV。

6.3.9 TO_RETENTION

由 NSLEEPx 位或引脚定义的 C 和 D 触发条件会触发 TO_RETENTION 序列。此序列会禁用所有不向固定轨供电的电源轨和 GPIO，如图 3-1 所示。

以下 PMIC PFSM 指令会在电源序列开始时自动执行，从而配置 PMIC：

```
// Set LPM_EN, Clear NRSTOUT_SOC and NRSTOUT
REG_WRITE_MASK_IMM ADDR=0x81 DATA=0x04 MASK=0xF8
// Set SPMI_LP_EN and FORCE_EN_DRV_LOW
REG_WRITE_MASK_IMM ADDR=0x82 DATA=0x18 MASK=0xE7
```


English Document: SLVUCI5
Copyright © 2025 Texas Instruments Incorporated

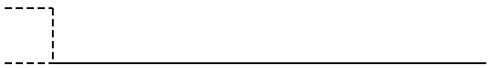
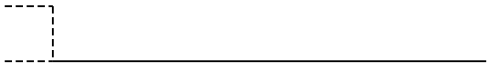
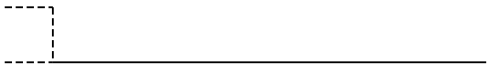
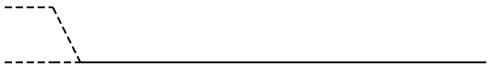
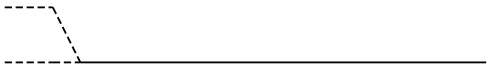
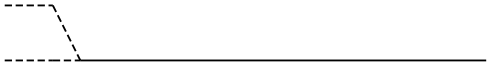
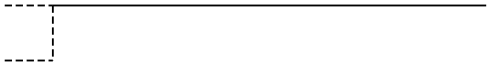
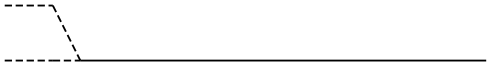
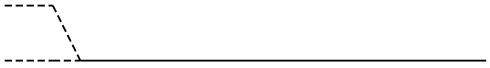
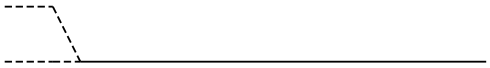
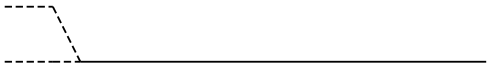
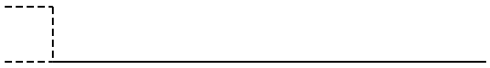
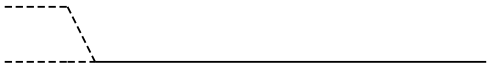
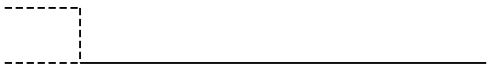
Resource Name	Device	Delay Diagram	Total Delay	Rail Name
nRSTOUT	TPS65941319		0 us	PMIC_nRSTOUT
nRSTOUT_SOC	TPS65941319		0 us	PMIC_nRSTOUT_SoC
ENDRV	TPS65941319		0 us	PMIC_ENDRV
BUCK3	TPS65941319		500 us	VDD_CPU
BUCK1_2	TPS65941319		500 us	VDD_CORE_1V1
BUCK5	TPS65941319		500 us	VDD_MCU_1V1
GPIO4	TPS65941319		1000 us	EN_EXT_VDDR
LDO4	TPS65941319		1000 us	VDA_PLL_1V8
LDO3	TPS65941319		1000 us	VDD_PHY_1V8
LDO2	TPS65941319		1000 us	VDD_RAM_1V8
LDO1	TPS65941319		1000 us	VDA_MCU_1V8
GPIO6	TPS65941319		1000 us	EN_1V8IO_LDSW
BUCK4	TPS65941319		2500 us	VDD_MCUIO_1V8
GPIO5	TPS65941319		3500 us	EN_3V3IO_LDSW
GPIO3	TPS65941319		3500 us	EN_MCU3V3IO_LDSW

图 6-12. TO_RETENTION

English Document: SLVUCI5
Copyright © 2025 Texas Instruments Incorporated

在 GPIO3 取消职位 16ms 后，图 6-12，PMIC 会执行以下指令：

```
// Set LPM_EN, Clear CLKMON_EN and AMUXOUT_EN
REG_WRITE_MASK_IMM ADDR=0x81 DATA=0x04 MASK=0xE3
// Make GPIO9 an input with pulldown enabled
REG_WRITE_MASK_IMM ADDR=0x39 DATA=0x18 MASK=0x00
// Make GPIO10 an input with pulldown enabled
REG_WRITE_MASK_IMM ADDR=0x3A DATA=0x08 MASK=0x00
```

根据寄存器 (PFSM_DELAY_REG_2) 的内容，会在序列末尾施加额外的延迟。

7 应用示例

本部分举例说明了如何从 MCU 的角度通过 I2C 与 PMIC 进行交互。表 7-1 展示了以下各节如何显示 I2C 命令。与数据表结合使用时，可以将这些示例推广运用到其他用例中。

表 7-1. I2C 指令格式

I2C 地址	寄存器地址	数据	屏蔽
0x48	0x00 - 0xFF	0x00 - 0xFF	0x00 - 0xFF

7.1 在不同状态之间切换：运行、仅 MCU 和保持

当 ENABLE 引脚变为高电平（上升沿触发）时，NVM 的默认配置会将 PMIC 转换为运行状态。nINT 引脚会变为高电平，以向 MCU 指示 PMIC 中发生了中断。在正常上电序列后，中断为 ENABLE_INT 和 BIST_PASS_INT。ENABLE_INT 会禁止 PMIC 处理表 6-1 中优先级低于“开启请求”的任何触发条件，这意味着即使 NSLEEP1 和 NSLEEP2 位都被清零，PMIC 也会处于运行状态。在 ENABLE_INT 被清零后，状态由 表 7-2 定义。以下各节介绍了用于在不同状态之间转换的 I2C 命令。

表 7-2. 状态表

NSLEEP1	NSLEEP2	I2C_7	I2C_6	状态
1	1	不适用	不适用	运行
0	1	1	不适用	仅 MCU，具有 DDR 保持功能
0	1	0	不适用	仅 MCU，无 DDR 保持功能
无关位	0	不适用	不适用	保持

7.1.1 运行

在此示例中，正常上电事件后，PMIC 已经处于运行状态。通过在清除 ENABLE_INT 前设置 NSLEEP1 和 NSLEEP2 位，PMIC 可保持运行状态。

```
Write 0x48:0x86:0x03:0xFC    // Set NSLEEP1 and NSLEEP2
Write 0x48:0x66:0x01:0xFE    // Clear BIST_PASS_INT
Write 0x48:0x65:0x26:0xD9    // Clear all potential sources of the On Request
```

7.1.2 仅 MCU

若要从运行状态转换到仅 MCU 状态，需要在更改 NSLEEP 位之前配置 I2C_7 触发条件。两个 PMIC 之间的配置必须保持一致。

```
Write 0x48:0x85:0x80:0x7F    // Set I2C_7 Trigger
Write 0x48:0x86:0x02:0xFC    // Set NSLEEP2 to trigger TO_MCU power sequence
```

除了写入 NSLEEP 位以返回到运行状态，也可以使用 GPIO8 上的 WKUP1 功能来使 PMIC 返回到运行状态。由于这种相似性，在保持状态下也是如此。

English Document: SLVUCI5
Copyright © 2025 Texas Instruments Incorporated

7.1.3 保持

如节 6.3.9 所示，MCU 已断电，因此必须在进入保持状态前配置从保持状态到仅 MCU 或运行状态的转换。本例中使用 PMIC 上的 GPIO8 来从保持状态唤醒器件并进入运行状态。

```
Write 0x48:0x34:0xC0;0x3F  // Set GPIO8 to WKUP1 (goes to ACTIVE state)
Write 0x48:0x64:0x80:0x7F  // clear interrupt of gpio8, write to clear
Write 0x48:0x4F:0x00:0x7F  // unmask interrupt for GPIO8 falling edge
Write 0x48:0x86:0x00:0xFC  // trigger the TO_RETENTION power sequence
After the GPIO8 has gone low and the PMICs have returned to the ACTIVE state
Write 0x48:0x86:0x03:0xFC  // Set NSLEEPx bits for ACTIVE state
Write 0x48:0x64:0x08:0xF7  // clear interrupt of gpio8
```

本例中使用该 RTC 计时器来从保持状态唤醒器件并进入运行状态。

```
Write 0x48:0xC3:0x01;0xFE  // Enable Crystal
Write 0x48:0xC5:0x05:0xF8  // minute timer, enable TIMER interrupts
Write 0x48:0xC2:0x01:0xFE  // start timer, if the timer values are non-zero clear before starting
Write 0x48:0x86:0x00:0xFC  // trigger the TO_RETENTION power sequence
After the RTC Timer interrupt has occurred and the PMICs have returned to the ACTIVE state
Write 0x48:0x86:0x03:0xFC  // Set NSLEEPx bits for ACTIVE state
Write 0x48:0xC5:0x00:0xFB  // disable timer interrupt, clear bit 2
Write 0x48:0xC4:0x00:0xDF  // clear timer interrupt, clear bit 5
```

7.2 进入和退出待机状态

运行、仅 MCU 或保持状态均可转换为待机状态。若要保持在待机任务状态，而不进入硬件状态 LP_STANDBY，则必须将 LP_STANDBY_SEL 位清零。

当 ENABLE 引脚变为低电平时，TO_STANDBY 序列会被触发。当 ENABLE 引脚再次变为高电平时，目标状态取决于 STARTUP_DEST 位。I2C_0 触发条件也会触发 TO_STANDBY 序列。从 I2C_0 触发时，可以通过 GPIO8 或/和 RTC 计时器或警报触发 PMIC 来返回到运行或仅 MCU 状态。本例中使用 I2C_0 触发条件来进入待机状态，并使用 GPIO8 来进入运行状态。

备注

在 LP_STANDBY 状态中，GPIO8 不可用作唤醒源。

```
Write 0x48:0xC3:0x00:0xF7  // LP_STANDBY_SEL=0
Write 0x48:0x7D:0xC0:0x3F  // Mask NSLEEP bits
Write 0x48:0x38:0xC0;0x3F  // Set GPIO4 to WKUP1 (goes to ACTIVE state)
Write 0x48:0x64:0x80:0x7F  // clear interrupt of GPIO8
Write 0x48:0x4F:0x00:0x7F  // unmask interrupt for GPIO8 falling edge
Write 0x48:0x85:0x01:0xFE  // set I2C_0 trigger, trigger TO_STANDBY sequence
After the GPIO8 has gone low and the PMICs have returned to the ACTIVE state
Write 0x48:0x7D:0x00:0x3F  // unmask NSLEEP bits
Write 0x48:0x86:0x03:0xFC  // Set NSLEEPx bits for ACTIVE state
Write 0x48:0x64:0x80:0x7F  // clear interrupt of GPIO8
```


English Document: SLVUCI5
Copyright © 2025 Texas Instruments Incorporated

7.3 进入和退出 LP_STANDBY 状态

进入 LP_STANDBY 硬件状态就和进入待机状态一样。退出 LP_STANDBY 状态会有所不同，需要在进入 LP_STANDBY 状态之前完成不同的初始化。另外，当 PMIC 从 LP_STANDBY 状态返回时，PFSM 触发条件会由 ENABLE_INT 选通，而在待机状态下，触发条件由 GPIO 中断选通。

```
Write 0x48:0xC3:0x08:0xF7  // LP_STANDBY_SEL=1
Write 0x48:0x7D:0xC0:0x3F  // Mask NSLEEP bits
Write 0x48:0x34:0xC0;0x3F  // Set GPIO4 to WKUP1 (goes to ACTIVE state)
Write 0x48:0xC3:0x60;0x9F  // Set the STARTUP_DEST=ACTIVE
Write 0x48:0x64:0x08:0xF7  // clear interrupt of GPIO4
Write 0x48:0x4F:0x00:0xF7  // unmask interrupt for GPIO4 falling edge
Write 0x48:0x85:0x01:0xFE  // set I2C_0 trigger, trigger TO_STANDBY sequence
After the GPIO4 has gone low and the PMICs have returned to the ACTIVE state
Write 0x48:0x7D:0x00:0x3F  // unmask NSLEEP bits
Write 0x48:0x86:0x03:0xFC  // Set NSLEEPx bits for ACTIVE state
Write 0x48:0x64:0x08:0xF7  // clear interrupt of GPIO4
Write 0x48:0x65:0x02:0xFD  // clear ENABLE_INT
```

7.4 运行时定制

GPIO8 配置为输入来禁用看门狗。通常，在开发期间，此引脚会连接为高电平，因此当 nRSTOUT 位被置位时，WD_PWRHOLD 也会被置位。此引脚的配置可用于实现其他特性或功能，但这要求在长窗口到期（772 秒）之前对看门狗进行维护表 5-12。

```
Write 0x12:0x09:0x00:0xBF  // Disable Watchdog
Write 0x48:0x38:0xC0:0x1F  // configure GPIO8 as WAKEUP1
```

启用看门狗时，还必须将 WD_PWR_HOLD 清零。

```
Write 0x12:0x09:0x00:0xFB  // Clear WD_PWRHOLD
Write 0x12:0x09:0x40:0xBF  // Enable Watchdog
```

借助 TO_SAFE 和 TO_SAFE_ORDERLY 序列，PMIC 可以在 SAFE RECOVERY 状态以及硬件状态 INIT 和 BOOT BIST 之间进行切换。通过这种转换，用户寄存器中的 NVM 设置将被恢复。自定义设置不会保留，必须在每次下电上电以及在各种硬件状态之间进行转换时重新应用。

8 参考资料

有关 PMIC 或处理器器件的其他信息，请查看以下内容：

- 德州仪器 (TI)，*TPS6594-Q1 具有 5 个 Buck 和 4 个 LDO 且适用于安全相关汽车级应用的电源管理 IC (PMIC) 数据表*
- 德州仪器 (TI)，TPS6594-Q1 安全手册（通过 mySecure 索取）
- 德州仪器 (TI)，*TPS6594-Q1 原理图 PCB 检查清单*

9 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

Changes from Revision * (April 2023) to Revision A (June 2025)	Page
• 更新了摘要	1
• 已更新 图 3-1 和 表 3-1 中的条目。	2

English Document: SLVUCI5
Copyright © 2025 Texas Instruments Incorporated

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做出任何明示或暗示的担保，包括但不限于对适销性、某特定用途方面的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他功能安全、信息安全、监管或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。 严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。您应全额赔偿因在这些资源的使用中对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，TI 对此概不负责。

TI 提供的产品受 TI 的销售条款或 ti.com 上其他适用条款/TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

邮寄地址：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
版权所有 © 2025，德州仪器 (TI) 公司